

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: メモリのコピー動作が実行されている場合において、メモリへのアクセスが発行された際に、そのアクセスの待機を必要最小限に抑える。メモリの第1の記憶領域はコピー単位である。メモリの第2の記憶領域は、第1の記憶領域を複数まとめたものである。メモリにおいて、第2の記憶領域から他の記憶領域にコピー動作が実行されている場合に、第2の記憶領域に対するアクセスが発行された際、第1の記憶領域を単位としてメモリに対するアクセスに関する制御が行われる。アクセスの対象となるコピー単位の領域が他の記憶領域にコピー済であれば、アクセスの対象となる領域のアドレスをコピー先のアドレスに置換してアクセスを続行させる。

明 細 書

発明の名称：

メモリ制御装置、メモリモジュールおよび情報処理システム

技術分野

[0001] 本技術は、メモリ制御装置に関する。詳しくは、メモリに対するアクセスを制御するメモリ制御装置、メモリモジュールおよび情報処理システムに関する。

背景技術

[0002] 不揮発メモリなどの書換え回数に制限があるメモリにおいては、特定の領域へのアクセスが集中して寿命が尽きることを回避するために、物理的記憶位置を移動させるウェアレベリングという技術が用いられる。このウェアレベリングにおいては、領域間のコピーおよび削除が行われる。一方、NANDフラッシュメモリなどにおいては、データの上書きを行うことができないため、データを書き換える際にもデータのコピーおよび削除が必要になり、これに伴ってガベージコレクションがバックグラウンド処理として行われる。このようなコピー処理が行われている状況において、外部からアクセスがあった場合、コピー完了まで外部からのアクセスが待たされてしまい、レイテンシが大きくなってしまいう問題がある。これに対し、NANDフラッシュメモリにおいてコピー中の領域にホストから書込みがあった際に、本来書き込みたい領域とは別に、NANDフラッシュメモリに一時的に用意した領域にデータを書き込む技術が提案されている（例えば、特許文献1参照。）。。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-174387号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、一時的に用意した領域にデータを書き込むことにより、レイテンシの短縮化を図っていた。しかしながら、この従来技術では、コピー完了後、コピーした領域および一時領域に有効なデータが混在するため、その後にデータをマージする処理がさらに必要となってしまう。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、メモリのコピー動作が実行されている場合において、メモリへのアクセスが発行された際に、そのアクセスの待機を必要最小限に抑えることを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、メモリのコピー単位である第1の記憶領域を複数まとめた第2の記憶領域から上記メモリの他の記憶領域にコピー動作が実行されている場合において、上記第2の記憶領域に対するアクセスが発行された際に上記第1の記憶領域を単位として上記アクセスを制御するメモリ制御装置、メモリモジュールおよび情報処理システムである。これにより、第2の記憶領域を単位としてコピー動作が実行されている場合において、第1の記憶領域を単位としてアクセスを制御するという作用をもたらす。

[0007] また、この第1の側面において、上記コピー動作と上記アクセスとのアドレス衝突を上記コピー単位で判定するアドレス衝突判定部と、上記アクセスの対象となる上記コピー単位の領域が上記他の記憶領域にコピー済である旨の判定が上記アドレス衝突判定においてされた場合には上記アクセスの対象となる領域のアドレスをコピー先のアドレスに置換して上記アクセスを続行させるアドレス置換部とを具備するようにしてもよい。これにより、アクセス対象の領域がコピー済であれば、コピー先のアドレスに対してアクセスを続行させるという作用をもたらす。

[0008] また、この第1の側面において、上記アドレス置換部は、上記アクセスがリードアクセスであってその対象となる上記コピー単位の領域が上記他の記憶領域にコピー中である旨の判定が上記アドレス衝突判定においてされた場合には上記置換を行わずに上記アクセスを続行させるようにしてもよい。こ

れにより、リードアクセス対象の領域がコピー中であれば、コピー元のアドレスに対してアクセスを続行させるという作用をもたらす。

[0009] また、この第1の側面において、上記アドレス置換部は、上記アクセスがライトアクセスであってその対象となる上記コピー単位の領域が上記他の記憶領域にコピー中である旨の判定が上記アドレス衝突判定においてされた場合には上記コピー単位の領域がコピー済になるまで上記ライトアクセスを待機させるようにしてもよい。これにより、ライトアクセス対象の領域がコピー中であれば、その領域がコピー済になるまでそのライトアクセスを待機させるという作用をもたらす。

[0010] また、この第1の側面において、上記ライトアクセスが待機されている間にそのライトアクセス要求を保持するライト要求バッファをさらに具備してもよい。これにより、ライトアクセス対象の領域がコピー中である場合にその領域がコピー済になるまでそのライトアクセスをライト要求バッファにおいて待機させるという作用をもたらす。

[0011] また、この第1の側面において、上記アドレス置換部は、上記アクセスの対象となる上記コピー単位の領域が上記他の記憶領域へのコピー前である旨の判定が上記アドレス衝突判定においてされた場合には上記置換を行わずに上記アクセスを続行させるようにしてもよい。これにより、アクセス対象の領域がコピー前であれば、コピー元のアドレスに対してアクセスを続行させるという作用をもたらす。

[0012] また、この第1の側面において、上記アドレス置換部は、上記アクセスの対象となる上記コピー単位の領域が上記他の記憶領域とは衝突しない旨の判定が上記アドレス衝突判定においてされた場合には上記置換を行わずに上記アクセスを続行させるようにしてもよい。これにより、アクセス対象の領域が衝突しない場合にはそのアクセスを続行させるという作用をもたらす。

[0013] また、この第1の側面において、上記第2の記憶領域を単位として上記アクセスの対象アドレスについて論理アドレスから上記メモリの物理アドレスに変換するアドレス変換部を具備し、上記アドレス変換部は、上記コピー動

作が行われた後にはコピー後の物理アドレスを示すように更新されるようにしてもよい。これにより、コピー完了後にはコピー先の第2の領域に対してアクセスさせるという作用をもたらす。

[0014] また、この第1の側面において、上記他の記憶領域は、上記コピー動作が行われる前にはアクセス不可能な論理アドレス空間の領域であり、上記コピー動作が行われた後には上記アドレス変換部においてアクセス可能な論理アドレス空間の領域に更新される。これにより、コピー完了までの間には第2の記憶領域の全体にはアクセスさせずに、第1の記憶領域を単位としてアクセスを制御するという作用をもたらす。

[0015] また、この第1の側面において、上記第2の記憶領域に対するアクセスが上記コピー単位よりも大きい領域に関するアクセスである場合にはそれぞれが上記コピー単位を超えない領域に分割して上記アドレス衝突判定部に供給するアクセス分割部をさらに具備するようにしてもよい。これにより、アクセス対象の領域がコピー単位を超える場合でも、分割しながら第1の記憶領域を単位としてアクセスを制御するという作用をもたらす。

[0016] また、この第1の側面において、上記メモリは、不揮発メモリであることを想定してもよい。例えば、消去することなくデータの上書きが可能な不揮発メモリにおいて、ウェアレベリング等のためにコピー動作が必要であるため、そのコピー動作と外部からのアクセスとが衝突した場合に、第1の記憶領域を単位としてアクセスを制御するという作用をもたらす。

図面の簡単な説明

[0017] [図1]本技術の実施の形態における情報処理システムの一構成例を示す図である。

[図2]本技術の第1の実施の形態におけるメモリコントローラ200の一構成例を示す図である。

[図3]本技術の実施の形態におけるメモリ300のアドレス空間の対応例を示す図である。

[図4]本技術の実施の形態におけるアドレス変換部260のテーブルの状態例

を示す図である。

[図5]本技術の実施の形態におけるデータコピーの態様例を示す図である。

[図6]本技術の実施の形態におけるデータコピー後のアドレス変換部260のテーブルの状態例を示す図である。

[図7]本技術の実施の形態におけるデータコピーの際のブロック内の各ページの状態例を示す図である。

[図8]本技術の実施の形態におけるメモリコントローラ200のデータコピーの処理手順例を示す流れ図である。

[図9]本技術の実施の形態におけるアドレス衝突の状態と動作との関係例を示す図である。

[図10]本技術の実施の形態におけるケース#1および#4の場合の動作例を示す図である。

[図11]本技術の実施の形態におけるケース#2の場合の動作例を示す図である。

[図12]本技術の実施の形態におけるケース#3および#6の場合の動作例を示す図である。

[図13]本技術の実施の形態におけるケース#5の場合の動作例を示す図である。

[図14]本技術の実施の形態におけるケース#7の場合の動作例を示す図である。

[図15]本技術の実施の形態におけるメモリコントローラ200のアドレス衝突判定に関する処理手順例を示す流れ図である。

[図16]本技術の第2の実施の形態におけるメモリコントローラ200の一構成例を示す図である。

発明を実施するための形態

[0018] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（ホストからのページ単位のアクセスを処理する例

)

2. 第2の実施の形態（ホストからのアクセスをページ単位に分割して処理する例）

[0019] <1. 第1の実施の形態>

[情報処理システムの構成]

図1は、本技術の実施の形態における情報処理システムの一構成例を示す図である。

[0020] この情報処理システムは、ホストコンピュータ100と、メモリコントローラ200と、メモリ300とから構成される。メモリコントローラ200およびメモリ300はメモリモジュール400を構成する。

[0021] ホストコンピュータ100は、メモリ300に対してデータのリード処理およびライト処理等を指令するコマンドを発行するものである。このホストコンピュータ100は、ホストコンピュータ100としての処理を実行するプロセッサと、メモリコントローラ200との間のやりとりを行うためのコントローラインターフェースとを備える。

[0022] メモリコントローラ200は、ホストコンピュータ100からのコマンドに従って、メモリ300に対するリクエスト制御を行うものである。なお、メモリコントローラ200は、特許請求の範囲に記載のメモリ制御装置の一例である。

[0023] メモリ300は、制御部およびメモリセルアレイを備える。このメモリ300の制御部は、メモリコントローラ200からのリクエストに従ってメモリセルへのアクセスを行う。メモリ300のメモリセルアレイは、複数のメモリセルからなるメモリセルアレイであり、ビット毎に2値の何れかの値を記憶するメモリセル、または、複数ビット毎に多値の何れかの値を記憶するメモリセルが2次元状（マトリクス状）に多数配列されている。このメモリセルアレイは、複数バイトサイズ（例えば、512B）を有するページを読み出したりまたは書込みのアクセス単位とし、消去することなくデータの上書きが可能な不揮発メモリ（NVM：Non-Volatile Memory）を想定する。

[0024] [メモリコントローラの構成]

図2は、本技術の第1の実施の形態におけるメモリコントローラ200の一構成例を示す図である。このメモリコントローラ200は、コピー制御部210と、論理アドレス衝突判定部230と、論理アドレス置換部240と、ライト要求バッファ250と、アドレス変換部260と、RAM270とを備える。また、このメモリコントローラ200は、ホストコンピュータ100との間のやりとりを行うためのホストインターフェース201と、メモリ300との間のやりとりを行うためのメモリインターフェース203とを備える。

[0025] コピー制御部210は、ウェアレベリング等のための領域間のコピーおよび削除を制御するものである。このコピー制御部210は、ホストコンピュータ100からのコマンドによる処理とは別に、バックグラウンドでリードおよびライトのアクセスを制御する。このコピー制御部210からのアクセスは、ホストコンピュータ100からのアクセスと同様に、論理アドレスにより指示される。

[0026] コピー制御部210によるコピー動作は、メモリ300のブロックを単位として指示される。ブロックは複数のページから構成される。コピー動作の際には、1ページずつがコピー単位として処理される。したがって、コピー対象となっているブロックにおいて、コピー済のページ、コピー中のページ、および、コピー前のページの3種類の状態が存在し得る。なお、ページは、特許請求の範囲に記載の第1の記憶領域の一例である。また、ブロックは、特許請求の範囲に記載の第2の記憶領域の一例である。

[0027] 論理アドレス衝突判定部230は、コピー制御部210によるコピー動作の対象となっている領域の論理アドレス空間と、ホストコンピュータ100から発行されたコマンドにより指定された論理アドレスとの衝突を判定するものである。この論理アドレス衝突判定部230は、両者の論理アドレスおよびホストコンピュータ100から発行されたコマンドの種類（リードまたはライト）に基づいて、衝突の有無、および、衝突が生じている場合にはペ

ージの状態（上述の３種類の何れか）が判定される。この判定結果は、論理アドレス置換部２４０に供給される。なお、論理アドレス衝突判定部２３０は、特許請求の範囲に記載のアドレス衝突判定部の一例である。

[0028] 論理アドレス置換部２４０は、論理アドレス衝突判定部２３０による判定結果に応じて、ホストコンピュータ１００から発行されたコマンドにより指定された論理アドレスを他の論理アドレスに置換するものである。このアドレス置換の具体的な内容については後述する。なお、論理アドレス置換部２４０は、特許請求の範囲に記載のアドレス置換部の一例である。

[0029] ライト要求バッファ２５０は、コピー中のページに対して、ホストコンピュータ１００からライト要求が発行された際に、そのライト要求を待機させるためにその内容を保持するバッファである。論理アドレス衝突判定部２３０による判定結果において、コピー中のページに対するライト要求であると判定されると、論理アドレス置換部２４０はライト要求バッファ２５０に対してそのライト要求を出力する。

[0030] アドレス変換部２６０は、論理アドレス置換部２４０から出力された論理アドレスを、メモリ３００の物理アドレスに変換するものである。このアドレス変換部２６０は、例えば、論理アドレスと物理アドレスとを関連付けるテーブルを保持して、そのテーブルを参照することにより論理アドレスから物理アドレスへの変換を行う。

[0031] RAM（Random Access Memory）２７０は、メモリコントローラ２００の動作に必要な作業領域を記憶する内部メモリである。このRAM２７０は、ウェアレベリングのためのコピー動作の際には、メモリ３００から読み出されたデータを一旦記憶するバッファ領域として用いられる。

[0032] [メモリのアドレス空間]

図３は、本技術の実施の形態におけるメモリ３００のアドレス空間の対応例を示す図である。

[0033] ホストコンピュータ１００から発行されるコマンドや、コピー制御部２１０によるコピー動作の制御は、論理アドレスにより指示される。論理アドレ

ス空間は、メモリ 300 の物理アドレス空間にマッピングされている。メモリ 300 に対してアクセスが行われる際には、アドレス変換部 260 がその論理アドレスを、ブロック単位でメモリ 300 の物理アドレスに変換する。

[0034] ここでは、オーバプロビジョニングを想定する。すなわち、物理アドレス空間は、ホストコンピュータ 100 からアクセス可能な論理アドレス空間よりも大きい空間を有する。そのため、一部の物理アドレス空間は、ホストコンピュータ 100 からアクセス不可能な論理アドレス空間としてマッピングされる。この例では、論理アドレス空間におけるページ # 1000 より低いアドレスの領域は、「ホストコンピュータ 100 からアクセス可能な論理アドレス空間」（以下、「アクセス可能空間」と称する。）としてマッピングされる。一方、論理アドレス空間におけるページ # 1000 以降のアドレスの領域は、「ホストコンピュータ 100 からアクセス不可能な論理アドレス空間」（以下、「アクセス不可能空間」と称する。）としてマッピングされる。

[0035] 図 4 は、本技術の実施の形態におけるアドレス変換部 260 のテーブルの状態例を示す図である。

[0036] この例では、論理アドレス空間における論理ブロックアドレス # 0 から # 100 より低いアドレスの領域が、アクセス可能空間としてマッピングされている。そして、論理ブロックアドレス # 100 以降のアドレスの領域がアクセス不可能空間としてマッピングされている。

[0037] [データコピー]

図 5 は、本技術の実施の形態におけるデータコピーの態様例を示す図である。このデータコピーは、ウェアレベリング等に際して実行されるものである。

[0038] この実施の形態においては、データコピーの際、論理アドレス空間において、アクセス可能空間からアクセス不可能空間にコピーが行われる。この例では、論理ブロック # 0 の各ページのデータが RAM 270 に読み出され、その読み出されたデータが論理ブロック # 100 にコピーされる。すなわち

、物理ブロック#0の各ページの記憶内容が、物理ブロック#200にコピーされることになる。

[0039] このデータコピーが完了した後、アクセス不可能空間にコピーされたブロックが、アクセス不可能空間からアクセス可能空間になるように、アドレス変換部260のテーブルが更新される。その状態例を示すのが次図である。

[0040] 図6は、本技術の実施の形態におけるデータコピー後のアドレス変換部260のテーブルの状態例を示す図である。

[0041] この例では、アクセス可能空間の論理ブロックアドレス#0に対応する物理ブロックアドレスが、#0から#200に更新されている。一方、アクセス不可能空間の論理ブロックアドレス#100に対応する物理ブロックアドレスが、#200から#0に更新されている。すなわち、物理ブロックアドレス#0と#200が、アクセス可能空間とアクセス不可能空間との間で入れ替わっている。

[0042] このように、この実施の形態におけるデータコピーの際には、コピー元のブロックを一旦アクセス不可能空間に書き込んでおいて、コピー完了後にアクセス可能空間に更新して、ホストコンピュータ100から見えるようにする。これにより、コピー開始からコピー完了までの中途半端な状態においては、ホストコンピュータ100から直接は見えないようにして、その間の制御をメモリコントローラ200において管理することを可能にする。

[0043] 図7は、本技術の実施の形態におけるデータコピーの際のブロック内の各ページの状態例を示す図である。

[0044] 上述のように、コピー制御部210によるコピー動作は、メモリ300のブロックを単位として指示される。このブロックコピーでは、ページ単位のコピー（ページコピー）が複数回行われる。コピー元のブロックとコピー先のブロックとにおいて、先頭から順次、コピー位置を示すコピーオフセットに従って各ページがコピーされていく。1つのページがコピーされるたびにコピーオフセットはインクリメントされていく。

[0045] コピーオフセットが示すページがコピー中であり、コピーオフセットが示

すページより以前がコピー済であり、コピーオフセットが示すページより以降がコピー前であることになる。

[0046] 図8は、本技術の実施の形態におけるメモリコントローラ200のデータコピーの処理手順例を示す流れ図である。

[0047] まず、コピーオフセットが「0」にクリアされる（ステップS911）。そして、コピー元のコピーオフセットが示すページからRAM270にデータが読み出される（ステップS912）。このRAM270に読み出されたデータは、コピー先のコピーオフセットが示すページに書き込まれる（ステップS913）。

[0048] ブロック内の全てのページについてコピーが完了していなければ（ステップS914：No）、コピーオフセットを1つインクリメントして（ステップS915）、ステップS912以降の処理を繰り返す。

[0049] ブロック内の全てのページについてコピーが完了した場合には（ステップS914：Yes）、アドレス変換部260のテーブルを更新して（ステップS916）、コピー先の領域をアクセス可能空間とする。

[0050] [アドレス衝突]

図9は、本技術の実施の形態におけるアドレス衝突の状態と動作との関係例を示す図である。

[0051] この実施の形態では、論理アドレス衝突判定部230が、ホストコンピュータ100からのコマンドについて、そのアクセスがコピー中の論理アドレス空間と衝突する状態を判定する。以下では、同図に従って、7つのケースに場合分けして説明する。

[0052] ケース#1乃至3は、ホストコンピュータ100からのリードコマンドにより指定された論理アドレスとコピー動作の対象となっている領域の論理アドレス空間とが衝突している場合である。ケース#4乃至6は、ホストコンピュータ100からのライトコマンドにより指定された論理アドレスとコピー動作の対象となっている領域の論理アドレス空間とが衝突している場合である。ケース#7は、ホストコンピュータ100からのコマンドにより指定

された論理アドレスとコピー動作の対象となっている領域の論理アドレス空間とが衝突していない場合である。

[0053] 図10は、本技術の実施の形態におけるケース#1および#4の場合の動作例を示す図である。

[0054] ケース#1は、ホストコンピュータ100からリードアドレスとして指定された論理アドレスがコピー済のページであった場合である。また、ケース#4は、ホストコンピュータ100からライトアドレスとして指定された論理アドレスがコピー済のページであった場合である。すなわち、これらケース#1および#4の場合には、ホストコンピュータ100からアクセスしようとするページが既にコピー済である。したがって、コピー先のページにアクセスすれば、ホストコンピュータ100からのコマンドを処理できることになる。

[0055] そのため、論理アドレス置換部240は、ホストコンピュータ100から発行されたコマンドにより指定された論理アドレスを、コピー先の論理アドレスに置換する。この置換された論理アドレスが、アドレス変換部260によって物理アドレスに変換される。

[0056] 図11は、本技術の実施の形態におけるケース#2の場合の動作例を示す図である。

[0057] ケース#2は、ホストコンピュータ100からリードアドレスとして指定された論理アドレスがコピー中のページであった場合である。この場合、コピー元のページからデータをリードすれば、ホストコンピュータ100からのリードコマンドを処理できることになる。

[0058] そのため、論理アドレス置換部240は、ホストコンピュータ100から発行されたコマンドにより指定された論理アドレスを、置換せずにそのままアドレス変換部260に出力する。この置換されなかった論理アドレスが、アドレス変換部260によって物理アドレスに変換される。

[0059] 図12は、本技術の実施の形態におけるケース#3および#6の場合の動作例を示す図である。

[0060] ケース#3は、ホストコンピュータ100からリードアドレスとして指定された論理アドレスがコピー前のページであった場合である。また、ケース#6は、ホストコンピュータ100からライトアドレスとして指定された論理アドレスがコピー前のページであった場合である。すなわち、これらケース#3および#6の場合には、ホストコンピュータ100からアクセスしようとするページは未だコピー前である。したがって、コピー元のページにアクセスすれば、ホストコンピュータ100からのコマンドを処理できることになる。

[0061] そのため、論理アドレス置換部240は、ホストコンピュータ100から発行されたコマンドにより指定された論理アドレスを、置換せずにそのままアドレス変換部260に出力する。この置換されなかった論理アドレスが、アドレス変換部260によって物理アドレスに変換される。

[0062] 図13は、本技術の実施の形態におけるケース#5の場合の動作例を示す図である。

[0063] ケース#5は、ホストコンピュータ100からライトアドレスとして指定された論理アドレスがコピー中のページであった場合である。この場合、コピー中のページに対する書込みは、データを破壊してしまうため、行うことはできない。

[0064] そのため、そのライト要求を待機させるために、論理アドレス置換部240はライト要求バッファ250にその内容を保持させる。したがって、そのページがコピー済の状態になるまで、そのライト要求は一時停止となる。そのページのコピーが完了すると、ケース#4の状態になり、論理アドレス置換部240は、ホストコンピュータ100から発行されたコマンドにより指定された論理アドレスをコピー先の論理アドレスに置換して、アドレス変換部260に出力する。

[0065] 図14は、本技術の実施の形態におけるケース#7の場合の動作例を示す図である。

[0066] ケース#7は、ホストコンピュータ100からのコマンドにより指定され

た論理アドレスとコピー動作の対象となっている領域の論理アドレス空間とが衝突していない場合である。したがって、ホストコンピュータ１００からのコマンドがリードまたはライトのいずれであっても、置換を行う必要はない。

[0067] そのため、論理アドレス置換部２４０は、ホストコンピュータ１００から発行されたコマンドにより指定された論理アドレスを、置換せずにそのままアドレス変換部２６０に出力する。この置換されなかった論理アドレスが、アドレス変換部２６０によって物理アドレスに変換される。

[0068] 図１５は、本技術の実施の形態におけるメモリコントローラ２００のアドレス衝突判定に関する処理手順例を示す流れ図である。

[0069] ホストコンピュータ１００からメモリ３００にアクセスするコマンドが発行されると、論理アドレス衝突判定部２３０は、コピー動作中領域の論理アドレス空間と、ホストコンピュータ１００から指定された論理アドレスとの衝突を判定する（ステップＳ９２１）。そして、その判定結果に応じて、以下のように各処理が行われる。

[0070] ホストコンピュータ１００からのコマンドにより指定された論理アドレスとコピー動作の対象となっている領域の論理アドレス空間とが衝突していない場合は（ステップＳ９３１：Ｎｏ）、ケース＃７に該当する。したがって、論理アドレス置換部２４０は、ホストコンピュータ１００から発行されたコマンドにより指定された論理アドレスを、置換せずにそのままアドレス変換部２６０に出力する（ステップＳ９３５）。この置換されなかった論理アドレスは、アドレス変換部２６０によって物理アドレスに変換される（ステップＳ９３９）。

[0071] ホストコンピュータ１００からアクセスしようとするページがコピー済であった場合は（ステップＳ９３２：Ｙｅｓ）、ケース＃１および＃４に該当する。したがって、論理アドレス置換部２４０は、ホストコンピュータ１００から発行されたコマンドにより指定された論理アドレスを、コピー先の論理アドレスに置換する（ステップＳ９３６）。この置換された論理アドレス

は、アドレス変換部260によって物理アドレスに変換される（ステップS939）。

[0072] ホストコンピュータ100からアクセスしようとするページがコピー前であった場合は（ステップS933：Yes）、ケース#3および#6に該当する。したがって、論理アドレス置換部240は、ホストコンピュータ100から発行されたコマンドにより指定された論理アドレスを、置換せずにそのままアドレス変換部260に出力する（ステップS935）。この置換されなかった論理アドレスは、アドレス変換部260によって物理アドレスに変換される（ステップS939）。

[0073] ホストコンピュータ100からアクセスしようとするページがコピー前ではないと判定された場合は（ステップS933：No）、そのページはコピー中であることになる。このとき、ホストコンピュータ100からのアクセスがリードアクセスであれば（ステップS934：Yes）、ケース#2に該当する。したがって、論理アドレス置換部240は、ホストコンピュータ100から発行されたコマンドにより指定された論理アドレスを、置換せずにそのままアドレス変換部260に出力する（ステップS935）。この置換されなかった論理アドレスは、アドレス変換部260によって物理アドレスに変換される（ステップS939）。

[0074] ホストコンピュータ100からアクセスしようとするページがコピー中であって（ステップS933：No）、そのアクセスがリードアクセスでなければ（ステップS934：No）、ケース#5に該当する。したがって、論理アドレス置換部240は、ライト要求バッファ250にその内容を保持させて、そのページがコピー済の状態になるまでそのライト要求を待機させる（ステップS938）。すなわち、コピー済を判定するステップS932に戻ることになる。

[0075] このように、本技術の第1の実施の形態によれば、ホストコンピュータ100からのコマンドにより指定された論理アドレスとコピー動作の対象となっている領域の論理アドレス空間とが衝突している場合でも、ページ単位で

アクセスを制御することができる。すなわち、コピー中のライト以外はページ単位でアクセスを続行させることができ、メモリアクセスに要するレイテンシを短縮することができる。また、従来技術のように他のメモリ領域を別途設ける必要がなく、データのマージ作業を不要にすることができる。

[0076] <2. 第2の実施の形態>

上述の第1の実施の形態では、ホストコンピュータ100からのコマンドによるアクセスがページ内に収まっていることを前提としていた。これに対し、この第2の実施の形態では、ホストコンピュータ100からのコマンドによるアクセスがページ内に収まっていない場合も許容する。なお、情報処理システムとしての全体構成については、上述の第1の実施の形態と同様であるため、詳細な説明は省略する。

[0077] [メモリコントローラの構成]

図16は、本技術の第2の実施の形態におけるメモリコントローラ200の一構成例を示す図である。この第2の実施の形態におけるメモリコントローラ200は、上述の第1の実施の形態と比べて、アクセス分割部220をさらに備える点において異なり、それ以外については同様である。

[0078] アクセス分割部220は、ホストコンピュータ100からのコマンドによるアクセスが1ページよりも大きい領域に関するものであれば、それぞれが1ページを超えない領域に分割するものである。例えば、1ページのサイズが512Bであり、ホストコンピュータ100からのコマンドによるアクセスが128KBのデータ容量に関するものであれば、そのアクセスを512B毎に分割して、論理アドレス衝突判定部230に供給する。これにより、論理アドレス衝突判定部230以降の処理は、上述の第1の実施の形態と同様になる。

[0079] このように、本技術の第2の実施の形態によれば、ホストコンピュータ100からのコマンドによるアクセスをアクセス分割部220によってページ毎に分割することにより、サイズの大きいアクセスについてもページ単位でアクセスを制御することができる。

[0080] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0081] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、C D (Compact Disc)、M D (MiniDisc)、D V D (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0082] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0083] なお、本技術は以下のような構成もとることができる。

(1) メモリのコピー単位である第1の記憶領域を複数まとめた第2の記憶領域から前記メモリの他の記憶領域にコピー動作が実行されている場合において、前記第2の記憶領域に対するアクセスが発行された際に前記第1の記憶領域を単位として前記アクセスを制御するメモリ制御装置。

(2) 前記コピー動作と前記アクセスとのアドレス衝突を前記コピー単位で判定するアドレス衝突判定部と、

前記アクセスの対象となる前記コピー単位の領域が前記他の記憶領域にコピー済である旨の判定が前記アドレス衝突判定においてされた場合には前記アクセスの対象となる領域のアドレスをコピー先のアドレスに置換して前記アクセスを続行させるアドレス置換部と
を具備する前記(1)に記載のメモリ制御装置。

(3) 前記アドレス置換部は、前記アクセスがリードアクセスであってその

対象となる前記コピー単位の領域が前記他の記憶領域にコピー中である旨の判定が前記アドレス衝突判定においてされた場合には前記置換を行わずに前記アクセスを続行させる

前記（２）に記載のメモリ制御装置。

（４）前記アドレス置換部は、前記アクセスがライトアクセスであってその対象となる前記コピー単位の領域が前記他の記憶領域にコピー中である旨の判定が前記アドレス衝突判定においてされた場合には前記コピー単位の領域がコピー済になるまで前記ライトアクセスを待機させる

前記（２）または（３）に記載のメモリ制御装置。

（５）前記ライトアクセスが待機されている間にそのライトアクセス要求を保持するライト要求バッファをさらに具備する前記（４）に記載のメモリ制御装置。

（６）前記アドレス置換部は、前記アクセスの対象となる前記コピー単位の領域が前記他の記憶領域へのコピー前である旨の判定が前記アドレス衝突判定においてされた場合には前記置換を行わずに前記アクセスを続行させる

前記（２）から（５）のいずれかに記載のメモリ制御装置。

（７）前記アドレス置換部は、前記アクセスの対象となる前記コピー単位の領域が前記他の記憶領域とは衝突しない旨の判定が前記アドレス衝突判定においてされた場合には前記置換を行わずに前記アクセスを続行させる

前記（２）から（６）のいずれかに記載のメモリ制御装置。

（８）前記第２の記憶領域を単位として前記アクセスの対象アドレスについて論理アドレスから前記メモリの物理アドレスに変換するアドレス変換部を具備し、

前記アドレス変換部は、前記コピー動作が行われた後にはコピー後の物理アドレスを示すように更新される

前記（２）から（７）のいずれかに記載のメモリ制御装置。

（９）前記他の記憶領域は、前記コピー動作が行われる前にはアクセス不可能な論理アドレス空間の領域であり、前記コピー動作が行われた後には前記

アドレス変換部においてアクセス可能な論理アドレス空間の領域に更新される

前記（８）に記載のメモリ制御装置。

（１０）前記第２の記憶領域に対するアクセスが前記コピー単位よりも大きい領域に関するアクセスである場合にはそれぞれが前記コピー単位を超えない領域に分割して前記アドレス衝突判定部に供給するアクセス分割部をさらに具備する前記（２）から（９）のいずれかに記載のメモリ制御装置。

（１１）メモリと、

前記メモリのコピー単位である第１の記憶領域を複数まとめた第２の記憶領域から前記メモリの他の記憶領域にコピー動作が実行されている場合において、前記第２の記憶領域に対するアクセスが発行された際に前記第１の記憶領域を単位として前記アクセスを制御するメモリ制御装置と
を具備するメモリモジュール。

（１２）前記メモリは、不揮発メモリである

前記（１１）に記載のメモリモジュール。

（１３）ホストコンピュータと、

メモリと、

前記メモリのコピー単位である第１の記憶領域を複数まとめた第２の記憶領域から前記メモリの他の記憶領域にコピー動作が実行されている場合において、前記ホストコンピュータから前記第２の記憶領域に対するアクセスが発行された際に前記第１の記憶領域を単位として前記アクセスを制御するメモリ制御装置と
を具備する情報処理システム。

符号の説明

- [0084] １００ ホストコンピュータ
 ２００ メモリコントローラ
 ２０１ ホストインターフェース
 ２０３ メモリインターフェース

- 2 1 0 コピー制御部
- 2 2 0 アクセス分割部
- 2 3 0 論理アドレス衝突判定部
- 2 4 0 論理アドレス置換部
- 2 5 0 ライト要求バッファ
- 2 6 0 アドレス変換部
- 3 0 0 メモリ
- 4 0 0 メモリモジュール

請求の範囲

- [請求項1] メモリのコピー単位である第1の記憶領域を複数まとめた第2の記憶領域から前記メモリの他の記憶領域にコピー動作が実行されている場合において、前記第2の記憶領域に対するアクセスが発行された際に前記第1の記憶領域を単位として前記アクセスを制御するメモリ制御装置。
- [請求項2] 前記コピー動作と前記アクセスとのアドレス衝突を前記コピー単位で判定するアドレス衝突判定部と、
 前記アクセスの対象となる前記コピー単位の領域が前記他の記憶領域にコピー済である旨の判定が前記アドレス衝突判定においてされた場合には前記アクセスの対象となる領域のアドレスをコピー先のアドレスに置換して前記アクセスを続行させるアドレス置換部と
 を具備する請求項1記載のメモリ制御装置。
- [請求項3] 前記アドレス置換部は、前記アクセスがリードアクセスであってその対象となる前記コピー単位の領域が前記他の記憶領域にコピー中である旨の判定が前記アドレス衝突判定においてされた場合には前記置換を行わずに前記アクセスを続行させる
 請求項2記載のメモリ制御装置。
- [請求項4] 前記アドレス置換部は、前記アクセスがライトアクセスであってその対象となる前記コピー単位の領域が前記他の記憶領域にコピー中である旨の判定が前記アドレス衝突判定においてされた場合には前記コピー単位の領域がコピー済になるまで前記ライトアクセスを待機させる
 請求項2記載のメモリ制御装置。
- [請求項5] 前記ライトアクセスが待機されている間にそのライトアクセス要求を保持するライト要求バッファをさらに具備する請求項4記載のメモリ制御装置。
- [請求項6] 前記アドレス置換部は、前記アクセスの対象となる前記コピー単位

の領域が前記他の記憶領域へのコピー前である旨の判定が前記アドレス衝突判定においてされた場合には前記置換を行わずに前記アクセスを続行させる

請求項 2 記載のメモリ制御装置。

[請求項7] 前記アドレス置換部は、前記アクセスの対象となる前記コピー単位の領域が前記他の記憶領域とは衝突しない旨の判定が前記アドレス衝突判定においてされた場合には前記置換を行わずに前記アクセスを続行させる

請求項 2 記載のメモリ制御装置。

[請求項8] 前記第 2 の記憶領域を単位として前記アクセスの対象アドレスについて論理アドレスから前記メモリの物理アドレスに変換するアドレス変換部を具備し、

前記アドレス変換部は、前記コピー動作が行われた後にはコピー後の物理アドレスを示すように更新される

請求項 2 記載のメモリ制御装置。

[請求項9] 前記他の記憶領域は、前記コピー動作が行われる前にはアクセス不可能な論理アドレス空間の領域であり、前記コピー動作が行われた後には前記アドレス変換部においてアクセス可能な論理アドレス空間の領域に更新される

請求項 8 記載のメモリ制御装置。

[請求項10] 前記第 2 の記憶領域に対するアクセスが前記コピー単位よりも大きい領域に関するアクセスである場合にはそれぞれが前記コピー単位を超えない領域に分割して前記アドレス衝突判定部に供給するアクセス分割部をさらに具備する請求項 2 記載のメモリ制御装置。

[請求項11] メモリと、

前記メモリのコピー単位である第 1 の記憶領域を複数まとめた第 2 の記憶領域から前記メモリの他の記憶領域にコピー動作が実行されている場合において、前記第 2 の記憶領域に対するアクセスが発行され

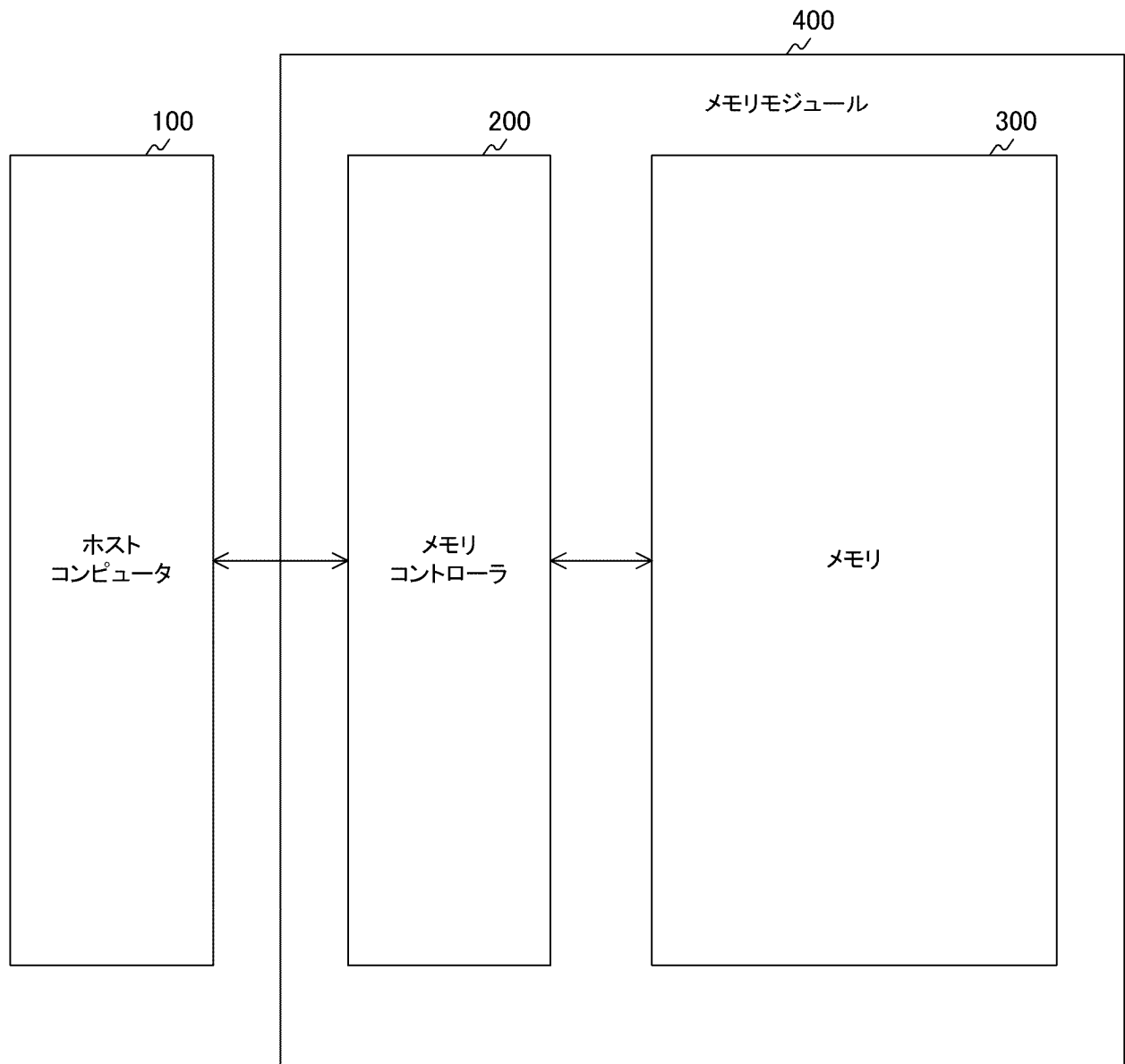
た際に前記第 1 の記憶領域を単位として前記アクセスを制御するメモリ制御装置と

を具備するメモリモジュール。

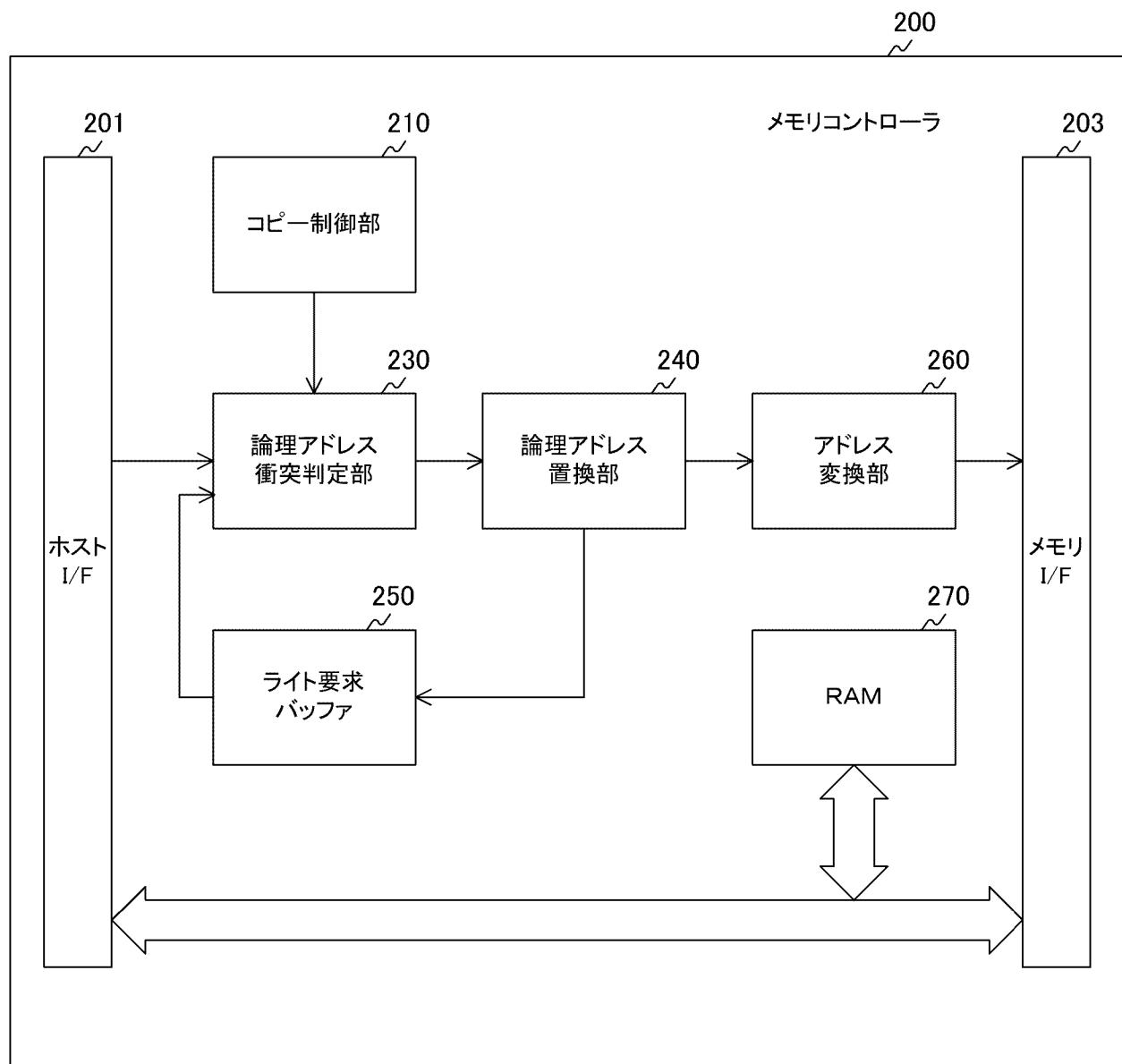
[請求項12] 前記メモリは、不揮発メモリである
請求項 1 1 記載のメモリモジュール。

[請求項13] ホストコンピュータと、
メモリと、
前記メモリのコピー単位である第 1 の記憶領域を複数まとめた第 2 の記憶領域から前記メモリの他の記憶領域にコピー動作が実行されている場合において、前記ホストコンピュータから前記第 2 の記憶領域に対するアクセスが発行された際に前記第 1 の記憶領域を単位として前記アクセスを制御するメモリ制御装置と
を具備する情報処理システム。

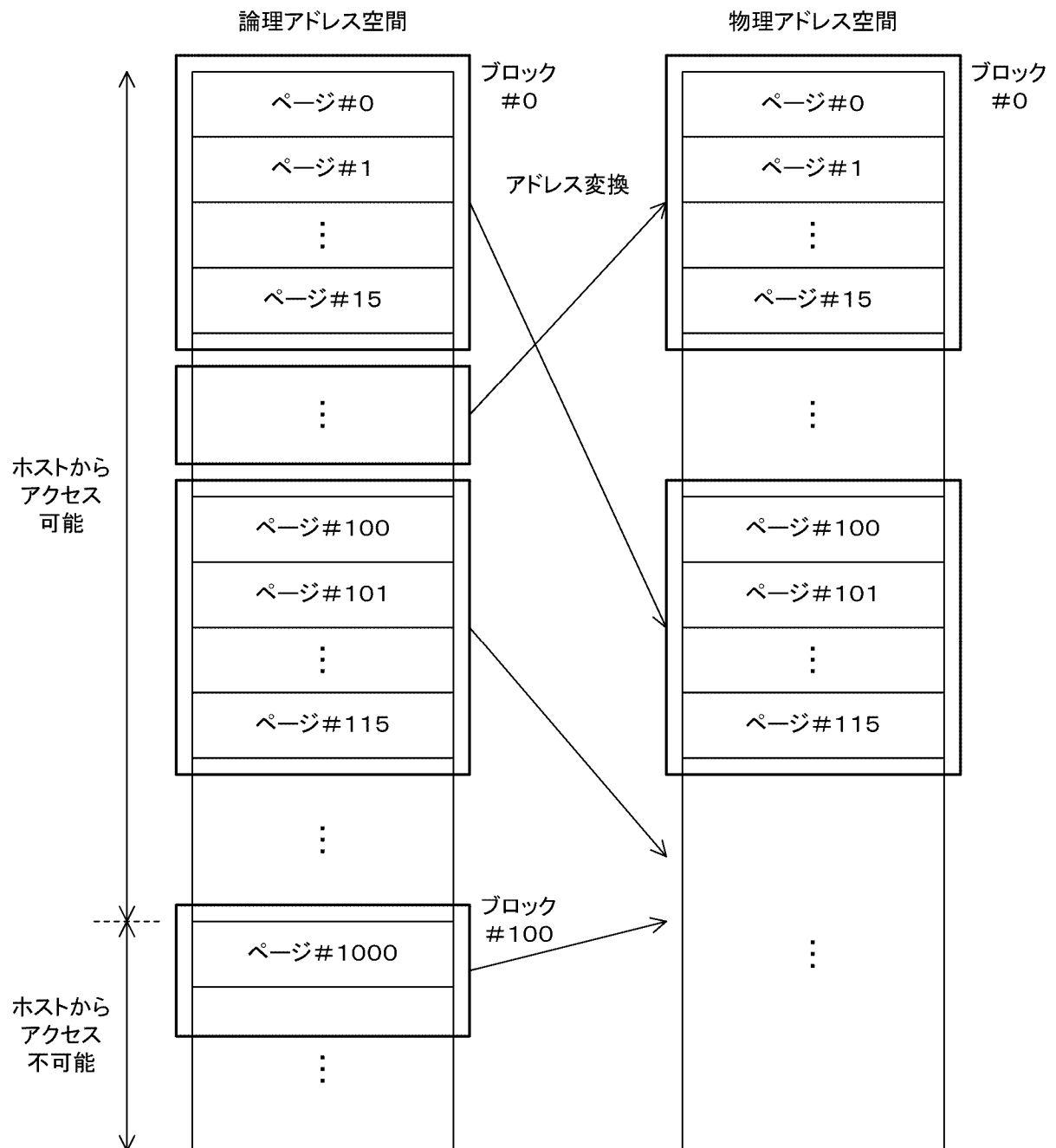
[図1]



[図2]



[図3]

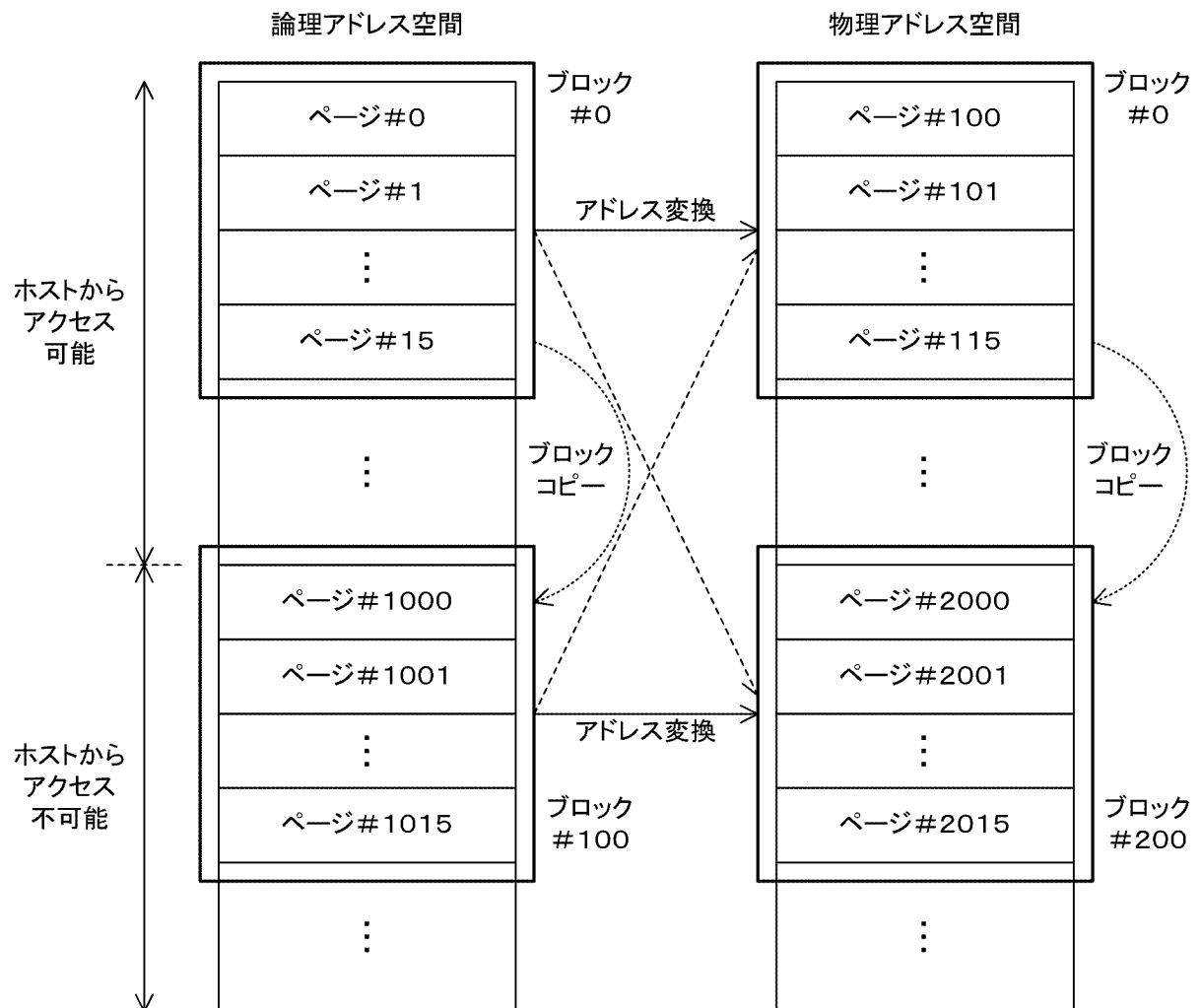


[図4]

アドレス変換テーブル 260
✓

ホストからのアクセス	論理ブロックアドレス	物理ブロックアドレス
可能	#0	#0
	#1	#1
	#2	#2
	⋮	⋮
不可能	#100	#200
	⋮	⋮

[図5]

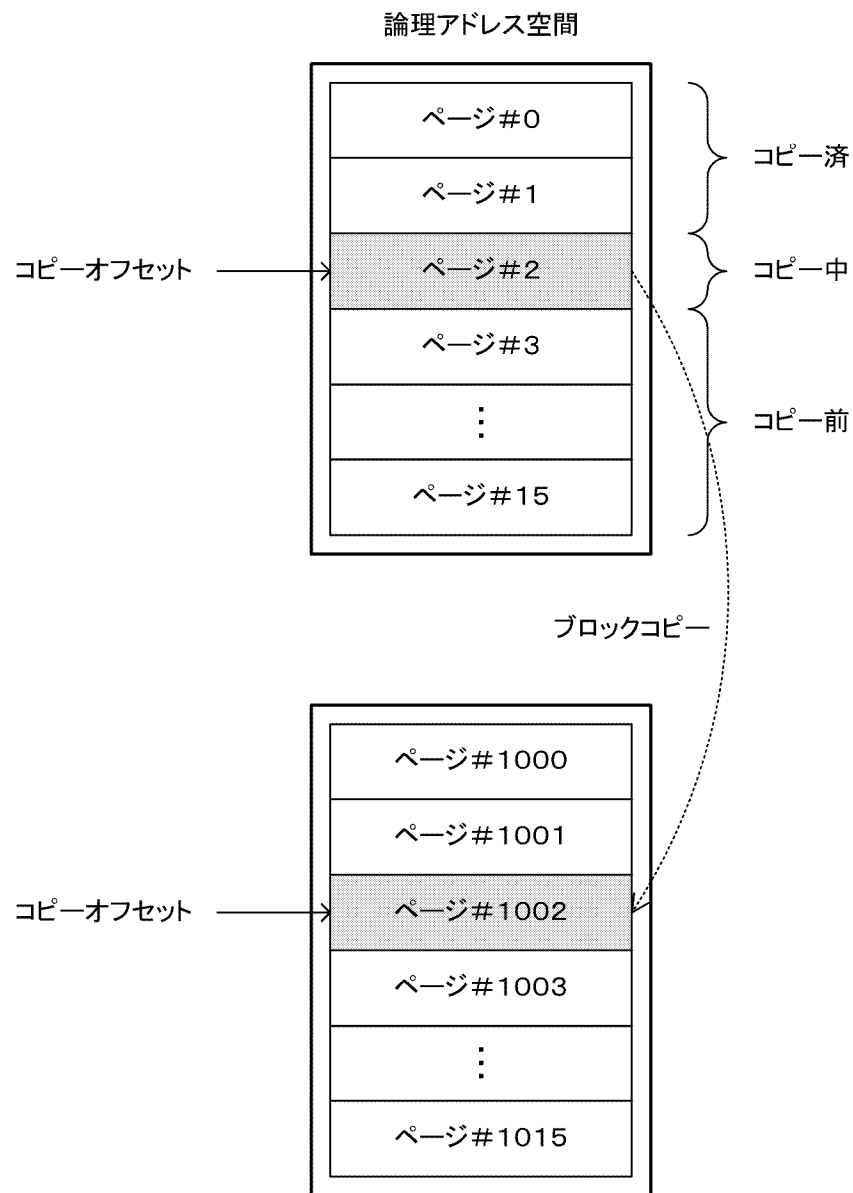


[図6]

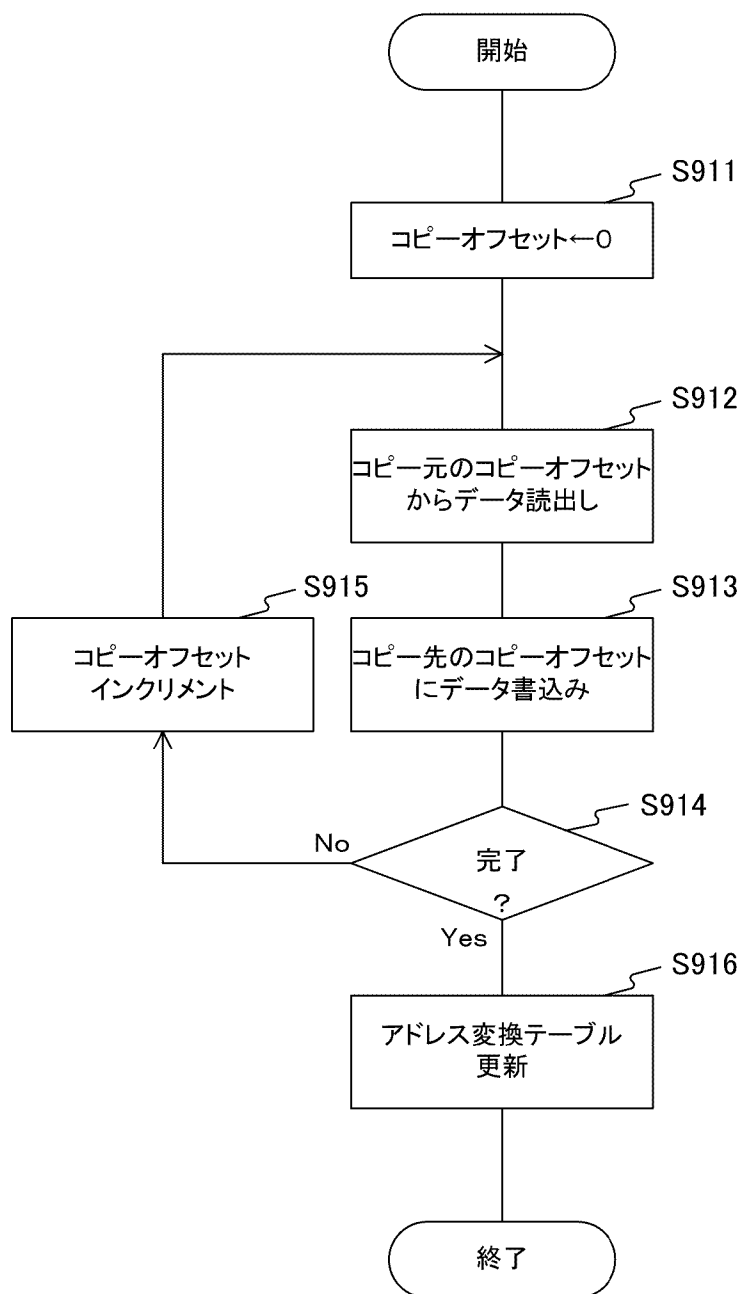
アドレス変換テーブル 260
↙

ホストからのアクセス	論理ブロックアドレス	物理ブロックアドレス
可能	#0	#200
	#1	#1
	#2	#2
	⋮	⋮
不可能	#100	#0
	⋮	⋮

[図7]



[図8]



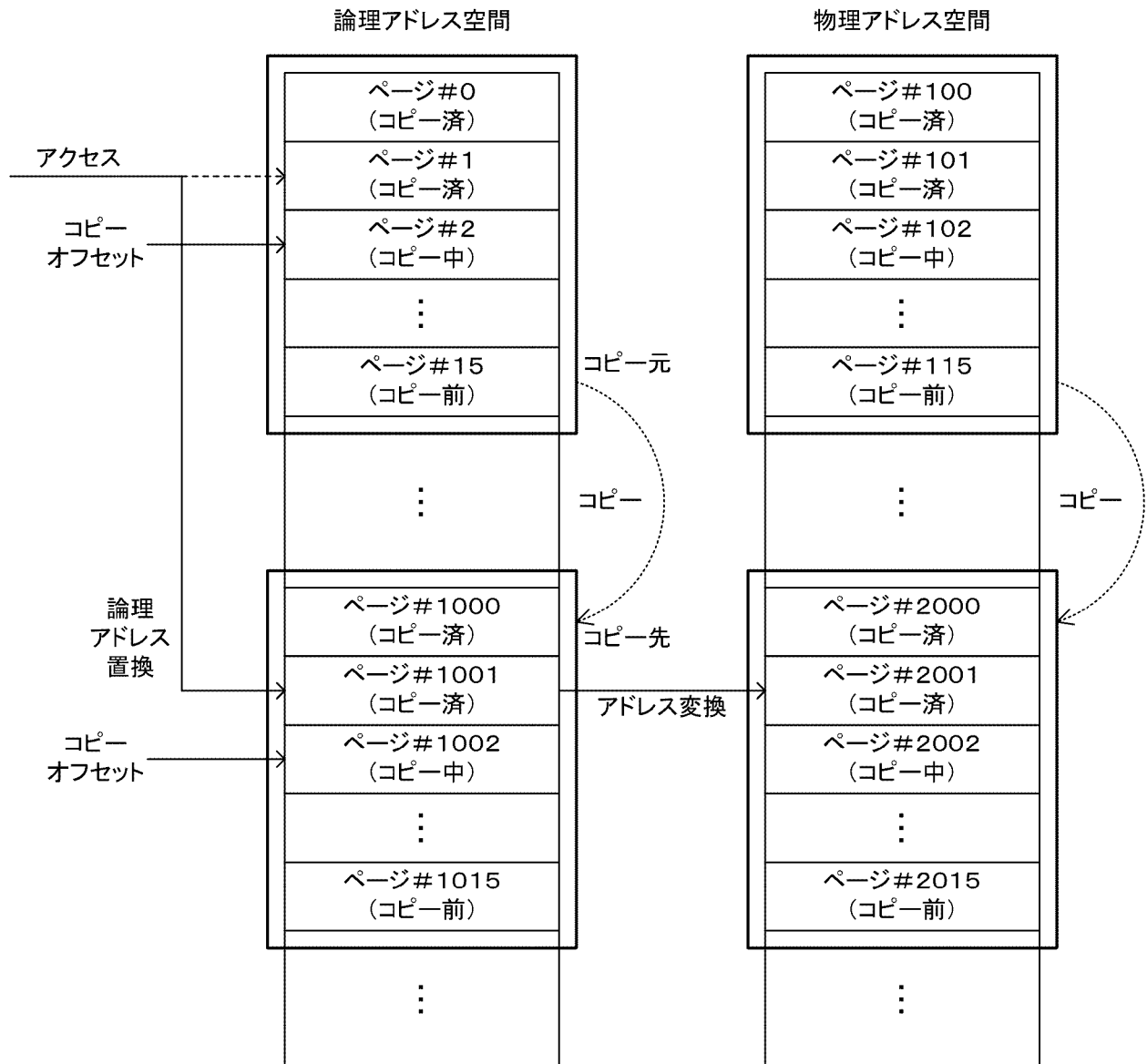
[図9]

ケース	衝突の有無	コマンド	ホストアクセスの 論理アドレス	論理アドレス置換部の 出力	論理アドレス置換部の 出力先
#1	衝突あり	リード	コピー済	コピー先の論理アドレス	論理アドレス変換部
#2			コピー中	置換しない (コピー元の論理アドレス)	
#3			コピー前	置換しない (コピー元の論理アドレス)	
#4		ライト	コピー済	コピー先の論理アドレス	
#5			コピー中	(待機)	ホスト書込み要求バッファ
#6			コピー前	置換しない (コピー元の論理アドレス)	論理アドレス変換部
#7	衝突なし	リード／ ライト	—	置換しない	

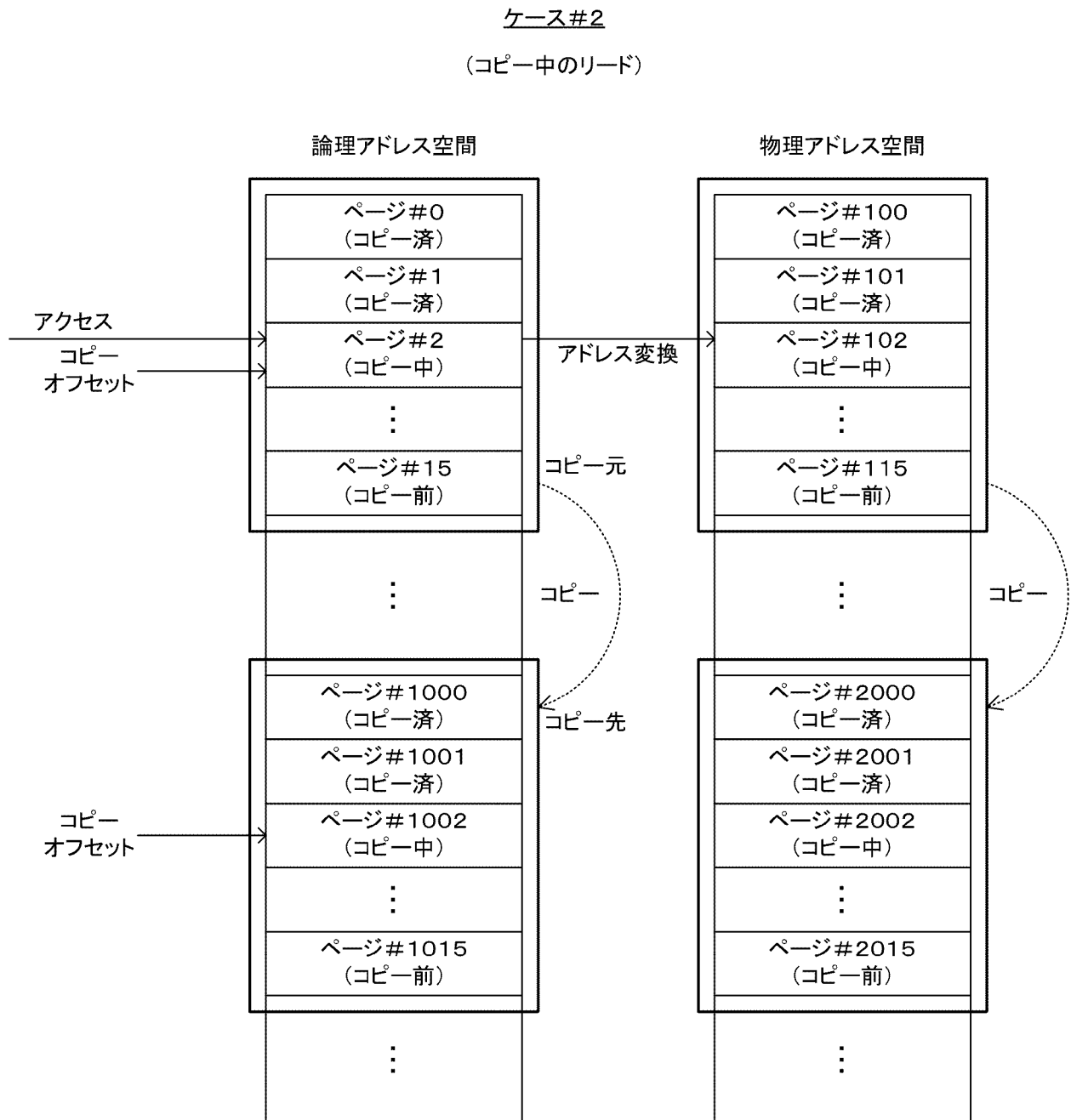
[図10]

ケース#1、#4

(コピー済)



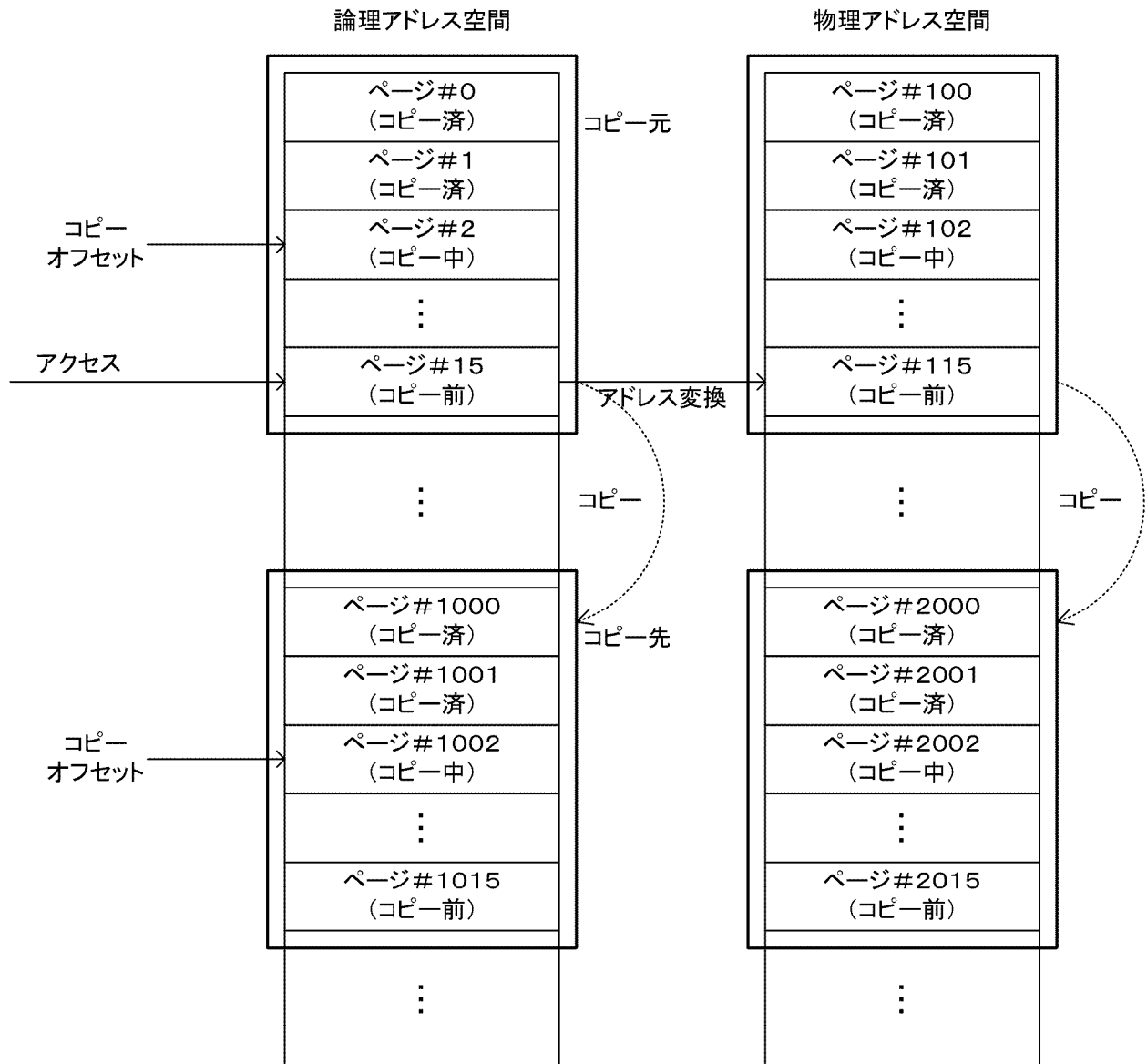
[図11]



[図12]

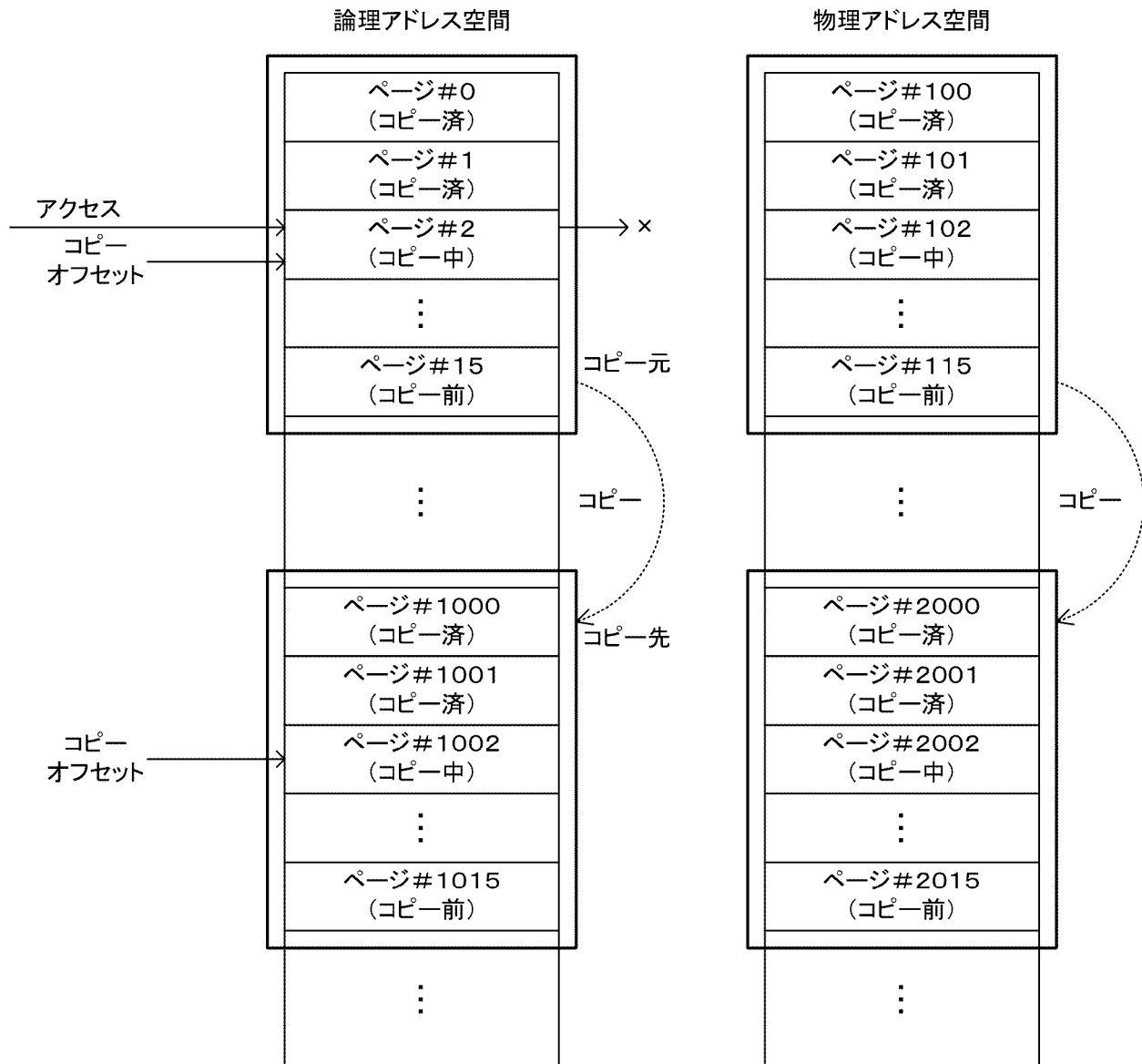
ケース#3. 6

(コピー前)



[図13]

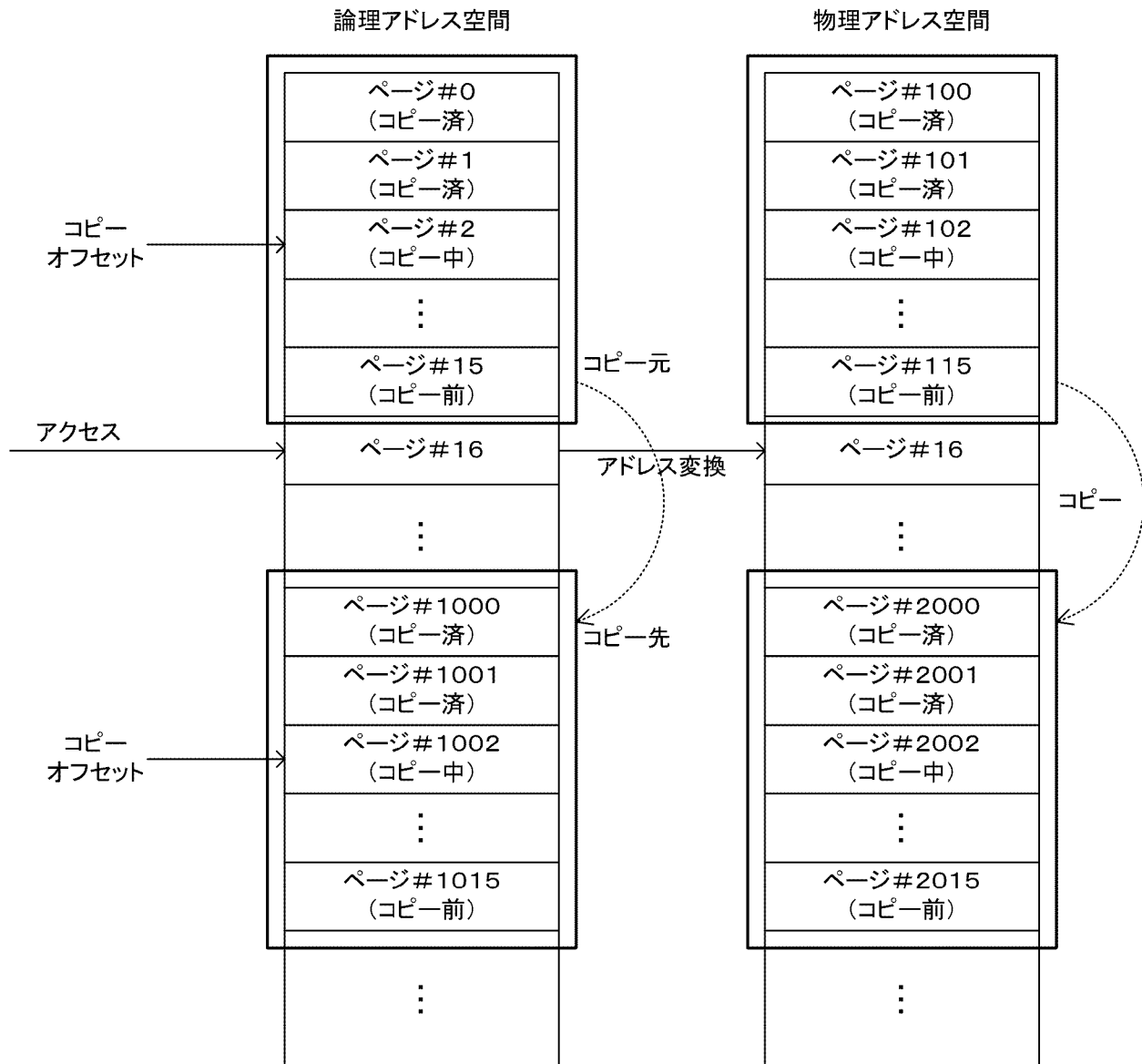
ケース#5
(コピー中のライト)



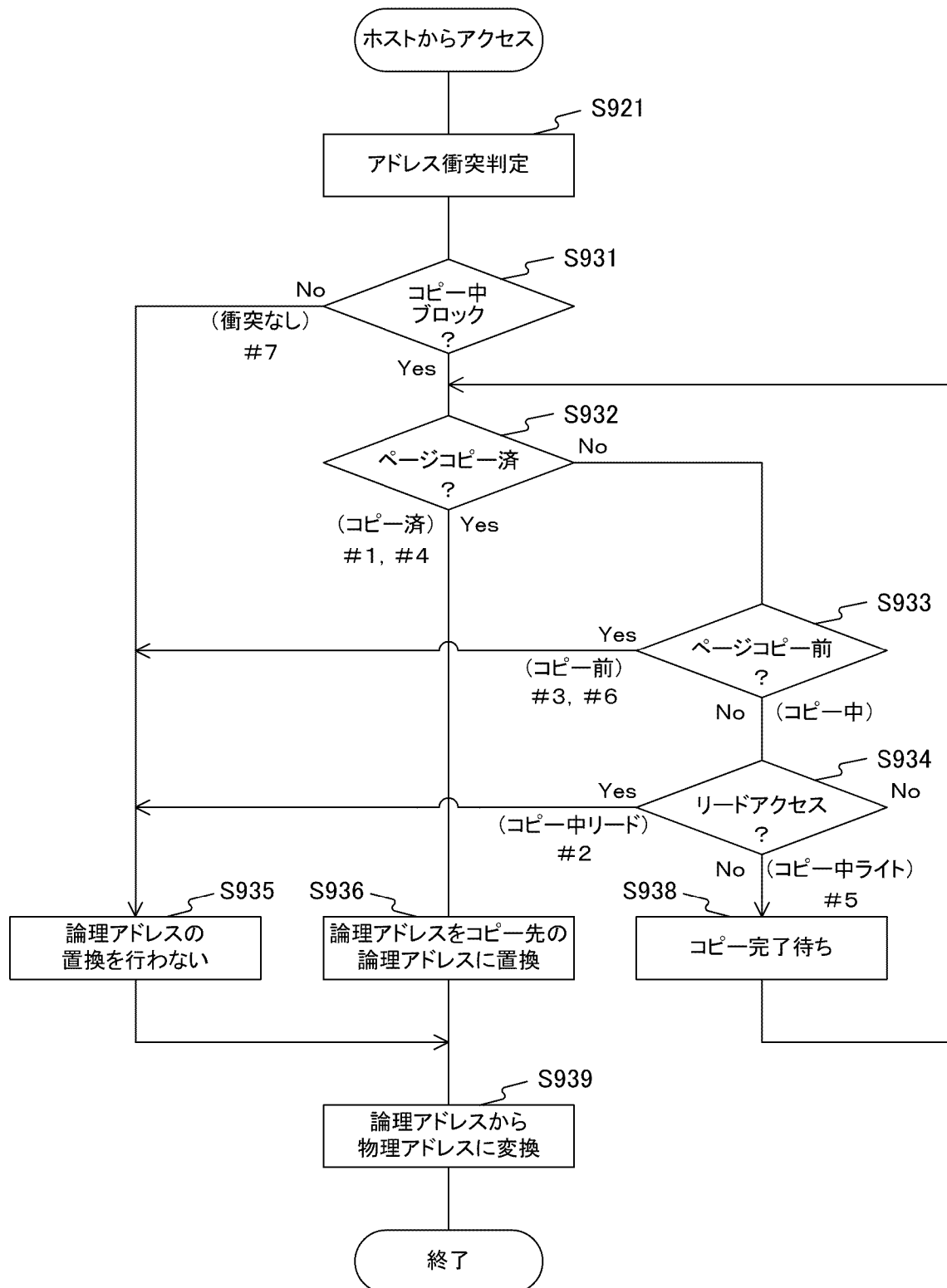
[図14]

ケース#7

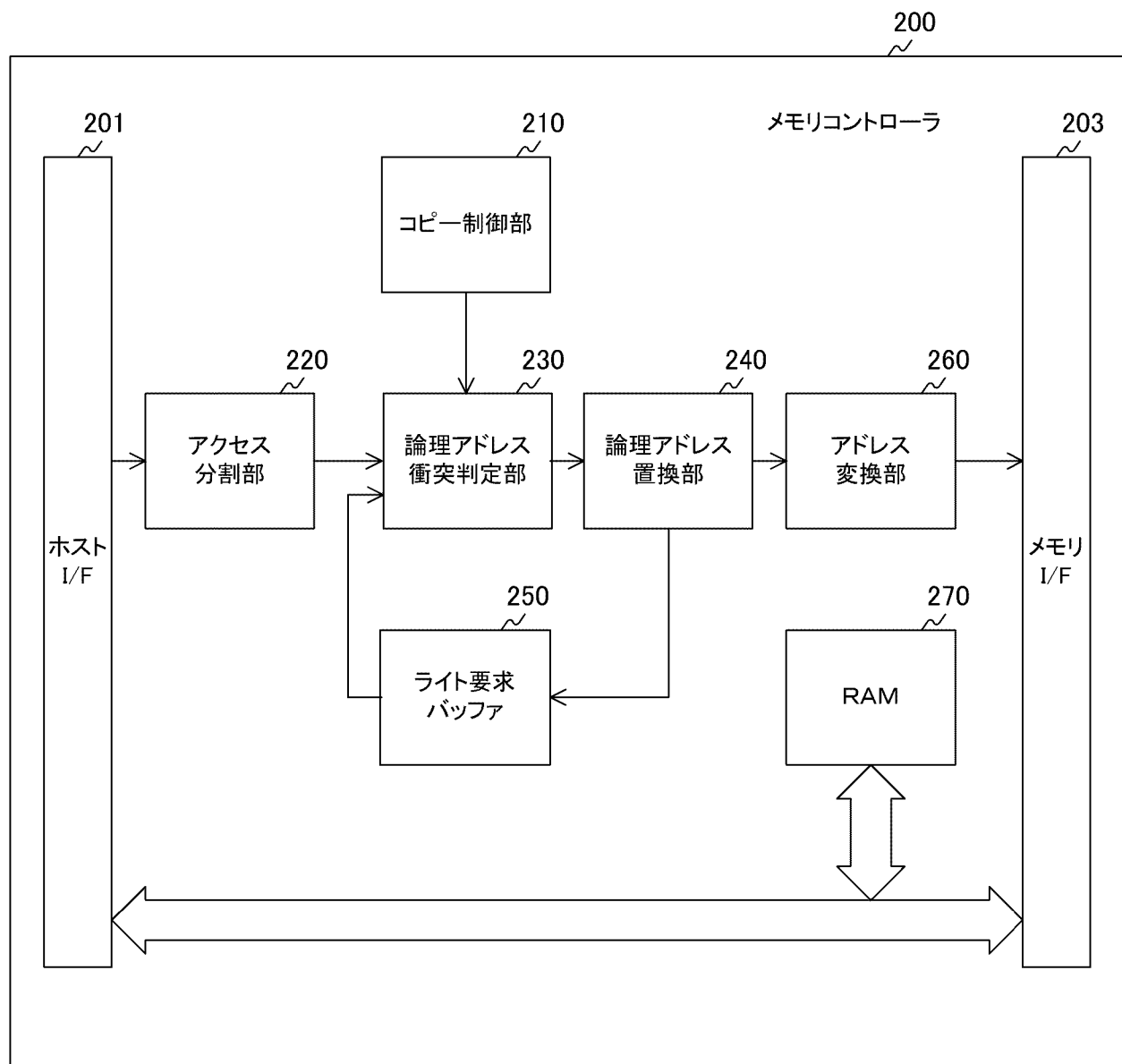
(衝突なし)



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/040553

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G06F12/02 (2006.01) i, G06F12/00 (2006.01) i, G06F12/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G06F12/02, G06F12/00, G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-225608 A (SEIKO EPSON CORP.) 25 September 2008, abstract, paragraphs [0006], [0038], [0043], [0044], [0050]-[0052], [0094], [0095], fig. 1, 4 (Family: none)	1-13
Y	WO 2019/017017 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 24 January 2019, paragraphs [0021]-[0023], [0029], [0032]-[0035], [0044]-[0046], fig. 1, 4, 7 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13.12.2019

Date of mailing of the international search report
24.12.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F12/02(2006.01)i, G06F12/00(2006.01)i, G06F12/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F12/02, G06F12/00, G06F12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-225608 A（セイコーエプソン株式会社）2008.09.25, 要約, 段落[0006], 段落[0038], 段落[0043]－[0044], 段落[0050]－[0052], 段落[0094]－[0095], 図1, 図4 (ファミリーなし)	1-13
Y	WO 2019/017017 A1（ソニーセミコンダクタソリューションズ株式会 社）2019.01.24, 段落[0021]－[0023], 段落[0029], 段落[0032]－[0035], 段落[0044]－[0046], 図1, 図4, 図7 (ファミリーなし)	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.12.2019

国際調査報告の発送日

24.12.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

酒井 恭信

5N

9190

電話番号 03-3581-1101 内線 3586