

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2010-3161

(P2010-3161A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.

F 1

テーマコード (参考)

G06F 12/00 (2006.01)

G O 6 F 12/00 5 6 4 D

5 B 0 6 0

G06F 13/16 (2006.01)

G06 F 12/00 597 U

G06F 13/16 510C

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号 特願2008-162281 (P2008-162281)

(22) 出願日 平成20年6月20日 (2008. 6. 20)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100089118

弁理士 酒井 宏明

(72) 發明者 長富 靖

東京都港区芝浦一丁目1番1号 株式会社
東芝内

Fターム(参考) 5B060 MB02

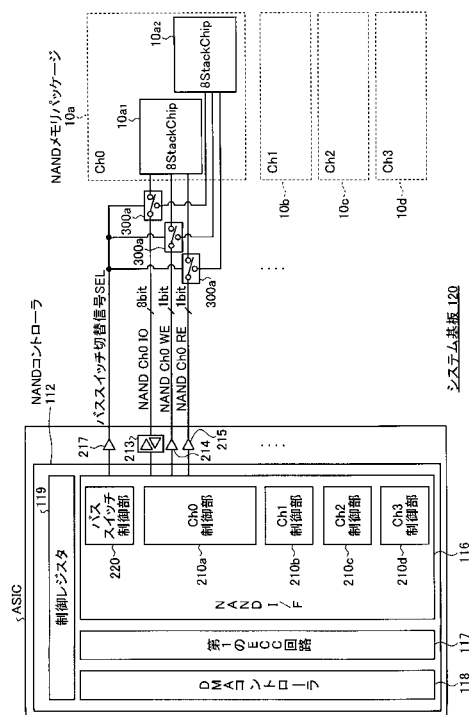
(54) 【発明の名称】 メモリシステム

(57) 【要約】

【課題】不揮発性記憶部の信号線の負荷容量が増大した場合においても、信号遅延を防止することが可能なメモリシステムを提供することを目的とする。

【解決手段】複数のＣｈｉｐが搭載されるＮＡＮＤメモリと、ＮＡＮＤメモリを制御するＮＡＮＤコントローラ１１２を備えたメモリシステムにおいて、ＮＡＮＤコントローラ１１２とＮＡＮＤメモリに搭載される複数のＣｈｉｐ間の信号線の接続を切り替えるバススイッチを設け、ＮＡＮＤメモリ１０に対するアクセス時の信号線の負荷容量を低減して、信号遅延を防止する。

【選択図】 図 1 1



【特許請求の範囲】**【請求項 1】**

複数の不揮発性メモリチップが搭載される不揮発性記憶部と、前記不揮発性記憶部を制御するコントロール回路と、前記コントロール回路を制御するMPUと、ホストとの通信を行うインタフェース回路とが基板上に搭載されるメモリシステムにおいて、

前記コントロール回路と前記複数の不揮発性メモリチップ間の信号線の接続を切り替えるバススイッチを備えたことを特徴とするメモリシステム。

【請求項 2】

前記バススイッチは、前記基板上または前記不揮発性記憶部に搭載されることを特徴とする請求項 1 に記載のメモリシステム。

10

【請求項 3】

前記コントロール回路は、リード/ライトアドレスに応じて、前記バススイッチの切り替えを指示するバススイッチ切替信号を前記バススイッチに出力するバススイッチ制御部を含み、

前記バススイッチは、前記バススイッチ切替信号に基づいて、前記信号線の接続の切り替えを行うことを特徴とする請求項 1 または請求項 2 に記載のメモリシステム。

【請求項 4】

前記バススイッチは、リード/ライトアドレスに応じて、前記信号線の接続の切り替えを行うことを特徴とする請求項 1 または請求項 2 に記載のメモリシステム。

【請求項 5】

前記バススイッチは、1 または複数の不揮発性メモリチップ単位で前記信号線の接続の切り替えを行うことを特徴とする請求項 1 ~ 請求項 4 のいずれか 1 つに記載のメモリシステム。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、不揮発性半導体記憶装置を用いて構成されるメモリシステムに関する。

【背景技術】**【0002】**

コンピュータシステムに用いられる外部記憶装置として、フラッシュメモリ（フラッシュE E P R O M）を搭載したメモリシステムとしてS S D（Solid State Drive）が注目されている。フラッシュメモリは、磁気ディスク装置に比べ、高速、軽量などの利点を有している。

30

【0003】

S S D 内には、複数のフラッシュメモリチップ、ホスト装置からの要求に応じて各フラッシュメモリチップのリード/ライト制御を行うコントローラ、各フラッシュメモリチップとホスト装置との間でデータ転送を行うためのバッファメモリ、電源回路、ホスト装置に対する接続インタフェースなどを備えている（例えば、特許文献 1）。

【0004】

しかしながら、S S D を設計する場合、コントローラチップのP i n 数や実装面積が限られた中で、データ容量を増やすために、メモリC h i p を複数枚S t a c k（積層）したS t a c k 品を使用する必要がある。かかるS t a c k 品では、内部でI O 信号線および制御信号線をメモリC h i p 数分纏めた形となり、各信号線の負荷容量もS t a c k したメモリC h i p 数につれて大きくなる。

40

【0005】

各信号線の負荷容量が大きくなると、I O 信号および制御信号のC R 遅延による遅れが生じ、同期設計したコントローラを使用した場合、低負荷（S t a c k 数：少）ではメモリからの読み取りデータをラッチして出力できるが、高負荷（S t a c k 数：多）ではC R 遅延によってメモリから読み出したデータの遅延のため、ラッチして出力できないおそれがある。同様に、各信号線の負荷容量が大きくなると、信号遅延のためにメモリに対す

50

る書き込みエラーが発生するおそれがある。

【 0 0 0 6 】

【特許文献 1】特許第 3 6 8 8 8 3 5 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

本発明は、上記課題に鑑みてなされたものであり、不揮発性記憶部の信号線の負荷容量が増大した場合においても、信号遅延を防止することが可能なメモリシステムを提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

上述した課題を解決し、目的を達成するために、本発明は、複数の不揮発性メモリチップが搭載される不揮発性記憶部と、前記不揮発性記憶部を制御するコントロール回路と、前記コントロール回路を制御する M P U と、ホストとの通信を行うインタフェース回路とが基板上に搭載されるメモリシステムにおいて、前記コントロール回路と前記複数の不揮発性メモリチップ間の信号線の接続を切り替えるバススイッチを備えたことを特徴とする。

【発明の効果】

【 0 0 0 9 】

本発明によれば、コントローラ回路と不揮発性記憶部に搭載される複数の不揮発性メモリチップ間の信号線の接続を切り替えるバススイッチを設けているので、不揮発性記憶部にアクセスする場合に、バススイッチにより、アクセスする不揮発性メモリチップを接続する一方、アクセスしない不揮発性メモリチップとの接続を遮断することができ、不揮発性記憶部に対するアクセス時の信号線の負荷容量を低減でき、不揮発性記憶部の信号線の負荷容量が増大した場合においても、信号遅延を防止することが可能なメモリシステムを提供することが可能となるという効果を奏する。

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下に、この発明につき図面を参照しつつ詳細に説明する。なお、この実施例によりこの発明が限定されるものではない。また、下記実施例における構成要素には、当業者が容易に想定できるものまたは実質的に同一のものが含まれる。

【 0 0 1 1 】

本実施例のメモリシステムは、不揮発性半導体記憶装置を含み、たとえば、パーソナルコンピュータなどのホスト装置の 2 次記憶装置 (S S D : Solid State Drive) として使用され、ホスト装置から書込要求が出されたデータを記憶し、またホスト装置から読出要求のあったデータを読出してホスト装置に出力する機能を有する。

【 0 0 1 2 】

[S S D の構成例]

図 1 は、 S S D 1 0 0 の構成例を示すブロック図である。 S S D 1 0 0 は、システム基板 (基板) 1 2 0 に搭載された A S I C および N A N D メモリ 1 0 で構成されている。また、 A S I C には、ドライブ制御回路 4 , 電源回路 5 , D R A M 2 0 が搭載されている。

【 0 0 1 3 】

S S D 1 0 0 は、 A T A インタフェース (A T A I / F) 2 などのメモリ接続インタフェースを介してパソコンあるいは C P U コアなどのホスト装置 (ホスト) 1 と接続され、ホスト装置 1 の外部メモリとして機能する。また、 S S D 1 0 0 は、 R S 2 3 2 C インタフェース (R S 2 3 2 C I / F) 3 などの通信インタフェースを介して、デバッグ用機器 2 0 0 との間でデータを送受信することができる。 S S D 1 0 0 は、不揮発性メモリとしての N A N D フラッシュメモリ (以下、 N A N D メモリと略す) 1 0 と、コントローラとしてのドライブ制御回路 4 と、揮発性メモリとしての D R A M 2 0 と、電源回路 5 と、状態表示用の L E D 6 などを備えている。

10

20

30

40

50

【 0 0 1 4 】

電源回路 5 は、ホスト装置 1 側の電源回路から供給される外部直流電源から複数の異なる内部直流電源電圧を生成し、これら内部直流電源電圧を S S D 1 0 0 内の各回路に供給する。また、電源回路 5 は、外部電源の立ち上がりまたは立ち下がりを検知し、パワーオンリセット信号またはパワーオフリセット信号を生成して、ドライブ制御回路 4 に供給する。

【 0 0 1 5 】

N A N D メモリ (不揮発性記憶部) 1 0 は、4 C h の N A N D メモリパッケージ 1 0 a ~ 1 0 d を有する。1 つの N A N D メモリパッケージは、積層された複数の N A N D メモリチップ (以下、「C h i p」と称する) によって構成されている。図 1 に示す例では、例えば、N A N D メモリパッケージ 1 0 a は、8 枚の C h i p 0 ~ 7 (例えば、1 C h i p = 1 6 G B) が S t a c k された 8 S t a c k C h i p 1 0 a 1 と、8 枚の C h i p 8 ~ 1 5 が S t a c k された 8 S t a c k C h i p 1 0 a 2 とを備え、他の N A N D メモリパッケージ 1 0 b ~ d も同様に、2 組の 8 S t a c k C h i p を備えており、N A N D メモリ 1 0 は 1 2 8 G B の容量を有する。4 C h の N A N D メモリパッケージ 1 0 a ~ 1 0 d は、4 並列動作が可能となっている。

【 0 0 1 6 】

D R A M 2 0 は、ホスト装置 1 と N A N D メモリ 1 0 間でのデータ転送用キャッシュおよび作業領域用メモリとして機能する。ドライブ制御回路 4 は、ホスト装置 1 と N A N D メモリ 1 0 との間で D R A M 2 0 を介してデータ転送制御を行うとともに、S S D 1 0 0 内の各構成要素を制御する。また、ドライブ制御回路 4 は、状態表示用 L E D 6 にステータス表示用信号を供給するとともに、電源回路 5 からのパワーオン / オフリセット信号を受けて、リセット信号およびクロック信号を自回路内および S S D 1 0 0 内の各部に供給する機能も有している。

【 0 0 1 7 】

各 N A N D メモリチップは、データ消去の単位であるブロックを複数配列して構成されている。図 2 は、N A N D メモリチップに含まれる 1 個のブロックの構成例を示す回路図である。各ブロックは、X 方向に沿って順に配列された (m + 1) 個の N A N D ストリングを備えている (m は、0 以上の整数) 。 (m + 1) 個の N A N D ストリングにそれぞれ含まれる選択トランジスタ S T 1 は、ドレインがビット線 B L 0 ~ B L m に接続され、ゲートが選択ゲート線 S G D に共通接続されている。また、選択トランジスタ S T 2 は、ソースがソース線 S L に共通接続され、ゲートが選択ゲート線 S G S に共通接続されている。

【 0 0 1 8 】

各メモリセルトランジスタ M T は、半導体基板上に形成された積層ゲート構造を備えた M O S F E T (metal oxide semiconductor field effect transistor) から構成される。積層ゲート構造は、半導体基板上にゲート絶縁膜を介在して形成された電荷蓄積層 (浮遊ゲート電極) 、及び電荷蓄積層上にゲート間絶縁膜を介在して形成された制御ゲート電極を含んでいる。メモリセルトランジスタ M T は、浮遊ゲート電極に蓄えられる電子の数に応じて閾値電圧が変化し、この閾値電圧の違いに応じてデータを記憶する。メモリセルトランジスタ M T は、1 ビットを記憶するように構成されていてもよいし、多値 (2 ビット以上のデータ) を記憶するように構成されていてもよい。

【 0 0 1 9 】

各 N A N D ストリングにおいて、(n + 1) 個のメモリセルトランジスタ M T は、選択トランジスタ S T 1 のソースと選択トランジスタ S T 2 のドレインとの間に、それぞれの電流経路が直列接続されるように配置されている。すなわち、複数のメモリセルトランジスタ M T は、隣接するもの同士で拡散領域 (ソース領域若しくはドレイン領域) を共有するような形で Y 方向に直列接続される。

【 0 0 2 0 】

そして、最もドレイン側に位置するメモリセルトランジスタ M T から順に、制御ゲート

10

20

30

40

50

電極がワード線 $W L 0 \sim W L n$ にそれぞれ接続されている。従って、ワード線 $W L 0$ に接続されたメモリセルトランジスタ $M T$ のドレインは選択トランジスタ $S T 1$ のソースに接続され、ワード線 $W L n$ に接続されたメモリセルトランジスタ $M T$ のソースは選択トランジスタ $S T 2$ のドレインに接続されている。

【 0 0 2 1 】

ワード線 $W L 0 \sim W L n$ は、ブロック内の $N A N D$ ストリング間で、メモリセルトランジスタ $M T$ の制御ゲート電極を共通に接続している。つまり、ブロック内において同一行にあるメモリセルトランジスタ $M T$ の制御ゲート電極は、同一のワード線 $W L$ に接続される。この同一のワード線 $W L$ に接続される $(m+1)$ 個のメモリセルトランジスタ $M T$ は 1 ページとして取り扱われ、このページごとにデータの書き込み及びデータの読み出しが行われる。

10

【 0 0 2 2 】

また、ビット線 $B L 0 \sim B L m$ は、ブロック間で、選択トランジスタ $S T 1$ のドレインを共通に接続している。つまり、複数のブロック内において同一列にある $N A N D$ ストリングは、同一のビット線 $B L$ に接続される。

【 0 0 2 3 】

図 1 に示したように、 $N A N D$ メモリ 10 においては、4 つの並列動作要素である $N A N D$ メモリパッケージ 10 a ~ 10 d が各 8 ビットの 4 チャンネル (4 C h) を介してドライブ制御回路 4 に並列接続されている。4 つの $N A N D$ メモリパッケージ 10 a ~ 10 d を単独動作させるか、並列動作させるか、 $N A N D$ メモリ 10 の倍速モードを使用するかどうか、という組み合わせにより、下記 3 種類のアクセスモードが提供される。

20

(1) 8 ビットノーマルモード

1 C h だけ動作させ、8 ビット単位で読み書きをするモードである。転送サイズの 1 単位はページサイズ (4 k B) である。

(2) 3 2 ビットノーマルモード

4 C h 並列で動作させ、3 2 ビット単位で読み書きをするモードである。転送サイズの 1 単位はページサイズ $\times 4$ (1 6 k B) である。

(3) 3 2 ビット倍速モード

4 C h 並列で動作させ、更に、 $N A N D$ メモリ 10 の倍速モードを利用して読み書きをするモードである。転送サイズの 1 単位はページサイズ $\times 4 \times 2$ (3 2 k B) である。

30

【 0 0 2 4 】

4 C h 並列動作する 3 2 ビットノーマルモードまたは 3 2 ビット倍速モードでは、並列動作する 4 または 8 ブロックが、 $N A N D$ メモリ 10 としての消去単位となり、並列動作する 4 または 8 ページが、 $N A N D$ メモリ 10 としての書き込み単位及び読み出し単位となる。

【 0 0 2 5 】

図 3 は、ドライブ制御回路 4 のハードウェア的な内部構成例を示すブロック図である。ドライブ制御回路 4 は、データアクセス用バス 10 1、第 1 の回路制御用バス 10 2、及び第 2 の回路制御用バス 10 3 を備えている。第 1 の回路制御用バス 10 2 には、ドライブ制御回路 4 全体を制御するプロセッサ 10 4 が接続されている。第 1 の回路制御用バス 10 2 には、 $N A N D$ メモリ 10 に記憶された各管理プログラム (F W : ファームウェア) をブートするブート用プログラムが格納されたブート R O M 10 5 が R O M コントローラ 10 6 を介して接続されている。また、第 1 の回路制御用バス 10 2 には、図 1 に示した電源回路 5 からのパワーオン / オフリセット信号を受けて、リセット信号及びクロック信号を各部に供給するクロックコントローラ 10 7 が接続されている。

40

【 0 0 2 6 】

第 2 の回路制御用バス 10 3 は、第 1 の回路制御用バス 10 2 に接続されている。第 2 の回路制御用バス 10 3 には、図 1 に示した状態表示用 L E D 6 にステータス表示用信号を供給するパラレル I O (P I O) 回路 10 8、R S 2 3 2 C I / F 3 を制御するシリアル I O (S I O) 回路 10 9 が接続されている。

50

【 0 0 2 7 】

A T A インタフェースコントローラ (A T A コントローラ) 1 1 0、第 2 の E C C (E r r o r C h e c k a n d C o r r e c t) 回路 1 1 1、N A N D コントローラ 1 1 2、及び D R A M コントローラ 1 1 3 は、データアクセス用バス 1 0 1 と第 1 の回路制御用バス 1 0 2 との両方に接続されている。A T A コントローラ 1 1 0 は、A T A インタフェース 2 を介してホスト装置 1 との間でデータを送受信する。データアクセス用バス 1 0 1 には、データ作業領域として使用される S R A M 1 1 4 が S R A M コントローラ 1 1 5 を介して接続されている。S R A M 1 1 4 には、N A N D メモリ 1 0 に記憶されているファームウェアが起動時、ブート R O M 1 0 5 に記憶されたブート用プログラムによって転送される。

【 0 0 2 8 】

N A N D コントローラ 1 1 2 は、N A N D メモリ 1 0 の各 N A N D メモリパッケージ 1 0 a ~ 1 0 d とのインタフェース処理を行う N A N D I / F 1 1 6、第 1 の E C C 回路 1 1 7、N A N D メモリ 1 0 - D R A M 2 0 間のアクセス制御を行う D M A 転送制御用 D M A コントローラ 1 1 8、およびプロセッサ 1 0 4 により制御データが書き込まれる制御レジスタ 1 1 9 を備えている。

【 0 0 2 9 】

N A N D メモリ 1 0 にデータを書き込む場合は、第 1 の E C C 回路 1 1 7 は、書き込み対象のデータに対して、所定単位データ D (例えば、5 1 2 B) 毎に、誤り検出符号 (例えば、C R C 3 2) および 1 b i t の訂正能力がある第 1 の誤り訂正符号 (例えば、ハミング符号) を生成して付加する。また、第 1 の E C C 回路 1 1 7 は、8 個の単位データ D 毎に、複数 b i t (例えば、4 8 b i t) の訂正能力がある第 2 の誤り訂正符号 (例えば、B C H 符号) を生成して付加する。誤り検出符号および第 1 の誤り訂正符号が付加されたデータが N A N D I / F 1 1 6 により N A N D メモリ 1 0 に書き込まれる。

【 0 0 3 0 】

また、N A N D メモリ 1 0 からデータを読み出す場合は、第 1 の E C C 回路 1 1 7 は、N A N D I / F 1 1 6 により N A N D メモリ 1 0 から読み出されたデータに対して、まず、第 1 の誤り訂正を行った後、誤り検出符号で誤りがあるか否かを検出し、第 1 の誤り訂正後のデータ、第 1 の誤り訂正による訂正 b i t 数、および誤り検出結果を、D M A コントローラ 1 1 8 を介して、D R A M 2 0 に格納する。第 2 の E C C 回路 1 1 1 は、誤り検出結果で誤りがある場合に、すなわち、第 1 の誤り訂正で誤りを訂正できなかった場合に、第 2 の誤り訂正を行って、第 2 の誤り訂正後のデータおよび第 2 の誤り訂正による訂正 b i t 数を D R A M 2 0 に格納する。

【 0 0 3 1 】

[N A N D コントローラおよび N A N D メモリ]

図 4 は、N A N D I / F 1 1 6 と N A N D メモリ 1 0 との接続を説明するための図である。N A N D I / F 1 1 6 は、4 C h のインタフェース回路である C h 0 ~ C h 3 制御部 2 1 0 a ~ 2 1 0 d を備えており、C h 0 ~ C h 3 制御部 2 1 0 a ~ 2 1 0 d の制御信号ピン 2 0 1 および I O 信号ピン 2 0 2 は、C h 0 ~ C h 3 の N A N D パッケージ 1 0 a ~ 1 0 d (N A N D C h 0 ~ C h 3) とそれぞれ独立に接続されている。制御信号ピン 2 0 1 からは制御信号が出力され、I O ピン 2 0 2 からは 8 ビットのデータ I O 0 ~ 7 が入出力される。C E (チップイネーブル) 0 ~ 3 信号は、N A N D パッケージ 1 0 a ~ 1 0 d (N A N D C h 0 ~ C h 3) を選択する。

【 0 0 3 2 】

以下の説明では、各 C h の構成は同一であるので、C h 0 を代表させて説明する。図 5 および図 6 は、N A N D メモリ 1 0 の負荷容量および C R 遅延を説明するための図である。図 6 において、2 1 3 は入出力 I O、2 1 4 および 2 1 5 は出力 I O を示している。

【 0 0 3 3 】

図 5 に示すように、8 S t a c k C h i p 1 0 a 1 は、I O 信号 (I O データ I O 0 ~ 7 (アドレスデータを含む))、制御信号 { W E (ライトイネーブル) 信号、R E (リードイネーブル) 信号、C L E (コマンドラッチイネーブル) 信号、A L E (アドレスラッ

10

20

30

40

50

チネーブル) 信号、WP (ライトプロテクト) 信号等} が 1 本 / 8 Chip であるので、負荷容量が 8 倍に増加する。また、NAND パッケージ 10a は、信号 pin を減らすために、IO 信号 IO0 ~ 7 および制御信号 / 2 個の 8 Stack Chip 10a1, 10a2 としているため、負荷容量がさらに 2 倍に増加する。このため、CR 遅延が増加する。また、一般に負荷容量は IO 信号 > 制御信号であるため、IO 信号と制御信号で遅延差が生じる。

【0034】

図 7 は、NAND メモリ 10 からのデータの読み出しを説明するためのタイミングチャートである。同図において、(A) は RE 信号、(B) は IO データを示している。ここで、システムは、RE 信号の立ち下がりから tREA 経過した後に、読み出しデータの出力が保証され、RE の立ち上がりから tRLOH 経過した後は、読み出しデータの出力が保証されないスペックであるとする。この場合、負荷容量が大きく CR 遅延が大きい場合は、tREA が遅れ負荷容量が小さい場合のラッチタイミングではデータを取得できなくなってしまう、そのタイミング調整が必要となる。

10

【0035】

図 8 ~ 図 10 を参照して、NAND I/F 116 の Ch 制御部に完全同期設計回路を搭載した場合の信号遅延について説明する。図 8 は、完全同期設計回路を説明するための図、図 9 は、負荷容量が小さい場合のタイミングチャート、図 10 は、負荷容量が大きい場合のタイミングチャートを示している。なお、以下、フリップフロップを FF と表記する。

20

【0036】

図 8 において、Ch0 制御部 210a は、クロックコントローラ 107 (図 3 参照) で生成された内部クロック CLK に同期して RE を出力する FF_RE と、内部クロック CLK に同期して IO[7:0] をラッチして出力する FF_DATA[7:0] とを備えている。同図において、t1 は、IO と CR 遅延、t2, t5 は、伝搬 (配線) 遅延、t4 は IO 遅延、tREA は NAND データ出力と IO と CR 遅延を示している。

【0037】

図 9 および図 10 において、(A) は内部 CLK、(B) は FF_RE 出力、(C) は NAND RE、(D) は NAND IO[7:0]、(E) は FF_DATA[7:0] 入力、(F) は FF_DATA[7:0] 出力を示している。

30

【0038】

図 9 に示すように、負荷容量が小さい場合には、t1 および tREA の CR 遅延が小さいため、内部クロック CLK のタイミングでデータを取得することができる。他方、図 10 に示すように、負荷容量が大きい場合には、t1 および tREA の CR 遅延が大きくなるため、内部クロック CLK のタイミングでデータを取得することができなくなってしまう。なお、ここでは、データリードの場合を説明したが、信号遅延によりライトエラーが発生する場合もある。このため、信号遅延を防止するために、NAND メモリ 10 のアクセス (リード / ライト) 時に信号線 (バスライン) の負荷容量を低減する必要がある。

【0039】

[NAND メモリ 10 のリード / ライト時の負荷容量の低減]

40

図 11 ~ 図 15 を参照して、NAND メモリ 10 のアクセス時に、信号線の負荷容量を低減して信号遅延を防止する方法について説明する。本実施の形態では、NAND コントローラ 112 と Chip 間の信号線の接続を切り替えるバススイッチを設け、NAND メモリ 10 のリード / ライト時にアクセスしない Chip との接続を遮断することにより、リード / ライト時の信号線の負荷容量を低減して信号遅延を防止する。

【0040】

(実施例 1)

図 11 は、実施例 1 に係る NAND コントローラ 112 および NAND メモリ 10 を説明するための図である。図 11 において、上記図 6 と同様の機能を有する部位には同一符号を付しており、共通する部分の説明を省略する。実施例 1 は、図 11 に示すように、シ

50

システム基板上 120 にバススイッチ 300a を設けた構成である。なお、同図では、Ch0 のみを図示しているが、他の Ch1 ~ 3 についても同様にバススイッチが設けられている。また、同図において、217 は出力 I/O を示している。

【0041】

実施例 1 では、システム基板板 120 上に、I/O 信号 I/O0 ~ 7 および制御信号 (WE, RE、...) の信号線の接続を、8 Stack Chip 10a1 と 8 Stack Chip 10a2 とで切り替えるためのバススイッチ 300a を配置した。I/O 用のバススイッチ 300a は、8 ビット幅のスイッチが用いられており、制御信号用のバススイッチ 300a は、1 ビット幅のスイッチが用いられている。同図では、バススイッチ 300a を模式的に示しており、バススイッチ 300a は公知のバススイッチを使用することができるので、その詳細な説明を省略する。NAND コントローラ 112 の NAND I/F 116 は、バススイッチ 300a の切り替えを制御するバススイッチ制御部 220 を備えている。

10

【0042】

バススイッチ制御部 220 は、バススイッチ切替信号によりバススイッチ 300a の切替制御を実行し、リード/ライト時のアドレスに応じてバススイッチ 300a の上位 (8 Stack Chip 10a1 側) / 下位 (8 Stack Chip 10a2 側) の切り替えを行う。バススイッチ制御部 220 は、プロセッサ 104 から 8 Stack Chip 10a0 側のアクセス命令がきた場合には、バススイッチ切替信号 SEL = Low を、8 Stack Chip 10a1 側のアクセス命令がきた場合には、バススイッチ切替信号 SEL = High を、各バススイッチ 300a に出力する。バススイッチ制御部 220 は、ch1 ~ ch3 に設けられたバススイッチ (不図示) についても同様にその切り替えを制御する。

20

【0043】

バススイッチ 300a は、バススイッチ切替信号 SEL = Low の場合は、8 Stack Chip 10a1 側を接続し、バススイッチ切替信号 (SEL) = High の場合は、8 Stack Chip 10a2 側を接続する。

【0044】

これにより、8 Stack Chip 10a1 に対するリード/ライトの場合は、8 Stack Chip 10a2 が切断された状態であり、また、8 Stack Chip 10a2 に対するリード/ライトの場合は、8 Stack Chip 10a1 が切断された状態であるので、リード/ライト時の信号線の負荷容量を 1/2 にすることができる。

30

【0045】

なお、実施例 1 では、負荷の分割数を 2 つとしているが、本発明はこれに限られるものではなく、NAND コントローラ 112 の pin 数や NAND メモリ 10 の負荷に応じて適宜分割することができる。

【0046】

(実施例 2)

上記実施例 1 は、システム基板上 120 にバススイッチ 300a を設けた構成である。これに対して、実施例 2 は、各 NAND メモリパッケージ 10a ~ 10d の内部にバススイッチを設けた構成である。図 12 は、実施例 2 に係る NAND メモリ 10 を説明するための図である。同図では、NAND メモリパッケージ 10a のみを示しているが、NAND メモリパッケージ 10b ~ 10d も同様な構成である。

40

【0047】

同図に示すように、NAND メモリパッケージ 10a の内部には、8 Stack Chip 10a1 の Chip0 ~ 7 のいずれか 1 つを選択して接続するバススイッチ 301a1 と、8 Stack Chip 10a2 の Chip0 ~ 7 のいずれか 1 つを選択して接続するバススイッチ 301a2 とが設けられている。バススイッチ 301a1、301a2 は、アクセスアドレスに基づいてアクセスする Chip を選択 (デコード) し、選択した Chip を接続する。実施例 2 では、バススイッチ 301a1、301a2 はアクセスアドレ

50

スに基づいてアクセスするC h i pを選択する構成であるので、実施例1のように、バススイッチ制御部220(図11参照)を設ける必要がなくなる。

【0048】

実施例2では、I O信号用のバススイッチ301a、301bのみを示しているが、その他、W E / R E等の制御信号全てに対して、バススイッチを設けることにしてもよい。また、実施例2では、8 S t a c k C h i p 1 0 a 1, 1 0 a 2毎にバススイッチを設ける構成としたが、図13-1に示すように、8 S t a c k C h i p 1 0 a 1, 1 0 a 2のC h i pの接続の切り替えを1つのバススイッチ302aで行う構成としてもよい。また、図13-2に示すように、N A N Dメモリパッケージを1つの8 S t a c k C h i pで構成し、8 S t a c k C h i pに1つのバススイッチを設ける構成としてもよい。また、図13-3に示すように、8 S t a c k C h i p毎にN A N Dメモリパッケージを構成し、各8 S t a c k C h i pに1つのバススイッチを設けると共に、各8 S t a c k C h i pでC h i pが同時に選択されるのを防止するために、バススイッチ301a1、301a2に、C E(チップイネーブル)0~3信号を入力する構成としてもよい。バススイッチ301a1、301a2はC E(チップイネーブル)0~3信号に基づいてC h i p群を選択し、さらに、アクセスアドレスに基づいてアクセスするC h i pを選択(デコード)し、選択したC h i pを接続する。これにより、本実施例2によれば、実施例1の効果に加えて、コントローラ側がバススイッチを制御する必要がなくなり、またバススイッチがメモリに内蔵されるため部品数を減らすため小型化を図ることができる。

【0049】

(実施例3)

上記実施例2では、バススイッチ301a1、301a2がアクセスアドレスに基づいてアクセスするC h i pを選択する構成である。これに対して、実施例3は、バススイッチがN A N Dコントローラ112から入力されるバススイッチ切替信号S E Lに基づいて、C h i pの接続の切り替えを行う構成である。図14は、実施例3に係るN A N Dメモリ10を説明するための図である。同図では、N A N Dメモリパッケージ10aのみを示しているが、N A N Dメモリパッケージ10b~10dも同様な構成である。

【0050】

同図において、バススイッチ303a1、303a2は、N A N Dコントローラ112から入力されるバススイッチ切替信号S E Lに基づいて、8 S t a c k C h i p 1 0 a 1のC h i p 0~7および8 S t a c k C h i p 1 0 a 2のC h i p 0~7のいずれか1つを接続する。これにより、信号線の負荷容量を低減して信号遅延を防止することができる。なお、実施例3においても、実施例2の変形例(図13-1~図13-3)のように構成することにもよい。

【0051】

(実施例4)

上記実施例2は、バススイッチによりN A N Dメモリ10の1つのC h i p単位で接続を切り替える構成である。これに対して、実施例4は、バススイッチによりN A N Dメモリ10の複数チップ単位で接続を切り替える構成である。図15は、実施例4に係るN A N Dメモリ10を説明するための図である。同図では、N A N Dメモリパッケージ10aのみを示しているが、N A N Dメモリパッケージ10b~10dも同様な構成である。

【0052】

同図に示すように、8 S t a c k C h i p 1 0 a 1は、C h i p 0~3(チップ群)とC h i p 4~7(チップ群)の信号線がそれぞれ纏められており、すなわち、C E信号の単位毎(4 C h i p毎)に纏められている。同様に、8 S t a c k C h i p 1 0 a 2の信号線もC E信号の単位毎(4 C h i p毎)に纏められている。バススイッチ304a1、304a2は、アクセスアドレスに基づいて、アクセスするC h i p群を選択し、選択したC h i p群に接続を切り替える。これにより、信号線の負荷容量を低減して信号遅延を防止することができる。なお、実施例4においても、実施例2の変形例(図13-1~図13-3)のように構成することにもよい。

【 0 0 5 3 】

なお、実施例 1 ~ 実施例 4 は適宜組み合わせで実施可能であり、例えば、実施例 1 のように、システム基板 1 2 0 上にバススイッチを配置する場合においても、実施例 2 のように、バススイッチがアクセスアドレスに応じて信号線の接続を切り替える構成としてもよく、また、実施例 2、4 のように、バススイッチは、1 または複数の C h i p 単位で接続を切り替える構成としてもよい。

【 0 0 5 4 】

以上説明したように、本実施の形態によれば、N A N D コントローラ 1 1 2 と N A N D メモリ 1 0 に搭載される複数の C h i p 間の信号線の接続を切り替えるバススイッチを設けているので、N A N D メモリ 1 0 にアクセスする場合に、バススイッチにより、アクセスする C h i p を接続する一方、アクセスしない C h i p との接続を遮断することができ、N A N D メモリ 1 0 に対するアクセス時の信号線の負荷容量を低減でき、N A N D メモリ 1 0 の信号線の負荷容量が増大した場合においても、信号遅延を防止することが可能となる。

【 0 0 5 5 】

また、バススイッチをシステム基板 1 2 0 上または N A N D メモリ 1 0 に搭載することとしたので、S S D 1 0 0 のレイアウトを考慮して、バススイッチを配置する位置を決定することが可能となる。

【 0 0 5 6 】

また、N A N D コントローラ 1 1 2 の N A N D I / F 1 1 6 にリード/ライトアドレスに応じて、バススイッチの切り替えを指示するバススイッチ切替信号をバススイッチに出力するバススイッチ制御部 1 1 0 を設け、バススイッチは、バススイッチ切替信号に基づいて信号線の接続の切り替えを行うこととしたので、バススイッチの構成を簡素化することが可能となる。

【 0 0 5 7 】

また、バススイッチは、リード/ライトアドレスに応じて、信号線の接続の切り替えを行うこととしたので、N A N D コントローラ 1 1 2 の構成を簡素化することが可能となる。

【 0 0 5 8 】

また、バススイッチは、1 または複数の C h i p 単位で信号線の接続の切り替えを行うこととしたので、N A N D コントローラ 1 1 2 の p i n 数や N A N D メモリ 1 0 の信号線の負荷容量に応じて、接続を切り替える C h i p 単位数を適宜選択することが可能となる。

【 0 0 5 9 】

なお、上記実施の形態では、本発明を、N A N D メモリを有する S S D に適用するようにしたが、N O R 型などの他のフラッシュ E E P R O M を有する S S D に本発明を適用するようにしてもよい。

【 図面の簡単な説明 】

【 0 0 6 0 】

【 図 1 】 S S D (Solid State Drive) の構成例を示すブロック図である。

【 図 2 】 N A N D メモリチップに含まれる 1 個のブロックの構成例を示す回路図である。

【 図 3 】 ドライブ制御回路のハードウェア的な内部構成例を示すブロック図である。

【 図 4 】 N A N D I / F と N A N D メモリとの接続を説明するための図である。

【 図 5 】 N A N D メモリの負荷容量および C R 遅延を説明するための図である。

【 図 6 】 N A N D メモリの負荷容量および C R 遅延を説明するための図である。

【 図 7 】 N A N D メモリからのデータの読み出しを説明するためのタイミングチャートである。

【 図 8 】 完全同期設計回路を説明するための図である。

【 図 9 】 負荷容量が小さい場合のタイミングチャートである。

【 図 1 0 】 負荷容量が大きい場合のタイミングチャートを示している。

10

20

30

40

50

【図 1 1】実施例 1 に係る N A N D コントローラおよび N A N D メモリを説明するための図である。

【図 1 2】実施例 2 に係る N A N D コントローラおよび N A N D メモリを説明するための図である。

【図 1 3 - 1】実施例 2 の変形例 1 を説明するための図である。

【図 1 3 - 2】実施例 2 の変形例 2 を説明するための図である。

【図 1 3 - 3】実施例 2 の変形例 3 を説明するための図である。

【図 1 4】実施例 3 に係る N A N D コントローラおよび N A N D メモリを説明するための図である。

【図 1 5】実施例 4 に係る N A N D コントローラおよび N A N D メモリを説明するための図である。 10

【符号の説明】

【 0 0 6 1 】

1 0 0 S S D

1 ホスト装置

2 A T A インタフェース (A T A I / F)

3 R S 2 3 2 C I / F

4 ドライブ制御回路

5 電源回路

6 L E D

20

1 0 N A N D メモリ

1 0 a ~ d N A N D メモリパッケージ

1 0 a 1 , 1 0 a 2 ~ 1 0 d 1 , 1 0 d 2 8 S t a c k C h i p

2 0 D R A M

1 0 1 データアクセス用バス

1 0 2 第 1 の回路制御用バス

1 0 3 第 2 の回路制御用バス

1 0 4 プロセッサ

1 0 5 ブート R O M

1 0 6 R O M コントローラ

30

1 0 7 クロックコントローラ

1 0 8 パラレル I O (P I O) 回路

1 0 9 シリアル I O (S I O) 回路

1 1 0 A T A インタフェースコントローラ (A T A コントローラ)

1 1 1 第 2 の E C C (Error Check and Correct) 回路

1 1 2 N A N D コントローラ

1 1 3 D R A M コントローラ

1 1 4 S R A M

1 1 5 S R A M コントローラ

1 1 6 N A N D I / F

40

1 1 7 第 1 の E C C 回路

1 1 8 D M A コントローラ

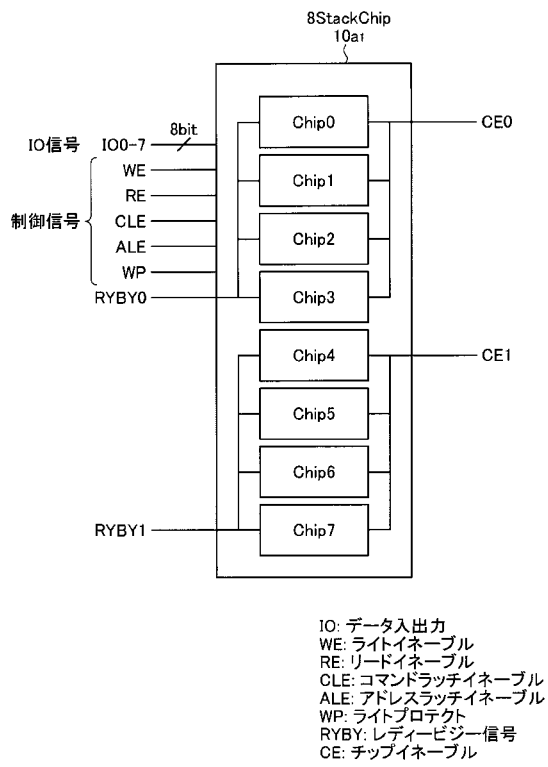
1 1 9 制御レジスタ

1 2 0 システム基板

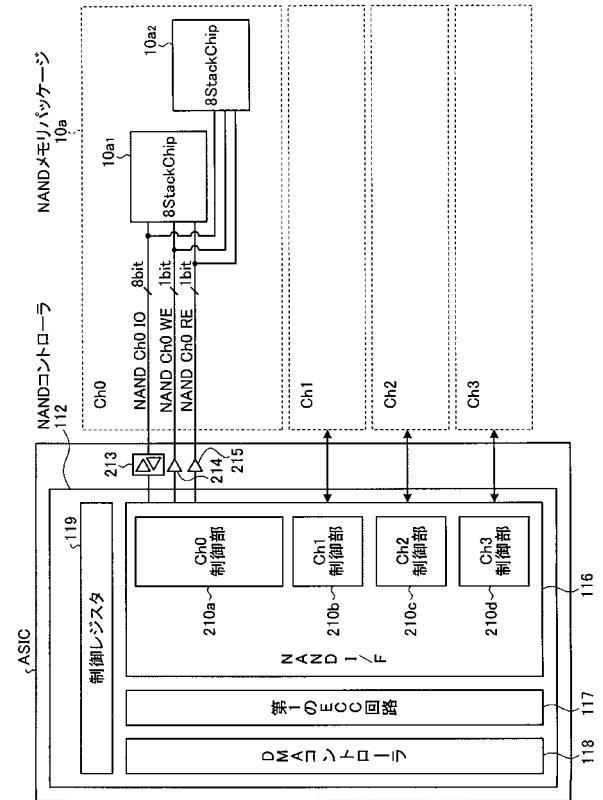
2 2 0 バススイッチ制御部

3 0 0 a , 3 0 1 a , 3 0 2 a , 3 0 3 a , 3 0 4 a バススイッチ

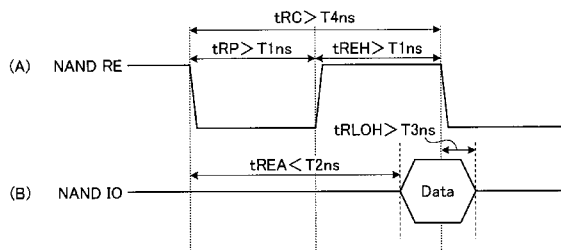
【図5】



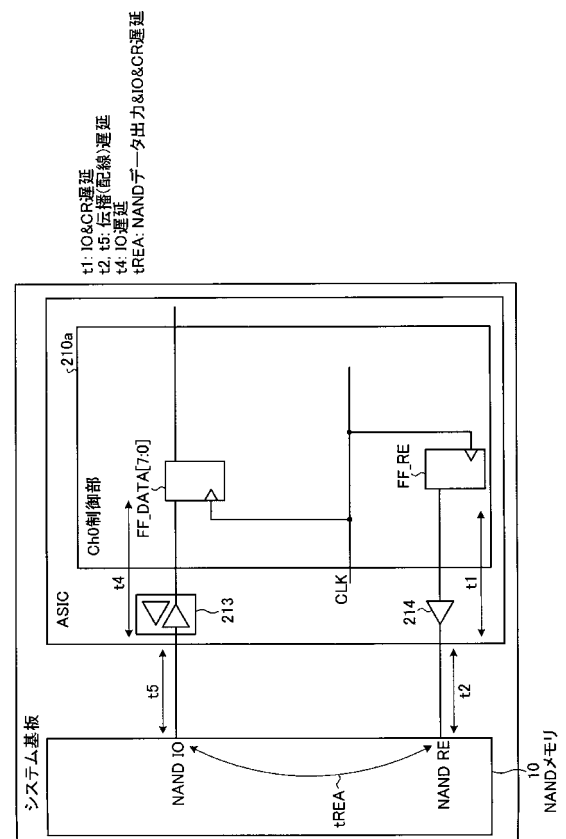
【図6】



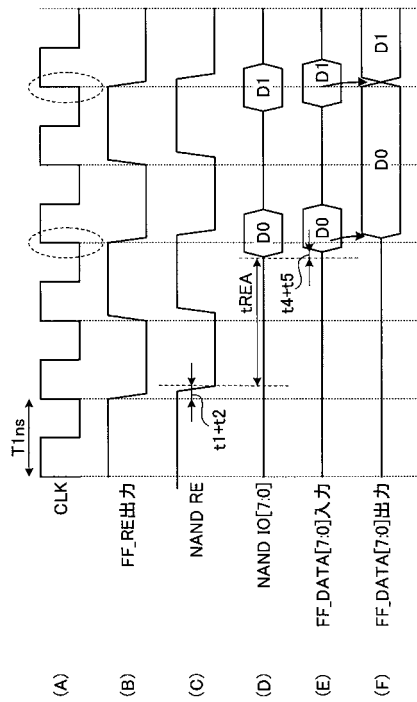
【図7】



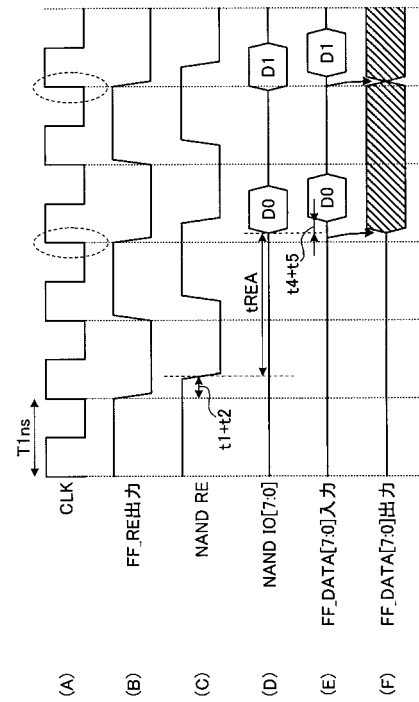
【図8】



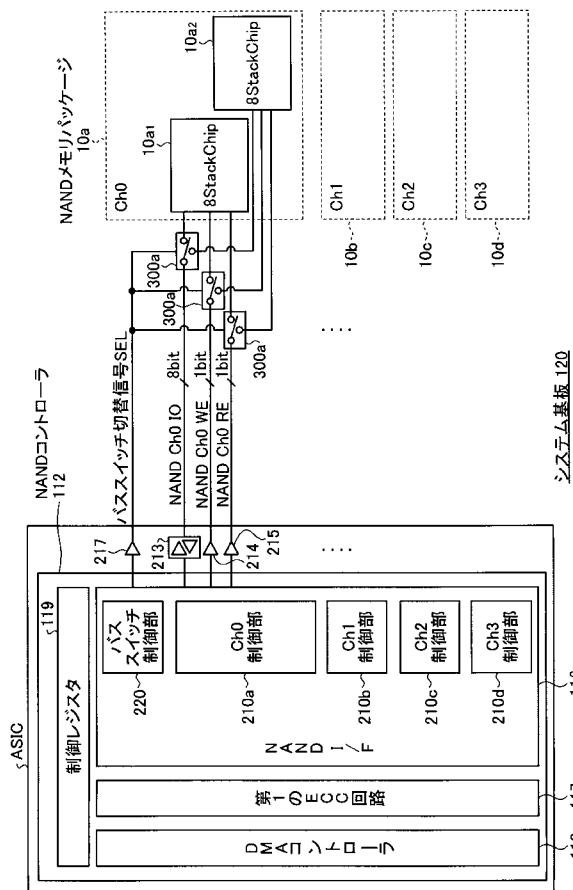
【図 9】



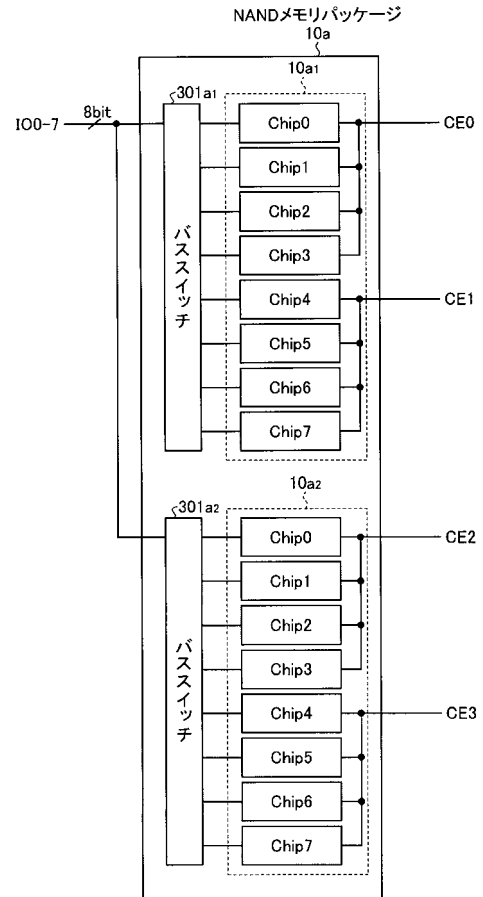
【図 10】



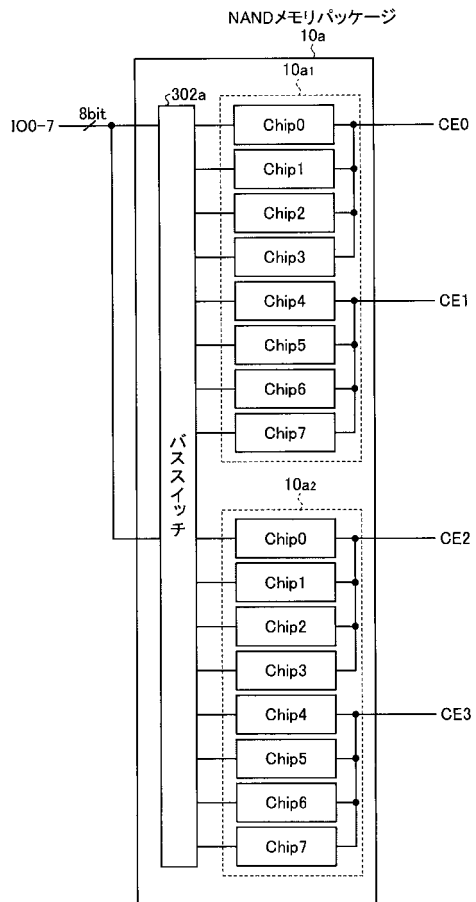
【図 11】



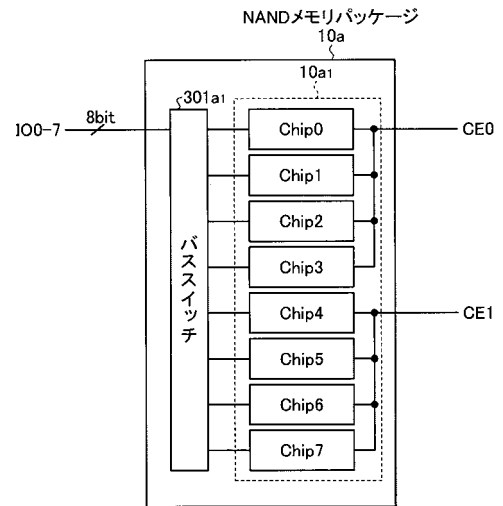
【図 12】



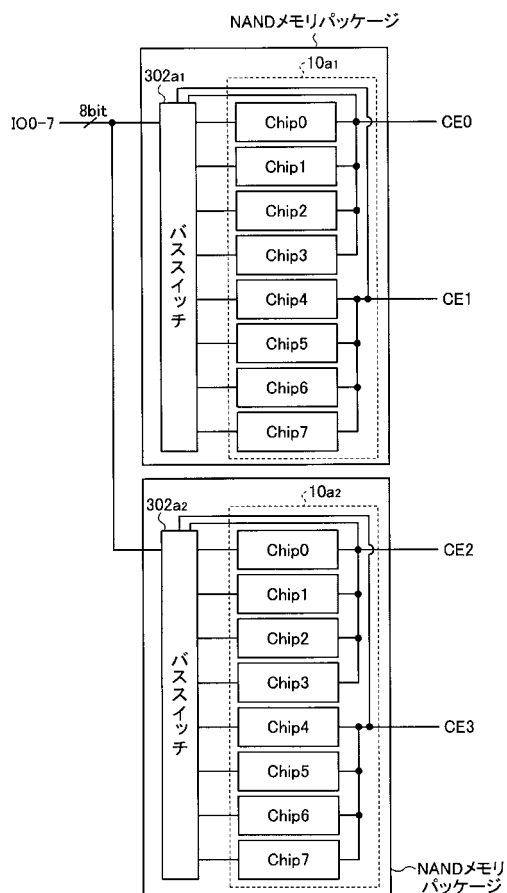
【図 13 - 1】



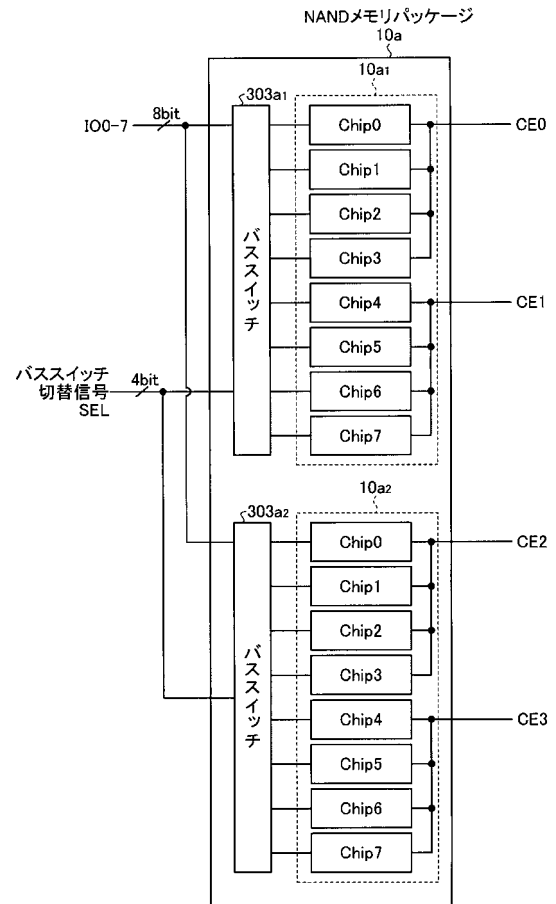
【図 13 - 2】



【図 13 - 3】



【図 14】



【図 15】

