

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2010/058836 A1

PCT

(43) 国際公開日
2010年5月27日(27.05.2010)

(51) 国際特許分類:

G09G 3/36 (2006.01) G09G 5/00 (2006.01)
G02F 1/13 (2006.01) H04N 5/66 (2006.01)
G02F 1/133 (2006.01) H04N 17/04 (2006.01)
G09G 3/20 (2006.01)

(21) 国際出願番号: PCT/JP2009/069697

(22) 国際出願日: 2009年11月20日(20.11.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-296965 2008年11月20日(20.11.2008) JP

(71) 出願人(米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 安西 伸介
(ANZAI, Shinsuke). 中谷 好博(NAKATANI, Yoshihiro).
藤野 宏晃(FUJINO, Hiroaki). 松井 裕文
(MATSUI, Hirofumi). 森 雅美(MORI, Masami). 細
川 浩一(HOSOKAWA, Kohichi). 渡部 利男

(WATANABE, Toshio). 勝谷 昌史(KATSUTANI, Masafumi).

(74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

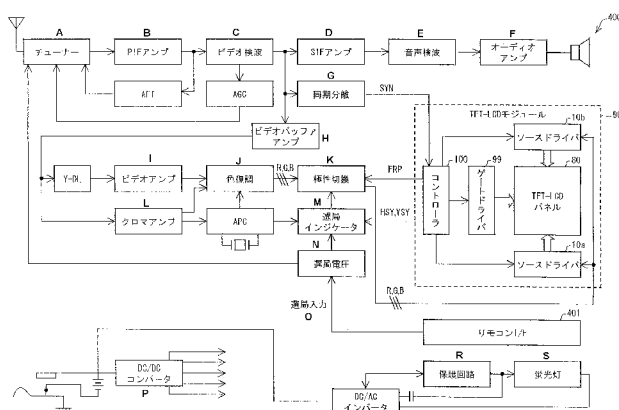
(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: DISPLAY DEVICE AND TELEVISION SYSTEM

(54) 発明の名称: 表示装置、およびテレビジョンシステム

[図1]



A - TUNER
B - PIF AMPLIFIER
C - VIDEO DETECTION
D - SIF AMPLIFIER
E - SOUND DETECTION
F - AUDIO AMPLIFIER
G - SYNCHRONIZATION SEPARATION
H - VIDEO BUFFER AMPLIFIER
I - VIDEO AMPLIFIER
J - COLOR DEMODULATION
K - POLARITY SWITCHING
L - CHROMA AMPLIFIER
M - CHANNEL SELECTION INDICATOR
N - CHANNEL SELECTION VOLTAGE

O - CHANNEL SELECTION INPUT
P - DC/DC CONVERTER
Q - DC/AC INVERTER
R - PROTECTION CIRCUIT
S - FLUORESCENT LAMP
90 - TFT-LCD MODULE
100 - SOURCE DRIVER
100b - CONTROLLER
99 - GATE DRIVER
80 - TFT-LCD PANEL
10a - SOURCE DRIVER
401 - REMOTE CONTROL I/F

(57) Abstract: Provided is a liquid crystal television (400) including a display unit (90) equipped with: a display panel (80); and a source driver (10) for driving the display panel (80). The source driver (10) has a comparison check circuit (50) and a switching circuit (60) for detecting and recovering a failure of the source driver (10) when electrically disconnected from the display panel (80). The comparison check circuit (50) and the switching circuit (60) execute a process for detecting a failure of the source driver at a channel switching timing or at a timing when a program is shifted to a CM. Thus, the display device can execute a self-detection and a self-recovery at an appropriate timing.

(57) 要約: 本発明に係る液晶テレビジョン(400)の表示部(90)は、表示パネル(80)と、表示パネル(80)を駆動するソースドライバ(10)であって、表示パネル(80)との電気的な接続を切り離れた状態で当該ソースドライバ(10)の不良を検出し、修復する比較判定回路(50)および切替回路(60)を有するソースドライバ(10)とを備えている。比較判定回路(50)および切替回路(60)は、チャンネルの切り替えや番組からCMへ移行するタイミングで、ソースドライバの不良を検出する処理を実行することを特徴とする。これにより、適切なタイミングで自己検出及び自己修復を行う表示装置を提供する。

復を行う表示装置を提供する。

WO 2010/058836 A1

WO 2010/058836 A1



CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：表示装置、およびテレビジョンシステム

技術分野

[0001] 本発明は、ＤＡコンバータ出力回路における不具合の自己検出および自己修復を行う駆動回路を使用した表示装置に関するものである。

背景技術

[0002] 近年、液晶パネル等の大型化および高精細化に伴い、液晶駆動用半導体集積回路においては、液晶駆動用出力端子の端子数増加や、出力端子からの出力する多値電圧の多階調化が進んでいる。例えば、現在主流の液晶駆動用半導体集積回路は、２５６階調の電圧を出力可能な約５００個の出力端子数を備えるものがある。さらに、出力端子数を１０００個以上備えた、液晶駆動用半導体集積回路の開発も、現在行われている。また、階調出力電圧は、液晶パネルの多色化に伴い、１０２４階調を出力可能な液晶駆動用半導体集積回路の開発も行われている。

[0003] ここで、従来の液晶駆動用半導体集積回路の構成を、図３２を参照して以下に説明する。図３２は、従来の液晶駆動用半導体集積回路の構成を示すブロック図である。

[0004] 同図に示す液晶駆動用半導体集積回路１０１は、 n 本の液晶駆動用信号出力端子から、それぞれ m 階調の出力電圧を出力できる。まず、液晶駆動用半導体集積回路１０１の構成について説明する。液晶駆動用半導体集積回路１０１は、外部にクロック入力端子１０２、複数の信号入力端子を備えた階調データ入力端子１０３、ＬＯＡＤ信号入力端子１０４、および、基準電源端子である V_0 端子１０５、 V_1 端子１０６、 V_2 端子１０７、 V_3 端子１０８、 V_4 端子１０９を備えている。さらに、液晶駆動用半導体集積回路１０１は、 n 個の液晶駆動用信号出力端子１１１－１～１１１－ n （以下、液晶駆動用信号出力端子を信号出力端子と称する。さらに、液晶駆動用信号出力端子１１１－１～１１１－ n を総称する場合は、信号出力端子１１１と称す

る)を備えている。また、液晶駆動用半導体集積回路101は、基準電源補正回路121、ポインタ用シフトレジスタ回路123、ラッチ回路部124、ホールド回路125、D/Aコンバータ(Digital Analog Converter:以下、DACと称する。)回路126、および出力バッファ127を備えている。また、ポインタ用シフトレジスタ回路123は、 n 段のシフトレジスタ回路123-1~123- n により構成される。さらに、ラッチ回路部124は、 n 個のラッチ回路124-1~124- n により構成され、およびホールド回路125は、 n 個のホールド回路125-1~125- n により構成される。また、DAC回路126は、 n 個のDAC回路126-1~126- n により構成される。加えて、出力バッファ127は n 個の出力バッファ127-1から127- n により構成され、各出力バッファは、オペアンプにより構成される。

[0005] 次に、液晶駆動用半導体集積回路101の動作について説明する。ポインタ用シフトレジスタ回路123は、クロック入力端子102より入力したクロック入力信号に基づき、1個目のラッチ回路124-1から n 個目のラッチ回路124- n まで順次選択する。ポインタ用シフトレジスタ回路123により選択されたラッチ回路124は、階調データ入力端子103からの階調出力データを格納する。なお、階調出力データは、ラッチ回路124ごとに対応する、言い換えれば、信号出力端子111ごとに対応する、上記クロック入力信号に同期したデータである。したがって、各ラッチ回路124-1~124- n は、信号出力端子111ごとに対応する、それぞれ異なる値の階調出力データを格納できる。ラッチ回路124-1~124- n に格納された階調出力データは、データLOAD信号により、それぞれ対応する n 個のホールド回路125-1~125- n へ転送する。さらに、ホールド回路125-1~125- n は、ラッチ回路124-1~124- n より入力した階調出力データを、デジタルデータとしてDAC回路126-1~126- n に出力する。

[0006] ここで、DAC回路126-1~126- n は、ホールド回路125から

の階調出力データに基づき、 m 種類の階調電圧における、1つの電圧値を選択し、出力バッファ127-1～127- n に出力する。なおDAC回路126は、基準電源端子V0端子105～V4端子109より入力する電圧によって、 m 種類の階調電圧を出力することが可能である。次に、出力バッファ127は、DAC回路126からの階調電圧をバッファし、信号出力端子111-1～111- n に、液晶パネル駆動用信号として出力する。

[0007] 以上のように、シフトレジスタ回路123、ラッチ回路124、ホールド回路125、DAC回路126、および出力バッファ127は、液晶駆動用信号出力端子111と同じ個数必要なり、液晶駆動用信号出力端子111が1000端子であれば、上記の各回路124～127も、それぞれ1000個必要となる。

[0008] 上述したように、近年、液晶パネル等の表示装置が大型化・高精細化が進んでおり、フルスペックの高精細テレビ（HDTV: High Definition Television）においては、データライン数は1920本となる。よって、表示駆動用半導体集積回路は、データラインごとに、R・G・Bの階調電圧の信号を与える必要があり、結果、表示駆動用半導体集積回路は、 $1920 \text{本} \times 3 \text{ (R・G・B)} = 5760 \text{本}$ の出力数、言い換えれば、5760個の液晶駆動用信号出力端子を備える必要がある。ここで、1つの表示駆動用半導体集積回路の出力数を720本とした場合、表示駆動用半導体集積回路は8個必要となる。

[0009] 一般的に、表示駆動用半導体集積回路はウエハ段階においてテストされ、パッケージ後出荷テストされ、液晶パネルへ搭載後に表示テストが行われる。さらに、バーンインやストレステストのスクリーニングテストにより、初期不良が起こる可能性のある半導体集積回路は取り除かれる。したがって、表示不良が起こる、表示駆動用半導体集積回路を搭載した表示装置が、市場へ出荷されることはない。しかしながら、出荷前のテストやスクリーニングテストの際には、不良と判断されなかった、極微小の欠陥や異物の付着混入により、表示装置を使用している間に表示不良が稀に発生する。例えば、表

示駆動用半導体集積回路の1つのデータラインにおける、出荷後の表示不良が発生する割合が0.01ppm(1億分の1)であったとしても、データライン数が5760本となるフルスペックのHDTVにおいては、表示不良の発生割合は、57.6ppm(100万分の57.6)となる。つまり、約17361台に1台が、表示不良が発生することになり、より大型化・高精細化になるほど、表示不良の発生割合は高くなる。

[0010] このような、表示不良が発生した場合、迅速に表示装置を回収し、表示駆動用半導体集積回路のリペアを行う必要があるが、回収修理に大きなコストを要するのはもちろんのこと、商品イメージが低下することになる。

[0011] ここで、従来技術においては、表示駆動用半導体集積回路に、欠陥となる回路に備える予備の回路を設け、欠陥のある回路を予備の回路に切り替えることにより、表示駆動用半導体集積回路の不具合を回避することが開示されている。

[0012] 具体的には、特許文献1において、表示駆動用半導体集積回路が、シフトレジスタの各段に予備の並列回路を備え、シフトレジスタの自己検査を行い、この検査結果をもとに、並列回路の欠陥のない一方を選択することによって、欠陥のシフトレジスタが引き起こす表示不良を回避する手法が開示されている。さらに、特許文献2においては、DAC回路の入力と出力にセレクターを設け、欠陥のあるDAC回路の位置が記憶されたRAMの情報をもとに、セレクターを切り替え、欠陥のないDAC回路を選択して使用方法が開示されている。

[0013] なお、特許文献1および特許文献2には、DAC回路等の出力回路における欠陥を検出する自己検出の方法については、全く開示されていない。

[0014] また、特許文献3には、表示パネルに駆動回路を一体化した製品の駆動回路に冗長性を持たせ、製品完成後においても駆動回路を修復する技術が開示されている。特許文献3に記載の構成では、駆動回路内の駆動出力に予備の出力を設け、駆動出力の1出力と、予備の出力を比較し、出力値が等しいかを判断することにより、出力回路が正常であることを確認する自己検出を行

うと共に、自己検出中、診断対象の出力回路の代わりに、予備の出力回路で、表示パネルの駆動を行うものである。

先行技術文献

特許文献

[0015] 特許文献1：日本国公開特許公報「特開平6－208346号公報（1994年7月26日公開）」

特許文献2：日本国公開特許公報「特開平8－278771号公報（1996年10月22日公開）」

特許文献3：日本国公開特許公報「特表2004－511022号公報（2004年4月8日公開）」

発明の概要

発明が解決しようとする課題

[0016] 特許文献1や特許文献2に開示されている自己検出および自己修復の構成において、例えばユーザが表示装置を視聴している最中に自己検出および自己修復動作が実行された場合、映像信号を表示装置に供給する出力回路を、表示装置から切り離す必要があるため、この間、画像を表示させることができないという特性がある。したがって、突然画像が表示されなくなってしまう。そのため、ユーザの視聴を妨害したり、表示装置が故障したのではないかとユーザに誤解を与えてしまう問題がある。

[0017] また、特許文献3に記載の構成では、診断対象の駆動回路を表示パネルから切り離し、表示パネルの駆動を予備の駆動回路にて行うと共に、予備の駆動回路の出力と、診断対象の駆動回路の出力とを比較して、診断対象の駆動回路の良否を判定する。これにより、診断対象の駆動回路と予備の駆動回路とに、表示する画像を表す画像データを同時に入力することで、予備の駆動回路により表示パネルに画像を表示すると共に、診断対象の駆動回路の自己検出を行うことが可能となる。つまり、特許文献3の構成のようにアナログクランプ電圧を選択して出力する場合は、表示データにより一部のデータを

比較しているため、出力回路の差を検出することは可能である。しかしながら、特許文献3の構成では、予備の駆動回路の出力と診断対象の駆動回路の出力とを比較するためのデータは表示する画像のデータに限られてしまうことになる。

[0018] これに対して、デジタルデータによる多階調化を行った表示装置の駆動回路では、デジタルデータに対応する電圧を出力するD/A変換回路が必要となる。例えば、256階調表示のための駆動回路では256の電圧を選択するD/A変換回路が必要となる。したがって、D/A変換回路の不具合を検出するためには、256の電圧の出力に対応する全ての入力データについて比較する必要がある。

[0019] このため、デジタルデータによる多階調化を行った表示装置の駆動回路に対して、特許文献3の構成を適用した場合、一部の階調に対応する入力データしか比較できず、正確に自己検出を行うことができない。つまり、デジタルデータによる多階調化を行った表示装置の駆動回路では、診断対象の出力回路と予備の出力回路との両方を表示パネルの駆動を行わない状態にして、全ての階調に対応する入力データを、診断対象の出力回路と予備の出力回路との両方に与えて診断を行う必要がある。

[0020] したがって、デジタルデータによる多階調化を行った表示装置の駆動回路では、やはり駆動回路の自己検出動作中に画像を表示させることができないため、ユーザの視聴を妨害したり、表示装置が故障したのではないかとユーザに誤解を与えてしまう問題がある。

[0021] 本発明は、上記の問題点に鑑みてなされたものであり、その目的は、出力回路や出力回路周辺の出力ブロックの欠陥を自己検出および自己修復可能な駆動回路を供えた表示装置において、ユーザの視聴を妨げずに適切なタイミングで自己検出及び自己修復を行う表示装置を提供することにある。

課題を解決するための手段

[0022] 本発明に係る表示装置は、上記の課題を解決するために、表示パネルと、上記表示パネルを駆動する駆動回路であって、上記表示パネルとの電氣的な

接続を切り離れた状態で当該駆動回路の不良を検出し、修復する自己検出・自己修復手段を有する駆動回路とを備え、上記自己検出・自己修復手段は、上記表示パネルに表示すべき画像が不連続に切り替わるときに、上記駆動回路の不良を検出する処理を実行することを特徴としている。

[0023] 上記の構成によれば、駆動回路は、表示パネルを駆動する。そして、駆動回路は、駆動回路自身の不良を検出可能であり、検出した不良を修復する自己検出・自己修復手段とを有している。駆動回路は、自身の不良を検出し修復する処理を、表示パネルとの電氣的な接続を切り離れた状態で実行する。つまり、駆動回路は、表示パネルとの電氣的接続を切り離して自身の不良を検出する（すなわち自己検出する）ことで、表示パネルに表示中の画像を表す階調データだけでなく、全ての階調データを用いて自己検出の処理を実行することができる。なお、画像は、静止画像であってもよいし、動画像すなわち映像であってもよい。

[0024] そして、上記の構成によれば、自己検出・自己修復手段は、上記表示パネルに表示すべき画像が不連続に切り替わるときに、駆動回路の不良を検出する処理を実行する。例えば、自己検出・自己修復手段は、1チャンネルから2チャンネルへの切替によって、1チャンネルの画像信号に基づく表示が中断する場合に、表示パネルに表示すべき画像が不連続に切り替わるときに、駆動回路の不良を検出する処理を実行する。また、例えば、自己検出・自己修復手段は、番組からCMへの移行によって、番組を表す画像信号に基づく表示が中断する場合に、表示パネルに表示すべき画像が不連続に切り替わるときに、駆動回路の不良を検出する処理を実行する。

[0025] これにより、本発明に係る表示装置によれば、表示装置の動作において、表示に影響のない期間に、自己検出の処理を実行することができる。つまり、本発明に係る表示装置は、表示パネルとの電氣的な接続を切り離れた状態で当該駆動回路の不良を検出する処理を実行するが、表示装置の画面において現在表示中の内容が一旦途切れるタイミングで、自己検出の処理を実行するため、ユーザに違和感を感じさせることがない。したがって、本発明に係

る表示装置によれば、ユーザの視聴を妨げずに適切なタイミングにおいて、自己検出および自己修復の処理を実行することが可能となり、ユーザにとっての利便性を向上させることができる。

[0026] 本発明に係る表示装置は、表示パネルと、上記表示パネルに画像を表示している期間のうち、画像信号を供給している供給期間と、画像信号の供給を停止している供給停止期間とを切り替えながら上記表示パネルを駆動する駆動回路であって、上記表示パネルとの電氣的な接続を切り離れた状態で当該駆動回路の不良を検出し、修復する自己検出・自己修復手段を有する駆動回路とを備え、上記自己検出・自己修復手段は、上記供給停止期間に、上記駆動回路の不良を検出する処理を実行することを特徴としている。

[0027] 上記の構成によれば、駆動回路は、表示パネルに画像を表示している期間のうち、画像信号を供給している供給期間と、画像信号の供給を停止している供給停止期間とを切替ながら、表示パネルを駆動する。そして、駆動回路は、駆動回路自身の不良を検出可能であり、検出した不良を修復する自己検出・自己修復手段とを有している。駆動回路は、自身の不良を検出し修復する処理を、表示パネルとの電氣的な接続を切り離れた状態で実行する。つまり、駆動回路は、表示パネルとの電氣的な接続を切り離して自身の不良を検出する（すなわち自己検出する）ことで、表示パネルに表示中の画像を表す階調データだけでなく、全ての階調データを用いて自己検出の処理を実行することができる。なお、画像は、静止画像であってもよいし、動画像すなわち映像であってもよい。

[0028] そして、上記の構成によれば、自己検出・自己修復手段は、供給停止期間に、駆動回路の不良を検出する処理を実行する。例えば、自己検出・自己修復手段は、水平走査期間や垂直走査期間において、駆動回路の不良を検出する処理を実行する。

[0029] これにより、本発明に係る表示装置によれば、表示装置に駆動において、表示に影響のない期間に、自己検出の処理を実行することができる。つまり、本発明に係る表示装置は、表示パネルとの電氣的な接続を切り離れた状態

で当該駆動回路の不良を検出する処理を実行するが、画像を表示中の表示パネルに画像信号の供給が行われないタイミングで、自己検出の処理を実行するため、表示パネルの駆動を妨げない。したがって、本発明に係る表示装置によれば、ユーザの視聴を妨げずに適切なタイミングにおいて、自己検出および自己修復の処理を実行することが可能となり、ユーザにとっての利便性を向上させることができる。

発明の効果

[0030] 本発明に係る表示装置は、上記の課題を解決するために、表示パネルと、上記表示パネルを駆動する駆動回路であって、上記表示パネルとの電気的な接続を切り離した状態で当該駆動回路の不良を検出し、修復する自己検出・自己修復手段を有する駆動回路とを備え、上記自己検出・自己修復手段は、上記表示パネルに表示すべき画像が不連続に切り替わるときに、上記駆動回路の不良を検出する処理を実行することを特徴としている。

[0031] また、本発明に係る表示装置は、表示パネルと、上記表示パネルに画像を表示している期間のうち、画像信号を供給している供給期間と、画像信号の供給を停止している供給停止期間とを切り替えながら上記表示パネルを駆動する駆動回路であって、上記表示パネルとの電気的な接続を切り離した状態で当該駆動回路の不良を検出し、修復する自己検出・自己修復手段を有する駆動回路とを備え、上記自己検出・自己修復手段は、上記供給停止期間に、上記駆動回路の不良を検出する処理を実行することを特徴としている。

[0032] それゆえ、本発明に係る表示装置によれば、表示装置の画面において現在表示中の内容が一旦途切れるタイミングで、あるいは、画像を表示中の表示パネルに画像信号の供給が行われないタイミングで、自己検出の処理を実行するため、ユーザの視聴を妨げずに適切なタイミングにおいて、自己検出および自己修復の処理を実行することが可能となり、ユーザにとっての利便性を向上させることができる。

図面の簡単な説明

[0033] [図1]本発明の実施の一形態に係る、液晶テレビジョンの構成を示すブロック

を示す。

[図2]本発明の実施の一形態に係る、表示装置の構成を示すブロック図である。

[図3]液晶テレビジョンに含まれる集積回路を構成する出力回路ブロックに異常が発生した場合の表示の一例を示す図である。

[図4]液晶テレビジョンにおいて、チャンネル変更時に自己検出および自己修復動作を行う様子を示す図であり、(a)はチャンネル変更前の様子を示す図であり、(b)は自己検出動作中の様子を示す図であり、(c)はチャンネル変更後の様子を示す図である。

[図5]液晶テレビジョンにおいて、CM移行時に自己検出および自己修復動作を行う様子を行う図であり、(a)はCM移行前の様子を示す図であり、(b)は自己検出動作中の様子を示す図であり、(c)はCM中の様子を示す図であり、(d)は番組再開時の様子を示す図である。

[図6]液晶テレビジョンの表示パネルを駆動するための信号を表すタイミングチャートである。

[図7]本発明の実施の一形態に係る、表示駆動用半導体集積回路の構成を示す説明図である。

[図8]本発明の実施の一形態に係る、動作確認テストの1つ目の手順を示すフローチャート図である。

[図9]本発明の実施の一形態に係る、動作確認テストの2つ目の手順を示すフローチャート図である。

[図10]本発明の実施の一形態に係る、動作確認テストの3つ目の手順を示すフローチャート図である。

[図11]本発明の実施の一形態に係る、動作確認テストの4つ目の手順を示すフローチャート図である。

[図12]本発明の実施の一形態に係る、動作確認テストの5つ目の手順を示すフローチャート図である。

[図13]本発明の実施の一形態に係る、不良の出力回路を、予備の出力回路に

切り替える手順を示すフローチャート図である。

[図14]本発明の実施の一形態に係る、表示装置の電源投入から、動作確認テストを行い通常動作に移行するまでの手順を示すフローチャート図である。

[図15]本発明の実施の一形態に係る、オペアンプの動作確認を行うための回路構成を示す説明図である。

[図16]本発明の他の実施形態に係る、表示駆動用半導体集積回路の構成を示す説明図である。

[図17]本発明の他の実施形態に係る、動作確認テストの1つ目の手順を示すフローチャート図である。

[図18]本発明の他の実施形態に係る、動作確認テストの2つ目の手順を示すフローチャート図である。

[図19]本発明の他の実施形態に係る、動作確認テストの3つ目の手順を示すフローチャート図である。

[図20]本発明の他の実施形態に係る、動作確認テストの4つ目の手順を示すフローチャート図である。

[図21]本発明の他の実施形態に係る、動作確認テストの5つ目の手順を示すフローチャート図である。

[図22]本発明の他の実施形態に係る、不良の出力回路を、予備の出力回路に切り替える手順を示すフローチャート図である。

[図23]本発明のさらに他の実施形態に係る、表示装置の概略構成を示すブロック図である。

[図24]本発明のさらに他の実施形態に係る、表示装置の構成を示すブロック図である。

[図25]本発明のさらに他の実施形態に係る、表示装置の電源投入から、動作確認テストを行い通常動作に移行するまでの手順を示すフローチャート図である。

[図26]本発明のさらに他の実施形態に係る、表示装置の構成を示すブロック図である。

[図27]本発明の実施の一形態に係る、テレビジョンシステムの構成を示すブロック図である。

[図28]本発明の実施の一形態に係るタイムチャート図であり、(a)～(f)は、本発明の実施の一形態に係る、表示装置に入力する走査信号、映像信号、画素電極の電圧値を示す、タイムチャート図である。

[図29]本発明の実施の一形態に係る、動作判定回路の構成を示すブロック図である。

[図30]本発明の実施の一形態に係る、正常動作時における、集積回路の電源電流値を検出および記憶する処理を示す、フローチャート図である。

[図31]本発明の実施の一形態に係る、集積回路に供給される電源電流値より、集積回路の動作不良を検出する処理を示す、フローチャート図である。

[図32]従来例における、表示駆動用半導体集積回路の構成を示す説明図である。

発明を実施するための形態

[0034] 以下、本発明に係る実施の形態を図面に基づいて説明する。

[0035] 〔実施形態1〕

本発明の第1の実施形態について、図1～図15を参照して以下に説明する。

[0036] (液晶テレビジョン400)

表示用駆動回路を使用した表示装置の代表的なものとしては液晶テレビに代表される薄型テレビを挙げることが出来る。液晶テレビ(液晶表示装置)は、表示パネルに半導体集積回路(LSI)で作成した駆動回路を複数実装し、表示を行っている。このような表示装置において、表示用駆動回路に不具合が生じた場合、直接表示不良として、ユーザに認識される。このような不具合が生じた場合、迅速に不具合箇所の修理を行う必要があり、できればユーザが使用している場所にて短時間で修理を終えることが望ましい。表示信号を処理するようなコントロール基板であれば、表示パネルとコネクタで接続されているため交換は容易であるが、表示駆動用回路はコネクタ等で接

続されておらず、表示パネルに直接接続されているため、ユーザが製品を使用している場所での交換は困難である。

[0037] このため、本出願人は、表示用駆動回路自身の不具合に対する自己診断自己修復機能（自己検出および自己修復機能）を有する表示駆動用回路を提案している（例えば、特願2008-130848、特願2008-048640、特願2008-048639、および特願2008-054130：いずれも本願出願前の確認時点で未公開）。

[0038] 図1は、本発明に係る液晶テレビジョン400の構成を示すブロックを示す。図1に示すとおり、液晶テレビジョン400は、TFT-LCDモジュール（表示部）90、およびリモコンI/F401を含んで構成される。さらに、表示部90は、ソースドライバ（駆動回路、集積回路）10a、10b、TFT-LCDパネル（表示パネル）80、ゲートドライバ99、およびコントローラ100とを備えている。そして、ソースドライバ10a、すなわち、集積回路10a、10bが、上述の自己検出および自己修復機能を有する表示用駆動用回路である。なお、以下では、単に集積回路10またはソースドライバ10と記載した場合、集積回路10aおよび10b、すなわち、ソースドライバ10aおよび10bの総称を表しているものとする。

[0039] 以下では、表示部90における自己検出および自己修復の基本動作を説明した後、液晶テレビジョン400における自己検出および自己修復の特徴的構成、すなわち、ユーザに故障ではないかと誤解を与えることなく自己検出および自己修復を実行可能な構成について、具体的に説明する。

[0040] （表示部90）

まず、図2を参照して、本発明の表示部90の概略構成を説明する。図2は、表示部90の概略構成を示すブロック図である。図2に示すように、表示部90は、表示パネル80と、外部より入力される階調データに基づき表示パネル80を駆動する表示駆動用半導体集積回路（以下、集積回路またはソースドライバと呼称する）10とを備えている。また、ソースドライバすなわち集積回路10（駆動回路）は、切替回路60（自己検出・自己修復手

段、切替手段)、切替回路61(自己検出・自己修復手段、切替手段)、出力回路ブロック30(出力回路)、予備出力回路ブロック40(予備出力回路)、および比較判定回路50(比較手段、判定手段、自己検出・自己修復手段)を備えている。また、表示パネル80は、集積回路10からの階調電圧が印加される画素70を備えている。

[0041] 次に、表示部90における基本動作を説明する。まず、表示部90は、基本動作として、2つの基本動作を有している。具体的には、表示部90は、外部より入力された階調データを、集積回路10が階調電圧(出力信号)に変換し、この階調電圧に基づいて映像を表示パネル80に表示する通常動作と、集積回路10に含まれる出力回路ブロック30が不良か否かを検出し、出力回路ブロック30に不良があった場合に、集積回路10が自身を自己修復する自己検出修復動作との、2つの基本動作を有している。

[0042] 以下に、集積回路10が行う、自己検出修復動作の概略について説明する。まず、自己検出修復動作を行う場合、出力回路ブロック30と予備出力回路ブロック40とに、外部より切替回路61を介して動作確認用の階調データが入力される。

[0043] 出力回路ブロック30および予備出力回路ブロック40の各々は、入力された階調データを階調電圧に変換し、比較判定回路に出力する。比較判定回路50は、出力回路ブロックからの階調電圧と、予備出力回路ブロックからの階調電圧とを比較し、この比較結果に基づき、出力回路ブロックが不良か否かを判定する。

[0044] さらに、比較判定回路50は、出力回路ブロックが不良か否かを示す判定結果(不良検出情報)を、切替回路61および切替回路60に出力する。切替回路61は、比較判定回路50からの判定結果に基づいて、外部からの階調データの出力先を切り替える。一方、切替回路60は、出力回路ブロック30および予備出力回路ブロック40の各々より階調電圧が入力され、比較判定回路からの判定結果に基づいて、入力された階調電圧の中から、表示パネル80に出力する階調電圧を選択する。

[0045] より具体的に説明すると、切替回路61は、出力回路ブロック30が不良であることを示す判定結果が入力されると、不良と判定された出力回路ブロック30に出力される階調データと同じ階調データを、予備出力回路ブロック40にも入力する。一方、切替回路60は、出力回路ブロック30が不良であることを示す判定結果が入力されると、不良と判定された出力回路ブロック30からの階調電圧の代わりに、予備出力回路40からの階調電圧を、表示パネル80に出力する。これにより、集積回路10は、出力回路ブロック30が不良になったとしても、代わりに予備出力回路ブロックを用いて、正常な階調電圧を表示パネル80に出力することが可能となる。

[0046] 以上のように、本実施形態の集積回路10は、比較判定回路50、切替回路60および切替回路61を備えることによって、自身の不具合を検出し、さらに、自身の不具合を自己修復することが可能となる。言い換えれば、集積回路10は、自身の不具合を検出し、さらに、自身の不具合を自己修復する自己修復回路（自己修復手段）を備えることになる。なお、ソースドライバ10すなわち集積回路10の構成や自己検出および自己修復動作の詳細については後述する。

[0047] （表示の不具合）

図3は、液晶テレビジョン400に含まれる集積回路10を構成する出力回路ブロック30に異常が発生した場合の表示の一例を示す図である。図3に示すとおり、出力回路ブロック30に異常がある場合、表示に縦線が入る。

[0048] 通常、ソースドライバは、LSIとして出荷されるときに、十分機能テストが行われ、表示装置においても表示の確認が十分に行われるため、表示の異常が発生する可能性は非常に低い。つまり、表示装置の通常使用の範囲では、表示不具合が起こる可能性は非常に低い。

[0049] しかしながら、突発的な要因、例えばドライバ製造時の異物混入や傷に起因して出力信号の経路に発生したダメージが、表示装置の使用期間において拡大し、ソースドライバの出力回路に異常が発生し、表示不良を起こす場合

がある。このようなことがあった場合、表示用駆動装置の自己修復機能により、図3の縦スジが消えるように、瞬時に自己修復動作を実行する。

[0050] (チャンネル切替時の自己検出)

液晶テレビジョン400は、チャンネル切替時に自己検出および自己修復を実行する。以下に、チャンネル変更時の自己検出について、より詳細に説明する。図4は、液晶テレビジョン400において、チャンネル変更時に自己検出および自己修復動作を行う様子を示す図であり、図4の(a)はチャンネル変更前の様子を示す図であり、図4の(b)は自己検出動作中の様子を示す図であり、図4の(c)はチャンネル変更後の様子を示す図である。

[0051] 液晶テレビジョン400では、ユーザがリモコン402を用いてチャンネル変更の操作を行なうと、リモコンI/F401を介して選局入力信号を受信し、選局入力信号が選局電圧に変換され、チューナー(放送受信手段)に供給される。チューナーは、選局電圧に対応するチャンネルの放送信号を受信する。そして、液晶テレビジョン400は、チューナーが受信しているチャンネルの番組を表示する。

[0052] 図4に示す例では、液晶テレビジョン400は、はじめに、図4の(a)に示すとおり、1ch(1チャンネル)の番組を受信して表示している。そして、ユーザがリモコン402を用いて2ch(2チャンネル)へのチャンネル切替操作を行うと、液晶テレビジョン400では、自己検出動作が開始される。このとき、図4の(b)に示すように画面の表示が消える。

[0053] つまり、液晶テレビジョン400では、1chから2chへのチャンネルの切替時、すなわち、1chの番組を表す画像信号に基づく表示が中断するときに、ソースドライバ10の自己検出が行われる。より具体的には、液晶テレビジョン400では、図1に示すコントローラ100が、ユーザの選局操作、すなわち、1chから2chへの切替を感知する。換言すれば、コントローラ100(画像切替手段)は、チューナーから表示パネル80に供給される画像信号が、1chの番組を表す画像信号から、2chの番組を表す画像信号に切り替わることによって、表示パネル80における1chの番組

の表示が中断することを感知する。

[0054] そして、コントローラ 100 がチャンネルの切替を感知すると、ソースドライバ 10 に自己検出の処理の実行を指示し、ソースドライバ 10 は、自己検出の処理を実行する。すなわち、液晶テレビジョン 400 では、表示パネル 80 において、1ch の番組を表す画像信号に基づく表示から、2ch の番組を表す画像信号に基づく表示への切替を行うために、1ch の番組を表す画像信号に基づく表示が中断するときに、ソースドライバ 10 の自己検出の処理を実行する。このとき、例えば、コントローラ 100 は、リモコン I/F を介して入力される選局入力信号に基づいて、ソースドライバ 10 に自己検出の処理を指示する。

[0055] なお、図 4 に示す例では、1ch から 2ch へのチャンネル切替の例を示しているが、例えば、1ch の表示中に、ユーザが再度 1ch を選局する操作を行った場合にも、同様に、1ch の番組を表す画像信号に基づく表示が一旦中断する。そして、この場合にも、ソースドライバ 10 は、例えば、選局入力信号に基づくコントローラ 100 からの指示に従って、自己検出の処理を実行する。

[0056] この自己検出の処理が行われている間は、図 4 の (b) に示すように画面表示が行われない。しかしながら、チャンネル切替時であるため、短い期間であれば、画面表示が行われなくても、ユーザに対して、違和感を感じさせることがない。特に、液晶テレビジョン 400 がデジタルテレビの場合、映像信号や音声信号は符号化されてデジタル放送波として伝送されるため、受信したデジタル放送波に含まれる圧縮された映像信号や音声信号を復号化する必要がある。このため、信号を復号化する処理に数秒の時間を要することになり、ユーザがチャンネルの切り替え操作を行った場合、指定されたチャンネルの番組は即時には表示されずに、少しの期間、黒画面が表示される。したがって、このタイミングで自己検出を行えば、ユーザは違和感を感じない。つまり、液晶テレビジョン 400 は、表示に影響のない期間に、自己検出を完了する。

[0057] その後、ソースドライバ10において自己修復の処理を実行した後、液晶テレビジョン400は、図4の(c)に示すように、切替後の番組、すなわち、2chの番組を表示する。

[0058] (CM移行時の自己検出)

液晶テレビジョン400は、CM移行時に自己検出および自己修復を実行する。以下に、CM移行時の自己検出について、より詳細に説明する。図5は、液晶テレビジョン400において、CM移行時に自己検出および自己修復動作を行う様子を行う図であり、図5の(a)はCM移行前の様子を示す図であり、図5の(b)は自己検出動作中の様子を示す図であり、図5の(c)はCM中の様子を示す図であり、図5の(d)は番組再開時の様子を示す図である。

[0059] 図5に示す例では、液晶テレビジョン400は、はじめに、図5の(a)に示すとおり、1chの放送を受信し、1chの放送に含まれる番組を表示している。そして、1chの放送において、番組からCMへ移行するとき、液晶テレビジョン400では、自己検出動作が開始される。このとき、図5の(b)に示すように画面の表示が消える。

[0060] つまり、液晶テレビジョン400では、番組からCMへの移行時、すなわち、番組を表す画像信号に基づく表示が中断するときに、ソースドライバ10の自己検出が行われる。より具体的には、液晶テレビジョン400では、図1に示すコントローラ100が、番組からCMへの移行を感知する。換言すれば、コントローラ100(画像切替手段)は、チューナーから表示パネル80に供給される画像信号が、番組を表す画像信号から、CMを表す画像信号に切り替わることによって、表示パネル80における番組の表示が中断することを感知する。

[0061] そして、コントローラ100が番組からCMへの移行を感知すると、ソースドライバ10に自己検出の処理の実行を指示し、ソースドライバ10は、自己検出の処理を実行する。すなわち、液晶テレビジョン400では、表示パネル80において、番組を表す画像信号に基づく表示から、CMを表す画

像信号に基づく表示へ移行するために、番組を表す画像信号に基づく表示が中断するときに、ソースドライバ10の自己検出の処理を実行する。このとき、例えば、コントローラ100は、シーン検出を行い、その結果に基づいてCMを検知し、ソースドライバ10に自己検出の処理を指示する。シーン検出とは、無音状態やステレオ／モノラル音声の検出だけでなく、音楽と会話の境などの「音の切り替わり」や場面変化が大きい「映像の切り替わり」を検出する機能である。シーン検出は、例えば、ハードディスクデコーダー等でCM部分をチャプター分割するときなどに用いられる手法である。

[0062] この自己検出の処理が行われている間は、図5の(b)に示すように画面表示が行われない。しかしながら、CM移行時であるため、これまで表示されていた番組とは内容が完全に変わるため、短い期間であれば、画面表示が行われなくても、ユーザに対して、違和感を感じさせることがない。

[0063] そして、ソースドライバ10において自己修復の処理を実行した後、液晶テレビジョン400は、図4の(c)に示すように、CMを表示する。その後、液晶テレビジョン400では、図4の(d)に示すように、番組が再開され、表示がCMから番組に移行する。

[0064] (複数工程の自己検出処理)

ところで、詳細については後述するが、自己検出の処理は、複数の工程を含んでいる場合がある。この場合、液晶テレビジョン400は、1回のチャンネルの切替において、自己修復の処理に含まれる全ての工程を実行する構成であってもよい。あるいは、液晶テレビジョン400は、番組からCMへの1回の移行において、自己修復の処理に含まれる全ての工程を実行する構成であってもよい。

[0065] また、自己検出の処理に含まれる全工程が完了するまでに長時間を要し、画面表示が行われない期間（すなわち黒画面の期間）が長くなってしまう場合には、自己検出に含まれる工程を分割し、数回のチャンネル変更で自己検出処理に含まれる全ての工程を完了するようにしても良い。

[0066] つまり、自己修復の処理を、1つ以上の工程を含む複数の工程群に分割し

、1回のチャンネル切替において、工程群を1つずつ実行する構成であってもよい。これにより、1回のチャンネル変更時に実行する自己検出処理の時間を短縮し、チャンネル切替の操作後、画面表示が行われない期間があまりにも長くなってしまふような事態を避けることができる。

[0067] また、あるいは、自己修復の処理を、1つ以上の工程を含む複数の工程群に分割し、番組からCMへの1回の移行において、工程群を1つずつ実行する構成であってもよい。これにより、番組からCMへの1回の移行時に実行する自己検出処理の時間を短縮し、CMへの移行時に、画面表示が行われない期間があまりにも長くなってしまふような事態を避けることができる。

[0068] 例えば、自己修復の処理に含まれる工程を n 個の工程群に分割した場合、1回のチャンネル切替において、1つの工程群の処理、すなわち、自己検出の工程の $1/n$ を行う。そして、 n 回のチャンネル切替によって、 n 個の工程群の処理、すなわち、自己検出の全工程を完了する。

[0069] また、例えば、自己修復の処理に含まれる工程を n 個の工程群に分割した場合、1回の番組からCMへの切替において、1つの工程群の処理、すなわち、自己検出の工程の $1/n$ を行う。そして、 n 回のCMへの移行によって、 n 個の工程群の処理、すなわち、自己検出の全工程を完了する。

[0070] 自己検出の処理が複数の工程を含んでいる場合の例としては、詳細については後述するが、デジタルデータによる多階調の表示装置の駆動回路における自己検出の処理において、1つの階調データに対して、数種類の工程（例えば、出力回路からの出力と予備出力回路からの出力とを比較する複数の比較工程など）が含まれる場合がある。この場合、数種類の工程が全ての階調データについて行われることになる。

[0071] そこで、このような駆動回路においては、1階調分の自己検出の処理に含まれる工程を分割して処理する構成であってもよい。例えば、液晶テレビジョン400が、256階調の表示装置の場合、1階調分の自己検出の処理に含まれる工程を2つの工程群に分割し、チャンネル切替ごとに、1つの工程群の処理を実行し、2回のチャンネル切替によって、1階調分の自己検出の

処理を完了する構成とすることができる。あるいは、1階調分の自己検出の処理に含まれる工程を2つの工程群に分割し、CM移行ごとに、1つの工程群の処理を実行し、2回のCM移行によって、1階調分の自己検出の処理を完了する構成としてもよい。

[0072] なお、自己検出処理に含まれる工程をどのように分割するかについては、特に限定されない。例えば、各工程群を構成する工程が予め設定され、その設定情報がメモリに記憶される構成であってもよい。この場合、ソースドライバ10は、自己検出の処理を実行するときに、メモリから設定情報を読み出して、チャンネル切替ごとに、1つずつ工程群の処理を実行する。あるいは、各工程群を構成する工程の数が予め設定されていて、ソースドライバ10は、チャンネル切替ごとに、設定された数の工程を実行する構成であってもよい。

[0073] (水平・垂直ブランキング期間における自己検出)

以下では、水平・垂直ブランキング期間における自己検出について説明する。上述のとおり、図1示す表示パネル80は、コントローラ100、ゲートドライバ99、ソースドライバ10と共に、表示部90を構成している。表示パネル80は、複数本のゲートライン(走査信号線)と、これらに直交する複数本のソースライン(データ信号線)とを有し、これらのゲートラインとソースラインとの交差点に、それぞれ、スイッチング素子と液晶容量とによって構成される画素部を備えている。すなわち、表示パネル80において、画素部は、マトリクス状に配置されている。

[0074] 各画素部の画素スイッチング素子には、ゲート端子にゲートラインが接続され、ソース端子にソースラインが接続され、ドレイン端子に画素電気良くが接続されている。また、画素電極に対向して、全ての画素形成部に共通の対向電極が設けられており、画素電極と対向電極とは、液晶層を間に挟持して、液晶容量を形成している。

[0075] 画素電極には、ソースラインおよびゲートラインとによって、表示する画像に応じた電位が与えられると共に、共通電極には、所定の電位が与えられ

る。この電圧印加によって、液晶層に対する光の透過量が制御されることによって、画像表示が行われる。なお、液晶層への電圧印加による光の透過量を制御するため、偏向板が用いられてもよい。

[0076] 図6は、液晶テレビジョン400の表示パネル80を駆動するための信号を表すタイミングチャートである。図6に示す各種の制御信号がコントローラ100に供給される。コントローラ100は、図6に示す制御信号に基づいてゲートドライバ99およびソースドライバ10を制御する。そして、ゲートドライバ99およびソースドライバ10は、表示パネル80に対してゲート信号およびデータ信号を供給する。これにより、表示パネル80が駆動される。

[0077] 図6において、期間501は垂直周期、期間502は垂直データ有効期間、期間503は垂直ブランキング期間、期間504は水平周期、期間505は水平データ有効期間、期間506は水平ブランキング期間であり、期間507は垂直同期信号が入力されてから、有効データの開始までの期間を示す垂直有効データ開始期間、期間508は水平同期信号が入力されてから、有効データの開始までの期間を示す水平有効データ開始期間を示す。

[0078] ゲートラインは、水平同期信号に基づいてゲートドライバ99によって順次選択され、走査信号が供給される。そして、走査信号が供給されるゲートラインに接続されたスイッチング素子のゲートがONとなり、該スイッチング素子に接続された画素電極にデータ信号を供給できるアクティブな状態となる。これにより、画素電極には、ソースラインを介してソースドライバ10からデータ信号が供給され、画像を表す電圧が供給されることになる。

[0079] 表示パネル80においては、データ信号が画面の1ラインごとに左側の画素から右側の画素へ順次供給されて、走査線を形成することになる。そして、ブランキング期間、すなわち、帰線期間とは、画面を走査した走査線が元へ戻るための時間である。水平ブランキング期間506とは、画面の1ラインにおいて左から右へ走査後、再び、左へ戻る時間であり、垂直ブランキング期間503とは、画面の全ラインにおいて左上から順次左右に走査しながら

ら右下へ走査した後、再度、左上に戻るまでの時間である。駆動するパネルの規格や駆動方法等により、図6に示す制御信号の期間は異なるが、一例としては、垂直ブランキング期間が1.14ms、水平ブランキング期間は9 μ sである。

[0080] そして、これらの水平ブランキング期間506および垂直ブランキング期間503においては、データラインの駆動は行われず、表示パネル80を構成する各画素には、データ信号が供給されない。つまり、これらの期間においては、各画素への画像データの書き込みは行われないため、表示用駆動素子であるソースドライバ10の出力がハイインピーダンスであっても、画像の表示には影響しない。そこで、液晶テレビジョン400では、これらの期間を利用して、ソースドライバ10の自己検出・自己修復を行うようにする。

[0081] つまり、液晶テレビジョン400では、データ信号（画像信号）の供給を停止している水平ブランキング期間506や垂直ブランキング期間503（供給停止期間）に、自己検出が行われる。より具体的には、液晶テレビジョン400では、図1に示すコントローラ100が、図6に示す制御信号の供給を受けて、水平ブランキング期間506または垂直ブランキング期間503を感知する。

[0082] そして、コントローラ100（期間切替検知手段）が水平ブランキング期間506または垂直ブランキング期間503を感知すると、ソースドライバ10に自己検出の処理の実行を指示し、ソースドライバ10は、自己検出の処理を実行する。

[0083] 水平ブランキング期間506に自己修復・自己検出を行った場合、1ライン毎に修復が行われるため、リアルタイムで自己検出・自己修復を行っているといえる。また、垂直ブランキング期間503に自己検出・自己修復を行った場合、1画面毎に修復が行われるため、やはり、リアルタイムで自己検出・自己修復を行っているといえる。つまり、液晶テレビジョン400によれば、ユーザの視聴を妨げることなく、リアルタイムに自己検出の処理を実

行できる。

- [0084] なお、垂直ブランキング期間503においては、文字放送等他の情報がコントローラ100等には供給される場合があるが、自己検出・自己修復は表示用駆動装置すなわちソースドライバ10単独で行うことができるので、コントローラ100等の他の装置には関係なく、自己検出・自己修復動作が可能である。
- [0085] なお、垂直ブランキング期間は、垂直帰線期間とも呼ばれる。垂直帰線期間における自己検出の例については再度後述する。
- [0086] ところで、上述したとおり、自己修復の処理は、複数の工程を含んでいる場合がある。この場合、液晶テレビジョン400は、1回の水平ブランキング期間506において、自己修復の処理に含まれる全ての工程を実行する構成であってもよい。あるいは、液晶テレビジョン400は、1回の垂直ブランキング期間503において、自己修復の処理に含まれる全ての工程を実行する構成であってもよい。
- [0087] また、水平ブランキング期間に自己検出・自己修復を行う場合、表示用駆動装置すなわちソースドライバ10の規模にもよるが、水平ブランキング期間506において、自己検出の処理に含まれる全ての工程が終了しないことも考えられる。この場合には、自己検出に含まれる工程を分割し、数回の水平ブランキング期間506で自己検出処理に含まれる全ての工程を完了するようにしても良い。
- [0088] また、垂直ブランキング期間に自己検出・自己修復を行う場合においても、同様に、垂直ブランキング期間503において、自己検出の処理に含まれる全ての工程が終了しないことも考えられる。この場合には、自己検出に含まれる工程を分割し、数回の水平ブランキング期間506で自己検出処理に含まれる全ての工程を完了するようにしても良い。
- [0089] つまり、自己修復の処理を、1つ以上の工程を含む複数の工程群に分割し、1回の水平ブランキング期間506または垂直ブランキング期間503において、工程群を1つずつ実行する構成であってもよい。これにより、1回

の水平ブランキング期間 506 または垂直ブランキング期間 503 に実行する自己検出処理の時間を短縮し、チャンネル切替の操作後、画面表示が行われない期間があまりにも長くなってしまうような事態を避けることができる。

[0090] 例えば、自己修復の処理に含まれる工程を n 個の工程群に分割した場合、1 回の水平ブランキング期間 506 または垂直ブランキング期間 503 において、1 つの工程群の処理、すなわち、自己検出の工程の $1/n$ を行う。そして、 n 回の水平ブランキング期間 506 または垂直ブランキング期間 503 によって、 n 個の工程群の処理、すなわち、自己検出の全工程を完了する。

[0091] 自己検出の処理が複数の工程を含んでいる場合の例としては、詳細については後述するが、デジタルデータによる多階調の表示装置の駆動回路における自己検出の処理において、1 つの階調データに対して、数種類の工程（例えば、出力回路からの出力と予備出力回路からの出力とを比較する複数の比較工程など）が含まれる場合がある。この場合、数種類の工程が全ての階調データについて行われることになる。

[0092] そこで、このような駆動回路においては、1 階調分の自己検出の処理に含まれる工程を分割して処理する構成であってもよい。例えば、液晶テレビジョン 400 が、256 階調の表示装置の場合、1 階調分の自己検出の処理に含まれる工程を 2 つの工程群に分割し、水平ブランキング期間 506 ごとに、1 つの工程群の処理を実行し、2 回の水平ブランキング期間 506 によって、1 階調分の自己検出の処理を完了する構成とすることができる。あるいは、1 階調分の自己検出の処理に含まれる工程を 2 つの工程群に分割し、垂直ブランキング 503 ごとに、1 つの工程群の処理を実行し、2 回の垂直ブランキング 503 によって、1 階調分の自己検出の処理を完了する構成としてもよい。

[0093] （集積回路 10 の構成）

次に、図 7 を参照して、本発明に係るソースドライバ 10a の構成について

て説明する。なお、上述したとおり、予備ソースドライバ10bは、ソースドライバ10aよりも簡単な構成とすることもできるが、ソースドライバ10aと同様の構成とすることもできる。以下では、ソースドライバ10aと同様の自己検出および自己修復動作を実行可能な回路を、集積回路10と呼称して説明する。

[0094] 図7は、集積回路10（駆動回路）の構成を示す説明図である。同図に示すように、集積回路10は、階調データ入力端子（図示しない）より、データバスを介して、 n 個の液晶駆動用信号出力端子OUT1～OUT n （以下、出力端子OUT1～OUT n とする）のそれぞれに対応する階調データを入力する n 個のサンプリング回路6-1～6- n （以下、総称する場合は、サンプリング回路6とする）と、 n 個のホールド回路7-1～7- n （以下、総称する場合は、ホールド回路7とする）と、階調データを階調電圧信号に変換する n 個のDAC回路8-1～8- n （以下、総称する場合は、DAC回路8とする）と、DAC回路8からの階調電圧信号に対するバッファ回路の役割を有する n 個のオペアンプ1-1～1- n （以下、総称する場合は、オペアンプ1とする）と、 n 個の判定回路3-1～3- n （以下、総称する場合は、判定回路3とする）と、 n 個の判定フラグ4-1～4- n （以下、総称する場合は、判定フラグ4とする）と、 n 個のプルアップ・プルダウン回路5-1～5- n （以下、総称する場合は、プルアップ・プルダウン回路5とする）を備えている。

[0095] さらに、同図に示すように、集積回路10は、test信号によってON，OFFが切り替わる複数のスイッチ2aと、testB信号によってON，OFFが切り替わる複数のスイッチ2bと、判定フラグ4からの出力信号である、Flag1～Flag n によってON，OFFが切り替わる複数のスイッチ2c（接続切替手段）および2d（接続切替手段）と、を備えている。なお、スイッチ2a、2b、2dは、「H」の信号を入力した場合にONとなり、「L」の信号を入力した場合にOFFとなる。一方、スイッチ2cは、「H」の信号を入力した場合にOFFとなり、「L」の信号を入力し

た場合にONとなる。

[0096] また、集積回路10は、予備のサンプリング回路26と、予備のホールド回路27と、予備のDAC回路28（予備出力回路）と、予備のオペアンプ21を、各1回路ずつ備えている。

[0097] なお、図7において、サンプリング回路6、ホールド回路7、およびDAC回路8が、図2に示した出力回路ブロック30に相当し、サンプリング回路26、ホールド回路27、およびDAC回路28が、図2に示した予備回路ブロック40に相当し、オペアンプ1、判定回路3、および判定フラグ4が、図2に示した比較判定回路50に相当し、出力端子OUT1～OUTnに接続するスイッチ2dおよびスイッチ2cが、図2に示した切替回路60に相当し、サンプリング回路6に接続するスイッチ2dが、図2に示した切替回路61に相当する。なお、図7に示す集積回路10は、出力端子OUT1～OUTnを介して、図2に示す表示パネル80と接続しており、図7においては、表示パネル80の図示を省略している。

[0098] （集積回路10の通常動作）

次に、集積回路10における、表示パネル80（図2を参照）に階調電圧を出力する、通常の動作を、図7を参照して以下に説明する。

[0099] まず、通常動作の場合は、test信号は「L」であり、testB信号は「H」となる。test信号が「L」のときスイッチ2aはOFFとなり、スイッチ2bはONとなる。これにより、図示しないポインター用シフトレジスタからの信号である、STR1～STRn信号（以下、総称する場合は、STR信号とする）を、対応する各サンプリング回路6が入力する。サンプリング回路6は、入力したSTR信号に基づき、階調データ入力端子より、データバスを介して自身に対応する階調データを取得する。ホールド回路7は、サンプリング回路6が取得した階調データを、データLOAD信号に基づき、サンプリング回路6より入力する。次に、DAC回路8（出力回路）は、ホールド回路7より階調データを入力する。DAC回路8は、入力した階調データを階調電圧信号に変換し、オペアンプ1（比較手段）の正極

性入力端子に出力する。ここでオペアンプ1の出力は、スイッチ2bがONしているため、自身の負極性入力端子への負帰還となる。これにより、オペアンプ1は、ボルテージフォロワとして動作する。よって、オペアンプ1は、DAC回路8からの階調電圧に対して、バッファ回路の役割を有することになり、自身の正極性入力端子に入力した階調電圧信号を、対応する出力端子OUT1～OUTnに出力する。なお、ここでは、スイッチ2cがON、スイッチ2dがOFFとなっているものとする。スイッチ2cおよび2dの動作については、後述とする。上述した、出力端子ごとに直列に接続された、サンプリング回路6と、ホールド回路7と、DAC回路8と、オペアンプ1とを含むブロックを、出力回路ブロックとすると、この出力回路ブロックは、階調データ入力端子より入力した階調データを、表示パネル80を駆動するための階調電圧に変換し、変換した階調電圧を出力端子を介して表示パネル80に出力することを目的としている。

[0100] (動作確認テストへの切り替え)

次に、DAC回路8の動作確認を行う動作確認テストへの切り替えは、test信号を「H」とし、testB信号を「L」とする。まず、スイッチ2aがONとなることにより、予備のサンプリング回路26には、動作確認テスト用のSTR信号である、TSTR1信号が入力され、サンプリング回路6には、動作確認テスト用のSTR信号である、TSTR2信号が入力される。さらに、オペアンプ1の負極性入力端子には、予備のDAC回路28からの階調電圧が入力される。また、スイッチ2bがOFFになったことにより、オペアンプ1の出力は、自身の負極性入力端子への負帰還が遮断される。その結果、オペアンプ1は、自身の正極性入力端子に直列に接続されたDAC回路8からの出力電圧と、予備のDAC回路28からの出力電圧とを比較するコンパレータとなる。

[0101] なお、test信号およびtestB信号は、動作確認テストの切り替え、および動作確認テストの動作をコントロールする、制御回路(図示しない)より出力される。また、この制御回路(制御手段)は、動作確認テストに

おける、データバスを介して入力される階調データ、および、データLOAD信号を制御する回路でもある。さらに、この制御回路は、通常動作中の階調データ、データLOAD信号、シフトクロック用入力信号を制御する制御回路と同一であってもよいし、異なる制御回路であってもよい。

[0102] (実施形態1の動作確認テスト1)

次に、動作確認テストの1つ目の手順を、図8を参照して以下に説明する。図8は、第1の実施形態に係る、動作確認テストの1つ目の手順を示すフローチャート図である。

[0103] 同図に示すステップS21(以下、S21と略称する)において、test信号を「H」とし、testB信号を「L」とする。すでに上述したように、S21により、オペアンプ1はコンパレータの役割を有することとなる。

[0104] 次に、S22において、図示しない制御回路が備えるカウンタmを0に初期化する。さらに、制御回路は、カウンタmの値に対応する階調mの階調データを、ここでは、階調0の階調データを、TSTR1信号をアクティブにし、データバスを介して予備のサンプリング回路26に格納する。さらに、制御回路は、カウンタmの値に1を加算した、階調m+1の階調データを、ここでは、階調1の階調データを、TSTR2信号をアクティブにし、データバスを介して、サンプリング回路6に格納する。次に、予備のホールド回路27は、データLOAD信号に基づいて、サンプリング回路26より、階調0の階調データを取得する。さらに、DAC回路28は、ホールド回路27より階調データを入力し、階調0の階調電圧を、オペアンプ1の負極性入力端子に出力する(S23)。一方、ホールド回路7は、データLOAD信号に基づいて、サンプリング回路6より、階調1の階調データを取得する。さらに、DAC回路8は、ホールド回路7より階調データを入力する。各DAC回路8は、自身に直列に接続された、各オペアンプ1の正極性入力端子に、階調1の階調電圧を出力する(S23)。なお、本発明の集積回路10は、n階調の階調電圧を出力するものであり、階調0の階調電圧が一番低い

電圧値であり、階調 n の階調電圧が一番高い電圧値であるものとする。

[0105] 次に、オペアンプ 1 は、正極性入力端子に入力した D A C 回路 8 からの階調電圧と、負極性入力端子に入力した D A C 回路 2 8 からの階調電圧とを比較する (S 2 4)。具体的には、オペアンプ 1 は、自身の正極性入力端子に階調 1 の階調電圧を入力し、自身の負極性入力端子に階調 0 の階調電圧を入力する。ここで、D A C 回路 8 が正常であれば、階調 1 の階調電圧が階調 0 の階調電圧よりも高いため、オペアンプ 1 は、「H」レベルの信号を出力する。ここで、オペアンプの出力が「L」レベルの信号であった場合、D A C 回路 8 は不良であることになる。

[0106] 次に、判定回路 3 (判定手段) は、オペアンプ 1 からの出力信号を入力し、入力した信号のレベルと、自身が記憶する期待値とを比較する。なお、判定回路 3 が記憶する期待値は、制御回路より与えられたものである。この動作確認テスト 1 においては、判定回路 3 は期待値を「H」レベルとして記憶している。

[0107] ここで、判定回路 3 は、オペアンプ 1 より入力した信号が、自身が記憶する期待値と同じ、「H」レベルであれば、D A C 回路 8 が正常であると判定する。一方、判定回路 3 は、オペアンプ 1 より入力した信号が「L」レベルであれば、D A C 回路 8 が不良であると判定し、判定フラグ 4 に「H」フラグを出力する。判定フラグ 4 は、判定回路 3 より「H」フラグを入力した場合、入力した「H」フラグを自身の内部メモリに記憶する。(S 2 5)

なお、判定回路 3 は、オペアンプ 1 からの出力信号を入力し、入力した信号が「H」レベルであれば、判定フラグ 4 に「L」フラグを出力し、入力した信号が「L」レベルであれば、判定フラグ 4 に「H」フラグを出力する構成としてもよい。この場合、判定フラグ 4 は、判定回路 3 より一度でも「H」フラグを入力した場合、その後、判定回路 3 より「L」フラグを入力しても、判定フラグ 4 は「H」フラグを保持しつづける。

[0108] また、不良であると判断され、判定フラグ 4 が「H」になった場合以後の判定動作を行わない構成にしても良い。

[0109] 次に、カウンタ m の値が、 $n - 1$ であるかを判定する（S 2 6）。カウンタ m の値が $n - 1$ 以下の場合は、カウンタ m の値を1つ増やし、S 2 3～S 2 5のステップを、 m の値が $n - 1$ となるまで、繰り返し行う。なお、この n とは、集積回路10が出力できる階調数である。

[0110] （実施形態1の動作確認テスト2）

次に、動作確認テストの2つ目の手順を、図9を参照して以下に説明する。図9は、第1の実施形態に係る、動作確認テストの2つ目の手順を示すフローチャート図である。

[0111] まず、動作確認テスト1においては、常にオペアンプ1の正極性入力端子に入力される階調電圧が、負極性入力端子に入力される階調電圧より高いため、DAC回路28に、低い電圧しか出力しないような不具合がある場合や、DAC回路8に高い電圧しか出力しないような不具合がある場合には、判定回路3は、正常を示す「L」フラグを出力してしまう。

[0112] したがって、動作確認テスト2においては、オペアンプ1の正極性入力端子に、負極性入力端子より低い階調電圧を入力して動作確認を行う。

[0113] まず、動作確認テスト1が終了した後、カウンタ m の値を0に初期化する（S 3 1）。次に、制御回路は、カウンタ m の値に1を加算した、階調 $m + 1$ の階調データを、ここでは、階調1の階調データを、TSTR1信号をアクティブにし、データバスを介して予備のサンプリング回路26に格納する。次に、制御回路は、カウンタ m に対応する、階調 m の階調データを、ここでは、階調0の階調データを、TSTR2信号をアクティブにし、データバスを介して、サンプリング回路6に格納する。

[0114] ここで、動作確認テスト1のS 2 3と同様に、DAC回路28は、サンプリング回路26が格納した階調データを、ホールド回路27を介して入力する。さらに、DAC回路28は、入力した階調データに対応する、階調 $m + 1$ の階調電圧を、ここでは、階調1の階調電圧を、オペアンプ1の負極性入力端子に出力する。一方、DAC回路8は、サンプリング回路6が格納した階調データを、ホールド回路7を介して入力する。さらに、各DAC回路8

は、入力した階調データに対応する、階調 m の階調電圧を、ここでは、階調 0 の階調電圧を、自身に直列に接続された、各オペアンプ 1 の正極性入力端子に出力する（ $S32$ ）。

[0115] 次に、オペアンプ 1 は、正極性入力端子に入力したDAC回路 8 からの階調 0 の階調電圧と、負極性入力端子に入力したDAC回路 28 からの階調 1 の階調電圧とを比較する（ $S33$ ）。ここで、DAC回路 8 が正常であれば、階調 1 の階調電圧が階調 0 の階調電圧よりも高いため、オペアンプ 1 は、「 L 」フラグの信号を出力する。ここで、オペアンプの出力が「 H 」レベルの信号であった場合、DAC回路 8 は不良であることになる。

[0116] 次に、判定回路 3 は、オペアンプ 1 からの出力信号を入力し、入力した信号のレベルと、自身が記憶する期待値とを比較する。この動作確認テスト 1 においては、判定回路 3 は期待値を「 L 」レベルとして記憶している。ここで、判定回路 3 は、オペアンプ 1 より入力した信号が、自身が記憶する期待値と同じ、「 L 」レベルであれば、DAC回路 8 が正常であると判定する。一方、判定回路 3 は、オペアンプ 1 より入力した信号が「 H 」であれば、DAC回路 8 が不良であると判定し、判定フラグ 4 に「 H 」フラグを出力する。判定フラグ 4 は、判定回路 3 より「 H 」フラグを入力した場合、入力した「 H 」フラグを自身の内部メモリに記憶する（ $S34$ ）。以上の、 $S33 \sim S34$ のステップを、 m の値が $n-1$ となるまで繰り返し行う（ $S35$ 、 $S36$ ）。

[0117] （実施形態 1 の動作確認テスト 3 ）

次に、動作確認テストの 3 つ目の手順を、図 10 を参照して以下に説明する。図 10 は、第 1 の実施形態に係る、動作確認テストの 3 つ目の手順を示すフローチャート図である。

[0118] DAC回路 8 において、出力がオープンとなる不具合がある場合、実行済の確認テストによる、オペアンプ 1 に入力された階調電圧を、オペアンプ 1 が保持し続け、動作確認テスト 1 および 2 において、不具合を検出できない場合がある。ここで、動作確認テスト 3 においては、オペアンプ 1 の正極性

入力端子にプルダウン回路を接続する。これにより、D A C回路8の出力がオープンとなる場合、オペアンプ1の正極性入力端子に、低い電圧を入力することになる。結果、D A C回路8の出力がオープンとなる場合、言い換えれば、D A C回路8より出力がない場合において、実行済の確認テストによる、オペアンプ1の入力された階調電圧を、オペアンプ1が保持し続けることを防ぐことができる。

[0119] 動作確認テスト3の具体的な手順は、図10に示すように、まず、カウンタmを0に初期化する（S41）。次に、プルアップ・プルダウン回路5は、オペアンプ1の正極性入力端子をプルダウンする（S42）。ここからのS43～S47のステップは、既に上述した動作確認テスト1の、S23～S27のステップと同様であるため、ここではその説明を省略する。

[0120] 以上のように、オペアンプ1の正極性入力端子をプルダウンし、動作確認テスト1の手順を行うことにより、D A C回路8の出力がオープンとなった場合、オペアンプ1は、「L」レベルの信号を出力することになる。結果、判定回路3は、入力した「L」レベルの信号より、D A C回路8に不具合があると判定し、判定フラグ4が「H」フラグを記憶することになる。

[0121] （実施形態1の動作確認テスト4）

次に、動作確認テストの4つ目の手順を、図11を参照して以下に説明する。図11は、第1の実施形態に係る、動作確認テストの4つ目の手順を示すフローチャート図である。

[0122] ここで、動作確認テスト4は、動作確認テスト3と同様に、D A C回路8の出力がオープンとなる不具合に対応するためのものである。同図に示すように、まず、カウンタmを0に初期化する（S51）。次に、プルアップ・プルダウン回路5は、オペアンプ1の正極性入力端子をプルアップする（S52）。ここからのS53～S57のステップは、既に上述した動作確認テスト2の、S32～S36のステップと同様であるため、ここではその説明を省略する。

[0123] 以上のように、オペアンプ1の正極性入力端子をプルアップし、動作確認

テスト2の手順を行うことにより、DAC回路8の出力がオープンとなった場合、オペアンプ1は、「H」レベルの信号を出力することになる。結果、判定回路3は、入力した「H」レベルの信号より、DAC回路8に不具合があると判定し、判定フラグ4が「H」を記憶することになる。

[0124] (実施形態1の動作確認テスト5)

次に、動作確認テストの5つ目の手順を、図12を参照して以下に説明する。図12は、第1の実施形態に係る、動作確認テストの5つ目の手順を示すフローチャート図である。

[0125] DAC回路8においては、自身における隣接する2つ階調がショートするという不具合が発生する場合がある。このように、隣接する2つ階調がショートした場合、DAC回路8は、ショートした2つの階調の中間電圧を出力することになる。この不具合の場合、DAC回路8が出力する階調電圧は、正常な場合と比べて、1階調以上の電圧のずれとならない。したがって、動作確認テスト1～4において、この不具合を検出することはできない。ここで、動作確認テスト5においては、このようなDAC回路8における、隣接する2つの階調がショートした不具合を検出することが目的である。

[0126] 同図に示すように、まず、カウンタmを0に初期化する(S61)。次に、TSTR1およびTSTR2をアクティブにし、さらに、データバスを介して、階調mの階調データを、ここでは、階調0の階調データを、サンプリング回路26およびサンプリング回路6が入力する。次に、DAC回路28および8は、ホールド回路27および7を介して、サンプリング回路26および6より、階調0の階調データを取得する。さらにDAC回路28および8は、オペアンプ1の正極性入力端子および負極性入力端子に、階調0の階調電圧を出力する(S62)。

[0127] 次に、図示しないスイッチにより、オペアンプ1の正極性入力端子と、負極性入力端子とをショートする。なお、動作確認テスト1および2において、DAC回路8に不具合がないと判定されている場合は、正極性入力端子と負極性入力端子に入力される階調電圧の差は、1階調以上の電圧差にならな

い。したがって、正極性入力端子と負極性入力端子とをショートすることによって、大きな電流が流れるという問題はない。

[0128] ここで、オペアンプ 1 の正極性入力端子と負極性入力端子とをショートしたことにより、オペアンプ 1 の 2 つの入力端子は、同じ階調電圧を入力することになる。ここで、本来オペアンプ 1 は、入出力のオフセット電圧を有しているため、自身の 2 つの入力端子に同じ階調電圧を入力したとしても、オペアンプ 1 の出力は、「H」または「L」のどちらかを出力することになる。この、オペアンプ 1 の正極性入力端子と負極性入力端子とをショートした場合の、オペアンプ 1 の出力のレベルを、判定回路 3 は、期待値として記憶する（S 6 3）。

[0129] 次に、図示しないスイッチを OFF にして、オペアンプ 1 の正極性入力端子と負極性入力端子とのショートを解除する。このとき、オペアンプ 1 の正極性入力端子には、DAC 回路 8 からの階調 0 の階調電圧が入力され、負極性入力端子には、DAC 回路 2 8 からの階調 0 の階調電圧が入力される。ここで、DAC 回路 2 8 および 8 に不具合がなければ、オペアンプ 1 の出力は、判定回路 3 に記憶した期待値と同じ出力となる。したがって、判定回路 3 は、オペアンプ 1 からの出力と、自身が記憶する期待値とを比較する（S 6 4）。判定回路 3 は、オペアンプ 1 からの出力値が、期待値と異なる値であれば、判定フラグ 4 に「H」フラグを出力する（S 6 5）。

[0130] 次に、図示しないスイッチによって、オペアンプ 1 の正極性入力端子に DAC 回路 2 8 からの階調電圧を入力し、負極性入力端子に DAC 回路 8 からの階調電圧を入力するように、オペアンプ 1 の入力を切り替える（S 6 6）。ここで、S 6 4 と同様の処理を行う（S 6 7）。S 6 7 において、判定回路 3 が、オペアンプ 1 からの出力と、自身が記憶する期待値とが異なれば、判定フラグ 4 に「H」フラグを出力する（S 6 8）。このように、正極性入力端子と負極性入力端子とを切り替えることにより、判定回路 3 が記憶する期待値が「H」レベルまたは「L」レベルのどちらであっても、DAC 回路 8 の不具合を検出可能となる。

[0131] 以上のS 6 2～S 6 8のステップを、カウンタmの値がnとなるまで、カウンタmの値を1つ増加させて繰り返し行う（S 6 9、S 7 0）。

[0132] （自己修復）

次に、判定フラグ4が「H」フラグを記憶している場合、言い換えれば、上記動作確認テスト1～5において、DAC回路8-1～8-nのいずれかに不具合があると判定回路3が判定した場合の修復について、図13を参照して以下に説明する。図13は、不良と判定したDAC回路8と、予備のDAC回路28とを切り替え、自己修復する手順を示すフローチャート図である。

[0133] 判定回路3は、DAC回路8が不良であると判定した場合、「H」フラグを判定フラグ4に出力する。さらに、判定フラグ4は、判定回路3からの「H」フラグを入力し、自身の内部に記憶する。ここで、制御回路は、判定フラグ4が「H」を記録しているかどうかを検出する（S 7 1）。制御回路は、判定フラグ4が「H」を記憶していないことを検出した場合は、S 7 5の処理に移る。一方、制御回路は、判定フラグ4が「H」を記憶していることを検出した場合、判定フラグ4-1～4-nのそれぞれが記憶している「H」のフラグ数を確認する。ここで、判定フラグ4が記憶している「H」のフラグ数が複数の場合、S 7 3の処理にうつる。一方、判定フラグ4が記憶している「H」のフラグ数が1つの場合は、S 7 4の処理にうつる（S 7 2）。

[0134] S 7 4においては、「H」フラグを記憶している判定フラグ4に対応するDAC回路8を、予備のDAC回路28に切り替える処理を行う（S 7 4）。まず、不良のDAC回路8と予備のDAC回路28との切り替えの手順を説明するにあたり、ここでは、液晶駆動用信号出力端子OUT 1に対応する判定フラグ4-1が「H」フラグを記憶しているものとする。

[0135] 判定フラグ4-1は、スイッチ2cおよび2dに対して、「H」レベルとなるFlag 1の出力信号を出力する。Flag 1の出力信号によって、「H」レベルの信号を入力したスイッチ2cはOFFとなり、スイッチ2dは

ONとなる。これにより、スイッチ2cはオペアンプ1-1からの出力と、液晶駆動用信号出力端子OUT1との接続を遮断することになる。一方、スイッチ2dは、サンプリング回路6-1に入力されるSTR1信号を、サンプリング回路26に出力することになる。これにより、液晶駆動用信号出力端子OUT1に対応する階調データは、サンプリング回路26も格納することになる。さらに、スイッチ2dは、オペアンプ21の出力と、液晶駆動用信号出力端子OUT1とを接続する。このように、判定フラグ4-1からのFlag1の出力信号によって、スイッチ2cおよび2dが切り替わることにより、不良であるDAC回路8-1を予備のDAC回路28に切り替えることになる。

[0136] 次に、S73の処理について説明する。判定フラグ4が記憶する「H」フラグの数が、複数であった場合、確率的に予備のDAC回路28が不良であると考えられる。したがって、S73において、制御回路は、判定フラグ4が記憶するフラグを全て「L」フラグにし、S75の処理に移行する。次に、S71においてNOと判定された場合、S73の処理後、または、S74の処理後、制御回路は、test信号を「L」に、testB信号を「H」に切り替え、通常動作に移行する（S75）。

[0137] 以上のように、動作確認テスト1～5、および、自己修復の処理を行うことにより、集積回路10は、不良のDAC回路を予備のDAC回路28に切り替えることができる。さらに、第1の実施形態においては、予備のDAC回路28に対応する、予備のサンプリング回路26およびホールド回路27を備えている。したがって、DAC回路8だけでなく、サンプリング回路6またはホールド回路7に不具合があった場合においても、予備のサンプリング回路26およびホールド回路28に切り替えることができる。

[0138] 次に、集積回路10を搭載する表示装置の電源投入から、動作確認テストを行い、通常動作を行うまでの手順を、図14を参照して以下に説明する。図14は、表示装置の電源投入から、動作確認テストを行い通常動作に移行するまでの処理手順を示すフローチャート図である。

[0139] 同図に示すように、まず、表示装置に電源投入し、集積回路10を初期化することにより、判定フラグ4は全て「L」フラグになる（S81）。次に、制御回路は、test信号を「H」に、testB信号を「L」にし、動作確認テストの状態に集積回路10を切り替える（S82）。次に、制御回路および集積回路10は、上述した動作確認テストを行う（S83）。さらに、全ての動作確認テスト1～5が終了したかどうかを、制御回路は確認し、不良となる回路は、予備の回路に切り替え、通常動作に移行する（S84）。

[0140] （オペアンプ1の動作確認）

上述した動作確認テストは、オペアンプ1に不具合がないことを前提としている。しかしながら、オペアンプ1においても不具合が発生する可能性がある。したがって、上記動作確認テストを行う前に、オペアンプ1の動作確認を行うことが、本実施形態においては好ましい。そこで、以下に、オペアンプ1の動作確認についても、図15を参照して説明する。図15は、オペアンプ1とオペアンプ1の動作確認のための周辺回路との構成を示す説明図である。

[0141] 同図に示すように、オペアンプ1の正極性入力端子には、DAC回路8からの出力と、所定の電圧との入力を切り替えるスイッチS5が接続されている。さらにスイッチS5のB側（所定の電圧の入力側）には、2つの所定の電圧Vref1およびVref2を切り替えるスイッチS3が接続されている。一方、オペアンプ1の負極性入力端子には、オペアンプ1からの負帰還を行うためのオペアンプ1の出力と、所定の電圧との入力を切り替えるスイッチS6が接続されている。さらに、スイッチS4のB側（所定の電圧の入力側）には、2つの所定の電圧Vref1およびVref2を切り替えるスイッチS4が接続されている。

[0142] 次に、オペアンプ1の通常動作について説明する。オペアンプ1の通常動作時は、スイッチS5をA側（DAC回路8の出力側）にし、スイッチS6をA側にすることにより、オペアンプ1は、ボルテージフォロワの回路とし

て動作する。

[0143] 次に、オペアンプ1の動作確認動作確認を行うための手順を以下に説明する。まず、スイッチS1およびS2をB側に切り替える。これにより、オペアンプ1の負帰還はなくなり、オペアンプ1はコンパレータとして動作する。次に、スイッチS3およびS4をA側に切り替える。これにより、オペアンプ1の正極性入力端子は、 V_{ref1} を入力し、負極性入力端子は、 V_{ref2} を入力することになる。ここで、 V_{ref1} および V_{ref2} は予め生成された電圧であり、 V_{ref1} の電圧値は、 V_{ref2} の電圧値より大きい値とする。なお、 V_{ref1} と V_{ref2} との電圧値の差は、オペアンプ1の入出力オフセット値よりも大きい値とする。このとき、オペアンプ1は、負極性入力端子に入力した V_{ref2} より、正極性入力端子に入力した V_{ref1} の電圧の方が高いため、「H」レベルの信号を出力する。このオペアンプ1からの出力を、判定回路3が検出し、自身が記憶する期待値「H」と比較する。ここで、オペアンプ1の出力が「L」レベルであった場合、判定回路3は、オペアンプ1に不具合があると判定できる。なお、判定回路3が記憶する期待値は、制御回路より与えられたものである。

[0144] 次に、オペアンプ1のコンパレータ動作に不具合があり、オペアンプ1は「H」レベルしか出力できない場合も考えられる。したがって、スイッチS3およびS4をB側に切り替え、オペアンプ1の正極性入力端子に V_{ref2} を入力し、負極性入力端子に V_{ref1} を入力する。このとき、オペアンプ1は、正極性入力端子に入力した V_{ref2} よりも、負極性入力端子に入力した V_{ref1} の電圧値の方が高いため、「L」レベルを出力する。このオペアンプ1からの出力を、判定回路3が検出し、自身が記憶する期待値「L」と比較する。ここで、オペアンプ1の出力が「H」レベルであった場合、判定回路3は、オペアンプ1に不具合があると判定できる。なお、スイッチS3～S6は、制御回路によって切り替えられるものとする。

[0145] 〔実施形態2〕

次に、本発明に係る第2の実施形態について、図16～図22を参照して

、以下に説明する。なお、なお、実施形態 2 の説明に関しては、実施形態 1 と異なる箇所についてのみ説明し、重複する箇所についてはその説明を省略する。

[0146] まず、実施形態 1 と実施形態 2 の違いについて簡単に説明する。実施形態 1 は、DAC 回路 8 の出力と、予備の DAC 回路 28 の出力を、オペアンプ 1 において比較している。一方、実施形態 2 は、互いに隣接する 2 つの DAC 回路 8 を一組とし、互いの DAC 回路 8 からの出力を、オペアンプ 1 において比較する。

[0147] (表示駆動用半導体集積回路 20 の構成)

図 16 を参照して、本発明の表示駆動用半導体集積回路（以下、集積回路とする）20 の構成について説明する。図 16 は、集積回路 20（表示装置駆動用の集積回路）の構成を示す説明図である。

[0148] オペアンプ 1 は、自身に直列に接続される DAC 回路 8 からの出力を、自身の正極性入力端子に入力する。さらに、オペアンプ 1 は、自身に隣り合うオペアンプに直列に接続される DAC 回路 8 からの出力を、自身の負極性入力端子に入力する。具值的には、同図に示すように、オペアンプ 1-1 は、DAC 回路 8-1 からの出力を、自身の正極性入力端子に入力し、DAC 回路 8-2 からの出力を、スイッチ 2a を介して自身の負極性入力端子に入力する。同様に、オペアンプ 1-2 は、DAC 回路 8-2 からの出力を、自身の正極性入力端子に入力し、DAC 回路 8-1 からの出力を、スイッチ 2a を介して自身の負極性入力端子に入力する。また、集積回路 20 は、予備のサンプリング回路 26A および 26B と、予備のホールド回路 27A および 27B と、予備の DAC 回路 28A および 28B と、オペアンプ 21A および 21B と、プルアップ・プルダウン回路 25A および 25B とを備えている。オペアンプ 21A においても、DAC 回路 28A からの出力を自身の正極性入力端子に、DAC 回路 28B からの出力を、スイッチ 2a を介して自身の負極性入力端子に入力する。さらに、オペアンプ 21B においても、DAC 回路 28B からの出力を、自身の正極性入力端子に、DAC 回路 28

Aからの出力を、スイッチ2 aを介して自身の負極性入力端子に入力している。

[0149] (集積回路20の通常動作)

集積回路20における通常動作においては、実施形態1と同様に、制御回路は、test信号を「L」レベルに、test B信号を「H」レベルにする。これにより、DAC回路8は、ホールド回路7より入力した階調データを階調電圧信号に変換し、階調電圧としてオペアンプ1の正極性入力端子に出力する。ここでオペアンプ1の出力は、スイッチ2 bがONしているため、自身の負極性入力端子への負帰還となる。これにより、オペアンプ1は、ボルテージフォロワとして動作する。よって、オペアンプ1は、DAC回路8からの階調電圧をバッファし、対応する各出力端子OUT1～OUTnに出力する。

[0150] (動作確認テストの切り替え)

集積回路20における動作確認テストへの切り替えは、制御回路がtest信号を「H」レベルとし、test B信号を「L」レベルとする。まず、スイッチ2 aがONとなることにより、サンプリング回路26 Aおよび奇数番目のサンプリング回路6 (サンプリング回路6-1, 6-3, ..., 6-(n-1)) には、TSTR1信号が入力される。さらに、サンプリング回路26 Bおよび偶数番目のサンプリング回路6 (サンプリング回路6-2, 6-3, ..., 6-n) には、TSTR2信号が入力される。さらに、スイッチ2 aがONとなることにより、奇数番目のオペアンプ1の負極性入力端子には、隣り合う偶数番目のDAC回路8からの出力が入力され、偶数番目のオペアンプ1の負極性入力端子には、隣り合う奇数番目のDAC回路8からの出力が入力される。また、test B信号が「L」レベルとなることにより、スイッチ2 bはOFFとなる。これにより、オペアンプ1における、自身の出力の負極性入力端子への負帰還が遮断されることになる。その結果、オペアンプ1は、自身に直列に接続されたDAC回路8からの出力と、隣り合うDAC回路8からの出力とを比較するコンパレータとなる。

[0151] (実施形態2の動作確認テスト1)

次に、第2の実施形態に係る、動作確認テストの1つ目の手順を、図17を参照して以下に説明する。図17は、第2の実施形態に係る、動作確認テストの1つ目の手順を示すフローチャート図である。

[0152] まず、制御回路は `test` 信号を「H」レベルに、`testB` 信号を「L」レベルにする (S101)。これにより、オペアンプ1はコンパレータとして動作する (S102)。次に、制御回路は、奇数番目の判定回路3 (判定回路3-1, 3-3, ..., 3-(n-1)) の期待値を「L」レベルに設定する。一方、制御回路は、偶数番目の判定回路3 (判定回路3-2, 3-4, ..., 3-n) の期待値を「H」レベルに設定する。

[0153] 次に、制御回路は、自身が備えるカウンタ `m` を0に初期化する (S103)。さらに、制御回路は、`TSTR1` をアクティブにし、サンプリング回路26Aおよび奇数番目のサンプリング回路6がデータバスを介して、階調 `m` の階調データを入力する。また、制御回路は、`TSTR2` をアクティブにし、サンプリング回路26Bおよび偶数番目のサンプリング回路6がデータバスを介して、階調 `m+1` の階調データを入力する (S104)。

[0154] ここで、カウンタ `m` の値が0の場合を考えると、奇数番目のオペアンプ1は、自身の正極性入力端子に階調0の階調電圧を、自身に直列に接続される、奇数番目のDAC回路8より入力する。また、奇数番目のオペアンプ1は、自身の負極性入力端子に階調1の階調電圧を、隣り合う偶数番目のDAC回路8より入力する。ここで、オペアンプ1の2つの入力端子に接続するDAC回路8が正常であれば、奇数番目のオペアンプ1の出力は「L」になる。一方、偶数番目のオペアンプ1は、自身の正極性入力端子に階調1の階調電圧を、自身に直列に接続される、偶数番目のDAC回路8より入力する。また、偶数番目のオペアンプ1は、自身の負極性入力端子に階調0の階調電圧を、隣り合う奇数番目のDAC回路8より入力する。ここで、オペアンプ1の2つの入力端子に接続するDAC回路8が正常であれば、偶数番目のオペアンプ1の出力は「H」になる。

[0155] 次に、判定回路 3 は、オペアンプ 1 からの出力信号のレベルが、自身が記憶する期待値に合致するかを判定する（S 1 0 5）。ここで、オペアンプ 1 からの出力が、期待値と異なる場合、判定回路 3 は、判定フラグ 4 に「H」フラグを出力する（S 1 0 6）。以上の S 1 0 4 ~ S 1 0 6 までの処理を、カウンタ m の値を 1 つずつ増やし、カウンタ m の値が $n - 1$ となるまで繰り返し行う（S 1 0 7, S 1 0 8）。

[0156] （実施形態 2 の動作確認テスト 2）

次に、第 2 の実施形態に係る、動作確認テストの 2 つ目の手順を、図 1 8 を参照して以下に説明する。図 1 8 は、第 2 の実施形態に係る、動作確認テストの 2 つ目の手順を示すフローチャート図である。

[0157] 第 2 の実施形態における動作確認テスト 2 は、第 2 の実施形態における動作確認テスト 1 における、奇数番目と偶数番目との階調の電圧関係を逆にした動作確認であり、その他は、第 2 の実施形態における動作確認テストと同様である。

[0158] まず、制御回路は、奇数番目の判定回路 3 の期待値を「H」に設定し、一方、偶数番目の判定回路 3 の期待値を「L」に設定する。さらに、制御回路は、自身が備えるカウンタ m を 0 に初期化する（S 1 1 1）。

[0159] 次に、制御回路は、T S T R 1 をアクティブにし、サンプリング回路 2 6 A および奇数番目のサンプリング回路 6 がデータバスを介して、階調 $m + 1$ の階調データを入力する。また、制御回路は、T S T R 2 をアクティブにし、サンプリング回路 2 6 B および偶数番目のサンプリング回路 6 がデータバスを介して、階調 m の階調データを入力する（S 1 1 2）。

[0160] ここで、カウンタ m の値が 0 の場合を考えると、奇数番目のオペアンプ 1 は、自身の正極性入力端子に階調 1 の階調電圧を、自身に直列に接続される、奇数番目の D A C 回路 8 より入力する。また、奇数番目のオペアンプ 1 は、自身の負極性入力端子に階調 0 の階調電圧を、隣り合う偶数番目の D A C 回路 8 より入力する。ここで、オペアンプ 1 の 2 つの入力端子に接続する D A C 回路 8 が正常であれば、奇数番目のオペアンプ 1 の出力は「H」レベル

になる。一方、偶数番目のオペアンプ1は、自身の正極性入力端子に階調0の階調電圧を、自身に直列に接続される、偶数番目のDAC回路8より入力する。また、偶数番目のオペアンプ1は、自身の負極性入力端子に階調1の階調電圧を、隣り合う奇数番目のDAC回路8より入力する。ここで、オペアンプ1の2つの入力端子に接続するDAC回路8が正常であれば、偶数番目のオペアンプ1の出力は「L」レベルになる。

[0161] 次に、判定回路3はオペアンプ1からの出力のレベルと、自身が記憶する期待値とを比較する(S113)。ここで、判定回路3は、オペアンプ1からの出力が期待値と異なる場合、判定フラグ4に「H」フラグを出力する。以上のS112～S114の処理を、カウンタmの値を1つずつ増やし、カウンタmの値がn-1となるまで繰り返し行う(S115、S116)。

[0162] (実施形態2の動作確認テスト3)

次に、第2の実施形態に係る、動作確認テストの3つ目の手順を、図19を参照して以下に説明する。図19は、第2の実施形態に係る、動作確認テストの3つ目の手順を示すフローチャート図である。

[0163] 第1の実施形態の動作確認テスト3において説明したように、DAC回路8において、出力がオープンとなる不具合がある場合、実行済の確認テストによる、オペアンプ1の入力された階調電圧を、オペアンプ1が保持し続け、実施形態2の動作確認テスト1および2において、不具合を検出できない場合がある。

[0164] まず、動作確認テスト1～2と同様に、制御回路は、自身が備えるカウンタmの値を0に初期化する(S121)。また、集積回路20は、DAC回路8の正極性入力端子に、プルアップ・プルダウン回路5を接続している。ここで、奇数番目のオペアンプ1の正極性入力端子をプルアップするように、制御回路は、プルアップ・プルダウン回路5を制御する(S122)。結果、奇数番目のDAC回路8の出力がオープンとなる場合に、奇数番目のオペアンプ1の正極性入力端子に高い電圧を入力することになる。一方、偶数番目のオペアンプ1の正極性入力端子については、プルダウンとなるように

、制御回路は、プルアップ・プルダウン回路5を制御する（S 1 2 2）。結果、偶数番目のDAC回路8の出力がオープンとなる場合に、偶数番目のオペアンプ1の正極性入力端子に低い電圧を入力することになる。

[0165] この後のS 1 2 3～S 1 2 7の処理については、第2の実施形態の動作確認テスト1と同様であるため、ここではその説明を省略する。

[0166] （実施形態2の動作確認テスト4）

次に、第2の実施形態に係る、動作確認テストの4つ目の手順を、図20を参照して以下に説明する。図20は、第2の実施形態に係る、動作確認テストの4つ目の手順を示すフローチャート図である。

[0167] ここでは、上記の動作確認テスト3と同様の不具合を検出することを目的としている。まず、これまでの動作確認テストと同様に、制御回路は、自身が備えるカウンタmの値を0に初期化する（S 1 3 1）。次に、制御回路は、奇数番目のオペアンプ1の正極性入力端子をプルダウンするように、プルアップ・プルダウン回路5を制御する（S 1 2 2）。結果、奇数番目のDAC回路8の出力がオープンとなる場合に、奇数番目のオペアンプ1の正極性入力端子に低い電圧を入力することになる。一方、偶数番目のオペアンプ1の正極性入力端子については、プルアップとなるように、制御回路は、プルアップ・プルダウン回路5を制御する（S 1 2 2）。結果、偶数番目のDAC回路8の出力がオープンとなる場合に、偶数番目のオペアンプ1の正極性入力端子に高い電圧を入力することになる。

[0168] この後のS 1 3 3～S 1 3 7の処理については、第2の実施形態の動作確認テスト2と同様であるため、ここではその説明を省略する。

[0169] （実施形態2の動作確認テスト5）

次に、第2の実施形態に係る、動作確認テストの5つ目の手順を、図21を参照して以下に説明する。図21は、第2の実施形態に係る、動作確認テストの5つ目の手順を示すフローチャート図である。

[0170] 第1の実施形態の動作確認テスト5において説明したように、DAC回路8においては、自身における隣接する2つ階調がショートするという不具合

が発生する場合がある。第2の実施形態の動作確認テスト5においては、このような不具合を検出することが目的である。

[0171] 同図に示すように、まず、制御回路は、自身が備えるカウンタ m の値を0に初期化する（S141）。次に、TSTR1およびTSTR2をアクティブにし、さらに、データバスを介して、階調 m の階調データを、サンプリング回路26A、サンプリング回路26B、およびサンプリング回路6が入力する。さらに、データLOAD信号をアクティブにすることにより、奇数番目のDAC回路8および偶数番目のDAC回路8は、同じ階調 m の階調電圧を出力することになる（S142）。次に、図示しないスイッチを介して、制御回路は、オペアンプ1の正極性入力端子と負極性入力端子とをショートさせる。このオペアンプ1の正極性入力端子と負極性入力端子とをショートさせたことにより、オペアンプ1の正極性入力端子および負極性入力端子は、同じ階調電圧を入力することになる。次に、オペアンプ1の正極性入力端子と負極性入力端子とをショートした場合の、オペアンプの出力のレベルを、判定回路3は、期待値として記憶する（S143）。

[0172] 次に、図示しないスイッチをOFFにして、オペアンプ1の正極性入力端子と負極性入力端子とのショートを解除する。このとき、奇数番目のオペアンプ1の正極性入力端子は、自身に直列に接続された奇数番目のDAC回路8からの、階調 m の階調電圧が入力され、負極性入力端子には、自身に隣り合う偶数番目のDAC回路8からの、階調 m の階調電圧が入力される。一方、偶数番目のオペアンプ1の正極性入力端子は、自身に直列に接続された偶数番目のDAC回路8からの、階調 m の階調電圧が入力され、負極性入力端子には、自身に隣り合う奇数番目のDAC回路8からの、階調 m の階調電圧が入力される。ここで、判定回路3は、自身が記憶した期待値と、オペアンプ1からの出力とを比較する（S144）。さらに、判定回路3は、オペアンプ1からの出力が、自身が記憶する期待値と異なる場合は、判定フラグ4に「H」フラグを出力する。さらに、判定フラグ4は、判定回路3より入力した「H」フラグを、自身の内部に記憶する。

[0173] 次に、制御回路は、図示しないスイッチを用いて、DAC回路8からの、オペアンプ1の正極性入力端子に入力される信号と、負極性入力端子に入力される信号とを入れ替える（S146）。その後、S147の処理と同じ処理を行う（S147）。また、S145と同様に、判定回路3は、オペアンプ1からの出力が、自身が記憶する期待値と異なる場合には、判定フラグ4に「H」を出力する（S148）。

[0174] 以上のS142～S148の処理を、カウンタmの値がnとなるまで、カウンタmの値を1つ増加させて繰り返し行う（S149、S150）。

[0175] （実施形態2の自己修復）

次に、判定フラグ4が「H」を記憶している場合、言い換えれば、上記動作確認テスト1～5において、DAC回路8のいずれかに不具合があると判定回路3が判定した場合の修復について、図22を参照して以下に説明する。図22は、不良と判定したDAC回路8と、予備のDAC回路28Aおよび28Bとを切り替え、自己修復する手順を示すフローチャート図である。

[0176] まず、制御回路は、判定フラグ4が「H」を記憶しているかどうかを検出する（S151）。制御回路は、判定フラグ4が「H」を記憶していないことを検出した場合は、S153の処理に移行する。一方、制御回路が、「H」を記憶している判定フラグ4を検出した場合、「H」を記憶する判定フラグ4に対応するDAC回路8を、予備のDAC回路28Aまたは28Bに切り替える。ここで、実施形態2においては、2つのDAC回路8を1組として動作確認を行っているため、判定フラグ4が「H」フラグを記憶していたとしても、1組のうちの、どちらのDAC回路が不良なのか判断がつかない。したがって、実施形態2においては、「H」を記憶する判定フラグ4に対応する1組のDAC回路8を、言い換えれば、奇数番目および偶数番目の2つのDAC回路8を、予備のDAC回路28Aおよび28Bに切り替える（S152）。具体的な説明として、以下においては、DAC回路8-1に不具合があるものとして説明する。

[0177] ここで、DAC回路8-1に不具合があった場合、動作確認テスト1～5

によって、判定回路 3-1 および 3-2 は、ともに「H」を判定フラグ 4-1 および 4-2 に出力することになる。さらに判定フラグ 4-1 および 4-2 は、判定回路 3-1 および 3-2 より入力した「H」フラグをスイッチ 2c および 2d に出力し、スイッチ 2c を OFF、スイッチ 2d を ON する。結果、サンプリング回路 26A は STR1 信号を入力し、サンプリング回路 26B は STR2 信号を入力する。これにより、サンプリング回路 26A は、液晶駆動用信号出力端子 OUT1 に対応する階調データをデータバスより取得することになり、また、サンプリング回路 26B は、液晶駆動用信号出力端子 OUT2 に対応する階調データをデータバスより取得することになる。さらに、スイッチ 2c が OFF となることにより、オペアンプ 1-1 の出力と、液晶駆動用信号出力端子 OUT1 との接続は遮断され、オペアンプ 1-2 の出力と、液晶駆動用信号出力端子 OUT2 との接続も遮断される。さらに、スイッチ 2d が ON したことにより、オペアンプ 21A の出力は、液晶駆動用信号出力端子 OUT1 に接続し、オペアンプ 21B の出力は、液晶駆動用信号出力端子 OUT2 に接続する。

[0178] 以上のように、不具合がある DAC 回路 8 と、これに対となる DAC 回路 8 とを 1 組として、予備の DAC 回路 28A および 28B に切り替えることにより、不具合のある DAC 回路 8 を予備の DAC 回路 26A または 26B に切り替えることができる。

[0179] 次に、制御回路は、test 信号を「L」、testB 信号を「H」にし、通常動作に移行する (S153)。

[0180] [実施形態 3]

以上に説明した実施形態 1 および実施形態 2 においては、出力回路ブロック 30 (図 2 を参照) からの階調電圧と、予備出力回路ブロック 40 (図 2 を参照) からの階調電圧とを切り替える切替回路 60 (図 2 を参照) は、集積回路 10 および 20 に備えられる構成であったが、本発明はこれに限るものではなく、切替回路 60 が、表示パネル側に備えられる構成であってもよい。

[0181] 以下に、表示パネル側に切替回路60を備えた表示部90'の構成および動作を、本発明に係る第3の実施形態として説明する。なお、本実施形態では、実施形態1と異なる箇所について説明し、重複する箇所についてはその説明を省略する。

[0182] (表示部90'の概略構成)

まず、図23を参照して、本実施形態に係る表示部90'の概略構成を説明する。図23は、表示部90'の概略構成を示すブロック図である。

[0183] 図23に示すように、表示部90'は、表示パネル80'と、外部より入力される階調データに基づき表示パネル80'を駆動する集積回路10'（駆動回路）とを備えている。ここで、集積回路10'において、実施形態1の集積回路10と異なる点は、切替回路60を備えていないことであり、その他の構成は、集積回路10と同じ構成である。また、表示パネル80'において、実施形態1の表示パネル80と異なる点は、切替回路60を備えていることであり、その他の構成は、表示パネル80と同じ構成である。

[0184] (表示部90'の構成)

次に、図24を参照して、本実施形態に係る表示部90'の、より詳細な構成を説明する。図24は、集積回路10'の構成を示すブロック図である。

[0185] 図24に示すように、集積回路10'は、階調データ入力端子（図示しない）より、データバスを介してn個の出力端子OUT1～OUTnの各々に対応する階調データが入力されるn個のサンプリング回路6と、n個のホールド回路7と、階調データを階調電圧信号に変換するDAC回路8と、DAC回路8からの階調電圧信号に対するバッファ回路の役割を有するオペアンプ1と、n個の判定回路3と、n個のプルアップ・プルダウン回路5とを備えている。

[0186] さらに、図24に示すように、集積回路10'は、test信号によってON、OFFが切替わる複数のスイッチ2aと、testB信号によってON、OFFが切替わる複数のスイッチ2bと、LF信号によってON、OFF

Fが切替わる複数のスイッチ2 fと、を備えている。なお、スイッチ2 a、2 bおよび2 fは、「H」の信号を入力された場合にONとなり、「L」の信号を入力された場合にOFFとなる。さらに、集積回路10' 予備のサンプリング回路26と、予備のホールド回路27と、予備のDAC回路28と、予備のオペアンプ21と、予備の出力端子OUT0とを、各1回路ずつ備えている。

[0187] 一方、表示パネル80' は、図24に示すように、集積回路10' が備える出力端子OUT1~OUTnの各々に接続する接続端子（図示せず）と、判定フラグ9-1~9-n（以下、総称する場合は、判定フラグ9とする）と、制御回路（図示せず）からのLF信号によってON, OFFが切替わるスイッチ2 fと、LF信号の反転信号であるLFB信号によってON, OFFが切替わるスイッチ2 eと、判定フラグ9からの出力信号であるFlag1~Flag nによってON, OFFが切替わるスイッチ2 cおよび2 dと、を備えている。なお、スイッチ2 d、2 e、および2 fは、「H」の信号を入力された場合にONとなり、「L」の信号を入力された場合にOFFとなる。また、スイッチ2 cは、「L」の信号を入力された場合にONとなり、「H」の信号を入力された場合にOFFとなる。

[0188] また、本実施形態における表示パネル80' は、液晶表示パネルであり、図24に示すように、集積回路10' の出力端子OUTの各々に、スイッチ2 eおよび2 cを介して、データ信号線SL-1~SL-n（以下、総称する場合、データ信号線SLとする）が接続されている。また、データ信号線SLの各々には、走査信号線GLの本数と同数の画素Pが接続されている。なお、図24においては、データ信号線SL-1に接続する画素Pを画素P-1とし、データ信号線SL-nに接続する画素Pを画素P-nとしている。

[0189] （実施形態3の自己修復）

次に、本実施形態に係る表示部90' において、動作確認テストを行った結果、判定フラグ4が「H」フラグを記憶している場合での、自己修復動作

について説明する。なお、本実施形態における、動作確認テストの方法は、実施形態 1 に述べた動作確認テスト 1 ～ 5 と同様であるため、ここでは、動作確認テストの説明は省略する。

[0190] まず、動作確認テスト 1 ～ 5 が終了した時点においては、`test` 信号は「H」であり、`testB` 信号は「L」となっている。したがって、オペアンプ 1 と出力端子 OUT との接続は、スイッチ 2 b によって切り離されている。ここで、制御回路は、動作確認テスト 1 ～ 5 が完了した後、「H」の L F 信号を出力するとともに、「L」の L F B 信号を出力する。この「H」の L F 信号が出力されることにより、スイッチ 2 f は ON し、判定フラグ 4 の各々は、各出力端子 OUT を介して、各判定フラグ 9 に接続することになる。さらに、判定フラグ 4 の各々は、自身が記憶する「H」フラグまたは「L」フラグを、`Flag 1` ～ `Flag n` として、各出力端子 OUT を介して、各判定フラグ 9 に出力する。各判定フラグ 9 は、判定フラグ 4 より出力された `Flag 1` ～ `Flag n` を、自身の内部メモリに記憶するとともに、自身に接続するスイッチ 2 c および 2 d に出力する。なお、L F 信号が「H」の期間、L F B 信号が「L」となることにより、各スイッチ 2 e は OFF となる。これにより、判定フラグ 4 が出力する `Flag 1` ～ `Flag n` が、データ信号線 `SL-1` ～ `SL-n` に出力されることを防止し、結果、判定フラグ 4 が出力する `Flag 1` ～ `Flag n` が、画素 P に影響を及ぼすことはない。

[0191] 以下に、表示部 9 0' における自己修復動作の詳細な説明として、出力端子 OUT 1 に対応する判定フラグ 4-1 が「H」フラグを記憶している場合を例にとって説明する。

[0192] まず、出力端子 OUT 1 に対応する判定フラグ 4-1 が「H」フラグを記憶している場合、言い換えれば、DAC 回路 8-1 が不良であった場合、判定フラグ 9-1 は、判定フラグ 4 より「H」フラグが出力され、出力された「H」フラグを、自身が備える内部メモリに記録する。なお、この例においては、判定フラグ 4-2 ～ 4-n は、「L」フラグを記録しているものとす

る。

[0193] 次に、判定フラグ 9-1 は、「H」フラグの F l a g 1 を、自身に接続するスイッチ 2 c および 2 d に出力する。これにより、判定フラグ 9-1 に接続するスイッチ 2 c は、出力端子 O U T 1 とデータ信号線 S L-1 との接続を切断することになり、さらに、判定フラグ 9-1 に接続するスイッチ 2 d は、出力端子 O U T 0 とデータ信号線 S L-1 とを接続することになる。一方、判定フラグ 9-2 ~ 9-n の各々は、自身に接続するスイッチ 2 c および 2 d に、「L」フラグの F l a g 2 ~ F l a g n を出力するため、判定フラグ 9-2 ~ 9-n に接続するスイッチ 2 c は O N となり、判定フラグ 9-2 ~ 9-n に接続するスイッチ 2 d は O F F となる。結果、データ信号線 S L-2 ~ S L-n の各々は、スイッチ 2 e を介して、出力端子 O U T 2 ~ O U T n の各々に接続することになる。

[0194] 各判定フラグ 9 が、判定フラグ 4 からの F l a g 1 ~ F l a g n に基づいて、自身に接続するスイッチ 2 c および 2 d を切り替えた後、制御回路は、「L」の L F 信号を出力するとともに、「H」の L F B 信号を出力する。これにより、出力端子 O U T 2 ~ O U T n の各々と、データ信号線 S L-2 ~ S L-n の各々とが接続することになる。

[0195] 次に、制御回路が、「L」の L F 信号を出力した後、「L」の t e s t 信号と、「H」の t e s t B 信号を出力することにより、データ信号線 S L-1 は、出力端子 O U T 0 を介して、オペアンプ 2 1 の出力に接続し、一方、データ信号線 S L-2 ~ S L-n の各々は、出力端子 O U T 2 ~ O U T n を介して、オペアンプ 1-2 ~ 1-n に接続する。なお、サンプリング回路 6-1 に接続するスイッチ 2 d は、判定フラグ 4-1 からの F l a g 1 によって O N しているため、サンプリング回路 6-1 に入力される階調データ（データ信号線 S L-1 に対応する階調データ）は、サンプリング回路 2 6 にも入力される。結果、データ信号線 S L-1 には、データ信号線 S L-1 に対応する階調データが、出力端子 O U T 1 の代わりに、出力端子 O U T 0 より入力される。なお、サンプリング回路 6 および予備のサンプリング回路 2 6

の各々に入力される階調データの切替については、実施形態 1 における動作と同様のため、ここでは、その詳細な説明を省略する。

[0196] 以上のように、表示部 90' は、自己修復動作を行うことにより、不良と検出された DAC 回路 8 の代わりに、予備の DAC 回路 28 を用いて、データ信号線 SL に正常な階調電圧を出力することができる。なお、実施形態 1 と同様に、本実施形態においても、予備の DAC 回路 28 に対応する、予備のサンプリング回路 26 およびホールド回路 27 を備えている。したがって、DAC 回路 8 だけでなく、サンプリング回路 6 またはホールド回路 7 に不具合があった場合においても、予備のサンプリング回路 26 およびホールド回路 28 に切り替えることができる。

次に、表示部 90' における、電源投入から、動作確認テストを行い、通常動作に移行するまでの手順を、図 25 を参照して以下に説明する。図 25 は、表示部 90' の電源投入から、動作確認テストを行い通常動作に移行するまでの処理手順を示すフローチャート図である。

[0197] 図 25 に示すように、まず、表示部 90' は、ユーザーによって電源投入されたことを検出すると、集積回路 10 を初期化することにより、判定フラグ 4 が記憶する全てのフラグを「L」フラグにする（S161）。次に、制御回路は、test 信号を「H」に、test B 信号を「L」にし、集積回路 10' を動作確認テストの状態に切り替える（S162）。次に、制御回路および集積回路 10 は、上述した動作確認テストを行う（S163）。さらに、全ての動作確認テスト 1～5 が終了したか否かを、制御回路は確認する（S164）。この S164 において、制御回路が、全ての動作確認テスト 1～5 が完了していないことを検出すると、表示部 90' は、制御回路からの指示に基づき、処理を S163 に移行し、未完了の動作確認テストを行う。一方、S164 において、制御回路は、表示部 90' において全ての動作確認テストが完了したことを確認すると、「H」の LF 信号および「L」の LFB 信号を出力し、不良となる回路（サンプリング回路 6、ホールド回路 7、DAC 回路 9、オペアンプ 1）を検出した場合は、当該不良回路を、

予備の回路（サンプリング回路 26、ホールド回路 27、DAC 回路 29、オペアンプ 21）に切替、通常動作に移行する（S165）。

[0198] なお、本実施形態における表示部 90' においては、判定回路 3-1 における判定結果であるフラグを記憶する回路として、判定フラグ 4 および判定フラグ 9 を備える構成であるが、表示部 90' の変形例として、判定フラグ 9、スイッチ 2f、スイッチ 2e を備えず、判定フラグ 4 が、スイッチ 2c および 2d を制御する構成であってもよい。この場合、スイッチ 2f および 2e を制御する LF 信号および LFB 信号も不要となる一方、判定フラグ 4 と、スイッチ 2c および 2d を接続するための配線および接続端子が必要となる。

[0199] [実施形態 4]

以上に説明した実施形態 1～実施形態 3 においては、集積回路と表示パネルとが、出力端子 OUT を介して接続する構成であったが、出力端子 OUT を介さず、集積回路と表示パネルとが一体となる表示装置も、本発明の範疇に含むものである。

[0200] 以下に、集積回路と表示パネルとが一体となる表示部 90'' を、第 4 の実施形態として、図 26 を参照して説明する。なお、本実施形態に係る表示部 90'' は、実施形態 1 に係る表示部 90 の変形例であり、本実施形態では、実施形態 1 と異なる箇所について説明し、重複する箇所についてはその説明を省略する。

[0201] （表示部 90'' の構成）

まず、図 26 を参照して、本実施形態に係る表示部 90'' の構成を説明する。図 26 は、表示部 90'' の構成を示すブロック図である。

[0202] 図 26 に示すように、表示部 90'' は、実施形態 1 に示した集積回路 10 と表示パネル 80 との区別はなく、オペアンプ 1 および 21 の出力が、スイッチ 2b、2c、および 2d を介して、データ信号線 SL に直接接続している。つまり、本実施形態の表示部 90'' において、実施形態 1 の表示部 90 と異なる点は、出力端子 OUT を備えているか否かの違いであり、その他の

構成は実施形態１の表示部９０と同じである。

[0203] なお、本実施形態においては、実施形態１の変形例として説明したが、実施形態２および３も同様に、出力端子ＯＵＴを介さず、集積回路と表示パネルとを一体にした表示装置も、本発明の範疇に含まれることは言うまでもない。

[0204] （テレビジョンシステム）

次に、実施形態１に係る表示部９０を備えるテレビジョンシステム３００について、図２７を参照して説明する。なお、図２７は、テレビジョンシステム３００の構成を示すブロック図である。なお、以下では、テレビジョンシステム３００が、実施形態１に係る表示部９０を備えるものとして説明するが、本発明に係るテレビジョンシステムは、これに限るものではなく、表示部９０の代わりに、実施形態２～４に係る表示装置を備える構成であってもよい。

[0205] （テレビジョンシステム３００の構成）

図２７に示すように、テレビジョンシステム３００は、放送波を受信するアンテナ３０１と、受信した放送波を映像音声信号に復調するチューナー部３０２と、復調された映像音声信号を、映像信号と音声信号とに分離する信号分離部３０３と、分離された映像信号をデジタル映像信号に復号する映像信号処理部３０４と、復号されたデジタル映像信号を、階調データとして取得し、取得した階調データに基づいて映像を表示パネル８０（図２を参照）に表示する表示部９０と、分離された音声信号をデジタル音声信号に復号する音声信号処理部３０５と、復号されたデジタル音声信号を、アナログ音声信号に変換した後、変換したアナログ音声信号を音声としてスピーカより出力する音声信号出力部３０６とを、備えている。

[0206] （テレビジョンシステム３００の動作）

次に、テレビジョンシステム３００における動作処理を説明する。まず、放送局からの放送波を、アンテナ３０１が受信し、受信した放送波を、チューナー部３０２に出力する。チューナー部３０２は、出力された放送波を映

像音声信号に復調し、信号分離部 303 に出力する。信号分離部 303 は、出力された映像音声信号を、映像信号と音声信号とに分離し、それぞれを映像信号処理部 304 および音声信号処理部 305 に出力する。映像信号処理部 304 は、出力された映像信号をデジタル映像信号に復号し、復号したデジタル映像信号を階調データとして表示部 90 に出力する。表示部 90 は、出力された階調データを、自身が備える表示パネル 80 を用いて表示する。一方、音声信号処理部 305 は、信号分離部 303 によって分離された音声信号を、デジタル音声信号に復号し、音声出力部 306 に出力する。音声信号出力部 306 は、出力されたデジタル音声信号をアナログ音声信号に変換した後、自身が備えるスピーカを用いて、アナログ音声信号を音声として出力する。

[0207] なお、本発明に係るテレビジョンシステム 300 は、映像音声信号を取得する手段として、アンテナ 301 およびチューナー部 302 を用いて放送局より取得する構成としたが、本発明はこれに限るものではなく、記録媒体より当該記録媒体に記録されたコンテンツデータを読み出す、DVD プレーヤー等のコンテンツ読み取り装置や、インターネット等より PC（パーソナルコンピュータ）を介して取得する構成であってもよい。

[0208] 実施形態 1 および実施形態 4 において説明した、動作確認テストおよび自己修復の処理動作は、液晶駆動用半導体集積回路 10 に電源が投入された直後に行う構成としたが、本発明はこれに限るものではなく、液晶駆動用半導体集積回路 10 へ制御信号を入力することにより行う構成にし、任意のタイミングで行ってもよい。例えば、表示装置のコントローラから表示の帰線期間を示す信号を液晶駆動用半導体集積回路 10 に入力し、このタイミングで動作確認テスト、自己修復を行ってもよい。

[0209] また、動作確認テストおよび自己修復の処理動作は、液晶駆動用半導体集積回路 10 に液晶駆動用半導体集積回路 10 の異常を検知する回路を構成し、液晶駆動用半導体集積回路 10 に異常が発生したときに行ってもよい。例えば、液晶駆動用半導体集積回路 10 から出力される信号の電流を検知し、

検知した電流が設定電流より多くなった場合、動作確認テストおよび自己修復の処理動作を行ってもよい。

[0210] また、動作確認テストおよび自己修復の処理動作は、定期的に行なってもよい。例えば、表示を行わない垂直帰線期間毎に行なう、または、あらかじめ設定した累計表示時間毎に行ってもよい。

[0211] また、動作確認テストおよび自己修復の処理動作は、表示を行っている期間の一部で行っても良い。例えば、液晶表示装置では画素が表示電圧を記憶するので、表示電圧の充電が終了した後は、液晶駆動用半導体集積回路 10 の出力をハイインピーダンスにしても表示に問題ない。表示期間の一部で、液晶駆動用半導体集積回路 10 の出力をハイインピーダンスにして、動作確認テストおよび自己修復の処理動作を行う。このとき、動作確認テストのパターンをすべて行う時間が無ければ、1 ラインの表示期間の一部で、例えば 1 パターンの判定を行い、1 画面での表示期間もしくは数画面を表示する期間で行う事もできる。

[0212] なお、本発明に係る集積回路 10（図 7 参照）は、自身の欠陥を自己検出（動作確認テスト）するために、表示パネル 80（図 2 参照）を駆動するための出力信号を停止する必要がある。すなわち、集積回路 10 は、自己検出の期間において、表示パネル 80 を駆動できない。したがって、集積回路 10 が自己検出を行うタイミングは、表示装置の映像の表示に影響を与えない期間において行う必要がある。

[0213] そこで、本発明に係る実施形態においては、集積回路 10 が自己検出を行う期間として、表示装置の電源投入時における起動プロセス中に、集積回路 10 が自己検出および自己修復を行うものとして説明した。これは、表示装置の起動プロセス中であれば、表示装置は映像の表示を行っていないため、表示装置の映像の表示に影響を及ぼすことなく、集積回路 10 が、自己検出および自己修復を行えるためである。

[0214] 以上のように、本実施形態における、集積回路 10 は、表示装置の電源投入時における起動プロセス中に、自身の欠陥を検出する自己検出を行ってい

たが、本発明はこれに限るものではなく、表示装置の起動プロセス中以外の期間において、自己検出および自己修復を行うことが可能である。

[0215] 以下に、表示装置に起動プロセス中以外の、自己検出および自己修復を行うことが可能な期間を、実施例として説明する。

[0216] 〔実施例 1〕

（垂直帰線期間における自己検出および自己修復）

まず、一つ目の実施例として、表示装置の垂直帰線期間中においては、表示装置の映像の表示に影響を及ぼすことなく、集積回路 10 は、自己検出および自己修復を行うことが可能となる。以下にその理由を説明する。

[0217] 以下に、表示装置に入力される各信号のタイミングについて、図 28 の（a）～（f）を参照して説明する。図 28 の（a）～（f）は、液晶表示装置に入力する各信号のタイミングを示すタイムチャート図である。

[0218] 図 28 の（a）は、表示装置の走査線を駆動する走査側駆動回路より出力される、表示装置の 1 本目の走査信号線に与えられる走査信号線 $SCN1$ を示し、同図の（b）は、走査側駆動回路より出力される、表示装置の 2 本目の走査信号線に与えられる走査信号線 $SCN2$ を示し、同図の（c）は、集積回路 10（図 7 参照）から映像信号反転回路に与えられる、表示装置の j 本目のデータ信号線に対応する映像信号 DSj を示し、同図の（d）は、映像信号反転回路からデータ側駆動回路に与えられる、表示装置の j 本目のデータ信号線に対応する映像信号 $DRVj$ を示し、同図の（e）は、表示装置の j 本目のデータ信号線に与えられる映像信号 $DATAj$ を示し、同図の（f）は、表示装置における 1 本目の走査信号線と j 本目のデータ信号線とに接続される画素に印加される駆動電圧 $VD1j$ を示している。また、図 28 に示す、時刻 $t1 \sim t5$ の期間 TV は、表示装置の垂直走査期間であり、期間 $TV1$ は垂直帰線期間であり、時刻 $t1 \sim t3$ の期間 TH は水平走査期間であり、時刻 $t2 \sim t3$ の期間 $TH1$ は水平帰線期間である。なお、上記映像信号反転回路は、水平走査期間 TH および垂直走査期間 TV 毎に、表示装置の各画素における表示電極の極性を反転させるために、集積回路 10 から

の映像信号 DS_j の極性を反転させる回路である。

[0219] 図 28 の (a) および (b) に示すように、走査側駆動回路は、表示装置の各走査信号線に対して、走査信号線の 1 本目から、順次水平走査 TH ずつタイミングを遅延させて、走査信号 SCN_1 、走査信号 SCN_2 、…、走査信号 SCN_m を出力する。また、走査側駆動回路は、各走査信号 $SCN_1 \sim$ 走査信号 SCN_m を、表示装置の各走査信号線に対して、垂直走査期間 TV 毎に繰り返し出力する。なお、ここでは、表示装置は、 m 本の走査信号線を有するものである。

[0220] 図 28 の (c) に示す、集積回路 10 からの映像信号 DS_j は、映像信号反転回路に入力される。次に、映像信号反転回路は、映像信号 DS_j を、水平走査期間 TH 毎に極性を反転するとともに、垂直走査期間 TV 毎にも極性を反転し、図 28 の (d) に示す映像信号 DRV_j を生成する。さらに映像信号反転回路は、生成した映像信号 DRV_j を、データ側駆動回路に入力する。

[0221] 次に、データ側駆動回路は、映像信号反転回路からの映像信号 DRV_j を、水平走査期間 TH 毎にサンプリングし、サンプリングした信号値を、一水平走査期間 TH 遅延させて、図 28 の (e) に示す映像信号 $DATA_j$ として、表示装置の j 本目のデータ信号線に出力する。

[0222] 次に、1 本目の走査信号線と j 本目のデータ信号線とに接続している表示装置の画素（以下、画素 1_j とする）においては、時刻 $t_1 \sim t_2$ の水平走査期間 TH における走査信号 SCN_1 によって、画素 1_j 内の TFT が導通し、結果、 j 本目のデータ信号線を介して、時刻 $t_1 \sim t_2$ における映像信号 $DATA_j$ の映像信号電圧が、駆動電圧 VD_1_j として、画素 1_j 内の表示電極に印加される。ここで、画素 1_j の表示電極に印加された駆動電圧 VD_1_j は、時刻 $t_2 \sim t_5$ において、画素 1_j 内の TFT の導通が遮断されても、時刻 $t_1 \sim t_2$ の間の電圧レベルを保持し続ける。同様に、2 本目の走査信号線と j 本目のデータ信号線とに接続している表示装置の画素（以下、画素 2_j とする）においては、時刻 $t_3 \sim t_4$ の水平走査期間 TH にお

る走査信号 SCN_2 によって、画素 2_j 内の TFT が導通し、結果、 j 本目のデータ信号線を介して、時刻 $t_3 \sim t_4$ における映像信号 $DATA_j$ の映像信号電圧が、駆動電圧として画素 2_j 内の表示電極に印加される。ここでも、画素 2_j の表示電極に印加された駆動電圧は、画素 2_j 内の TFT の導通が遮断されても、時刻 $t_3 \sim t_4$ の間の電圧レベルを保持し続けることになる。

[0223] 以上のように、表示装置の各画素における駆動電圧は、各画素内の TFT の導通が遮断されても、 TFT の導通時に印加された駆動電圧の電圧レベルを保持し続ける。よって、走査側駆動回路が、各画素の TFT を導通させる走査信号 $SCN_1 \sim SCN_m$ を、走査信号線に出力していない、言い換えれば、各画素の TFT の導通が遮断している期間である、垂直帰線期間 TV_1 においては、表示装置は、各画素の表示電極に電圧を印加する必要がない。つまり、駆動電圧の基となる映像信号 DS_j を、集積回路 10 は出力する必要がなく、集積回路 10 と、表示装置とを電氣的に切り離しても、表示装置の映像の表示に影響を及ぼすことはない。

[0224] したがって、表示装置の垂直帰線期間であれば、表示装置の映像の表示に影響を及ぼすことなく、集積回路 10 は、自己検出および自己修復を行うことができる。

[0225] (集積回路 10 全体の動作不良検出)

本実施形態における、集積回路 10 が行う、自身が備える出力回路ブロックの不良を検出する自己検出処理は、各データ信号線ごとに対応する、出力回路ブロック毎に、かつ、各出力回路ブロック全てを対象としている。よって、この自己検出処理は、時間を要することになる。

[0226] このことから、集積回路 10 が備える各出力回路ブロックに、動作不良が起こっている可能性がない場合に、集積回路 10 が自己検出処理を行う必要はない。言い換えれば、各出力回路ブロックに、動作不良が起こっている可能性がある場合のみ、集積回路 10 は、自己検出処理を行えばよい。

[0227] ここで、集積回路 10 は、集積回路 10 全体に対して、動作不良の可能性

があるかどうかを判定する動作判定回路を備え、動作判定回路によって、集積回路 10 のどこかに動作不良があると判定された場合にのみ、自己検出処理を行えば、無駄な自己検出処理を行うことを防止できる。

[0228] 以下に、集積回路 10 が備える、集積回路 10 全体に対して、動作不良の可能性があるかどうかを判定する動作判定回路 200 について、図 29～図 31 を参照して説明する。

[0229] まず、集積回路 10 に動作不良が発生した場合、集積回路 10 に供給される電源電流は、正常動作時と比べて、言い換えれば、製品として出荷される時に良品と判定された初期段階と比べて多くなる。したがって、集積回路 10 に供給される電源電流の値が、正常動作時に比べて一定の値以上大きくなった場合に、集積回路 10 に動作不良が発生していることになる。そこで、動作判定回路 200 は、集積回路 10 に供給される電源電流の値を検出し、検出した電源電流の値から、集積回路 10 に動作不良が発生しているかどうかを判定する。

[0230] (動作判定回路 200 の構成)

以下に、動作判定回路 200 の構成を、図 29 を参照して説明する。図 29 は、動作判定回路 200 の構成を示すブロック図である。

[0231] 図 29 に示すように、動作判定回路 200 は、集積回路 10 の電源を供給する VA201 と、集積回路 10 との間に、抵抗 202 (検出手段) およびスイッチ 203 を備えている。なお、抵抗 202 とスイッチ 203 とは、互いに並列となるように接続されている。さらに、動作判定回路 200 は、抵抗 202 およびスイッチ 203 の、集積回路 10 側の一端に接続された、A/D コンバータ 204 (検出手段) と、A/D コンバータ 204 からの出力信号を入力するスイッチ 205 と、スイッチ 205 の一方の出力端子に接続された不揮発性メモリーである EEPROM 206 (正常電流値記憶手段) と、スイッチ 205 のもう一方の出力端視に接続されたデータラッチ回路 207 と、EEPROM 206 の出力値とデータラッチ回路 207 からの出力値とを比較する比較回路 208 (電流値比較手段、駆動回路判定手段) と、

を備えている。なお、比較回路 208 の出力端子は、比較回路 208 における比較結果を、集積回路 10 が備える制御回路に接続している。なお、スイッチ 203 および 205 の切替は、集積回路 10 が備える制御回路によって制御される。

[0232] (動作判定回路 200 の概略動作)

動作判定回路 200 は、予め、集積回路 10 の正常動作時における電源電流値に応じた値を、基準データとして EEPROM 206 に記憶しておく。ここで、動作判定回路 200 は、集積回路 10 に動作不良が発生しているかどうかを判定する場合、集積回路 10 に供給される電源電流値に応じた値を検出し、この検出した値と予め EEPROM 206 が記憶する基準データの値とを比較し、検出した値が一定の値以上の場合に、集積回路 10 に動作不良が発生していると判定する。さらに、動作判定回路 200 は、集積回路 10 に動作不良が発生していることを示す信号を、集積回路 10 が備える制御回路に対して出力することにより、制御回路は、集積回路 10 の自己検出処理および自己修復処理を開始する。

[0233] (基準データの生成および記憶処理)

上述したように、動作判定回路 200 は、予め、基準データを、自身が備える EEPROM 206 に記憶しておく必要がある。そこで、以下に、動作判定回路 200 が EEPROM 206 に基準データを記憶するための処理を、図 30 を参照して説明する。図 30 は、動作判定回路 200 が、基準データを EEPROM 206 に記憶する動作処理を示すフローチャート図である。

[0234] 図 30 に示すように、基準データの生成にあたり、制御回路が、スイッチ 203 を開放し、抵抗 202 に VA 201 からの電源電流が流れるようにする (S301)。ここで、抵抗 202 の抵抗値は、集積回路 10 の正常動作時における抵抗 202 の電圧降下が約 0.1 V となるような抵抗値である。なお、抵抗 202 の抵抗値は、集積回路の消費電流を考慮して決定されることが好ましい。

[0235] 次に、抵抗202の集積回路10側の一端の電圧値を、A/Dコンバータ204がデジタル値に変換する（S302）。A/Dコンバータ204は、変換したデジタル値を、スイッチ205を介して、EEPROM206に入力する。EEPROM206は、入力されたA/Dコンバータからのデジタル値を、基礎データとして記憶する（S303）。なお、S303におけるスイッチ205は、制御回路によって、A/Dコンバータ204とEEPROM206とを接続するように、切替られているものとする。

[0236] 次に、EEPROM206が基礎データを記憶した後、制御回路が、スイッチ203を短絡し、集積回路10を通常動作状態に戻す（S304）。なお、S301～S304までの、基準データの生成および記憶処理は、集積回路10を備える表示装置の製品出荷段階、言い換えれば、集積回路10が様々な出荷検査によって正常と判定された段階において、行われる。

[0237] （動作判定回路200による動作不良検出処理）

次に、動作判定回路200における、集積回路10の動作不良を検出する処理を、図31を参照して、以下に説明する。図31は、動作判定回路200における、集積回路10の動作不良を検出する処理を示すフローチャート図である。

[0238] 図31に示すように、まず、制御回路がスイッチ203を開放し、抵抗202にVA201からの電源電流が流れるようにする（S305）。

[0239] 次に、抵抗202の集積回路10側の一端の電圧値を、A/Dコンバータ204がデジタル値に変換する（S306）。A/Dコンバータ204は、変換したデジタル値を、スイッチ205を介して、データラッチ回路207に入力する。データラッチ回路207は、入力されたA/Dコンバータからのデジタル値を、検出データとして記憶する（S307）。なお、S306におけるスイッチ205は、制御回路によって、A/Dコンバータ204とデータラッチ回路207とを接続するように、切替られているものとする。

[0240] 次に、比較回路208は、EEPROM206が記憶する基準データと、データラッチ回路207が記憶する検出データとを読み出し、読み出した基

準データの値と、検出データの値とを比較する（S308）。さらに比較回路208は、基準データの値と、検出データの値との差が、所定の値以上（例えば、デジタル値で3以上）であるかどうかを検出する（S309）。ここで、基準データの値と、検出データの値との差が所定の値以上（例えば、デジタル値で3以上）であった場合に、集積回路10に動作不良が発生していることを示す信号を、集積回路10が備える制御回路に出力する。

[0241] ここで、制御回路は、比較回路208より、集積回路10に動作不良が発生していることを示す信号を入力されると、集積回路10の自己検出を開始する（S311）。さらに、集積回路10の自己検出において、集積回路10が自身の出力回路ブロックに不具合を検出した場合、集積回路10は、不具合の出力回路ブロックの出力と、予備の出力回路ブロックの出力を切替え、自己修復を行う。なお、S311の集積回路10の自己検出において、出力回路ブロックの不具合を検出できない場合は、他の要因による電源電流値の変動と考えられる。したがって、この場合は、電源電流値に変動が生じているため、動作判定回路200は、S301～S304に示した基準データを生成および記憶処理を行い、変動が生じている電源電流値を、新たな基準データとしてEEPROM206に記憶する（S312）。さらに、S312の後、制御回路が、スイッチ203を短絡し、動作判定回路200および集積回路10を通常動作状態にする（S310）。

[0242] 一方、S309において、比較回路208が、基準データの値と、検出データの値との差が所定の値未満（例えば、デジタル値で3未満）であることを検出した場合は、S310に処理が移行する。

[0243] [実施例2]

（定期的な集積回路10の自己検出）

また、集積回路10の自己検出（動作確認テスト）および自己修復を、定期的に行ってもよい。具体的には、上述の実施例1において説明した、表示装置の垂直帰線期間毎に、集積回路10の自己検出（動作確認テスト）および自己修復を行ってもよい。この場合、垂直同期信号をカウントし、一定回

数の表示毎に行う。この場合、不揮発性のメモリーにてカウンタを構成し、カウンタが垂直同期信号の回数をカウントすることにより実現できる。さらに、集積回路 10 が時間を測定するタイマを備え、このタイマにより、動作時間をカウントし、予め設定した累計動作時間毎に、集積回路 10 の自己検出および自己修復を行う構成としてもよい。

[0244] 〔実施例 3〕

また、集積回路 10 の自己検出（動作確認テスト）および自己修復の処理動作は、表示装置が映像の表示を行っている期間の一部で行っても良い。例えば、表示装置の各画素は、表示電極の電圧を記憶するため、表示電極の電圧の充電が終了した後は、集積回路 10 の出力端子 OUT 1 ～ OUT n を、ハイインピーダンスにしても、表示装置における映像の表示に問題はない。

[0245] したがって、表示装置が映像の表示を行っている表示期間の一部において、集積回路 10 の出力端子 OUT 1 ～ OUT n をハイインピーダンスにして、自己検出（動作確認テスト）および自己修復の処理動作を行う。出力端子 OUT 1 ～ OUT n をハイインピーダンスにする方法の一例として、出力端子 OUT 1 ～ OUT n と、表示装置とを接続する信号伝送路毎に対して、直列にスイッチを設け、このスイッチを開放することにより、出力端子 OUT 1 ～ OUT n と、表示装置とをハイインピーダンスとする、言い換えれば、電氣的に切り離すことができる。

[0246] また、自己検出（動作確認テスト）には、本実施形態 1 に説明したように、いくつかのパターンがある。そこで、自己検出（動作確認テスト）のパターンをすべて行う時間が無ければ、1 ラインの表示期間の一部において、自己検出（動作確認テスト）の一部のパターン（例えば 1 パターンのみ）を行ってもよい。これにより、自己検出（動作確認テスト）の全てのパターンを、表示装置の 1 フレーム分の表示期間、または、数フレーム分の表示期間において行うことができる。また、自己検出（動作確認テスト）のパターンを、一度に行わず、各パターンを分割して行う上記手法を使用すれば、図 28 に示す水平帰線期間において、自己検出（動作確認テスト）を行うことがで

きる。

[0247] なお、上記実施例 1 ～ 3 においては、実施形態 1 における集積回路 10 を対象として説明したが、本発明はこれに限るものではなく、実施形態 2 および 3 における集積回路 10'、20、および、実施形態 4 における表示部 90" に対しても適用できる。

[0248] また、本実施形態 1 ～ 4 においては、液晶表示パネルによって映像を表示する液晶表示装置について説明したが、本発明はこれに限るものでなく、液晶表示装置以外の表示装置、例えばプラズマテレビ等にも適用できる。

[0249] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0250] なお、本発明の表示装置駆動用の集積回路、および、表示装置を以下のよう構成してもよい。

[0251] 〔第 1 の構成〕

表示パネルに接続された出力端子と、

上記出力端子に接続可能であり上記表示パネルを駆動するための出力信号を出力する出力回路を含む出力回路ブロックと、

上記出力端子に接続可能であり上記表示パネルに上記出力信号を出力可能な予備出力回路を含む予備出力回路ブロックとを備えた、上記表示パネルを駆動する駆動回路であって、

不良になった当該駆動回路を自己修復する自己修復手段を備え、

上記自己修復手段は、

上記出力回路からの出力信号と、上記予備出力回路からの出力信号とを比較する比較手段と、

上記比較手段の比較結果に基づき、上記出力回路が不良か否かを判定する判定手段と、

上記判定手段の判定結果が不良である場合、上記出力端子に、上記出力

回路の代わりに上記予備出力回路を接続させる接続切替手段と、を備え、

上記出力回路ブロックおよび上記予備出力回路ブロックは、さらに、オペアンプを使用した出力バッファを含み、上記比較手段として上記オペアンプを使用することを特徴とする駆動回路。

[0252] 〔第 2 の構成〕

上記出力回路ブロックおよび上記予備出力回路ブロックは、さらに、出力回路の入力に与える信号を記憶する回路を含むことを特徴とする第 1 の構成に記載の駆動回路。

[0253] 〔第 3 の構成〕

上記出力回路および予備出力回路に入力する入力信号を制御する制御手段を備え、

上記制御手段は、

上記出力回路と予備出力回路とに、異なる大きさの入力信号を入力するとともに、

上記異なる大きさの入力信号に対応する、上記比較手段からの比較結果の期待値を出力し、

上記判定手段は、上記比較結果と上記期待値とが異なる場合に、上記出力回路を不良と判定することを特徴とする、第 1 の構成または第 2 の構成に記載の駆動回路。

[0254] 〔第 4 の構成〕

上記判定手段の判定結果を示すフラグを格納するフラグ格納手段をさらに備え、

上記接続切替手段は、上記フラグの値が、上記出力回路が不良であることを示すとき、上記出力端子に、上記出力回路の代わりに上記予備出力回路を接続させることを特徴とする、第 1 の構成から第 3 の構成までのいずれかに記載の駆動回路。

[0255] 〔第 5 の構成〕

上記表示パネルが表示する画像に影響を与えない期間に、

上記比較手段は、上記出力回路からの出力信号と上記予備出力回路からの出力信号とを比較し、

上記判定手段は、上記比較手段による比較結果に基づき、上記出力回路が不良か否かを判定し、

上記接続切替手段は、上記出力端子に対する接続を、上記判定手段によって不良と判定された出力回路の出力から、上記予備出力回路の出力に切り替え、

上記接続切替手段が、上記出力端子と上記予備出力回路の出力とを接続した後、上記予備出力回路が上記出力端子に出力信号を出力することを特徴とする、第 1 の構成から第 4 の構成のいずれかに記載の駆動回路。

[0256] 〔第 6 の構成〕

上記駆動回路に供給される電源電流の値を検出する検出手段と、

上記駆動回路の正常動作時における上記電源電流の値を、予め記憶する正常電流値記憶手段と、

上記検出手段からの電源電流の値と、上記正常電流値記憶手段からの電源電流の値とを比較する電流値比較手段と、

上記電流値比較手段の比較結果に基づき、上記駆動回路が不良か否かを判定する駆動回路判定手段と、をさらに備え、

上記駆動回路判定手段の判定結果が不良である場合に、

上記比較手段は、上記出力回路からの出力信号と上記予備出力回路からの出力信号とを比較し、

上記判定手段は、上記比較手段による比較結果に基づき、上記出力回路が不良か否かを判定し、

上記接続切替手段は、上記出力端子に対する接続を、上記判定手段によって不良と判定された出力回路の出力から、上記予備出力回路の出力に切り替えることを特徴とする、第 1 の構成から第 5 の構成までのいずれか 1 つの構成に記載の駆動回路。

[0257] 〔第 7 の構成〕

上記表示パネルの電源投入直後に、

上記比較手段は、上記出力回路からの出力信号と上記予備出力回路からの出力信号とを比較し、

上記判定手段は、上記比較手段による比較結果に基づき、上記出力回路が不良か否かを判定し、

上記接続切替手段は、上記出力端子に対する接続を、上記判定手段によって不良と判定された出力回路の出力から、上記予備出力回路の出力に切り替えることを特徴とする、第 1 の構成から第 6 の構成までのいずれかに記載の駆動回路。

[0258] 〔第 8 の構成〕

上記表示パネルの垂直帰線期間に、

上記比較手段は、上記出力回路からの出力信号と上記予備出力回路からの出力信号とを比較し、

上記判定手段は、上記比較手段による比較結果に基づき、上記出力回路が不良か否かを判定し、

上記接続切替手段は、上記出力端子に対する接続を、上記判定手段によって不良と判定された出力回路の出力から、上記予備出力回路の出力に切り替えることを特徴とする、第 1 の構成から第 6 の構成までのいずれかに記載の駆動回路。

[0259] 〔第 9 の構成〕

上記出力端子から上記表示パネルへの信号伝送路を遮断する遮断手段を、さらに備え、

上記遮断手段が、上記出力端子から上記表示パネルへの信号伝送路を遮断した後に、

上記比較手段は、上記出力回路からの出力信号と上記予備出力回路からの出力信号とを比較し、

上記判定手段は、上記比較手段による比較結果に基づき、上記出力回路が不良か否かを判定し、

上記接続切替手段は、上記出力端子に対する接続を、上記判定手段によって不良と判定された出力回路の出力から、上記予備出力回路の出力に切り替えることを特徴とする、第 1 の構成から第 8 の構成までのいずれかに記載の駆動回路。

[0260] 〔第 10 の構成〕

表示パネルに接続された N（N：正の偶数）個の出力端子と、

上記各出力端子に接続可能であり上記表示パネルを駆動するための出力信号を出力する出力回路を含む N 個の出力回路ブロックと、

上記奇数番目の出力端子に接続可能であり上記表示パネルに上記出力信号を出力可能な第 1 予備出力回路を含む第 1 予備出力回路ブロックと、

上記偶数番目の出力端子に接続可能であり上記表示パネルに上記出力信号を出力可能な第 2 予備出力回路を含む第 2 予備出力回路ブロックとを備えた、上記表示パネルを駆動する駆動回路であって、

不良になった当該駆動回路を自己修復する自己修復手段を備え、

上記自己修復手段は、

上記出力回路からの出力信号と、当該出力回路に隣接する出力回路からの出力信号とを比較する比較手段と、

上記比較手段の比較結果に基づき、上記出力回路および当該出力回路に隣接する出力回路が不良か否かを判定する判定手段と、

上記判定手段の判定結果が不良である場合、上記出力端子に、上記出力回路および当該出力回路に隣接する出力回路の代わりに上記第 1 予備出力回路および第 2 予備出力回路をそれぞれ接続させる接続切替手段と、を備え、

上記出力回路ブロック、上記第 1 予備出力回路ブロック、および上記第 2 予備出力回路ブロックは、さらに、オペアンプを使用した出力バッファを含み、上記比較手段として上記オペアンプを使用することを特徴とする駆動回路。

[0261] 〔第 11 の構成〕

上記出力回路、上記第 1 予備出力回路、および上記第 2 予備出力回路に入

力する入力信号を制御する制御手段を備え、

上記制御手段は、

上記奇数番目の出力回路および上記第 1 予備出力回路と、上記偶数番目の出力回路および上記第 2 予備出力回路とに、異なる大きさの入力信号を入力するとともに、

上記異なる大きさの入力信号に対応する、上記比較手段からの比較結果の期待値を出力し、

上記判定手段は、上記比較結果と上記期待値とが異なる場合に、上記出力回路および当該出力回路に隣接する出力回路を不良と判定することを特徴とする、第 10 の構成に記載の駆動回路。

[0262] 〔第 12 の構成〕

第 1 の構成から第 11 の構成までのいずれかに記載の駆動回路と、上記表示パネルとを、備えていることを特徴とする表示装置。

[0263] 〔第 13 の構成〕

表示パネルと、

上記表示パネルを駆動するための出力信号を、上記表示パネルに接続された出力端子から出力する出力回路を含む駆動回路と、を備えた表示装置であって、

上記駆動回路は、

上記表示パネルに上記出力信号を出力可能な予備出力回路と、

上記出力回路からの出力信号と、上記予備出力回路からの出力信号とを比較する比較手段と、

上記比較手段の比較結果に基づき、上記出力回路が不良か否かを判定する判定手段とを備え、

上記表示パネルは、

上記判定手段からの判定結果が不良であった場合、当該表示パネルを駆動する出力信号として、上記不良となった出力回路からの出力信号を、上記予備出力回路からの出力信号に切り替える切替手段を、備え、

上記駆動回路では、上記比較手段として、上記出力回路および上記予備出力回路の出力バッファに使用されたオペアンプを使用することを特徴とする表示装置。

[0264] 〔第 1 4 の構成〕

表示パネルと、

上記表示パネルを駆動するための出力信号を出力する出力回路と、

上記表示パネルに上記出力信号を出力可能な予備出力回路と、

上記出力回路からの出力信号と、上記予備出力回路からの出力信号とを比較する比較手段と、

上記比較手段の比較結果に基づき、上記出力回路が不良か否かを判定する判定手段と、

上記判定手段の判定結果が不良である場合、上記表示パネルを駆動する出力信号として、上記不良となった出力回路からの出力信号を、上記予備出力回路からの出力信号に切り替える切替手段と、を備え、

上記比較手段として、上記出力回路および上記予備出力回路の出力バッファに使用されたオペアンプを使用することを特徴とする表示装置。

[0265] 〔第 1 5 の構成〕

第 1 2 の構成から第 1 4 の構成までのいずれか 1 項に記載の表示装置を備えていることを特徴とするテレビジョンシステム。

[0266] （実施形態の総括）

本実施形態に係る表示部 90 は、表示パネル 80 と、表示パネル 80 を駆動する駆動回路であって、表示パネル 80 との電気的な接続を切り離した状態で当該駆動回路の不良を検出し、修復する自己検出・自己修復手段を有する液晶駆動用半導体集積回路 10 とを備え、上記自己検出・自己修復手段は、上記表示パネルに表示すべき画像が不連続に切り替わるときに、上記駆動回路の不良を検出する処理を実行する。

[0267] 上記の構成によれば、液晶駆動用半導体集積回路 10 は、表示パネル 80 を駆動する。そして、液晶駆動用半導体集積回路 10 は、液晶駆動用半導体

集積回路 10 自身の不良を検出可能であり、検出した不良を修復する自己検出・自己修復手段とを有している。液晶駆動用半導体集積回路 10 は、自身の不良を検出し修復する処理を、表示パネル 80 との電氣的な接続を切り離れた状態で実行する。つまり、液晶駆動用半導体集積回路 10 は、表示パネル 80 との電氣的接続を切り離して自身の不良を検出する（すなわち自己検出する）ことで、表示パネル 80 に表示中の画像を表す階調データだけでなく、全ての階調データを用いて自己検出の処理を実行することができる。なお、画像は、静止画像であってもよいし、動画像すなわち映像であってもよい。

[0268] そして、上記の構成によれば、自己検出・自己修復手段は、表示パネル 80 に表示すべき画像が不連続に切り替わるときに、駆動回路の不良を検出する処理を実行する。例えば、自己検出・自己修復手段は、1 チャンネルから 2 チャンネルへの切替によって、1 チャンネルの画像信号に基づく表示が中断する場合に、表示パネル 80 に表示すべき画像が不連続に切り替わるときに、液晶駆動用半導体集積回路 10 の不良を検出する処理を実行する。また、例えば、自己検出・自己修復手段は、番組から CM への移行によって、番組を表す画像信号に基づく表示が中断する場合に、表示パネル 80 に表示すべき画像が不連続に切り替わるときに、液晶駆動用半導体集積回路 10 の不良を検出する処理を実行する。

[0269] これにより、本実施形態に係る表示部 90 によれば、表示部 90 の動作において、表示に影響のない期間に、自己検出の処理を実行することができる。つまり、本実施形態に係る表示部 90 は、表示パネル 80 との電氣的な接続を切り離れた状態で液晶駆動用半導体集積回路 10 の不良を検出する処理を実行するが、表示部 90 の画面において現在表示中の内容が一旦途切れるタイミングで、自己検出の処理を実行するため、ユーザに違和感を感じさせることがない。したがって、本実施形態に係る表示部 90 によれば、ユーザの視聴を妨げずに適切なタイミングにおいて、自己検出および自己修復の処理を実行することが可能となり、ユーザにとっての利便性を向上させること

ができる。

[0270] 本実施形態に係る表示部 90 では、上記処理は、1 つ以上の工程を含む複数の工程群に分割され、上記自己検出・自己修復手段は、表示パネル 80 における上記表示が 1 回中断するごとに、上記工程群を 1 つずつ実行することが好ましい。

[0271] 上記の構成によれば、液晶駆動用半導体集積回路 10 の不良を検出する処理、すなわち、自己検出処理には、複数の工程が含まれ、それらの工程は複数の工程群に分割される。そして、自己検出・自己修復手段は、表示パネル 80 に供給中の画像信号に基づく表示が 1 回中断するごとに、上記工程群を 1 つずつ実行する。例えば、工程群の数が n の場合、上記表示が n 回中断したときに、自己検出処理に含まれる全ての工程を完了させることができる。

[0272] これにより、自己検出処理に含まれる工程の数が多く、全ての自己検出処理が完了するまでに長時間を要する場合であっても、表示パネル 80 の表示が 1 回中断するごとに実行される工程群の処理時間はそれほど長くないため、ユーザに違和感を感じさせずに、自己検出および自己修復の処理を実行することが可能となる。

[0273] 本実施形態に係る表示部 90 では、上記処理は、複数の工程を含んでおり、上記自己検出・自己修復手段は、上記表示パネルにおける上記表示が 1 回中断したときに、上記処理に含まれる全ての工程を実行することが好ましい。

[0274] 上記の構成によれば、液晶駆動用半導体集積回路 10 の不良を検出する処理、すなわち、自己検出処理には、複数の工程が含まれるが、自己検出・自己修復手段は、表示パネル 80 に供給中の画像信号に基づく表示が 1 回中断したときに、自己検出処理に含まれる全ての工程を実行する。

[0275] これにより、液晶駆動用半導体集積回路 10 の自己検出および自己修復の処理を、短時間で完了させることが可能となる。

[0276] 本実施形態に係る表示部 90 では、ユーザによる選局操作を受け付けるリモコン I/F 401 と、リモコン I/F 401 が受け付けた選局操作に対応

する放送を受信し、該放送の画像信号を上記表示パネルに供給するチューナーと、チューナーが受信する放送を切り替える際に、表示パネル 80 に表示すべき画像が不連続に切り替わることを検知するコントローラ 100 とをさらに備え、上記自己検出・自己修復手段は、コントローラ 100 によって表示パネル 80 に表示すべき画像の切替が検知されたときに、液晶駆動用半導体集積回路 10 の不良を検出する処理を開始することが好ましい。

[0277] 上記の構成によれば、リモコン I / F 401 はユーザによる放送番組の選局を受け付ける。また、チューナーは、リモコン I / F 401 が受け付けた選局に対応する放送を受信し、当該放送の画像信号を表示パネルに供給する。例えば、チューナーがユーザによって指定されたチャンネルの放送を受信して映像信号を表示パネル 80 に供給する。

[0278] また、上記の構成によれば、コントローラ 100 は、チューナーがユーザの選局に応じて放送を新たに受信することによって、表示パネル 80 における上記表示が中断するときに、表示パネル 80 に表示すべき画像が不連続に切り替わることを検知する。例えば、表示パネル 80 において 1 チャンネルの放送を表示中にユーザが 2 チャンネルを選局した場合、チューナーが 2 チャンネルの放送を受信するために、1 チャンネルの表示が中断するときに、表示パネル 80 に表示すべき画像が不連続に切り替わることを検知する。

[0279] そして、自己検出・自己修復手段は、チューナーが受信する放送を切り替える際に、液晶駆動用半導体集積回路 10 の不良を検出する処理、すなわち、自己検出処理を開始する。

[0280] これにより、ユーザによって新たな選局操作が行われた場合に表示部 90 の画面における表示が途切れるタイミングにおいて、自己検出の処理を実行することが可能となる。したがって、自己検出処理によって一瞬画面表示されない期間が生じても、ユーザに違和感を感じさせることがない。

[0281] 本実施形態に係る表示部 90 では、放送を受信し、該放送の画像信号を表示パネル 80 に供給するチューナーと、チューナーが受信する放送の内容が番組から CM (Commercial Message) に切り替わる際に、表示パネル 80 に

表示すべき画像が不連続に切り替わることを検知するコントローラ１００とをさらに備え、上記自己検出・自己修復手段は、コントローラ１００によって表示パネル８０に表示すべき画像の切替が検知されたときに、液晶駆動用半導体集積回路１０の不良を検出する処理を実行することが好ましい。

[0282] 上記の構成によれば、チューナーは、放送を受信し、当該放送の画像信号を表示パネル８０に供給する。例えば、チューナーがユーザによって指定されたチャンネルの放送を受信して映像信号を表示パネル８０に供給する。

[0283] また、上記の構成によれば、コントローラ１００は、表示パネル８０に供給される画像信号が、放送に含まれる番組を表す画像信号から、放送に含まれるＣＭを表す画像信号に切り替わるために、上記番組を表す画像信号に基づく表示が中断するときに、表示パネル８０に表示すべき画像が不連続に切り替わることを検知する。つまり、コントローラ１００は、放送中の番組がＣＭに移行することによって、番組を表す画像信号に基づく表示が中断するときに、表示パネル８０に表示すべき画像が不連続に切り替わることを検知する。

[0284] そして、自己検出・自己修復手段は、コントローラ１００によって表示パネル８０における上記表示の中断を検知したときに、液晶駆動用半導体集積回路１０の不良を検出する処理、すなわち、自己検出処理を開始する。

[0285] これにより、放送中の番組がＣＭへ移行する場合に表示部９０の画面における番組の表示が途切れるタイミングにおいて、自己検出の処理を実行することが可能となる。したがって、自己検出処理によって一瞬画面表示されない期間が生じても、ユーザに違和感を感じさせることがない。

[0286] 本実施形態に係る表示部９０は、表示パネル８０と、表示パネル８０に画像を表示している期間のうち、画像信号を供給している供給期間と、画像信号の供給を停止している供給停止期間とを切り替えながら表示パネル８０を駆動する駆動回路であって、表示パネル８０との電気的な接続を切り離した状態で当該駆動回路の不良を検出し、修復する自己検出・自己修復手段を有する液晶駆動用半導体集積回路１０とを備え、上記自己検出・自己修復手段

は、上記供給停止期間に、液晶駆動用半導体集積回路 10 の不良を検出する処理を実行する。

[0287] 上記の構成によれば、液晶駆動用半導体集積回路 10 は、表示パネル 80 に画像を表示している期間のうち、画像信号を供給している供給期間と、画像信号の供給を停止している供給停止期間とを切替ながら、表示パネル 80 を駆動する。そして、液晶駆動用半導体集積回路 10 は、液晶駆動用半導体集積回路 10 自身の不良を検出可能であり、検出した不良を修復する自己検出・自己修復手段とを有している。液晶駆動用半導体集積回路 10 は、自身の不良を検出し修復する処理を、表示パネル 80 との電氣的な接続を切り離れた状態で実行する。つまり、液晶駆動用半導体集積回路 10 は、表示パネル 80 との電氣的接続を切り離して自身の不良を検出する（すなわち自己検出する）ことで、表示パネル 80 に表示中の画像を表す階調データだけでなく、全ての階調データを用いて自己検出の処理を実行することができる。なお、画像は、静止画像であってもよいし、動画像すなわち映像であってもよい。

[0288] そして、上記の構成によれば、自己検出・自己修復手段は、供給停止期間に、液晶駆動用半導体集積回路 10 の不良を検出する処理を実行する。例えば、自己検出・自己修復手段は、水平走査期間や垂直走査期間において、液晶駆動用半導体集積回路 10 の不良を検出する処理を実行する。

[0289] これにより、本実施形態に係る表示部 90 によれば、表示部 90 の駆動において、表示に影響のない期間に、自己検出の処理を実行することができる。つまり、本実施形態に係る表示部 90 は、表示パネル 80 との電氣的な接続を切り離れた状態で液晶駆動用半導体集積回路 10 の不良を検出する処理を実行するが、画像を表示中の表示パネル 80 に画像信号の供給が行われなないタイミングで、自己検出の処理を実行するため、表示パネル 80 の駆動を妨げない。したがって、本実施形態に係る表示部 90 によれば、ユーザの視聴を妨げずに適切なタイミングにおいて、自己検出および自己修復の処理を実行することが可能となり、ユーザにとっての利便性を向上させることがで

きる。

[0290] 本実施形態に係る表示部 90 では、上記処理は、1 つ以上の工程を含む複数の工程群に分割され、上記自己検出・自己修復手段は、1 回の上記供給停止期間ごとに上記工程群を 1 つずつ実行することが好ましい。

[0291] 上記の構成によれば、液晶駆動用半導体集積回路 10 の不良を検出する処理、すなわち、自己検出処理には、複数の工程が含まれ、それらの工程は複数の工程群に分割される。そして、自己検出・自己修復手段は、1 回の供給停止期間ごとに、上記工程群を 1 つずつ実行する。例えば、工程群の数が n の場合、 n 回の供給停止期間で、自己検出処理に含まれる全ての工程を完了させることができる。

[0292] これにより、自己検出処理に含まれる工程の数が多く、全ての自己検出処理が完了するまでに長時間を要する場合であっても、1 回の供給停止期間内に各工程群の処理を収めることができるため、ユーザの視聴を妨げることなく、適切なタイミングにおいて自己検出および自己修復の処理を実行することが可能となる。

[0293] 本実施形態に係る表示部 90 では、上記処理は、複数の工程を含んでおり、上記自己検出・自己修復手段は、1 回の上記供給停止期間で上記処理に含まれる全ての工程を実行することが好ましい。

[0294] 上記の構成によれば、液晶駆動用半導体集積回路 10 の不良を検出する処理、すなわち、自己検出処理には、複数の工程が含まれるが、自己検出・自己修復手段は、1 回の供給停止期間において、自己検出処理に含まれる全ての工程を実行する。

[0295] これにより、液晶駆動用半導体集積回路 10 の自己検出および自己修復の処理を、短時間で完了させることが可能となる。

[0296] 本実施形態に係る表示部 90 では、表示パネル 80 に画像を表示している期間において、上記供給期間から、上記供給停止期間としての水平ブランキング期間への切替を検知するコントローラ 100 をさらに備え、上記自己検出・自己修復手段は、コントローラ 100 によって上記切替が検知されたと

き、上記処理を開始することが好ましい。

[0297] 上記の構成によれば、コントローラ 100 は、表示パネル 80 に画像を表示している期間において、水平ブランキング期間を検知する。そして、自己検出・自己修復手段は、水平ブランキング期間において、自己検出処理を実行する。水平ブランキング期間においては、画像は表示されているが、画像信号は表示パネル 80 に供給されておらず、表示パネル 80 は駆動されない。

[0298] これにより、画像信号を表示パネル 80 に供給していない水平ブランキング期間において、自己検出の処理を実行することが可能となる、したがって、自己検出の処理によって画面表示に影響を与えることがなく、ユーザに違和感を感じさせることがない。

[0299] 本実施形態に係る表示部 90 では、表示パネル 80 に画像を表示している期間において、上記供給期間から、上記供給停止期間としての垂直ブランキング期間への切替を検知するコントローラ 100 をさらに備え、上記自己検出・自己修復手段は、コントローラ 100 によって上記切替が検知されたとき、上記処理を開始することが好ましい。

[0300] 上記の構成によれば、コントローラ 100 は、表示パネル 80 に画像を表示している期間において、垂直ブランキング期間を検知する。そして、自己検出・自己修復手段は、垂直ブランキング期間において、自己検出処理を実行する。垂直ブランキング期間においては、画像は表示されているが、画像信号は表示パネル 80 に供給されておらず、表示パネル 80 は駆動されない。

[0301] これにより、画像信号を表示パネル 80 に供給していない垂直ブランキング期間において、自己検出の処理を実行することが可能となる、したがって、自己検出の処理によって画面表示に影響を与えることがなく、ユーザに違和感を感じさせることがない。

[0302] 本実施形態に係る表示部 90 では、液晶駆動用半導体集積回路 10 は、表示パネル 80 を駆動するための出力信号を出力する出力回路ブロック 30 を

備え、上記自己検出・自己修復手段は、出力回路ブロック 30 が不良か否かを判定する比較判定回路 50 を備え、比較判定回路 50 の判定結果が不良であった場合に、表示パネル 80 に正常な出力信号を出力するように、液晶駆動用半導体集積回路 10 を自己修復することが好ましい。

[0303] 上記の構成によれば、液晶駆動用半導体集積回路 10 は、表示パネル 80 を駆動するための出力信号を出力する出力回路ブロック 30 を備えている。出力回路ブロック 30 は、例えば映像データを階調電圧に変換して表示パネル 80 を駆動する出力信号として出力する。

[0304] また、上記の構成によれば、自己検出・自己修復手段は、出力回路ブロック 30 が不良であるか否かを判定する比較判定回路 50 を備えており、比較判定回路 50 における判定結果が不良であった場合、表示パネル 80 に正常な出力信号を出力するように、液晶駆動用半導体集積回路 10 を自己修復する。

[0305] これにより、本実施形態に係る表示部 90 では、液晶駆動用半導体集積回路 10 の出力回路ブロック 30 における欠陥を検出することができ、出力回路ブロック 30 に欠陥があった場合に自己修復できる。

[0306] 本実施形態に係る表示部 90 では、液晶駆動用半導体集積回路 10 は、表示パネル 80 に上記出力信号を出力可能な予備出力回路ブロック 40 を備え、上記自己検出・自己修復手段は、比較判定回路 50 の判定結果が不良である場合、表示パネル 80 への出力信号として、上記不良となった出力回路ブロック 30 からの出力信号を、予備出力回路ブロック 40 からの出力信号に切り替える切替回路 60 を、備えていることが好ましい。

[0307] 上記の構成によれば、上記駆動回路は、表示パネル 80 に出力信号を出力可能な予備出力回路ブロック 40 を備えている。予備出力回路ブロック 40 は、出力回路ブロック 30 と同様、例えば映像データを階調電圧に変換して表示パネル 80 を駆動する出力信号として出力することができる。

[0308] また、上記の構成によれば、自己検出・自己修復手段は、比較判定回路 50 において不良と判定された出力回路ブロック 30 を、予備出力回路ブロッ

ク 40 に切り替える切替回路 60 を備えている。

- [0309] これにより、本実施形態に係る表示部 90 では、出力回路ブロック 30 に欠陥があった場合、欠陥のある出力回路ブロック 30 を予備出力回路ブロック 40 に切り替えることにより、液晶駆動用半導体集積回路 10 の自己修復を容易に行うことができる。
- [0310] 本実施形態に係る表示部 90 では、比較判定回路 50 は、出力回路ブロック 30 からの出力信号と、予備出力回路ブロック 40 からの出力信号とを比較するオペアンプ 1-1, 1-2, 1-n を備え、オペアンプ 1-1, 1-2, 1-n の比較結果に基づき、出力回路ブロック 30 が不良か否かを判定することが好ましい。
- [0311] 上記の構成によれば、比較判定回路 50 は、オペアンプ 1-1, 1-2, 1-n を備えている。また、オペアンプ 1-1, 1-2, 1-n は、出力回路ブロック 30 からの出力信号と、予備出力回路ブロック 40 からの出力信号とを比較する。そして、比較判定回路 50 は、オペアンプ 1-1, 1-2, 1-n の比較結果に基づいて、出力回路ブロック 30 が不良か否かを判定する。
- [0312] これにより、本実施形態に係る表示部 90 では、出力回路ブロック 30 の出力と予備出力回路ブロック 40 の出力とを比較することで出力回路ブロック 30 の不良を判定できるため、簡素な構成にて、容易に出力回路ブロック 30 の不良を検出することができる。
- [0313] 本実施形態に係る表示部 90 では、出力回路ブロック 30 および予備出力回路ブロック 40 に入力する入力信号を制御する制御手段をさらに備え、上記制御手段は、出力回路ブロック 30 と予備出力回路ブロック 40 とに、異なる大きさの入力信号を入力するとともに、上記異なる大きさの入力信号に対応する、オペアンプ 1-1, 1-2, 1-n からの比較結果の期待値を出力し、比較判定回路 50 は、上記比較結果と上記期待値とが異なる場合に、出力回路ブロック 30 を不良と判定することが好ましい。
- [0314] 上記の構成によれば、制御手段は、出力回路ブロック 30 と予備出力回路

ブロック 40 に入力する入力信号を制御し、異なる大きさの入力信号を入力する。また、制御手段は、異なる大きさの入力信号に対応する、オペアンプ 1-1, 1-2, 1-n からの比較結果の期待値を出力する。そして、比較判定回路 50 は、オペアンプ 1-1, 1-2, 1-n からの実際の比較結果と制御手段からの期待値とが異なる場合、出力回路ブロック 30 を不良と判定する。

[0315] 具体的には、例えば、出力回路ブロック 30 に階調 m の入力信号を入力し、予備出力回路ブロック 40 に階調 m+1 の入力信号を入力する。なお、階調 m の階調電圧は、階調 m+1 の階調電圧よりも低い電圧である。ここで、出力回路ブロック 30 が正常であれば、オペアンプ 1-1, 1-2, 1-n は、予備出力回路ブロック 40 から入力した階調電圧の方が高いことを示す信号を出力する。一方、出力回路ブロック 30 に欠陥があり、階調 m の信号を入力しても、出力回路ブロック 30 は高い階調電圧しか出力できない場合、オペアンプ 1-1, 1-2, 1-n は、出力回路ブロック 30 より入力した階調電圧の方が高いことを示す信号を出力する。

[0316] このように、本実施形態の液晶駆動用半導体集積回路 10 では、オペアンプ 1-1, 1-2, 1-n は、出力回路ブロック 30 および予備出力回路ブロック 40 より出力される階調電圧を比較し、出力回路ブロック 30 に欠陥がある場合とない場合とにおいて、異なる値の信号を出力する。

[0317] 次に、比較判定回路 50 は、オペアンプ 1-1, 1-2, 1-n より出力された信号より、出力回路ブロック 30 が不良か否かを判定する。具体的には、上述したような、出力回路ブロック 30 に階調 m の入力信号を入力し、予備出力回路ブロック 40 に階調 m+1 の入力信号を入力した場合に、出力回路ブロック 30 からの階調電圧が高いことを示す信号を、オペアンプ 1-1, 1-2, 1-n より入力したときは、出力回路ブロック 30 は不良であると判定する。一方、予備出力回路ブロック 40 からの階調電圧が高いことを示す信号を、オペアンプ 1-1, 1-2, 1-n より入力した場合は、比較判定回路 50 は、出力回路ブロック 30 は不良でないと判定する。

- [0318] これにより、本実施形態に係る表示部 90 では、容易に出力回路ブロック 30 の欠陥を検出する具体的な手段を備え、出力回路ブロック 30 に欠陥があった場合に自己修復できる。
- [0319] 本実施形態に係る表示部 90 では、比較判定回路 50 は、出力回路ブロック 30 のうち、少なくとも 2 つの出力回路からの出力信号を比較するオペアンプ 1-1, 1-2, 1-n を備え、オペアンプ 1-1, 1-2, 1-n の比較結果に基づき、出力回路ブロック 30 が不良か否かを判定することが好ましい。
- [0320] 上記の構成によれば、比較判定回路 50 は、オペアンプ 1-1, 1-2, 1-n を備えている。また、オペアンプ 1-1, 1-2, 1-n は、出力回路ブロック 30 のうち、少なくとも 2 つの出力回路からの出力信号を比較する。そして、比較判定回路 50 は、オペアンプ 1-1, 1-2, 1-n の比較結果に基づいて、出力回路ブロック 30 が不良か否かを判定する。
- [0321] これにより、本実施形態に係る表示部 90 では、出力回路ブロック 30 の出力を比較することで出力回路ブロック 30 の不良を判定できるため、簡素な構成にて、容易に出力回路ブロック 30 の不良を検出することができる。
- [0322] 本実施形態に係る表示部 90 では、出力回路ブロック 30 のうち、少なくとも 2 つの出力回路に入力する入力信号を制御する制御手段をさらに備え、上記制御手段は、上記少なくとも 2 つの出力回路に、異なる大きさの入力信号を入力するとともに、上記異なる大きさの入力信号に対応する、オペアンプ 1-1, 1-2, 1-n からの比較結果の期待値を出力し、比較判定回路 50 は、上記比較結果と上記期待値とが異なる場合に、上記少なくとも 2 つの出力回路のいずれかが不良であると判定することが好ましい。
- [0323] 上記の構成によれば、制御手段は、出力回路ブロック 30 のうち、少なくとも 2 つの出力回路に入力する入力信号を制御し、異なる大きさの入力信号を入力する。また、制御手段は、異なる大きさの入力信号に対応する、オペアンプ 1-1, 1-2, 1-n からの比較結果の期待値を出力する。そして、比較判定回路 50 は、オペアンプ 1-1, 1-2, 1-n からの実際の比較結

果と制御手段からの期待値とが異なる場合、出力回路ブロック 30 を不良と判定する。

[0324] 具体的には、例えば、第 1 の出力回路と第 2 の出力回路との 2 つの出力回路に異なる入力信号を入力する場合、第 1 の出力回路に階調 m の入力信号を入力し、第 2 の出力回路に階調 $m+1$ の入力信号を入力する。なお、階調 m の階調電圧は、階調 $m+1$ の階調電圧よりも低い電圧である。ここで、第 1 の出力回路が正常であれば、オペアンプ 1-1, 1-2, 1-n は、第 2 の出力回路から入力した階調電圧の方が高いことを示す信号を出力する。一方、第 1 の出力回路に欠陥があり、階調 m の信号を入力しても、第 1 の出力回路は高い階調電圧しか出力できない場合、オペアンプ 1-1, 1-2, 1-n は、第 1 の出力回路より入力した階調電圧の方が高いことを示す信号を出力する。

[0325] このように、本実施形態の液晶駆動用半導体集積回路 10 では、オペアンプ 1-1, 1-2, 1-n は、出力回路ブロック 30 のうち、少なくとも 2 つの出力回路より出力される階調電圧を比較し、出力回路ブロック 30 に欠陥がある場合とない場合とにおいて、異なる値の信号を出力する。

[0326] 次に、比較判定回路 50 は、オペアンプ 1-1, 1-2, 1-n より出力された信号より、出力回路ブロック 30 が不良か否かを判定する。具体的には、上述したような、第 1 の出力回路と第 2 の出力回路との 2 つの出力回路に異なる入力信号を入力する場合、第 1 の出力回路に階調 m の入力信号を入力し、第 2 の出力回路に階調 $m+1$ の入力信号を入力した場合に、第 1 の出力回路からの階調電圧が高いことを示す信号を、オペアンプ 1-1, 1-2, 1-n より入力したときは、比較判定回路 50 は、第 1 の出力回路と第 2 の出力回路との少なくともいずれかの出力回路は不良であると判定する。このとき、第 1 の出力回路と第 2 の出力回路は、予備の出力回路に切り替えられる。一方、第 2 の出力回路からの階調電圧が高いことを示す信号を、オペアンプ 1-1, 1-2, 1-n より入力した場合は、比較判定回路 50 は、出力回路ブロック 30 は不良でないと判定する。

- [0327] これにより、本実施形態に係る表示部 90 では、容易に出力回路ブロック 30 の欠陥を検出する具体的な手段を備え、出力回路ブロック 30 に欠陥があった場合に自己修復できる。
- [0328] 本実施形態に係る表示部 90 では、出力回路ブロック 30 は、出力バッファとしてオペアンプ 21 を備え、オペアンプ 1-1, 1-2, 1-n は、オペアンプ 21 を含んで構成されるコンパレータであることが好ましい。
- [0329] 上記の構成によれば、出力回路ブロック 30 は、出力バッファとしてオペアンプ 21 を備えている。また、オペアンプ 1-1, 1-2, 1-n は、オペアンプ 21 によって構成されるコンパレータである。
- [0330] 一般的に、表示パネル 80 を駆動する出力回路ブロック 30 からの出力信号は、バッファリングされて出力端子に出力される。ここで、オペアンプ 21 は、自身の出力を、自身の負極性入力端子に負帰還させることにより、ボルテージフォロワ回路となり、バッファ回路としての機能を有することになる。
- [0331] したがって、上記のように、オペアンプ 1-1, 1-2, 1-n をオペアンプ 21 を含んで構成されるコンパレータとすることにより、オペアンプ 21 が、出力回路ブロック 30 からの出力信号をバッファリングするバッファ回路とオペアンプ 1-1, 1-2, 1-n との両方の役割を兼ね備えることになる。よって、本実施形態の液晶駆動用半導体集積回路 10 は、出力回路ブロック 30 からの出力信号をバッファリングするためのバッファ回路を別途備える必要がなく、コストを低減する効果を奏する。
- [0332] 本実施形態に係る表示部 90 では、オペアンプ 21 は、表示パネル 80 を駆動する場合、ボルテージフォロワとして動作することが好ましい。
- [0333] さらに、本実施形態に係るテレビジョンシステム 300 は、表示部 90 を備えている構成であってもよい。

産業上の利用可能性

- [0334] 本発明は、出力回路の欠陥の検出および自己修復の具体的な手段を備え、より容易に出力回路の不具合に対処可能な表示駆動用集積回路を備えた表示

装置を提供するものであり、特に、適切なタイミングにて自己検出および自己修復を行うことができる液晶表示装置に好適である。

符号の説明

- [0335]
- 1-1 オペアンプ（比較手段）
 - 1-2 オペアンプ（比較手段）
 - 1-n オペアンプ（比較手段）
 - 2c スイッチ（接続切替手段）
 - 2d スイッチ（接続切替手段）
 - 3-1 判定回路（判定手段）
 - 3-2 判定回路（判定手段）
 - 3-n 判定回路（判定手段）
 - 4-1 判定フラグ（フラグ格納手段）
 - 4-2 判定フラグ（フラグ格納手段）
 - 4-n 判定フラグ（フラグ格納手段）
 - 8-1 DAC回路（出力回路）
 - 8-2 DAC回路（出力回路）
 - 8-n DAC回路（出力回路）
 - 10 液晶駆動用半導体集積回路（駆動回路）
 - 10' 液晶駆動用半導体集積回路（駆動回路）
 - 10a 液晶駆動用半導体集積回路（駆動回路、ソースドライバ）
 - 10b 液晶駆動用半導体集積回路（駆動回路、ソースドライバ）
 - 20 液晶駆動用半導体集積回路（駆動回路）
 - 21 オペアンプ（比較手段）
 - 21A オペアンプ（比較手段）
 - 21B オペアンプ（比較手段）
 - 28 DAC回路（予備出力回路）
 - 28A DAC回路（予備出力回路）
 - 28B DAC回路（予備出力回路）

- 5 0 比較判定回路（自己検出・自己修復手段、判定手段）
- 6 0 切替回路（自己検出・自己修復手段、切替手段）
- 6 1 切替回路（自己検出・自己修復手段）
- 8 0 表示パネル
- 8 0' 表示パネル
- 8 1 メモリ（記憶装置）
- 8 2 動作切替入力端子
- 8 3 フィルム基材
- 8 4 入力端子
- 8 5 ソルダレジスト
- 8 6 出力側配線
- 8 7 デバイスホール
- 8 8 入力側配線
- 8 9 テープキャリア
- 9 0 表示部（表示装置）
- 9 2 画素
- 9 3 T F T
- 9 4 ゲート線
- 9 5 ソース線
- 9 6 ガラス基板
- 9 7 プリント基板（P W D）
- 9 8 フィルムケーブル（F P C）
- 9 9 ゲートドライバ
- 1 0 0 コントローラ（画像切替手段、期間切替検知手段）
- 2 0 2 抵抗（検出手段）
- 2 0 4 A / D コンバータ（検出手段）
- 2 0 6 E E P R O M（正常電流値記憶手段）
- 2 0 8 比較回路（電流値比較手段、駆動回路判定手段）

- 3 0 0 テレビジョンシステム
- 4 0 0 液晶テレビジョン
- 4 0 1 リモコン I / F (選局受付手段)
- 4 0 2 リモコン

請求の範囲

[請求項1]

表示パネルと、

上記表示パネルを駆動する駆動回路であって、上記表示パネルとの電気的な接続を切り離れた状態で当該駆動回路の不良を検出し、修復する自己検出・自己修復手段を有する駆動回路とを備え、

上記自己検出・自己修復手段は、上記表示パネルに表示すべき画像が不連続に切り替わるときに、上記駆動回路の不良を検出する処理を実行することを特徴とする表示装置。

[請求項2]

上記処理は、1つ以上の工程を含む複数の工程群に分割され、

上記自己検出・自己修復手段は、上記表示パネルにおける上記表示が1回中断するごとに、上記工程群を1つずつ実行することを特徴とする請求項1に記載の表示装置。

[請求項3]

上記処理は、複数の工程を含んでおり、

上記自己検出・自己修復手段は、上記表示パネルにおける上記表示が1回中断したときに、上記処理に含まれる全ての工程を実行することを特徴とする請求項1に記載の表示装置。

[請求項4]

ユーザによる選局操作を受け付ける選局受付手段と、

選局受付手段が受け付けた選局操作に対応する放送を受信し、該放送の画像信号を上記表示パネルに供給する放送受信手段と、

上記放送受信手段が受信する放送を切り替える際に、上記表示パネルに表示すべき画像が不連続に切り替わることを検知する画像切替手段とをさらに備え、

上記自己検出・自己修復手段は、画像切替手段によって上記表示パネルに表示すべき画像の切替が検知されたときに、上記駆動回路の不良を検出する処理を開始することを特徴とする請求項1に記載の表示装置。

[請求項5]

放送を受信し、該放送の画像信号を上記表示パネルに供給する放送受信手段と、

上記放送受信手段が受信する放送の内容が番組からCM (Commercial Message) に切り替わる際に、上記表示パネルに表示すべき画像が不連続に切り替わることを検知する画像切替手段とをさらに備え、

上記自己検出・自己修復手段は、画像切替手段によって上記表示パネルに表示すべき画像の切替が検知されたときに、上記駆動回路の不良を検出する処理を実行することを特徴とする請求項1に記載の表示装置。

[請求項6] 表示パネルと、

上記表示パネルに画像を表示している期間のうち、画像信号を供給している供給期間と、画像信号の供給を停止している供給停止期間とを切り替えながら上記表示パネルを駆動する駆動回路であって、上記表示パネルとの電気的な接続を切り離れた状態で当該駆動回路の不良を検出し、修復する自己検出・自己修復手段を有する駆動回路とを備え、

上記自己検出・自己修復手段は、上記供給停止期間に、上記駆動回路の不良を検出する処理を実行することを特徴とする表示装置。

[請求項7] 上記処理は、1つ以上の工程を含む複数の工程群に分割され、

上記自己検出・自己修復手段は、1回の上記供給停止期間ごとに上記工程群を1つずつ実行することを特徴とする請求項6に記載の表示装置。

[請求項8] 上記処理は、複数の工程を含んでおり、

上記自己検出・自己修復手段は、1回の上記供給停止期間で上記処理に含まれる全ての工程を実行することを特徴とする請求項6に記載の表示装置。

[請求項9] 上記表示パネルに画像を表示している期間において、上記供給期間から、上記供給停止期間としての水平ブランキング期間への切替を検知する期間切替検知手段をさらに備え、

上記自己検出・自己修復手段は、上記期間切替検知手段によって上

記切替が検知されたとき、上記処理を開始すること特徴とする請求項 6 に記載の表示装置。

[請求項10] 上記表示パネルに画像を表示している期間において、上記供給期間から、上記供給停止期間としての垂直ブランキング期間への切替を検知する期間切替検知手段をさらに備え、

 上記自己検出・自己修復手段は、上記期間切替検知手段によって上記切替が検知されたとき、上記処理を開始すること特徴とする請求項 8 に記載の表示装置。

[請求項11] 上記駆動回路は、

 上記表示パネルを駆動するための出力信号を出力する複数の出力回路を備え、

 上記自己検出・自己修復手段は、

 上記出力回路が不良か否かを判定する判定手段を備え、上記判定手段の判定結果が不良であった場合に、上記表示パネルに正常な出力信号を出力するように、当該駆動回路を自己修復することを特徴とする請求項 1 に記載の表示装置。

[請求項12] 上記駆動回路は、

 上記表示パネルに上記出力信号を出力可能な予備出力回路を備え、

 上記自己検出・自己修復手段は、

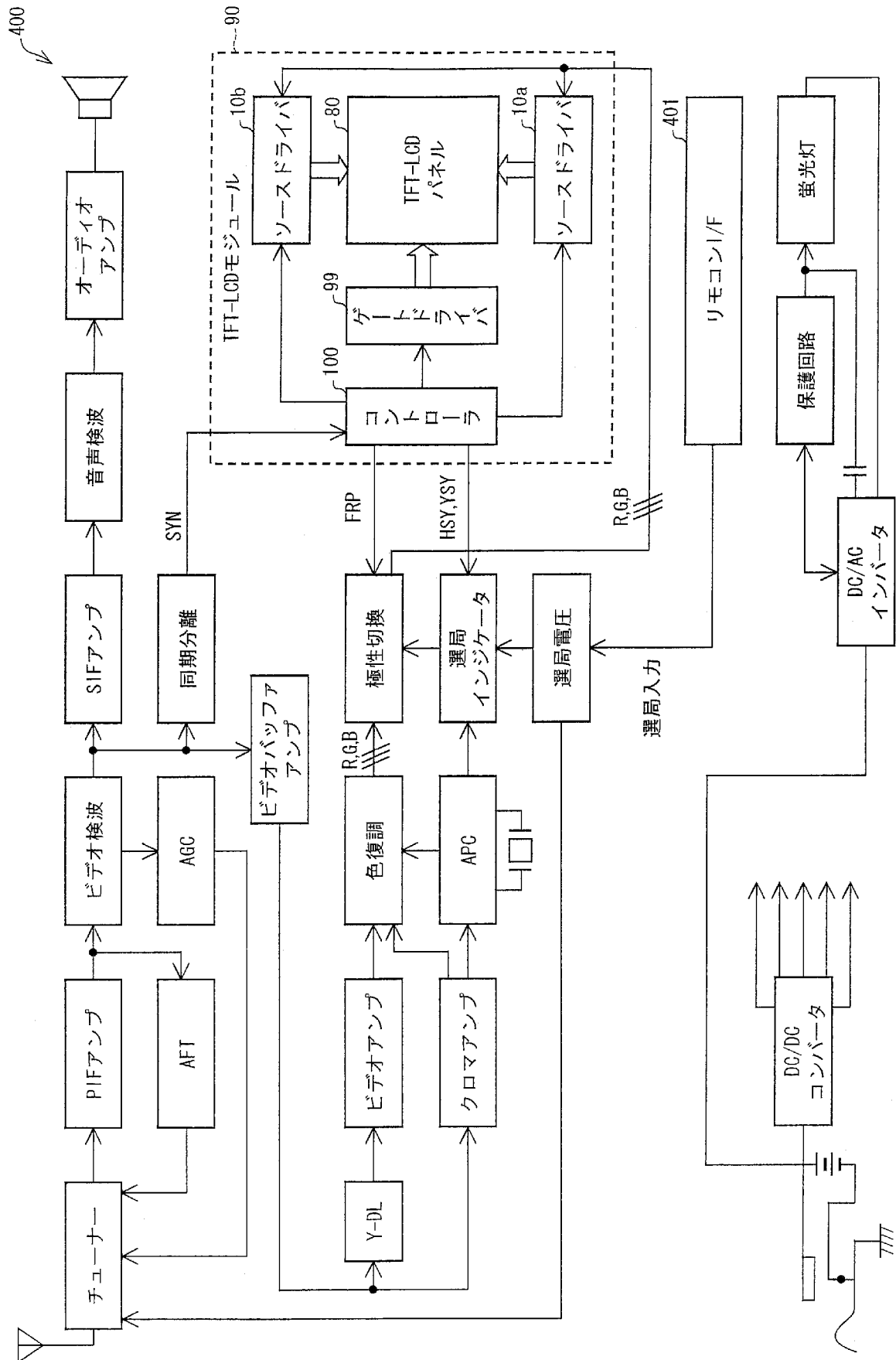
 上記判定手段の判定結果が不良である場合、上記表示パネルへの出力信号として、上記不良となった出力回路からの出力信号を、上記予備出力回路からの出力信号に切り替える切替手段を、備えていることを特徴とする請求項 11 に記載の表示装置。

[請求項13] 上記判定手段は、

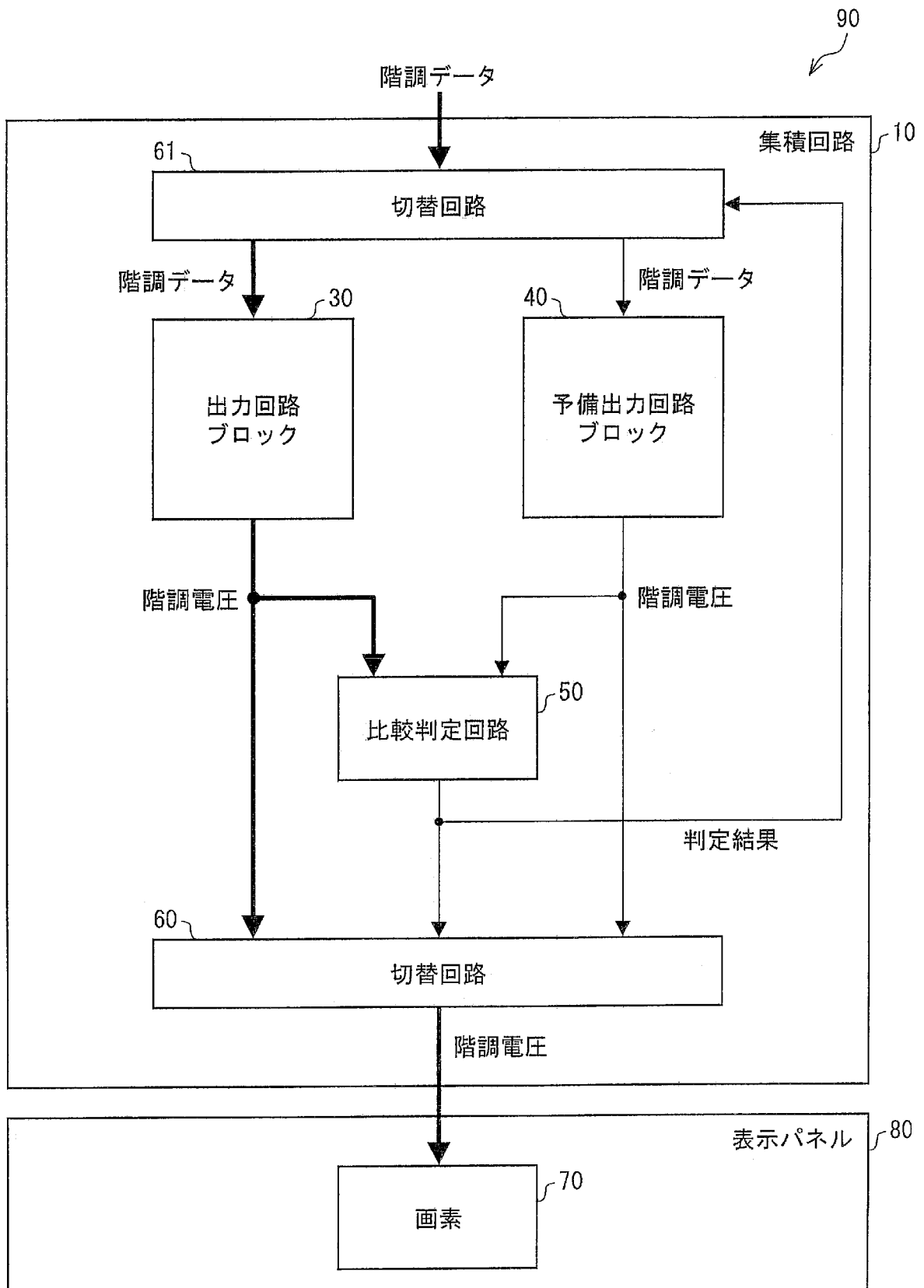
 上記出力回路からの出力信号と、上記予備出力回路からの出力信号とを比較する比較手段を備え、上記比較手段の比較結果に基づき、上記出力回路が不良か否かを判定することを特徴とする請求項 12 に記載の表示装置。

- [請求項14] 上記出力回路および上記予備出力回路に入力する入力信号を制御する制御手段をさらに備え、
- 上記制御手段は、上記出力回路と上記予備出力回路とに、異なる大きさの入力信号を入力するとともに、上記異なる大きさの入力信号に対応する、上記比較手段からの比較結果の期待値を出力し、
- 上記判定手段は、上記比較結果と上記期待値とが異なる場合に、上記出力回路を不良と判定することを特徴とする、請求項 1 3 に記載の駆動回路。
- [請求項15] 上記判定手段は、上記複数の出力回路のうち、少なくとも2つの出力回路からの出力信号を比較する比較手段を備え、上記比較手段の比較結果に基づき、上記出力回路が不良か否かを判定することを特徴とする請求項 1 2 に記載の表示装置。
- [請求項16] 上記複数の出力回路のうち、少なくとも2つの出力回路に入力する入力信号を制御する制御手段をさらに備え、
- 上記制御手段は、上記少なくとも2つの出力回路に、異なる大きさの入力信号を入力するとともに、上記異なる大きさの入力信号に対応する、上記比較手段からの比較結果の期待値を出力し、
- 上記判定手段は、上記比較結果と上記期待値とが異なる場合に、上記少なくとも2つの出力回路のいずれかが不良であると判定することを特徴とする、請求項 1 5 に記載の駆動回路。
- [請求項17] 上記出力回路は、出力バッファとしてオペアンプを備え、
- 上記比較手段は、上記オペアンプを含んで構成されるコンパレータであることを特徴とする請求項 1 3 に記載の表示装置。
- [請求項18] 上記オペアンプは、表示パネルを駆動する場合、ボルテージフォロワとして動作することを特徴とする請求項 1 7 に記載の表示装置。
- [請求項19] 請求項 1 に記載の表示装置を備えていることを特徴とするテレビジョンシステム。

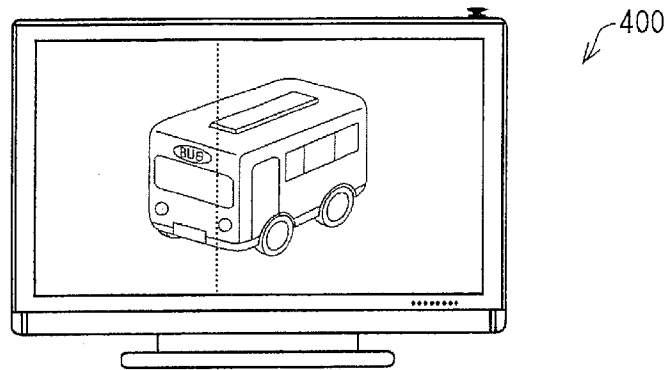
[図1]



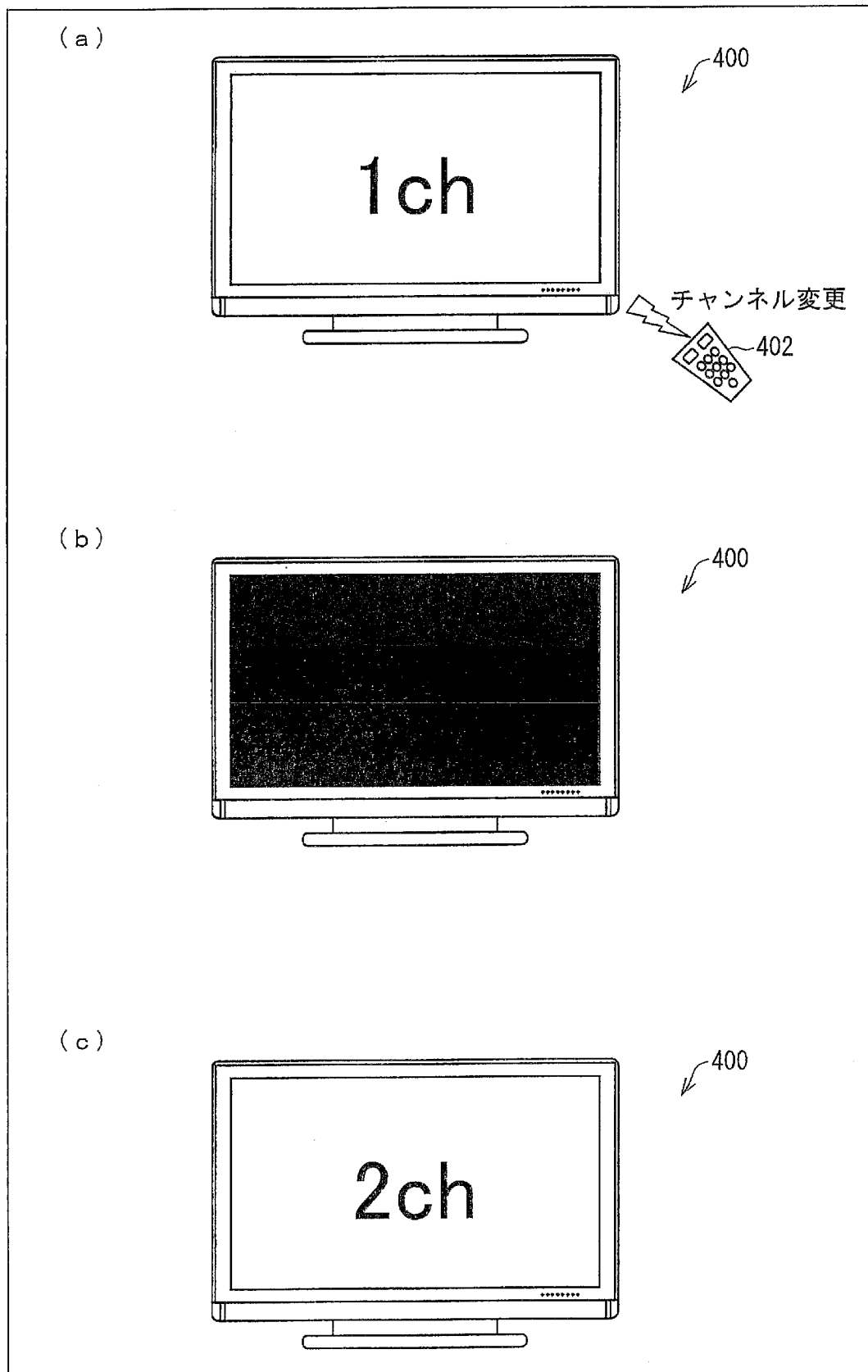
[図2]



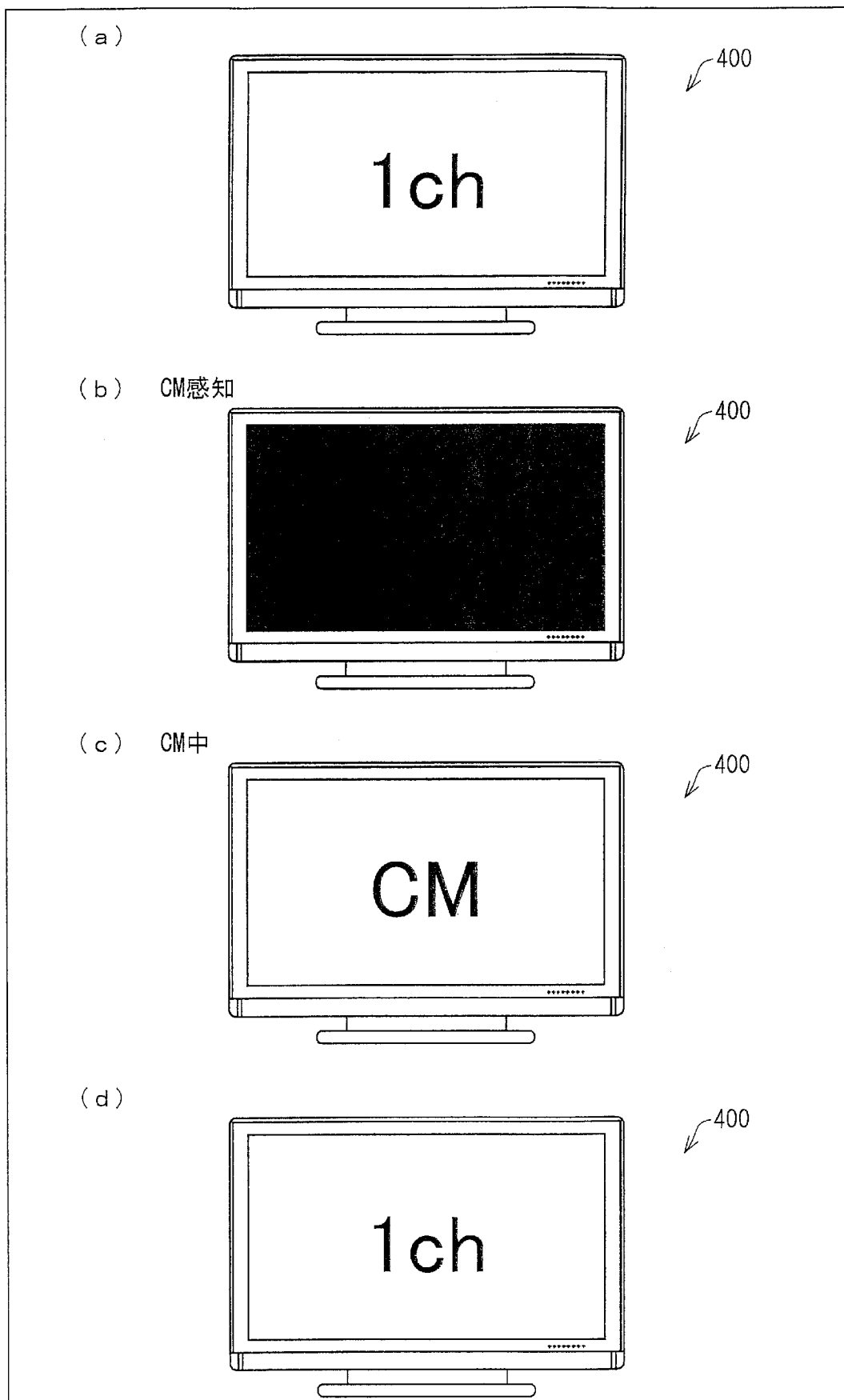
[図3]



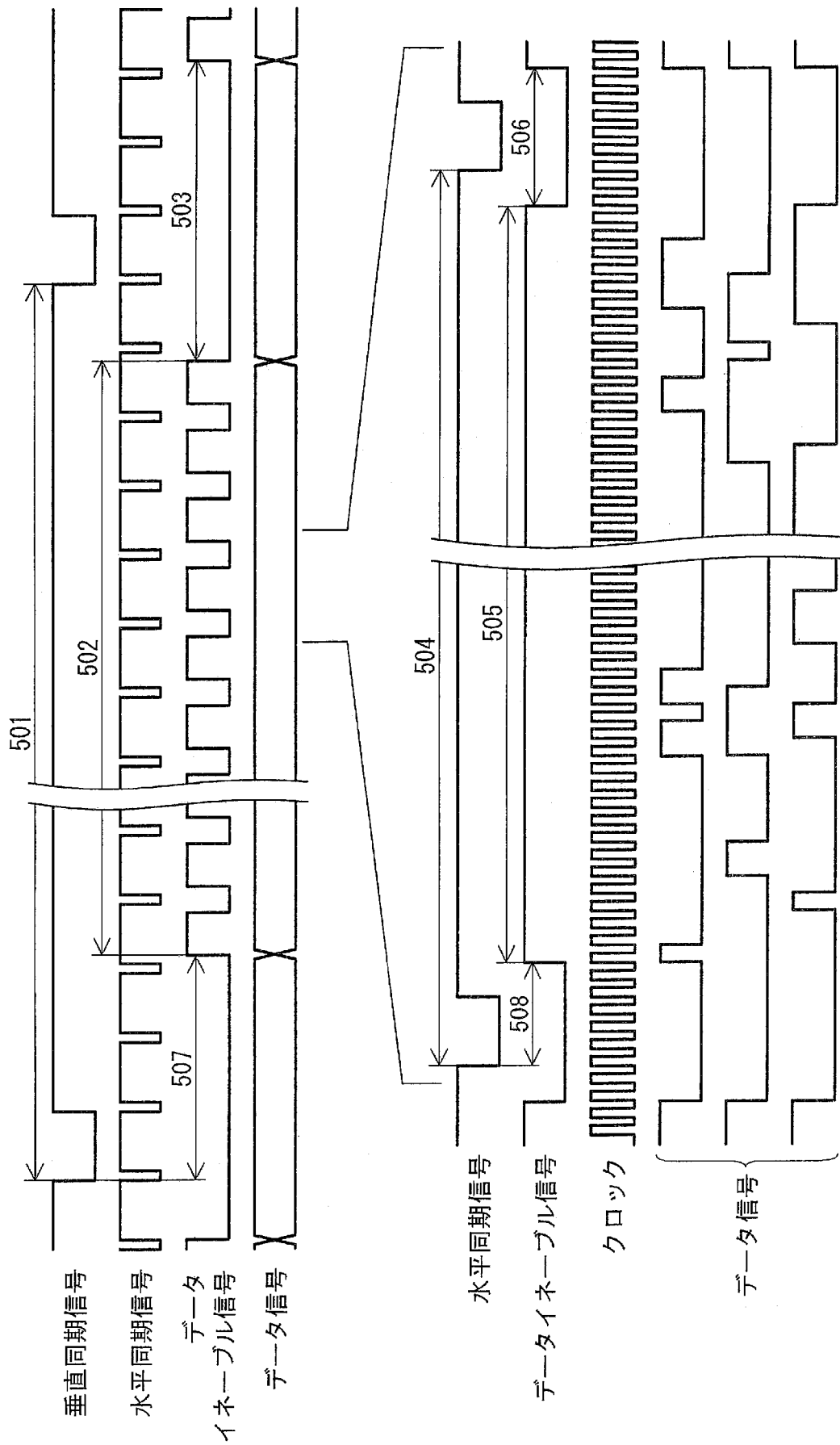
[図4]



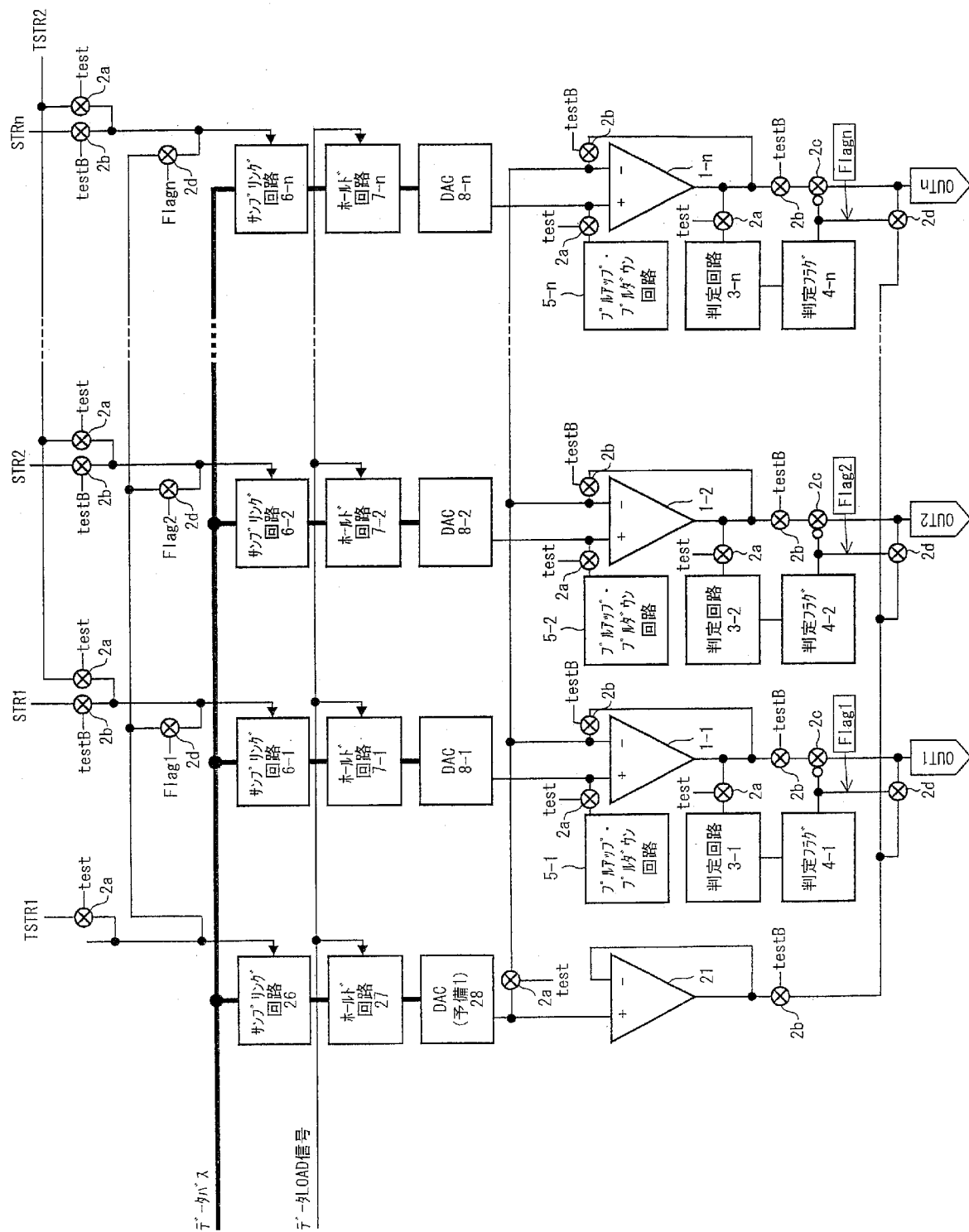
[図5]



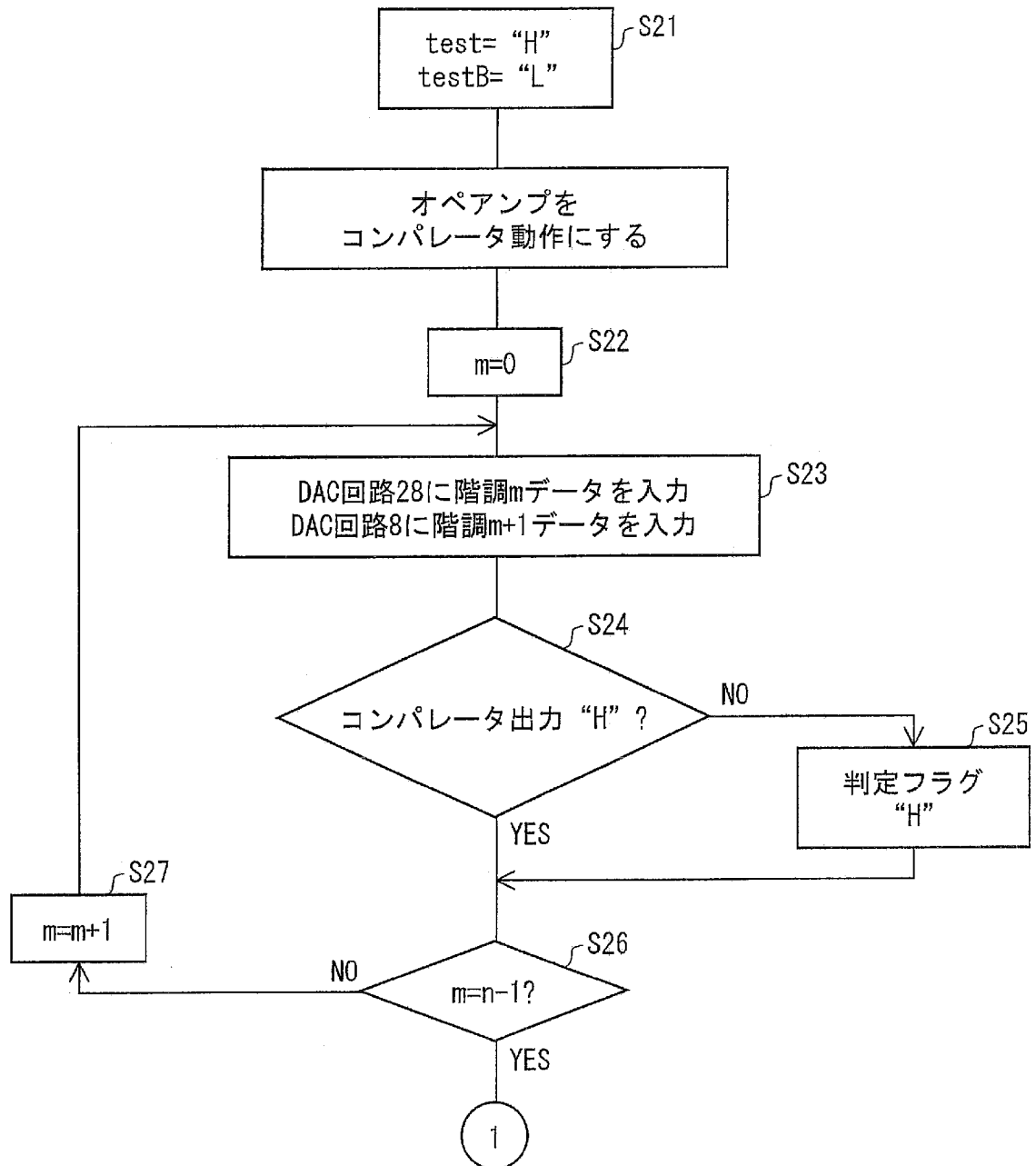
[図6]



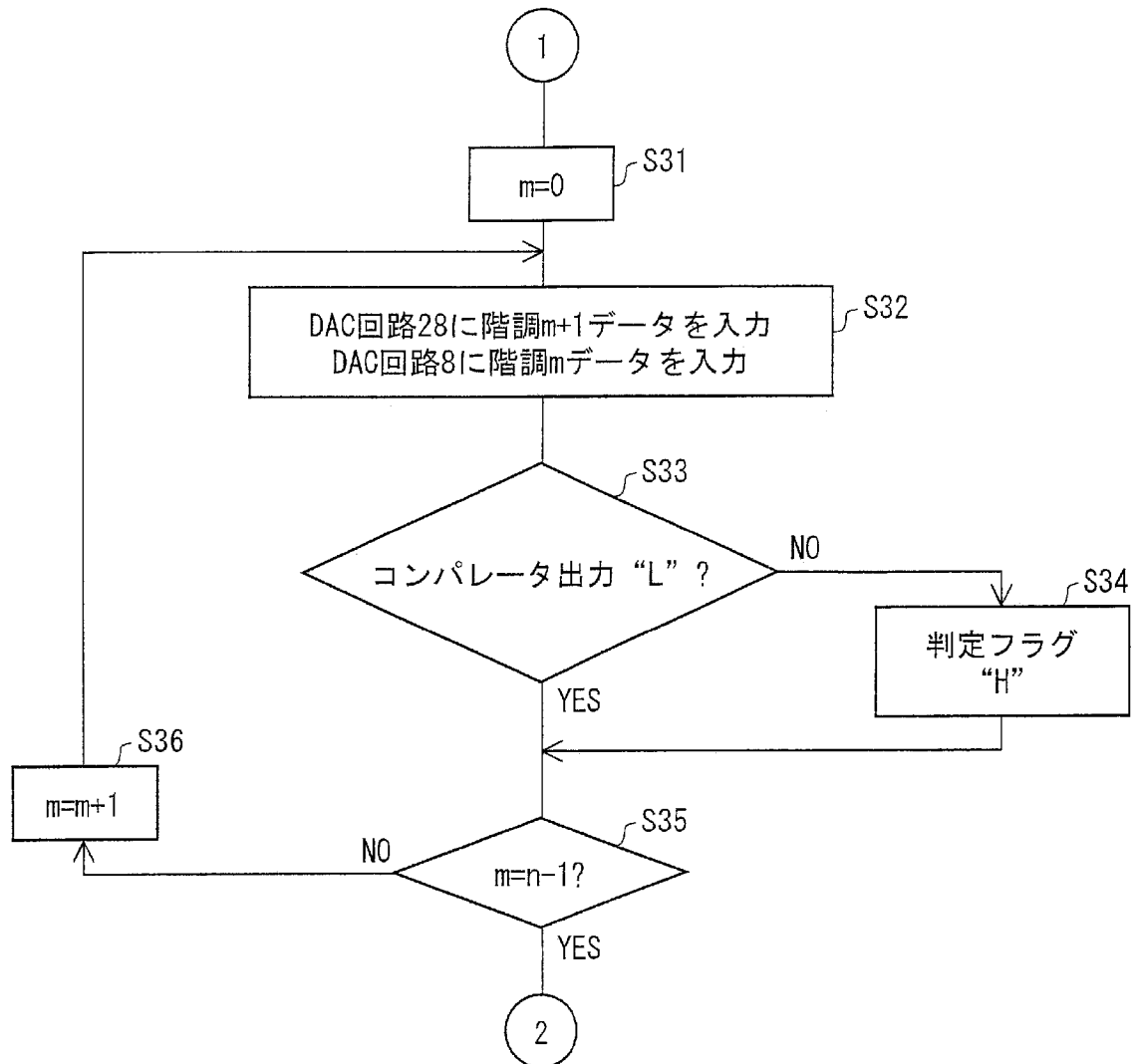
10 ↘



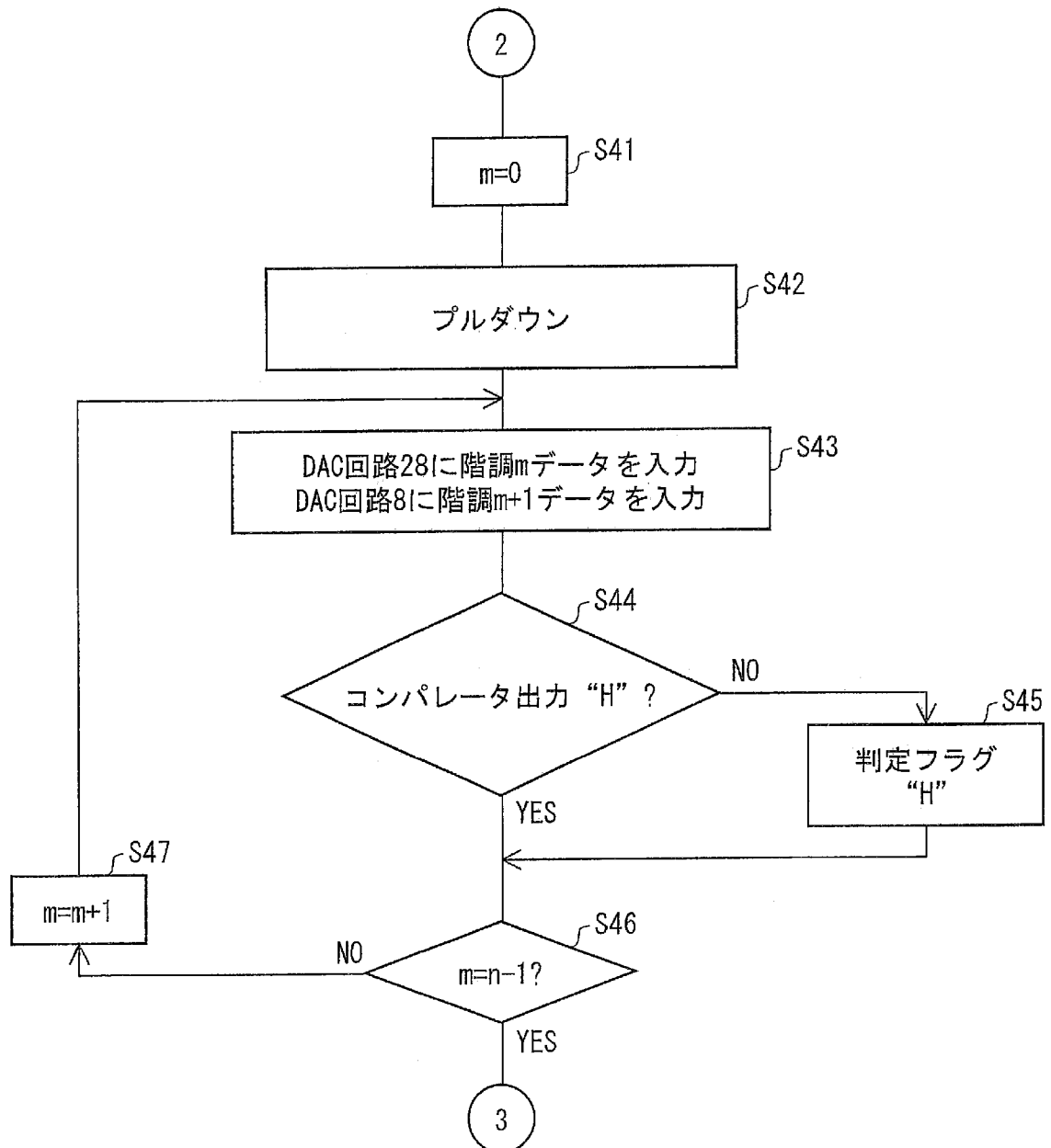
[図8]



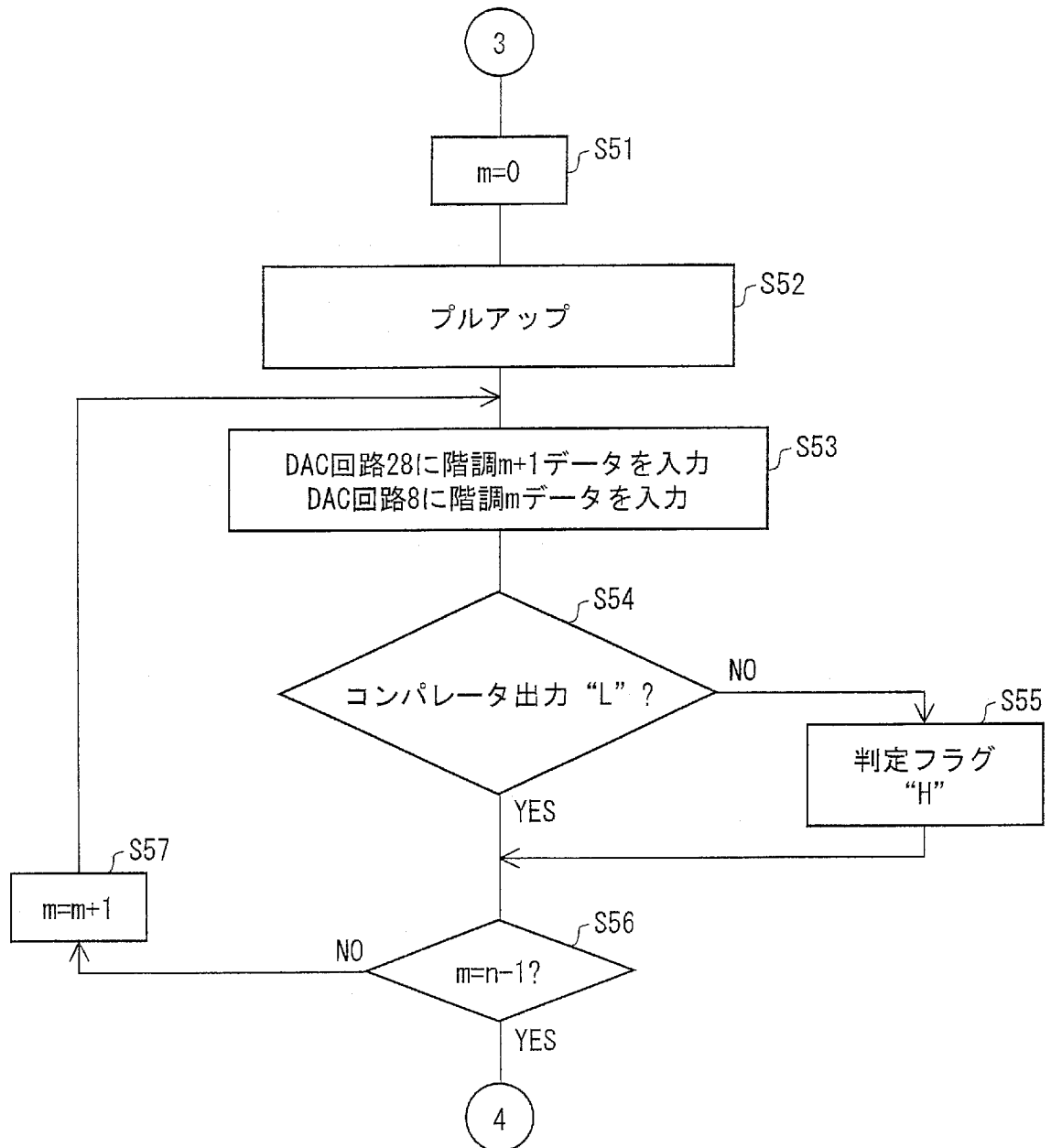
[図9]



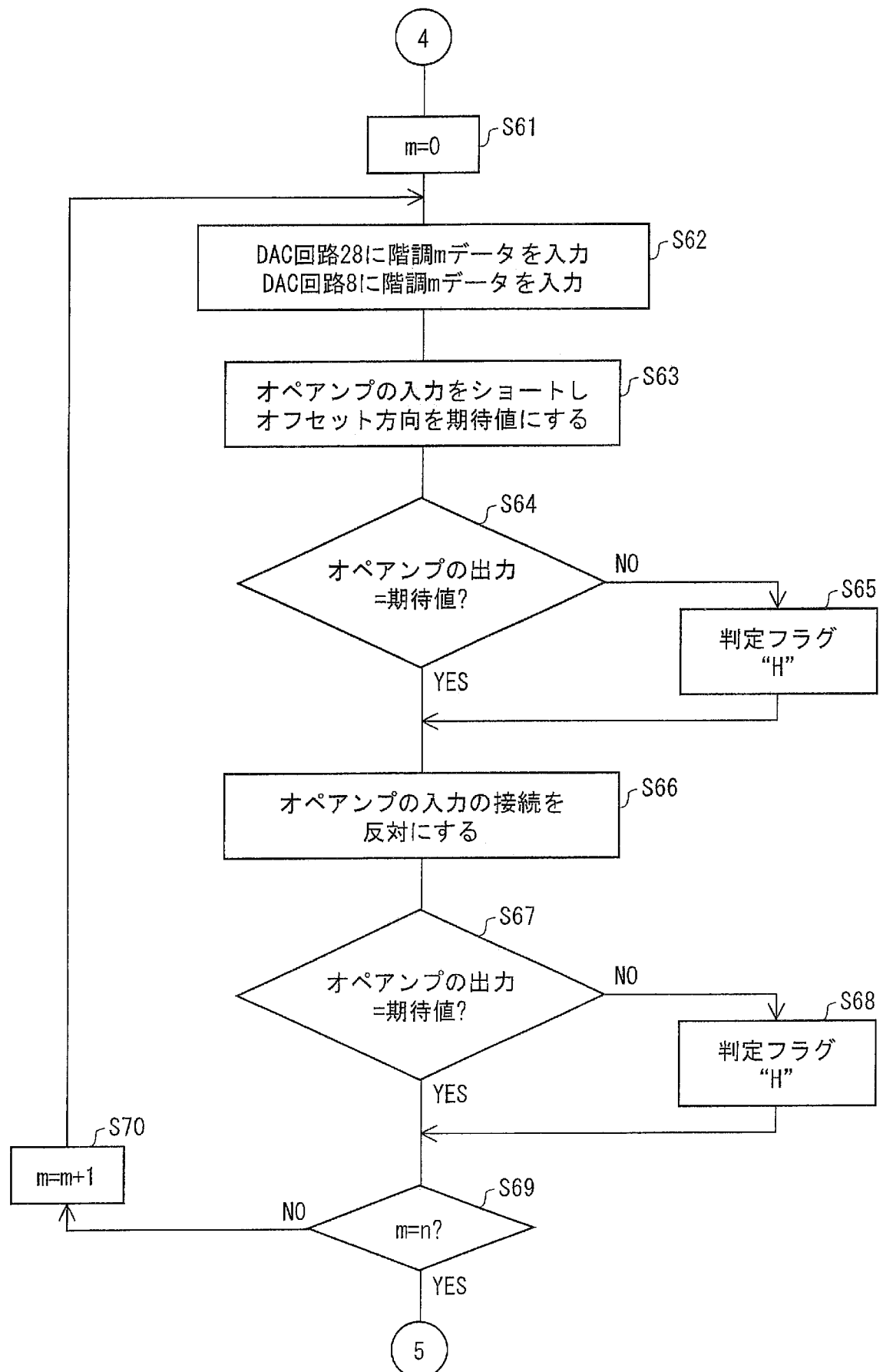
[図10]



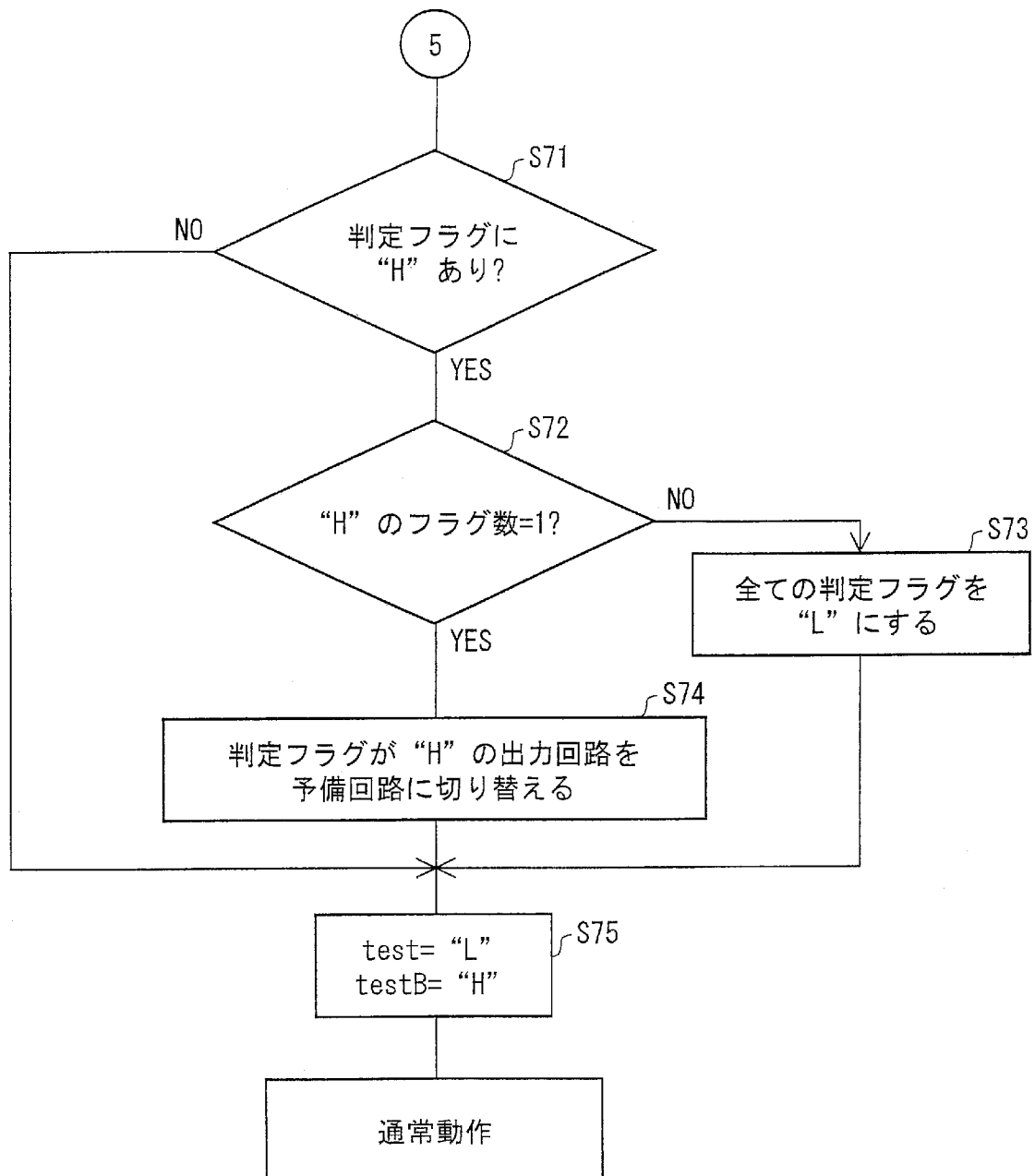
[図11]



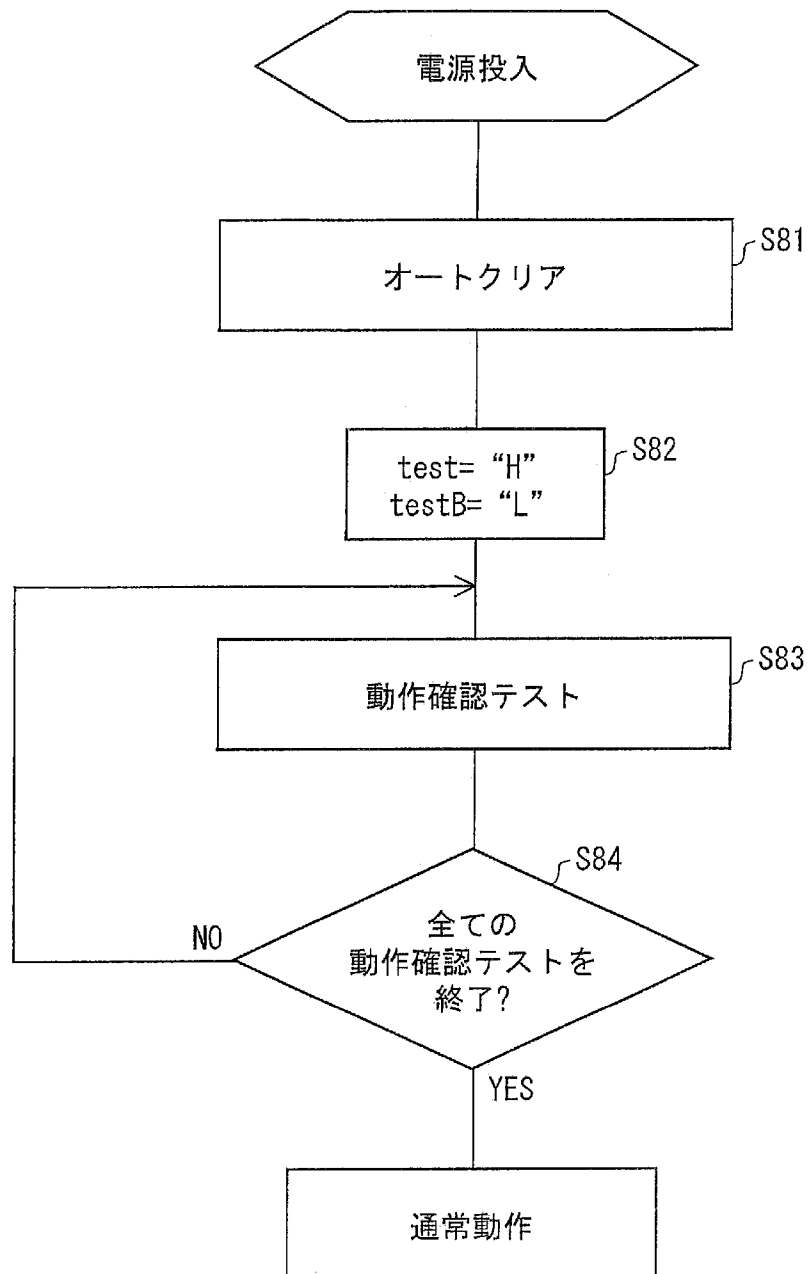
[図12]

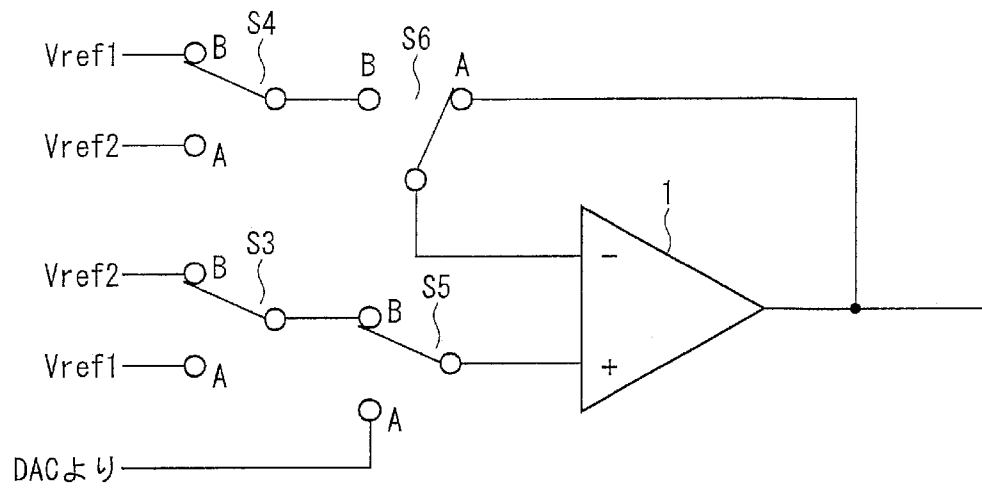


[図13]

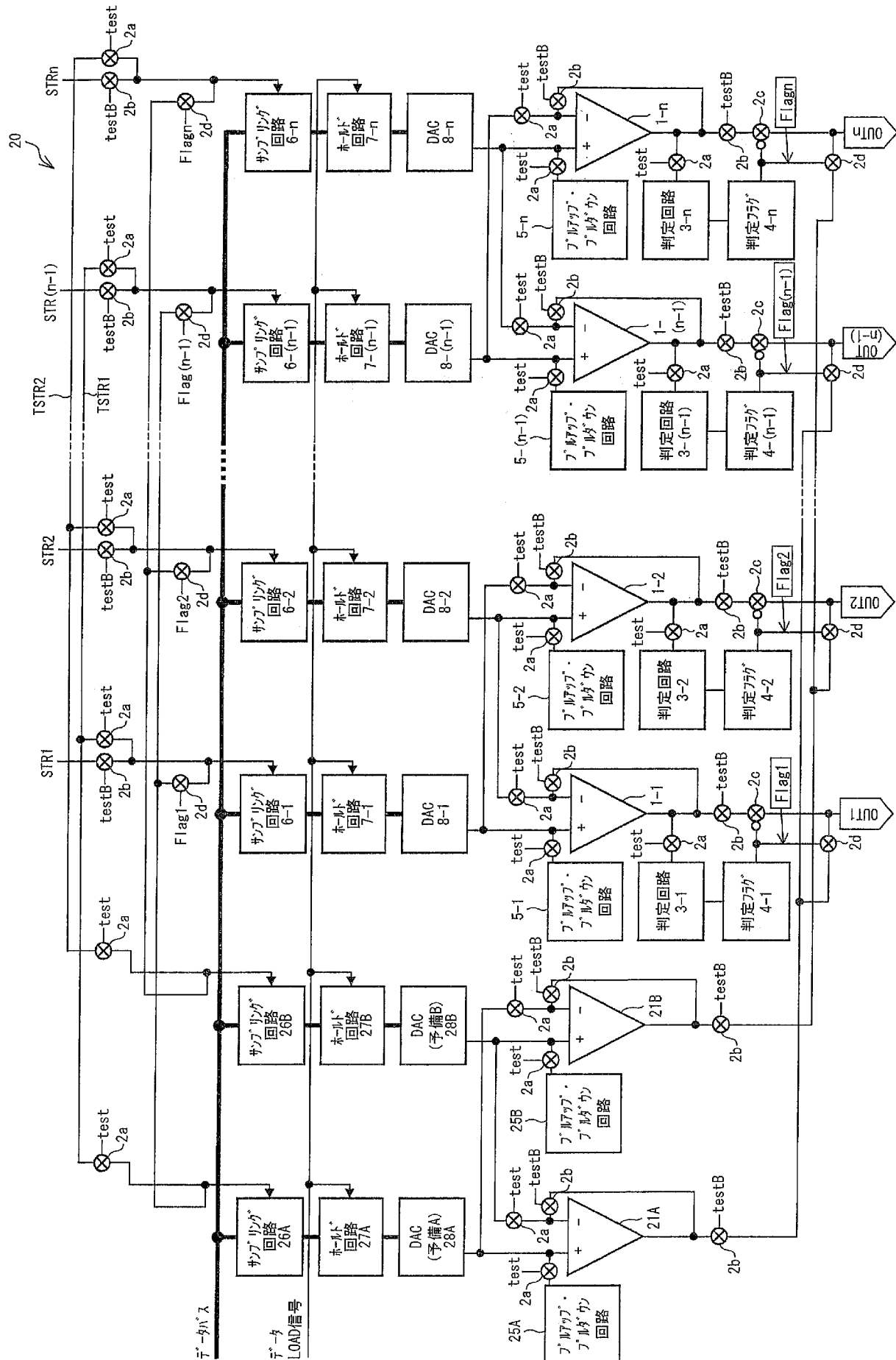


[図14]

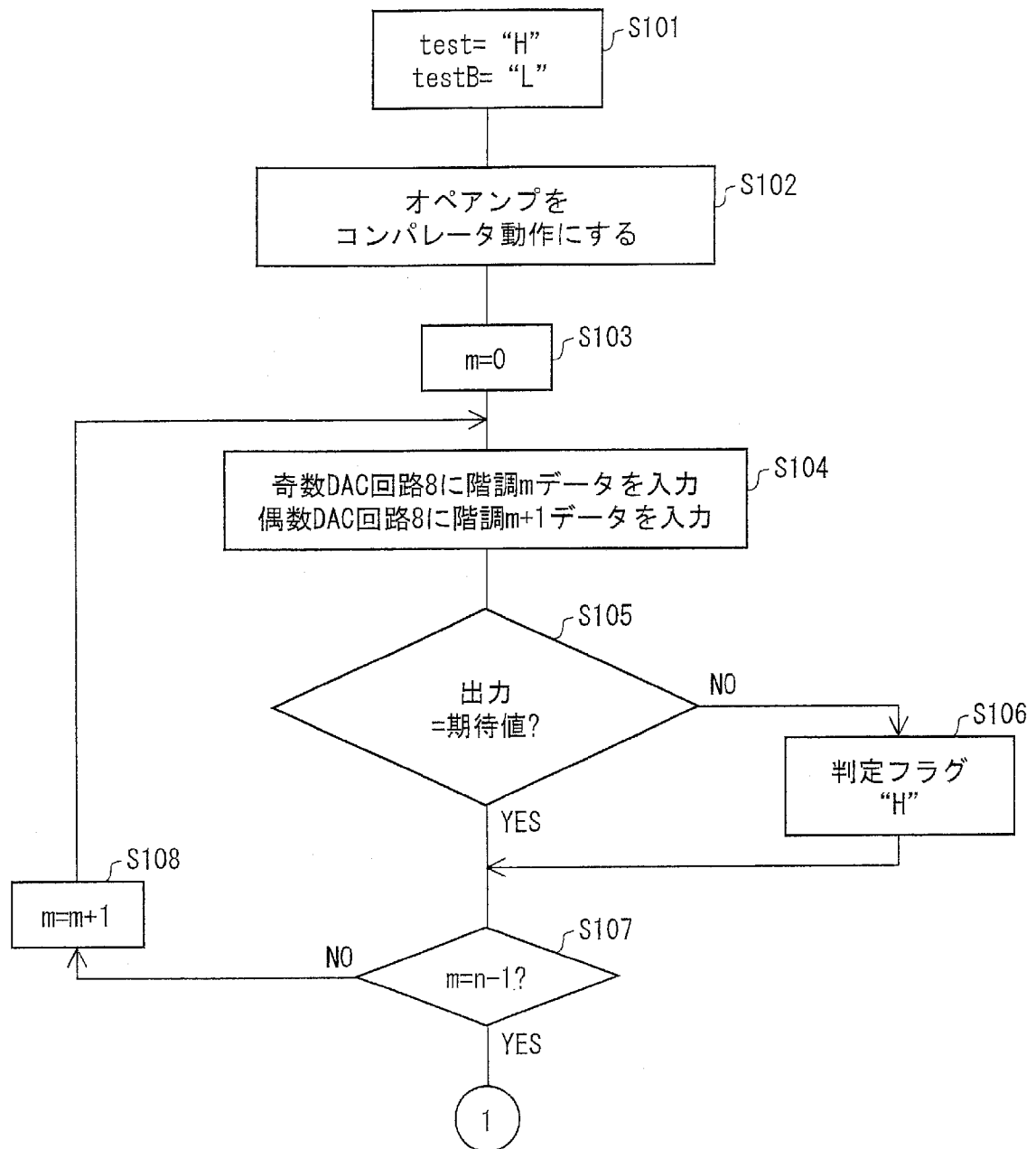




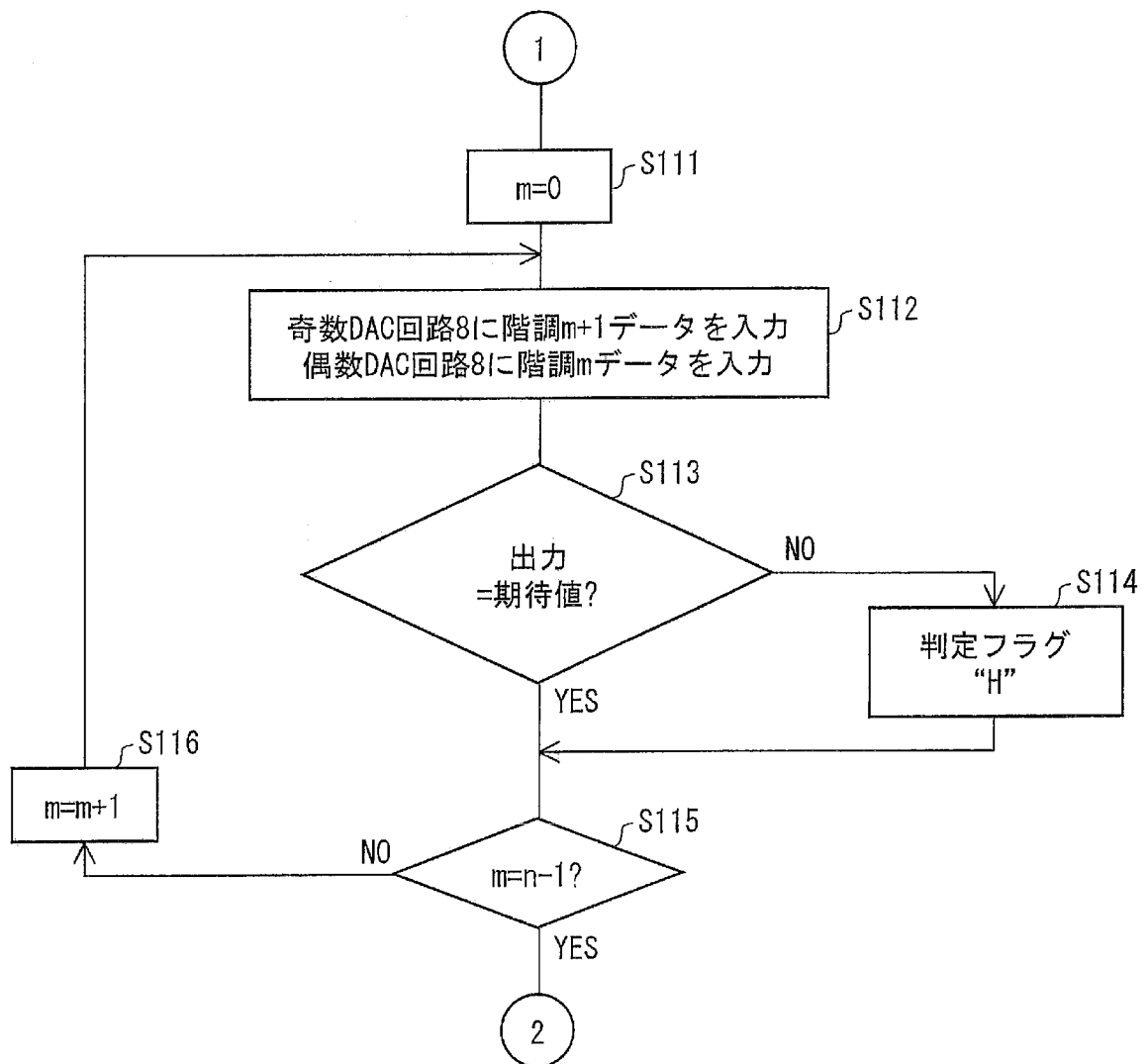
[図16]



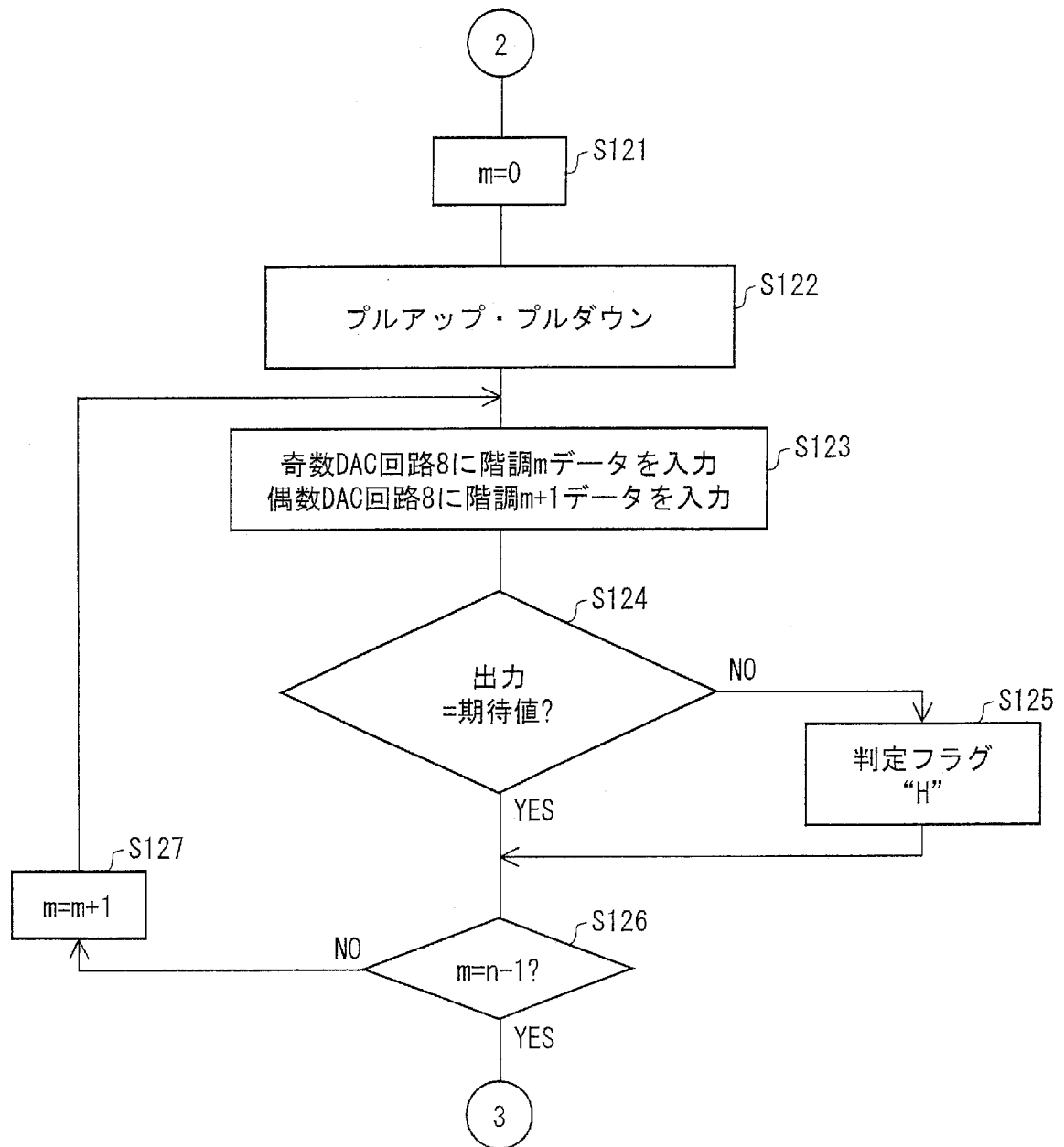
[図17]



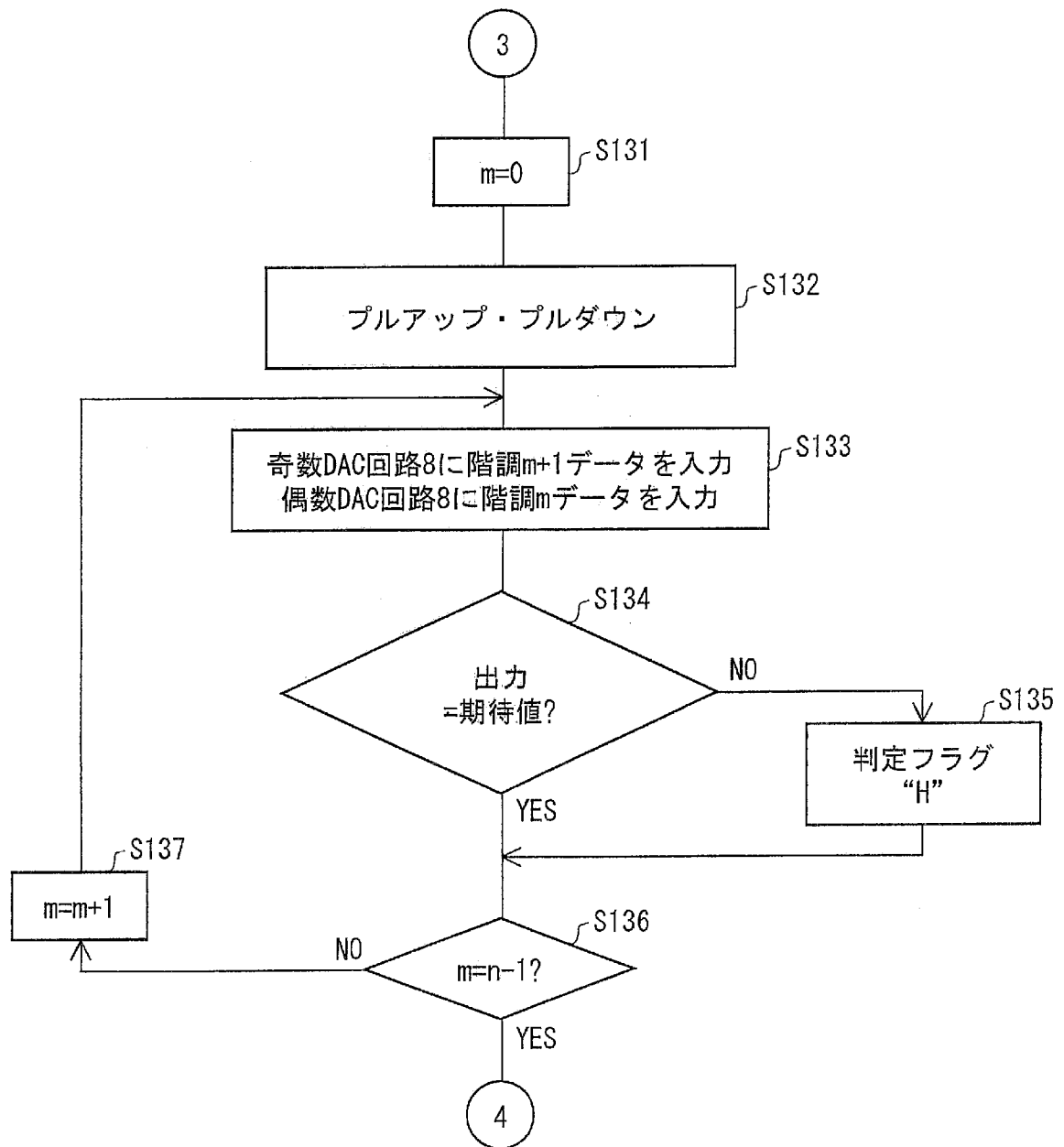
[図18]



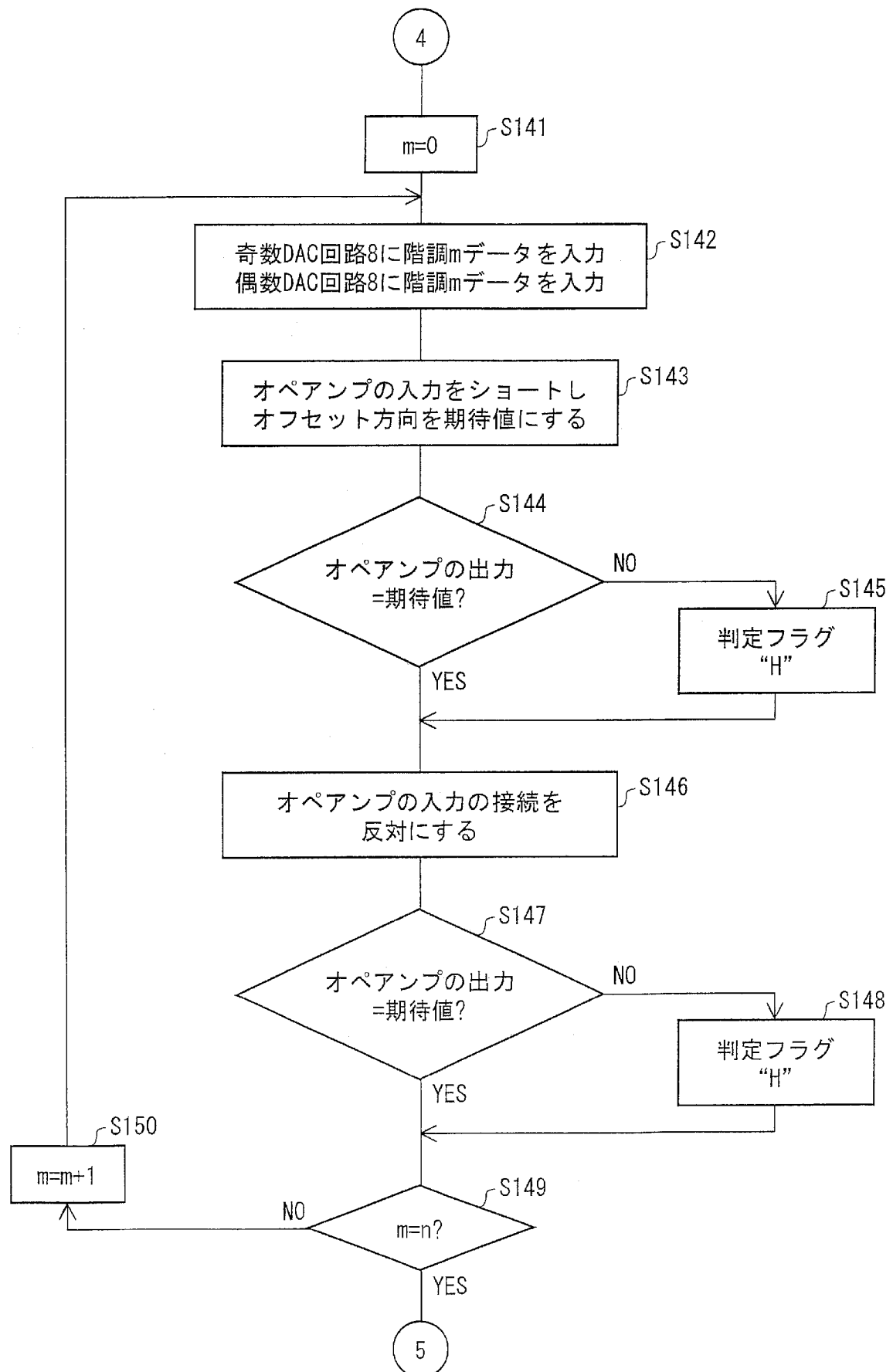
[図19]



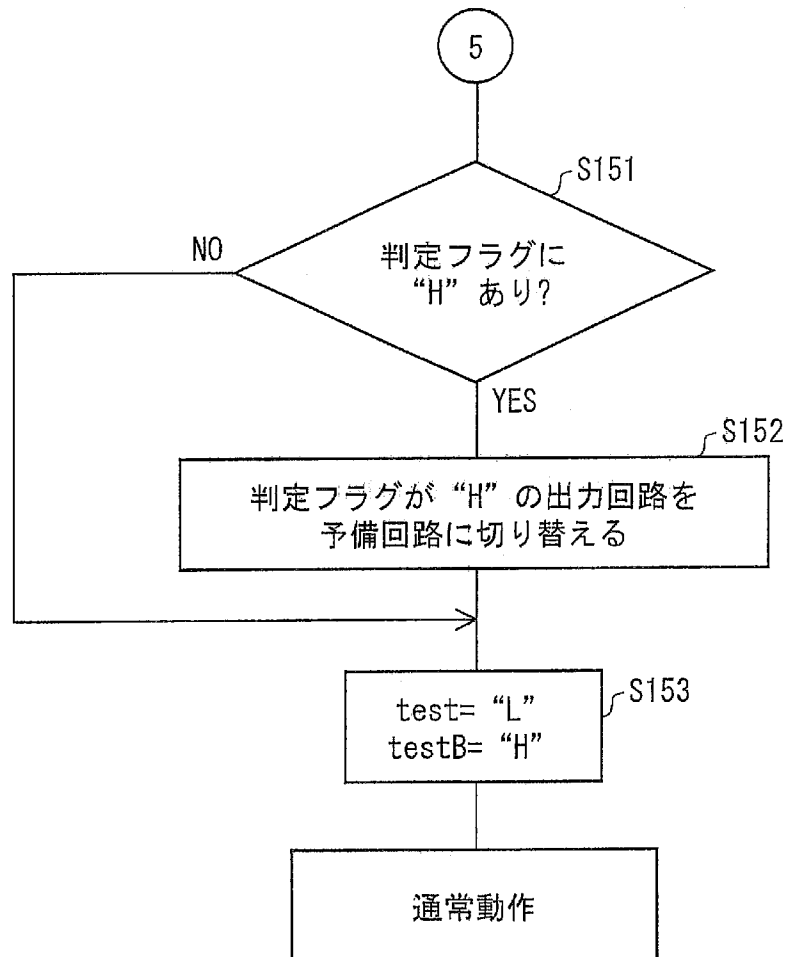
[図20]



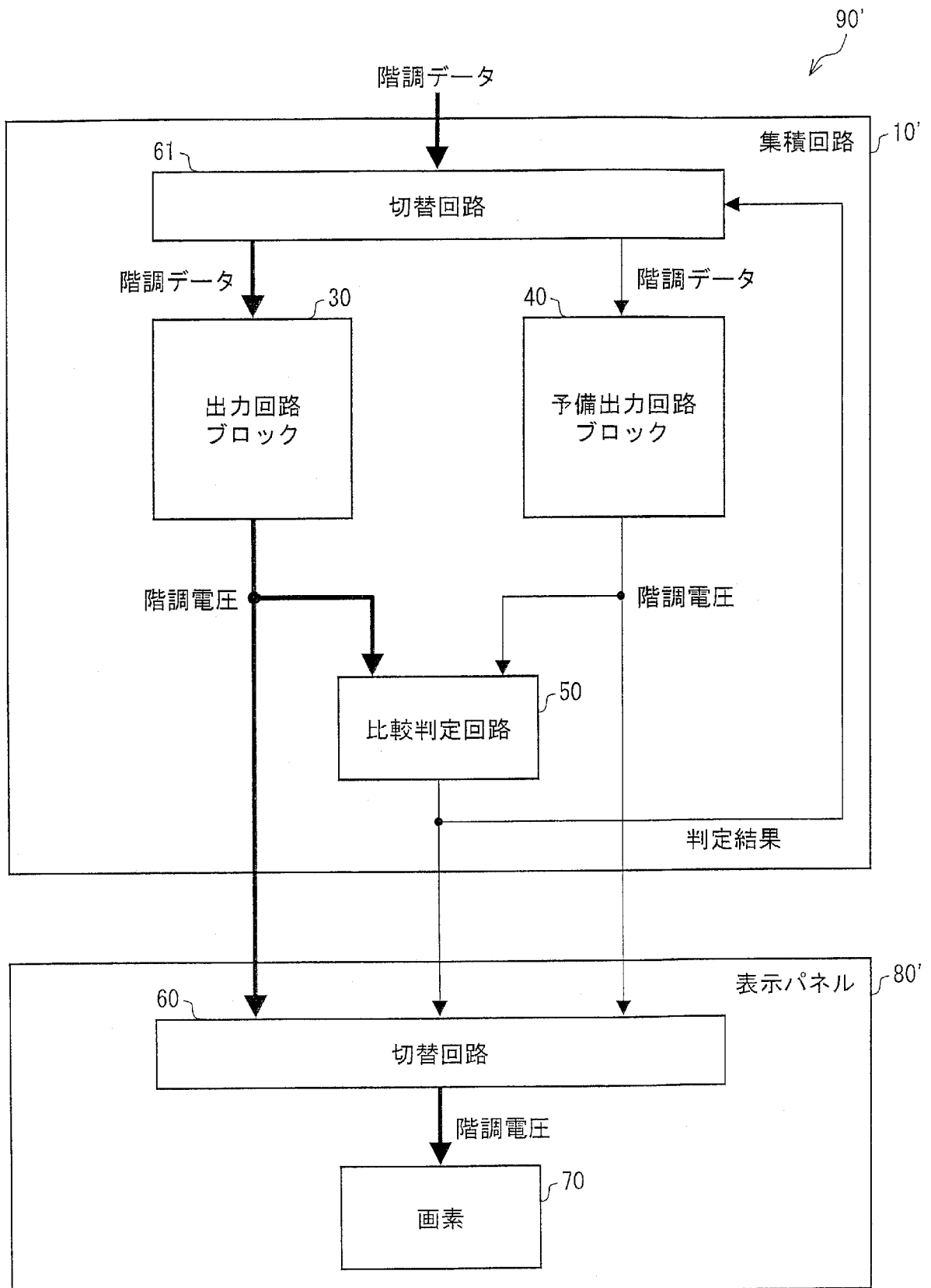
[図21]



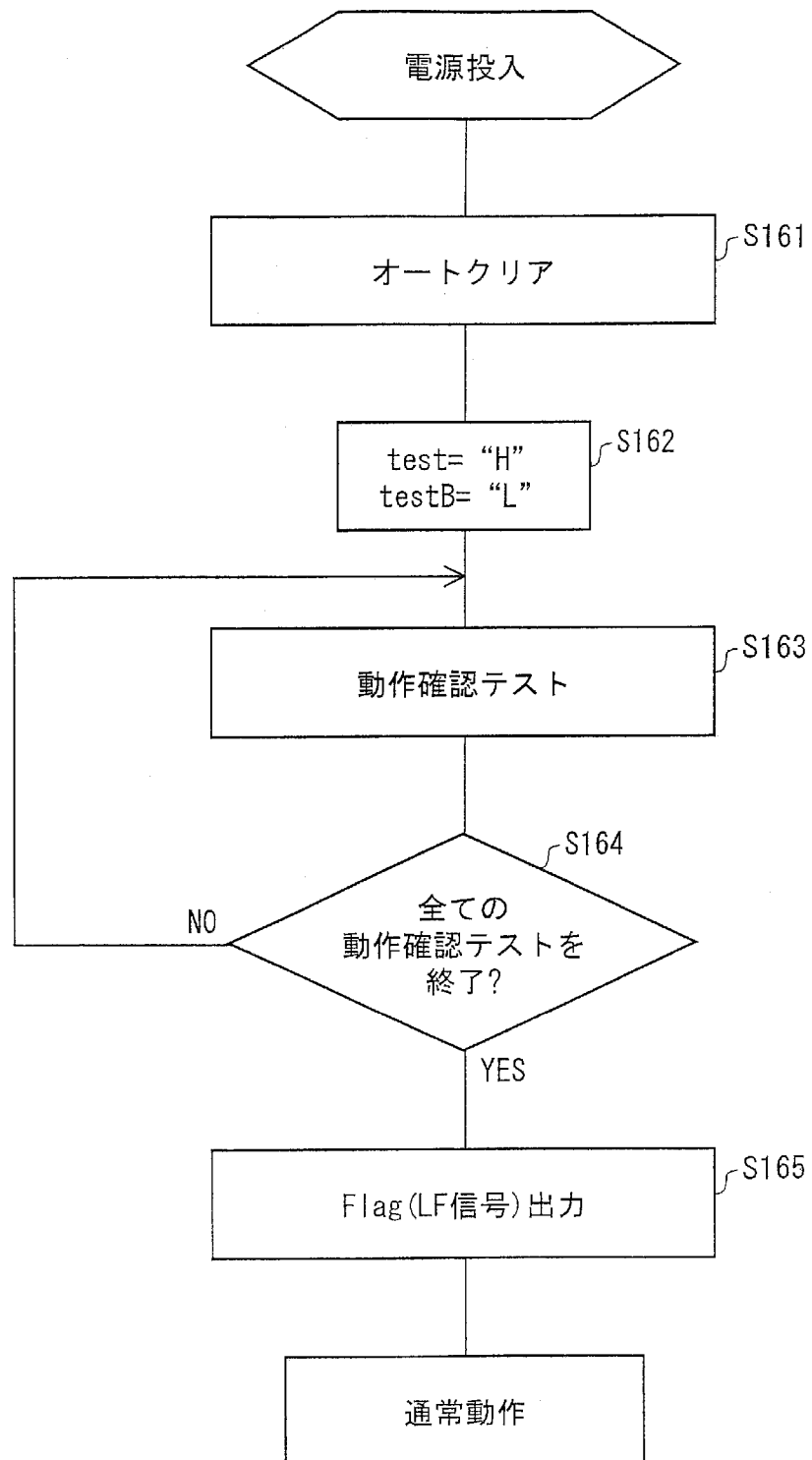
[図22]



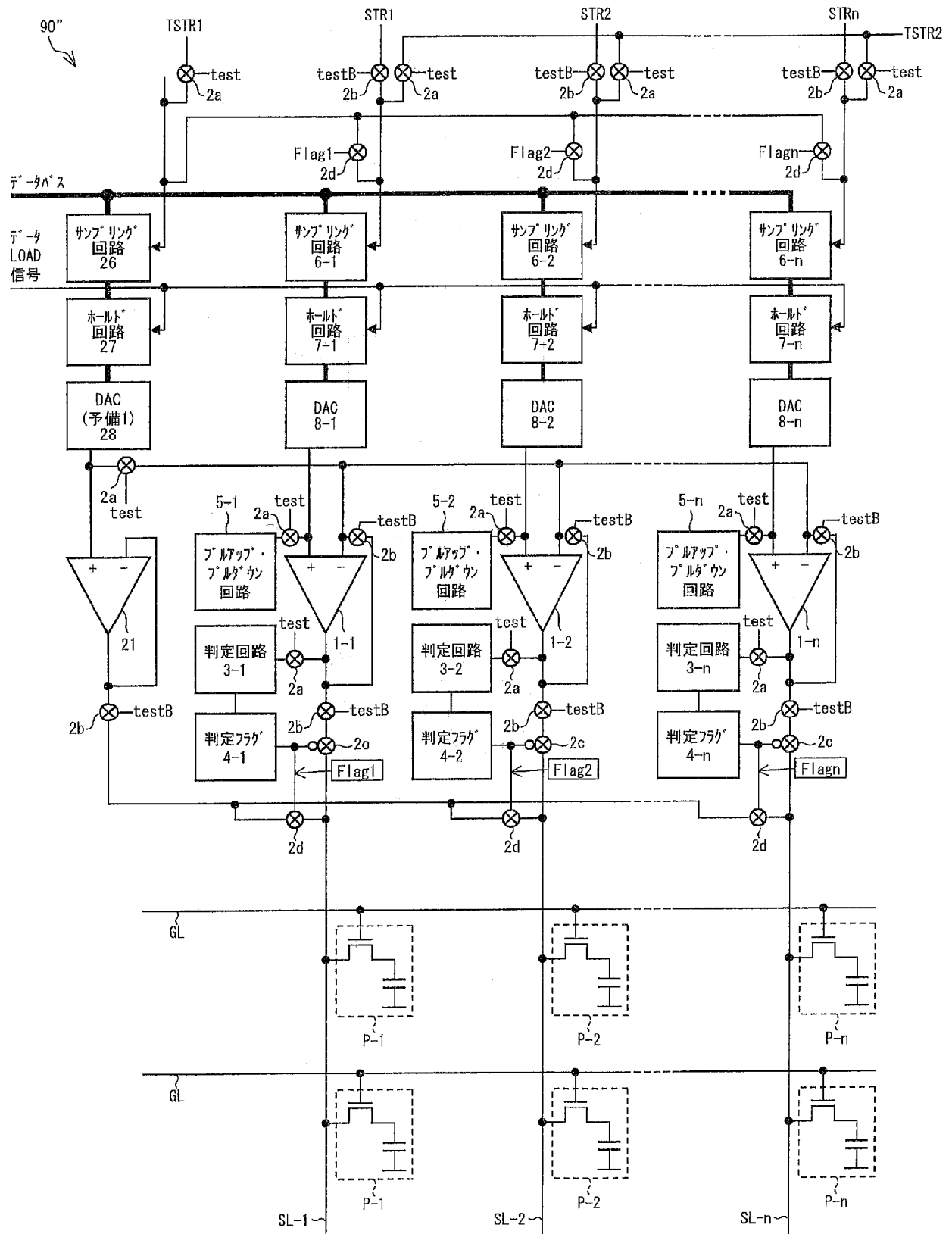
[図23]



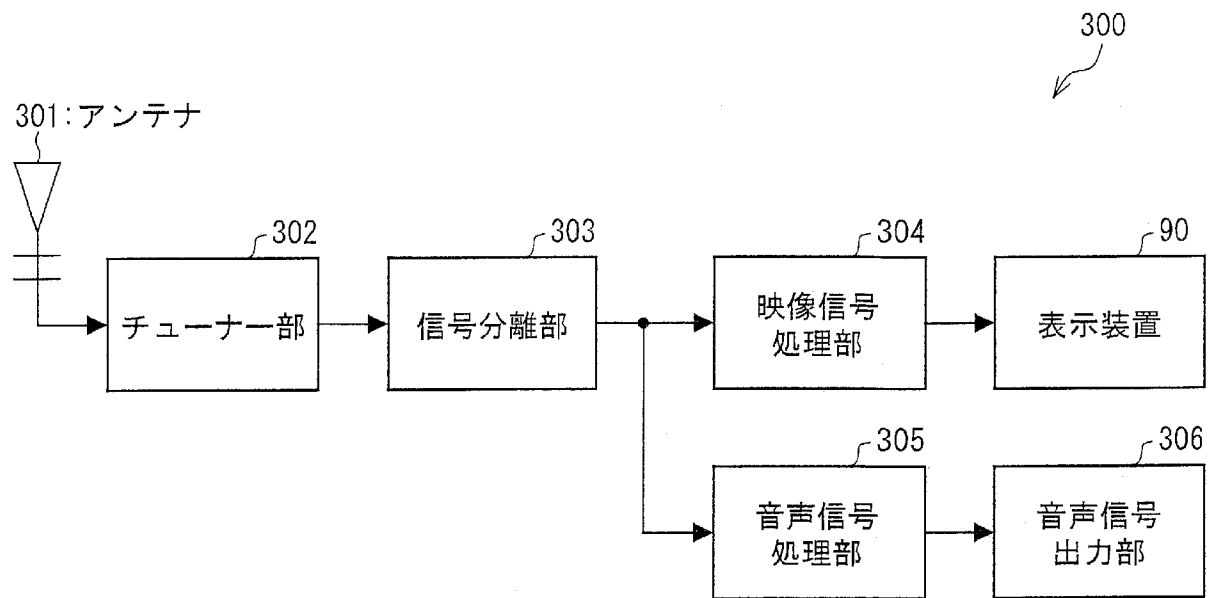
[図25]



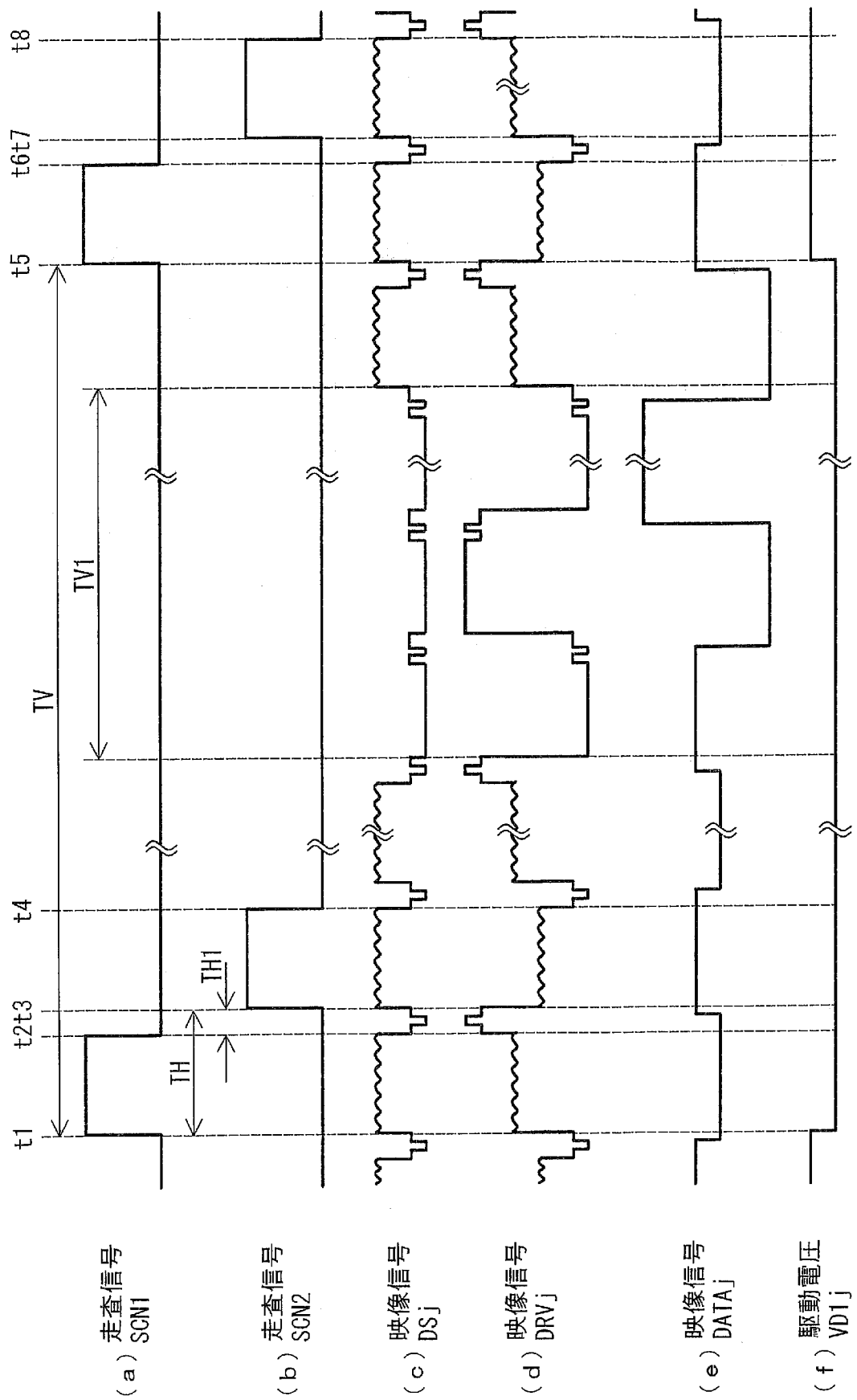
[図26]



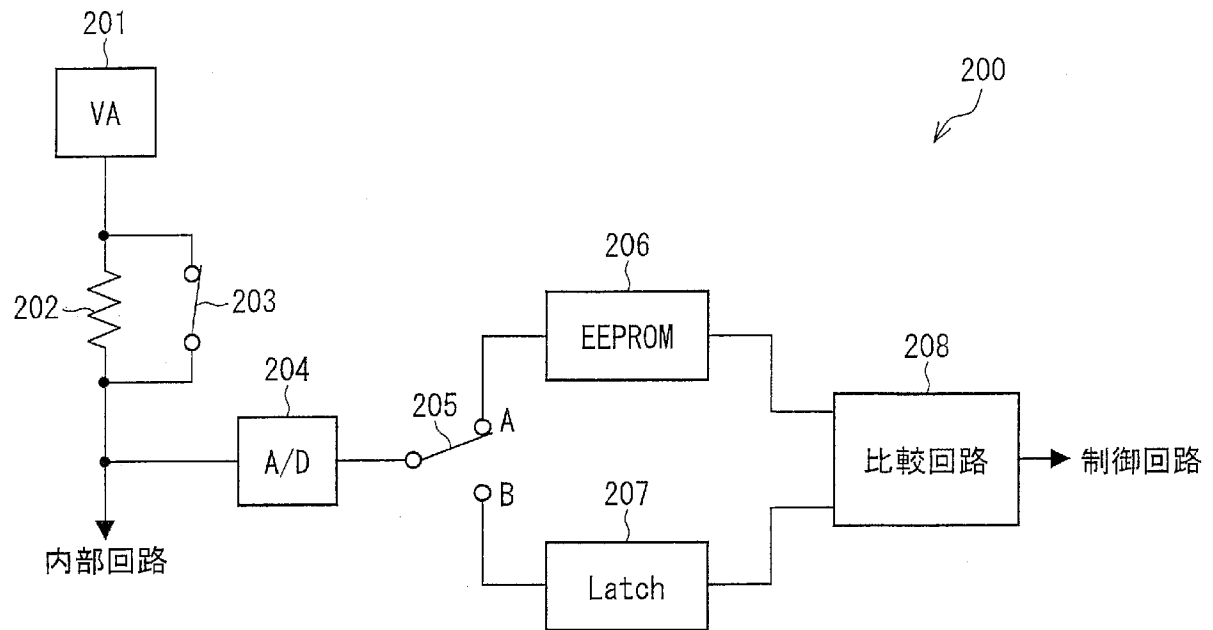
[図27]



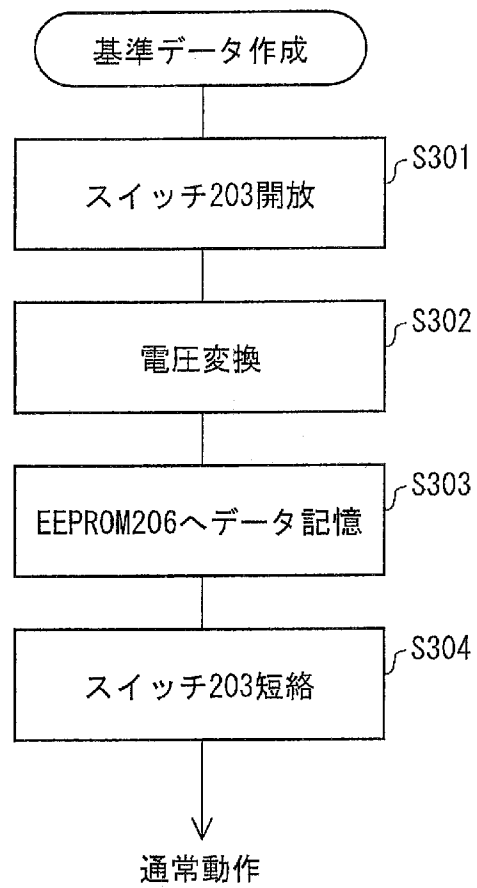
[図28]



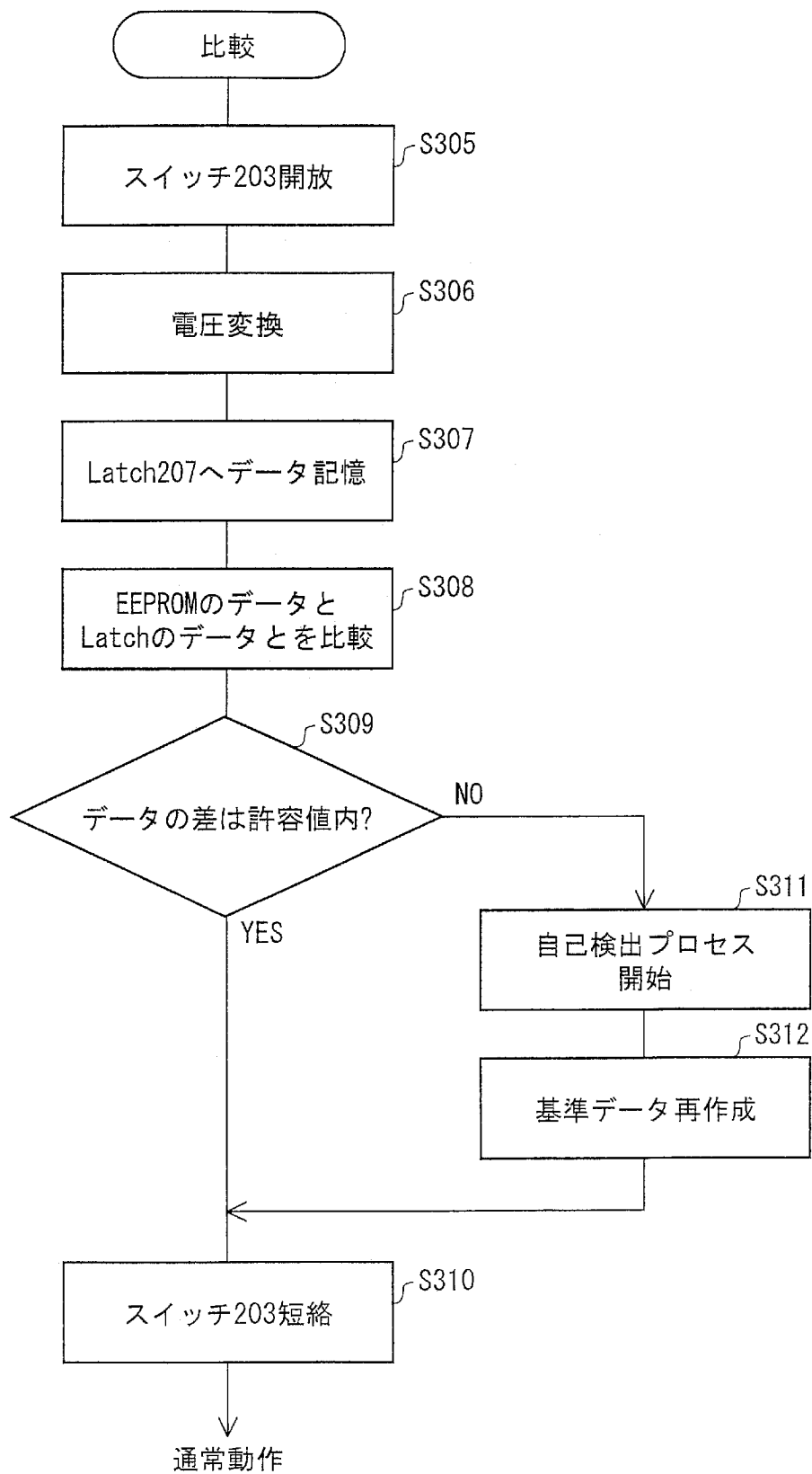
[図29]



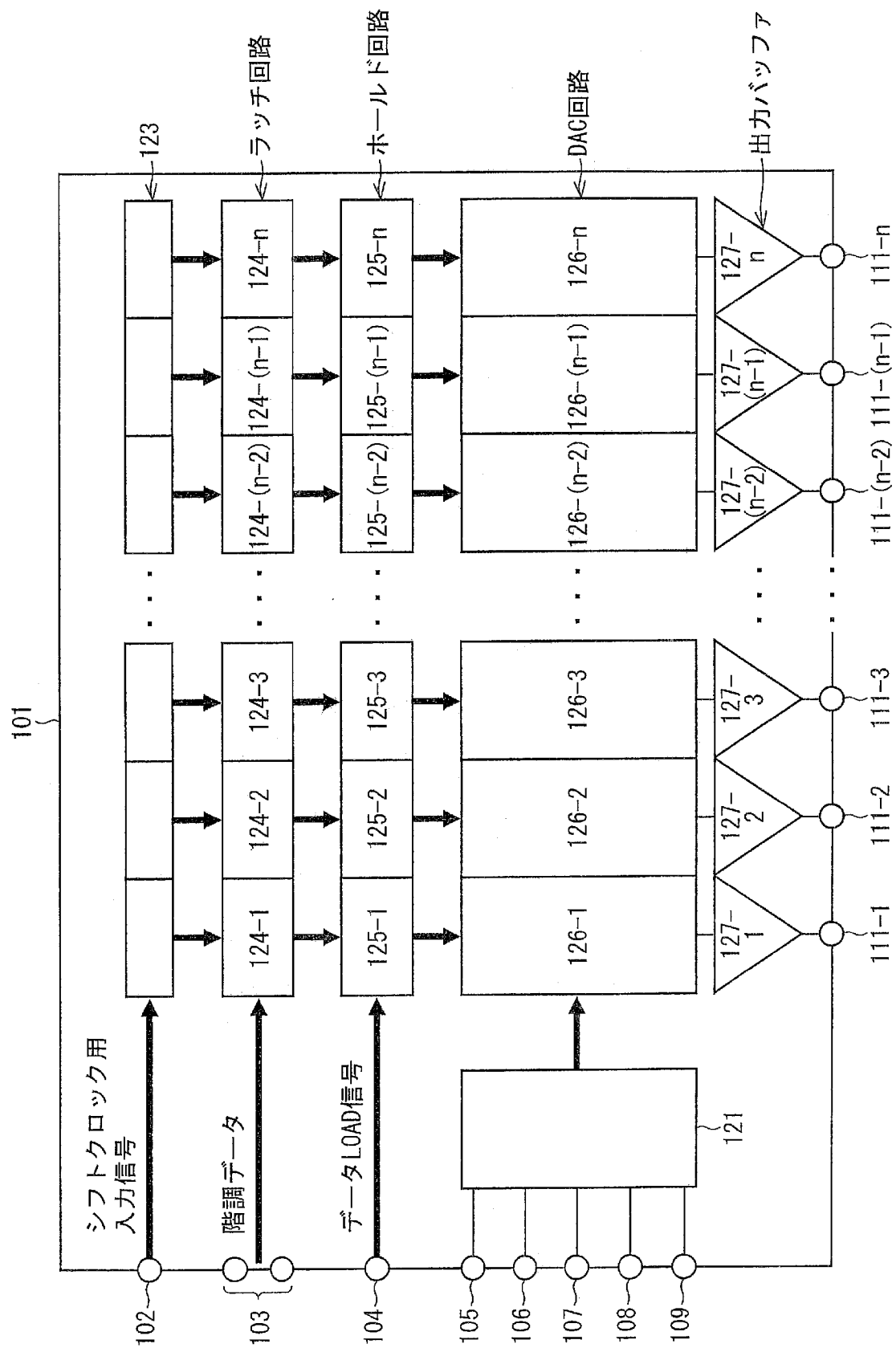
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/069697

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/13(2006.01)i, G02F1/133(2006.01)i, G09G3/20
(2006.01)i, G09G5/00(2006.01)i, H04N5/66(2006.01)i, H04N17/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-5/40, G02F1/13-1/133, H04N5/66, H04N17/04, G01R31/00, G01R31/26,
G01R31/28-31/3193, H03M1/00-1/88

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-339861 A (Sharp Corp.), 22 December 1998 (22.12.1998), entire text; fig. 1 to 10 & US 5923512 A & GB 9705436 D	1-19
A	JP 2002-43943 A (Toshiba Corp.), 08 February 2002 (08.02.2002), entire text; fig. 1 to 8 (Family: none)	1-19
A	JP 2008-139861 A (Toshiba Matsushita Display Technology Co., Ltd.), 19 June 2008 (19.06.2008), paragraph [0349] & US 2008/0111773 A1 & KR 10-2008-0042751 A	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 December, 2009 (08.12.09)

Date of mailing of the international search report
15 December, 2009 (15.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/13(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i,
G09G5/00(2006.01)i, H04N5/66(2006.01)i, H04N17/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00-5/40, G02F1/13-1/133, H04N5/66, H04N17/04, G01R31/00, G01R31/26, G01R31/28-31/3193,
H03M1/00-1/88

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-339861 A（シャープ株式会社）1998.12.22, 全文, 図 1 - 1 0 & US 5923512 A & GB 9705436 D	1-19
A	JP 2002-43943 A（株式会社東芝）2002.02.08, 全文, 図 1 - 8 (ファミリーなし)	1-19

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 1 2 . 2 0 0 9

国際調査報告の発送日

1 5 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

中 村 直 行

2 G

9 2 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-139861 A (東芝松下ディスプレイテクノロジー株式会社) 2008. 06. 19, 段落【0 3 4 9】 & US 2008/0111773 A1 & KR 10-2008-0042751 A	1-19