

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6069054号
(P6069054)

(45) 発行日 平成29年1月25日 (2017. 1. 25)

(24) 登録日 平成29年1月6日 (2017. 1. 6)

(51) Int. Cl.

F I

H O 1 L 27/115 (2017. 01)

H O 1 L 27/10 4 3 4

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006. 01)

H O 1 L 27/10 4 8 1

H O 1 L 29/792 (2006. 01)

H O 1 L 27/10 4 3 1

H O 1 L 27/10 (2006. 01)

G 1 1 C 17/00 6 2 2 Z

請求項の数 6 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2013-57328 (P2013-57328)
 (22) 出願日 平成25年3月19日 (2013. 3. 19)
 (65) 公開番号 特開2014-183233 (P2014-183233A)
 (43) 公開日 平成26年9月29日 (2014. 9. 29)
 審査請求日 平成28年1月14日 (2016. 1. 14)

(73) 特許権者 511229547
 株式会社フローディア
 東京都小平市小川東町1丁目30番9号
 (74) 代理人 100137800
 弁理士 吉田 正義
 (74) 代理人 100148253
 弁理士 今枝 弘充
 (74) 代理人 100148079
 弁理士 梅村 裕明
 (72) 発明者 谷口 泰弘
 東京都小平市小川東町1丁目29番9号
 株式会社フローディア内
 (72) 発明者 奥山 幸祐
 東京都小平市小川東町1丁目29番9号
 株式会社フローディア内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

基板上にゲート絶縁膜を介してゲート電極が設けられた単層ゲート構造のメモリトランジスタを1または複数備えた不揮発性半導体記憶装置であって、

前記メモリトランジスタは、

前記基板の表面に形成されたソース領域およびドレイン領域と、

前記基板上に設けられ、前記ゲート電極および前記ドレイン領域間に配置されたキャリア蓄積領域とを備えており、

前記基板の表面には、前記ドレイン領域と接し、かつ前記キャリア蓄積領域と対向した領域に、前記ゲート電極下部のチャンネル領域と前記ソース領域との間の抵抗値よりも高い抵抗値を有した高抵抗領域が形成されており、

前記ソース領域に書き込みソース電圧を印加し、前記ゲート電極に電圧を印加してチャンネルをオンし、前記チャンネル領域および前記高抵抗領域に電流を流すことにより、前記高抵抗領域に強電界を発生させ、前記ドレイン領域内のキャリアを、前記強電界で加速させて前記キャリア蓄積領域に注入する

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記書き込みソース電圧は、前記ドレイン領域に印加される電圧よりも高い

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

10

20

前記基板には、前記ソース領域に接してエクステンション領域が形成されており、前記高抵抗領域は、該エクステンション領域よりも不純物濃度が低く形成されていることを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記高抵抗領域は、前記ドレイン領域から前記チャネル領域の一部に亘って形成されている

ことを特徴とする請求項 1 ~ 3 のうちいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 5】

前記ドレイン領域に接続されたビット線に読み出し電圧を印加し、前記ゲート電極に電圧が印加されてチャネルが形成されたときの前記読み出し電圧の変化から、前記キャリア蓄積領域にキャリアが注入されているか否かを判断する

10

ことを特徴とする請求項 1 ~ 4 のうちいずれか 1 項記載の不揮発性半導体記憶装置。

【請求項 6】

前記メモリトランジスタは、

ゲート絶縁膜の膜厚が、前記メモリトランジスタを制御する周辺トランジスタのうち最も薄いゲート絶縁膜の膜厚と同じに選定されている

ことを特徴する請求項 1 ~ 5 のうちいずれか 1 項記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は、不揮発性半導体記憶装置に関し、例えばゲート電極側部のサイドウォール内に形成されたキャリア蓄積領域にキャリアを注入させることで、データを書き込み得るメモリトランジスタを備えた不揮発性半導体記憶装置に適用して好適なものである。

【背景技術】

【0002】

近年、標準的な CMOS (Complementary Metal Oxide Semiconductor) プロセスにより容易に製造できる不揮発性半導体記憶装置の研究が盛んに行われている。このような不揮発性半導体記憶装置としては、データを複数回書き込むことができる MTP (Multiple Time PROM) と、データを 1 回限り書き込むことができる OTP (One Time PROM) とが知られている。

30

【0003】

例えば MTP の不揮発性半導体記憶装置としては特許文献 1 に示すような不揮発性半導体記憶装置が知られている。ここで特許文献 1 では、サイドウォール内にキャリア蓄積領域を備えており、当該キャリア蓄積領域にキャリアを注入することによりデータの書き込みを行い、当該キャリア蓄積領域からキャリアを引き抜くことによりデータの消去を行え得るようになされている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 142398 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 では、データ書き込みや消去が繰り返し行える点が開示されているものの、サイドウォール内のキャリア蓄積領域に一度注入されたキャリアを実際に引く抜くことは困難であり、1 回限りデータを書き込める OTP として使用されることが現実的である。

【0006】

また、特許文献 1 における不揮発性半導体記憶装置では、サイドウォール内のキャリア蓄積領域にキャリアを注入するために 5 ~ 7 [V] の電圧をゲート電極等に印加する必要がある

50

り、その分、ゲート絶縁膜の膜厚を厚く形成する必要があるためセルサイズが大きくなるという問題があった。また、特許文献1における不揮発性半導体記憶装置では、このような高電圧をビット線単位で制御しなければならないため、これらメモリトランジスタを制御する周辺トランジスタも5~7[V]の高電圧に耐え得るようにゲート絶縁膜の膜厚を厚くした高耐圧素子で作製せざるを得ず、コアMOS（例えば1.5[V]-MOS）のみで構成できるOTPの不揮発性半導体記憶装置に比べ、回路構成全体が大きくなるという問題があった。

そこで、本発明は以上の点を考慮してなされたもので、回路構成を従来よりも小型化し得る不揮発性半導体記憶装置を提案することを目的とする。

【課題を解決するための手段】

10

【0007】

かかる課題を解決するため本発明の不揮発性半導体記憶装置は、基板上にゲート絶縁膜を介してゲート電極が設けられた単層ゲート構造のメモリトランジスタを1または複数備えた不揮発性半導体記憶装置であって、前記メモリトランジスタは、前記基板の表面に形成されたソース領域およびドレイン領域と、前記基板上に設けられ、前記ゲート電極および前記ドレイン領域間に配置されたキャリア蓄積領域とを備えており、前記基板の表面には、前記ドレイン領域と接し、かつ前記キャリア蓄積領域と対向した領域に、前記ゲート電極下部のチャンネル領域と前記ソース領域との間の抵抗値よりも高い抵抗値を有した高抵抗領域が形成されていることを特徴とする。

【発明の効果】

20

【0008】

本発明によれば、データ書き込み時、高抵抗領域でのみ電圧降下を生じさせ、高抵抗領域に発生した強電界を利用してソースサイド注入によりドレイン領域内のキャリアを、高抵抗領域を介してキャリア蓄積領域に注入できる。従って、本発明の不揮発性半導体記憶装置では、データ書き込み時、高抵抗領域にて電圧降下を生じさせればよく、ビット線やゲート電極に印加する電圧値を従来よりも低減し得、その分、ゲート絶縁膜の膜厚や、当該メモリトランジスタを制御する周辺トランジスタのゲート絶縁膜の膜厚も薄くでき、かくして、回路構成を従来よりも小型化し得る。

【図面の簡単な説明】

【0009】

30

【図1】本発明の不揮発性半導体記憶装置の回路構成と、データ書き込み時における各部位の電圧値を示す回路図である。

【図2】メモリトランジスタおよび周辺トランジスタの断面構造を示す側断面図である。

【図3】ソース電圧を1.5[V]としたときのデータ書き込み時における各部位の電圧値を示す回路図である。

【図4】データの読み出し時における各部位の電圧値を示す回路図である。

【図5】他の実施の形態によるメモリトランジスタの断面構造を示す側断面図である。

【発明を実施するための形態】

【0010】

以下図面に基づいて本発明の実施の形態を詳述する。

40

【0011】

(1) 不揮発性半導体記憶装置の回路構成

図1において、1は例えばN型MOS（Metal Oxide Semiconductor）構造でなる4つのメモリトランジスタ2a, 2b, 2c, 2dが2行2列に配置された不揮発性半導体記憶装置を示し、これらメモリトランジスタ2a, 2b, 2c, 2dのうち、例えば任意に選択されたメモリトランジスタ2aに対しソースサイド注入によってデータを書き込み得るようになされている。ここで、この不揮発性半導体記憶装置1は、各メモリトランジスタ2a, 2b, 2c, 2dに対してデータを1回限り書き込み可能なOTPであり、例えばメモリトランジスタ2aに一度書き込まれたデータは消去し得ないように構成されている。

【0012】

50

この場合、不揮発性半導体記憶装置1は、2本のビット線BL1, BL2が設けられているとともに、2本のワード線WL1, WL2が設けられており、ビット線BL1, BL2およびワード線WL1, WL2が交差する位置にメモリトランジスタ2a, 2b, 2c, 2dが配置されている。また、不揮発性半導体記憶装置1は、1本のソース線SLがメモリトランジスタ2a, 2b, 2c, 2dに接続されており、当該ソース線SLによって各メモリトランジスタ2a, 2b, 2c, 2dに所定の電圧を一律に印加し得るようになされている。

【0013】

この実施の形態の場合、これらメモリトランジスタ2a, 2b, 2c, 2dは全て同一構成を有していることから、説明の重複を避けるため、以下1つのメモリトランジスタ2aに着目して説明する。メモリトランジスタ2aには、一方向に並ぶ他のメモリトランジスタ2bに接続されたワード線WL1がゲート電極に接続されているとともに、他方向に並ぶ他のメモリトランジスタ2cに接続されたビット線BL1が一端に接続され、ソース線SLが他端に接続されている。

10

【0014】

また、このメモリトランジスタ2aは、ワード線WL1が接続されるゲート電極と、ビット線BL1が接続される一端との間に電荷（電子）が注入可能なキャリア蓄積領域5を備えており、ワード線WL1、ビット線BL1およびソース線SLに印加される電圧が調整されることで、ソースサイド注入によりキャリア蓄積領域5に電荷を注入してデータを書き込み可能に構成されている。

【0015】

20

不揮発性半導体記憶装置1には、行列状に配置されたメモリトランジスタ2a, 2b, 2c, 2dに、N型MOS構造の周辺トランジスタ（図示せず）が接続されており、当該周辺トランジスタによってこれらメモリトランジスタ2a, 2b, 2c, 2dを制御し得るようになされている。

【0016】

ここで、図2は、図1に示したメモリトランジスタ2aと周辺トランジスタ11の側断面構成を示す断面図である。メモリトランジスタ2aには、シリコンでなる基板6の表面にソース領域S1とドレイン領域D1とが間隔を空けて形成されており、一端にあるドレイン領域D1にビット線BL1が接続されているとともに、他端にあるソース領域S1にソース線SLが接続されている。

【0017】

30

また、ソース領域S1およびドレイン領域D1間の基板6の表面には、ソース領域S1の側面と接するようにエクステンション領域ET1が形成され、このエクステンション領域ET1およびドレイン領域D1間にチャネル領域CH1と高抵抗領域CH2とが形成されている。

【0018】

メモリトランジスタ2aは、ソース領域S1およびドレイン領域D1間にゲート絶縁膜8aを介してゲート電極G1が形成された単層ゲート構造からなり、このゲート電極G1にワード線WL1が接続された構成を有する。また、メモリトランジスタ2aには、ゲート電極G1の両側部にサイドウォール7が形成されており、一方のサイドウォール7と対向するようにして基板6の表面に高抵抗領域CH2が配置され、他方のサイドウォール7と対向するようにして基板6の表面にエクステンション領域ET1が配置されている。

40

【0019】

實際上、サイドウォール7は、シリコン酸化物からなる絶縁層8bと、窒化膜等の電荷が蓄積可能なキャリア蓄積領域5と、シリコン酸化物に不純物がドーピングされた不純物絶縁層9とから構成されており、ゲート電極G1および基板6の表面に沿って形成された絶縁層8b上にキャリア蓄積領域5および不純物絶縁層9が順に配置され得る。このようなサイドウォール7には、データ書き込み時、ソースサイド注入によって、ドレイン領域D1内の電荷が高抵抗領域CH2を介してキャリア蓄積領域5に注入され得るようになされている。

【0020】

實際上、この実施の形態の場合、高抵抗領域CH2は、基板6の表面において、ドレイン領域D1から、キャリア蓄積領域5の下部領域を通してゲート電極G1の下部領域の一部にまで

50

形成されている。ここで本発明は、メモリトランジスタ2aにおいて、高抵抗領域CH2がエクステンション領域ET1よりも不純物濃度が低濃度に選定され、高抵抗領域CH2がエクステンション領域ET1の抵抗値よりも高い抵抗値を有している点に特徴を有する。例えば、この実施の形態の場合、高抵抗領域CH2は、不純物ドーパ量が $1E18/cm^3$ 以下であることが好ましい。

【0021】

このような構成を有するメモリトランジスタ2aは、後述するデータ書き込み時に、ソース線SLおよびビット線BL1間で大きな電位差が生じたとき、抵抗値を高くした高抵抗領域CH2で最も大きな電位降下が生じ、高抵抗領域CH2にて高電界を発生させてソースサイド注入によりドレイン領域D1内の電荷を、高抵抗領域CH2を介してキャリア蓄積領域5に注入し得るように構成されている。

10

【0022】

次に、これらメモリトランジスタ2a,2b,2c,2dを制御する周辺トランジスタ11の構成について以下説明する。周辺トランジスタ11は、メモリトランジスタ2a,2b,2c,2dに電氣的に接続されたN型MOS構造を含み、シリコンでなる基板6にソース領域S2およびドレイン領域D2が間隔を空けて形成されている。ソース領域S2およびドレイン領域D2間の基板6表面には、これらソース領域S2およびドレイン領域D2の各側面に接するようにエクステンション領域ET2,ET3がそれぞれ形成されており、エクステンション領域ET2,ET3間のチャネル領域CH3上にゲート絶縁膜8aを介してゲート電極G2が形成されている。

20

【0023】

また、これらエクステンション領域ET2,ET3の上面には、ゲート電極G2の両側部を覆うようにしてサイドウォール12が形成されている。なお、サイドウォール12は、シリコン酸化物からなる絶縁層8bと、窒化膜層13と、シリコン酸化物に不純物がドーパされた不純物絶縁層9とから構成されており、ゲート電極G2および基板6の表面に沿って形成された絶縁層8b上に窒化膜層13および不純物絶縁層9が順に配置され得る。

【0024】

この実施の形態の場合、周辺トランジスタ11は、ゲート絶縁膜8aの膜厚が8[nm]以下に選定されており、不揮発性メモリで一般的に用いられているゲート絶縁膜が薄いコアMOS構造を有する。本発明の不揮発性半導体記憶装置1は、データ書き込み時およびデータ読み出し時（後述する）に、メモリトランジスタ2a,2b,2c,2dに対して印加する電圧値を低減し得ることから、これらメモリトランジスタ2a,2b,2c,2dと電氣的に接続された周辺トランジスタ11を、例えば厚さ12[nm]といった高耐圧素子とする必要がなく、周辺トランジスタ11のゲート絶縁膜8aも薄く形成し得、高耐圧素子を用いない分、全体として回路構成を小型化し得る。

30

【0025】

なお、メモリトランジスタ2a,2b,2c,2dを制御する周辺トランジスタ11が複数あり、周辺トランジスタ11のゲート絶縁膜8aの膜厚が同じではない場合、これらメモリトランジスタ2a,2b,2c,2dは、ゲート絶縁膜8aの膜厚を、周辺トランジスタ11のゲート絶縁膜8aのうち最も薄いゲート絶縁膜8aの膜厚と同じに選定することもできる。

【0026】

40

因みに、これらメモリトランジスタ2a,2b,2c,2dおよび周辺トランジスタ11は、一般的なCMOSの製造プロセスである成膜工程や、レジスト工程、露光現像工程、エッチング工程、不純物注入工程、レジスト剥離工程等の各工程を行うことにより作製できるため、ここではその製造方法について省略する。

【0027】

(2) データの書き込み動作

(2-1) 基本的な電圧設定によるデータの書き込み動作

次に本発明の不揮発性半導体記憶装置1においてデータの書き込み動作について以下説明する。図1は、複数のメモリトランジスタ2a,2b,2c,2dのうち、1行1列目のメモリトランジスタ2aにのみデータを書き込む際の各部位の電圧値を示している。なお、ここでは、

50

データの書き込みが行われるメモリトランジスタ2aを選択メモリ3aと呼び、データの書き込みを行わないメモリトランジスタ2b, 2c, 2dを非選択メモリ3bと呼ぶ。

【0028】

この場合、図1に示すように、不揮発性半導体記憶装置1は、メモリトランジスタ2a, 2b, 2c, 2dのソース領域S1にソース線SLを介して1.5Vから4V程度（図1では一例として4[V]）の書き込みソース電圧が印加され得る。また、選択メモリ3aに接続されたワード線WL1には、ソース線SLの書き込みソース電圧以上の電圧、即ち1.5～4.5[V]程度（図1では一例として4.5[V]）の書き込みゲート電圧（ソース線SLの書き込みソース電圧をSLV、ワード線WL1の書き込みゲート電圧をWL1Vとした場合、SLV WL1V）が印加され、当該選択メモリ3aが接続されたビット線BL1には0[V]の書き込み電圧が印加される。なお、選択メモリ3aのドレイン領域D1に印加する電圧を電流によって制御する場合には、選択メモリ3aに接続されたビット線BL1に例えば5[μA]の定電流が供給され得る。

10

【0029】

このように選択メモリ3aは、図2に示したように、ソース線SLを介して4[V]の書き込みソース電圧がソース領域S1に印加されるとともに、ワード線WL1を介して4.5[V]の書き込みゲート電圧がゲート電極G1に印加されることでオン状態となりチャネル領域CH1および高抵抗領域CH2に電流が流れる状態となり得る。選択メモリ3aでは、ビット線BL1を介して0[V]の書き込み電圧が印加されるか、或いは5[uA]の定電流が供給されると、チャネル領域CH1とドレイン領域D1との間にある高抵抗領域CH2にて高い電圧差が生じて強電界が発生する。

20

【0030】

これにより選択メモリ3aでは、高抵抗領域CH2で発生した強電界によりドレイン領域D1内の電荷（キャリア）を高抵抗領域CH2内にて加速させ、当該電荷および、それから発生した2次電荷の一部をサイドウォール7内のキャリア蓄積領域5に注入させ得る。その結果、選択メモリ3aでは、キャリア蓄積領域5中に電荷が蓄積して、データが書き込まれた状態となり得る。

【0031】

このように選択メモリ3aでは、データ書き込み時、高抵抗領域CH2にて強電界を発生させることで、この強電界によって電荷をキャリア蓄積領域5に注入し得、単層ゲート構造でソースサイド注入によるデータ書き込みを実現し得る。

30

【0032】

また、高抵抗領域CH2では、不純物濃度を低濃度として高い抵抗値を有しており、データ書き込み時、大きな電圧降下が生じるものの、書き込みゲート電圧が1.5～4.5[V]の低電圧に選定できることから、選択メモリ3aを制御する周辺トランジスタ11を高耐圧素子とする必要がない。かくして、周辺トランジスタ11としては、ゲート絶縁膜8aの膜厚を例えば8[nm]以下に形成し得、メモリセルの制御専用の高耐圧素子を用いる必要がなく、メモリ以外の動作に用いられる一般的な素子、例えば入出力電圧が3.3[V]の場合には、それを制御するための7[nm]から8[nm]程度のゲート絶縁膜からなる入出力MOSをそのまま用いることができる。

【0033】

40

因みにこのとき、図1に示したように、不揮発性半導体記憶装置1において、ワード線WL1を介して例えば4.5[V]の書き込みゲート電圧が印加される非選択メモリ3b（メモリトランジスタ2b）に接続されたビット線BL2には、ソース線SLの電圧の半分ないしソース線SLの電圧と同程度（図1では一例とし4[V]）の書き込み禁止電圧（書き込み禁止電圧をBL2Vとした場合、SLV/2 BL2V SLV）が印加される。

【0034】

これにより選択メモリ3aとワード線WL1を共通する非選択メモリ3bたるメモリトランジスタ2bでは、高抵抗領域CH2に発生する電界が選択メモリ3aにかかる電界の半分以下となり電荷（キャリア）の発生量が大幅に低減されることにより、電荷がキャリア蓄積領域5に注入されない。

50

【 0 0 3 5 】

一方、非選択メモリ3bのみが接続されたワード線WL2には、0[V]ないしソース線SLの電圧半分程度の2[V]（図1では一例として0[V]）の書き込み禁止ゲート電圧（ワード線WL2の書き込み禁止ゲート電圧をWL2Vとした場合、 $0 \leq WL2V \leq SLV/2$ ）が印加される。これにより、このワード線WL2に接続された非選択メモリ3bたるメモリトランジスタ2c,2dは、ゲート電極G1に0[V]が印加されることで、チャンネルがオフ状態となりソース領域S1に印加される4[V]の書き込みソース電圧がソース領域S1およびエクステンション領域ET1に留まり、チャンネル領域CH1および高抵抗領域CH2に電流が流れることなく電荷がキャリア蓄積領域5に注入されない。

【 0 0 3 6 】

10

また、ワード線WL2に対してソース線SLの電圧の半分程度の書き込み禁止ゲート電圧を印加する場合には、チャンネルはオン状態となるが、チャンネル領域CH1および高抵抗領域CH2に伝わる電圧はワード線WL2に印加された電圧から閾値を差し引いた電圧となるため、高抵抗領域CH2に発生する電界が選択メモリ3aにかかる電界の半分以下となり電荷（キャリア）の発生量が大幅に低減されることにより、電荷がキャリア蓄積領域5に注入されない。

【 0 0 3 7 】

かくして、この不揮発性半導体記憶装置1では、各非選択メモリ3bの高抵抗領域CH2に発生する電界を低減させることでキャリア蓄積領域5に電荷が注入されることがなく、所望の選択メモリ3aにおいてだけソースサイド注入によりドレイン領域D1内の電荷を、高抵抗領域CH2を介してキャリア蓄積領域5に注入し得、データを書き込むことができる。

20

【 0 0 3 8 】

（2-2）ソース電圧を1.5[V]としたときのデータの書き込み動作

上述した「（2-1）基本的な電圧設定によるデータの書き込み動作」では、一例としてソース線SLに4[V]のソース電圧を印加する場合について説明したが、その他の事例として、メモリトランジスタ2a,2b,2c,2dのサイドウォール7の幅を短くし、これに伴いサイドウォール7下の高抵抗領域CH2の長さを短くすることによりソースサイド注入を発生し得るソース電圧を低減することもできる。

【 0 0 3 9 】

例えばトランジスタ2aのサイドウォール長を30[nm]程度に設定した場合には、図1との対応部分に同一符号を付して示す図3のように、ソース線SLに印加されるソース電圧を1.5[V]程度にしてもソースサイド注入を起こし得る。この場合にはワード線WL1には1.5[V]～2[V]（図3では一例として1.5[V]）の電圧を印加すればよい。また、非選択メモリ3b（メモリトランジスタ2b）に接続されたビット線BL2には0.7[V]～1.5[V]（図3では一例として1.5[V]）の電圧を印加すればよく、これにより、選択メモリ3aが接続されたビット線BL1と、非選択メモリ3bのみが接続されたビット線BL2とに掛かる電位差を1.5[V]以下に低減することができる。

30

【 0 0 4 0 】

また、非選択メモリ3bのみが接続されたワード線WL2には0[V]～0.8[V]（図3では一例として0[V]）の電圧を印加すればよく、これにより、選択メモリ3aが接続されたワード線WL1と、非選択メモリ3bのみが接続されたワード線WL2とに掛かる電位差を1.5[V]以下に低減することができる。従って、この場合にはビット線BL1, BL2およびワード線WL1, WL2を制御する周辺回路で、必要な電圧を全て1.5[V]以下で構成することが可能となり、同一の半導体集積回路の素子内で用いられているゲート絶縁膜のうち、最も薄い絶縁膜（ここでは例えば3[nm]）で構成される素子、即ちコアMOSを用いて周辺回路を構成することが可能となり、更に回路構成を小型化し得る。また、この場合にはメモリトランジスタ2a,2b,2c,2dのゲート電極G1および基板6間に掛かる電圧も1.5[V]に低減されているため、メモリトランジスタ2a,2b,2c,2dを構成するゲート絶縁膜8aをコアMOSのゲート絶縁膜と同じ膜厚にでき、かくしてメモリトランジスタ2a,2b,2c,2dをコアMOSと同じ製造工程で形成し得る。

40

50

【 0 0 4 1 】

(3) データの読み出し動作

次に、不揮発性半導体記憶装置1において、データを読み出す際の電圧印加について以下説明する。図1との対応部分に同一符号を付して示す図4は、メモリトランジスタ2a, 2b, 2c, 2dのうち、1行目のメモリトランジスタ2a, 2bのデータを読み出す際の各部位の電圧値を示している。なお、ここでは、データを読み出すメモリトランジスタ2a, 2bを読み出しメモリ3cと呼び、データを読み出さないメモリトランジスタ2c, 2dを非読み出しメモリ3dと呼ぶ。また、この場合、メモリトランジスタ2a, 2b, 2c, 2dのうちメモリトランジスタ2bにだけデータが書き込まれ、その他のメモリトランジスタ2a, 2c, 2dにはデータが書き込まれていないものとする。さらに、ここでは、キャリア蓄積領域5に電荷が蓄積された状態（データが書き込まれているとき）を例えば「0」とし、キャリア蓄積領域5に電荷が蓄積されてない状態（データが書き込まれていないとき）を「1」とする。

10

【 0 0 4 2 】

この場合、不揮発性半導体記憶装置1は、読み出しメモリ3cに接続されたビット線BL1, BL2に、例えば1.5[V]の読み出し電圧を印加してプリチャージするとともに、読み出しメモリ3cに接続されたワード線WL1に1.5[V]を印加し、これらビット線BL1, BL2の読み出し電圧の変化を基にデータの書き込み有無を判断し得る。

【 0 0 4 3 】

例えば、キャリア蓄積領域5に電荷が蓄積された（データが書き込まれた）読み出しメモリ3cたるメモリトランジスタ2bでは、キャリア蓄積領域5に蓄積された電荷によって高抵抗領域CH2の電流がカットされて高抵抗領域CH2が更に高抵抗状態となる。その結果、データが書き込まれた読み出しメモリ3cたるメモリトランジスタ2bでは、MOSがオンの状態となってもチャネル領域CH1に電流が流れないオフ動作となるか、或いはチャネル領域CH1に流れる電流が低減し、ビット線BL2での読み出し電圧が1.5[V]のままとなる。一方、キャリア蓄積領域5に電荷が蓄積されていない（データが書き込まれていない）他方の読み出しメモリ3cたるメモリトランジスタ2aでは、オン動作し、これによりビット線BL1の読み出し電圧が変化し1.5[V]よりも低い電圧値（例えば0[V]）になる。不揮発性半導体記憶装置1は、ビット線BL1, BL2の読み出し電圧の変化を検知し、読み出し電圧が変化しない1.5[V]のビット線BL2を「0」とし、読み出し電圧が変化した他方のビット線BL1を「1」とし、読み出し情報を確定し得る。

20

30

【 0 0 4 4 】

ここでメモリトランジスタ2a, 2b, 2c, 2dがMOSからなるスイッチ領域と高抵抗領域CH2の二つの領域で構成されていると考えれば、これらメモリトランジスタ2a, 2b, 2c, 2dは、スイッチ領域の閾値は変化せず、高抵抗領域CH2の抵抗を変化させて記憶素子として用いる、抵抗変化記憶素子と言える。

【 0 0 4 5 】

なお、非読み出しメモリ3dのみが接続されたワード線WL2には0[V]が印加されている。これにより、不揮発性半導体記憶装置1では、非読み出しメモリ3dたるメモリトランジスタ2c, 2dがオフ状態となり、ビット線BL1, BL2に印加されている読み出し電圧が非読み出しメモリ3dによって変化することなく、読み出しメモリ3cのデータのみを読み出し得ようになされている。

40

【 0 0 4 6 】

(4) 動作及び効果

以上の構成において、メモリトランジスタ2aでは、基板6上にゲート絶縁膜8aを介してゲート電極G1が設けられた単層ゲート構造からなり、ゲート電極G1およびドレイン領域D1間の基板6上に絶縁層8bを介してキャリア蓄積領域5が形成され、キャリア蓄積領域5と対向した基板6の表面に、エクステンション領域ET1の抵抗値よりも高い抵抗値を有した高抵抗領域CH2を設けるようにした。

【 0 0 4 7 】

これにより、データが書き込まれる選択メモリ3aでは、データの書き込み時、ソース線

50

SLからソース領域S1に例えば4[V]の書き込みソース電圧が印加され、かつワード線WL1からゲート電極G1に書き込みゲート電圧が印加されることで、チャネル領域CH1および高抵抗領域CH2に電流が流れる状態となる。この状態で選択メモリ3aでは、ビット線BL1からドレイン領域D1に例えば0[V]の書き込み電圧が印加されるか、或いは5[μA]の定電流が供給されることで、高抵抗領域CH2で電圧降下を生じさせて強電界を発生させ、この強電界により電荷をキャリア蓄積領域5に注入する、いわゆるソースサイド注入によってデータを書き込むことができる。

【0048】

このように選択メモリ3aでは、データ書き込み時、高抵抗領域CH2にて電圧降下を発生させればよく、ゲート電極G1に印加される電圧値を従来よりも低く抑えつつ、ドレイン領域D1内の電荷を、高抵抗領域CH2を介してキャリア蓄積領域5に注入させることができる。

10

【0049】

一方、ワード線WL1を介して書き込みゲート電圧が印加される非選択メモリ3bたるメモリトランジスタ2bでは、ビット線BL2からドレイン領域D1に例えば4[V]の書き込み禁止電圧を印加することで、チャネルをオフとしチャネル領域CH1における電流の流れを抑制し得、高抵抗領域CH2にてソースサイド注入が発生することなくデータの書き込みを防止できる。

【0050】

また、他のワード線WL2に接続された非選択メモリ3bたるメモリトランジスタ2c,2dでは、0[V]の書き込み禁止ゲート電圧がワード線WL2からゲート電極G1に印加されることで、チャネルがオフ状態となり、ソース線SLの書き込みソース電圧がソース領域S1に留まり、ソースサイド注入が生じることなくキャリア蓄積領域5へのデータ書き込みを防止できる。

20

【0051】

このように不揮発性半導体記憶装置1では、データが書き込まれる選択メモリ3aや、データが書き込まれない非選択メモリ3bにおいて、各ゲート電極G1やドレイン領域D1に印加される電圧値を低減し得ることから、各メモリトランジスタ2a,2b,2c,2dのゲート絶縁膜8aの膜厚をその分だけ薄く形成できる。

【0052】

特に、不揮発性半導体記憶装置1では、データ書き込み時、メモリトランジスタ2a,2b,2c,2dに印加する電圧として、高電圧が共通のソース線SLに印加され、ソース線SLの電圧以下でビット線BL1,BL2の制御を行えるため、ビット線BL1,BL2を制御する周辺トランジスタ11の電圧を下げることができ、その分、周辺トランジスタ11のゲート絶縁膜についても膜厚を薄く形成できる。

30

【0053】

また、この不揮発性半導体記憶装置1では、データの書き込み時、ビット線BL1,BL2およびワード線WL1,WL2にそれぞれ印加される電圧差を4.5[V]以下(図3では1.5[V]以下)に抑えることができるので、これらビット線BL1,BL2およびワード線WL1,WL2を制御する周辺トランジスタ11を、入出力MOSやコアMOSで設計することができ、当該周辺トランジスタ11のゲート絶縁膜8aも薄くできる分、高速動作が図れ、かつ回路面積も小さくでき回路全体として小型化を図ることができる。

40

【0054】

このように不揮発性半導体記憶装置1では、メモリトランジスタ2a,2b,2c,2dや周辺トランジスタ11の各ゲート絶縁膜8aを薄くできることから、入出力MOSやコアMOSなど一般的なMOSの構成をそのまま用いることができ、標準的なCMOSプロセスにより容易に製造できる。

【0055】

また、不揮発性半導体記憶装置1では、データ書き込み時、ソース線SLに4[V]の書き込みソース電圧を印加する必要があるが、マット一括でメモリトランジスタ2a,2b,2c,2dに書き込みソース電圧を印加することから、マット内にてソース線SLを分割して形成する必

50

要がなく、通常のNOR型のマスクROMと同じ回路構成にすることができる。

【0056】

以上の構成によれば、メモリトランジスタ2aでは、データ書き込み時、チャネルをオン状態とし、チャネル領域CH1およびドレイン領域D1間にある高抵抗領域CH2にて電圧降下を生じさせて強電界を発生させ、この強電界を利用してソースサイド注入によって、ドレイン領域D1内の電荷を、高抵抗領域CHを介してサイドウォール7内のキャリア蓄積領域5に注入し得る。これにより不揮発性半導体記憶装置1では、データ書き込み時、高抵抗領域CH2にて電圧降下を生じさせればよく、ゲート電極G1に印加する電圧値を従来よりも低減し得、その分、ゲート絶縁膜8aの膜厚や、さらにはメモリトランジスタ2a, 2b, 2c, 2dを制御する周辺トランジスタ11のゲート絶縁膜8aの膜厚を薄くでき、かくして、回路構成を従来よりも小型化し得る。

10

【0057】

(5) 他の実施の形態

なお、上述した実施の形態においては、ソース領域S1側にのみエクステンション領域ET1を設け、チャネル領域CH1とドレイン領域D1との間にゲート電極G1の下部領域まで延びる高抵抗領域CH2を設けた場合について述べたが、本発明はこれに限らず、図2との対応部分に同一符号を付して示す図5のように、ドレイン領域D1側に高抵抗領域として低濃度不純物エクステンション領域ET4をドレイン領域D1の側面に接するように設けてもよい。

【0058】

この場合、メモリトランジスタ2aでは、一方のサイドウォール7の下部領域(チャネル領域CH1とドレイン領域D1との間の領域)に形成された低濃度不純物エクステンション領域ET4が、他方のサイドウォール7の下部領域(チャネル領域CH1とソース領域S1との間の領域)にあるエクステンション領域ET1よりも不純物濃度が低濃度に選定され、低濃度不純物エクステンション領域ET4がソース線SL側のエクステンション領域ET1の抵抗値よりも高い抵抗値を有している。なお、この実施の形態の場合、高抵抗領域CH2としての低濃度不純物エクステンション領域ET4は、不純物ドーパ量が $1 \times 10^{18} / \text{cm}^3$ 以下であることが好ましい。

20

【0059】

このような構成を有するメモリトランジスタ2aでは、データ書き込み時、上述した実施の形態と同様に、ソース線SLおよびビット線BL1間で生じる電位差により、抵抗値を高くした低濃度不純物エクステンション領域ET4で最も大きな電位降下が生じ、低濃度不純物エクステンション領域ET4にて強電界により電荷をキャリア蓄積領域5に注入する、いわゆるソースサイド注入によってデータを書き込むことができる。

30

【0060】

なお、図1～図5において、データ書き込み時や、データ読み出し時における各電圧値をそれぞれ明記しているが、本発明はこれに限らず、種々の電圧値を適用してもよい。例えば、上述した図1に示す実施の形態においては、ワード線WL1と、非選択メモリ3bのみが接続されたビット線BL2とにそれぞれ4.5[V]と4[V]の電圧を印加して非選択メモリ3bにてデータの書き込みを防止するようにした場合について述べたが、上述したように、ワード線WL1と、非選択メモリ3bのみが接続されたビット線BL2とにそれぞれ2[V]の電圧を印加して非選択メモリ3bにてデータの書き込みを防止するようにしてもよい。この場合、非選択メモリはオン状態となりチャネルに電流が流れるが、高抵抗領域CH2にかかる電界は選択メモリ3aの約半分となりソースサイド注入が起きることはない。

40

【0061】

また、ワード線WL2には0[V]を印加する場合について述べたが、上述したようにワード線WL2にソース線SLの半分の電圧、即ち2[V]を印加して、非選択のワード線WL2上の非選択メモリ3bへの書き込みを防止するようにしてもよい。この場合も当該非選択メモリ3bはオン状態となりチャネルに電流が流れるが、高抵抗領域CH2にかかる電界は選択メモリ3aの約半分となりソースサイド注入が起きることはない。

【0062】

50

このように、データ書き込み時、ワード線WL2やビット線BL2に、ソース線SLの電圧4[V]の半分程度の2[V]の電圧を印加する場合であっても、ゲート電極G1に印加する電圧値を従来よりも低減し得る。その場合には、選択メモリ3aが接続されたビット線BL1と、非選択メモリ3bのみが接続されたビット線BL2の電位差が2[V]となり、また、選択メモリ3aが接続されたワード線WL1と、非選択メモリ3bのみが接続されたワード線WL2の電位差も2[V]となり、これらいずれの電位差も低く抑えることができる。

【0063】

よって、その分、ゲート絶縁膜8aの膜厚や、メモリトランジスタ2a,2b,2c,2dを制御する周辺トランジスタ11のゲート絶縁膜8aの膜厚を更に薄く例えば8[nm]から3[nm]に設計でき、周辺トランジスタ11を入出力MOSからコアMOSに変更し得、かくして、回路構成を従来よりも小型化し得る。

【0064】

具体的には、ソース電圧を4[V]とし、周辺回路に用いるMOS内の電位差を4~4.5[V]とすることで、周辺回路に用いるMOSとして入出力MOSを使用できる。また、ソース電圧を1.5[V]とし、周辺回路に用いるMOS内の電位差を1.5[V]とすることで、周辺回路に用いるMOSとしてコアMOSを使用できる。また、ソース電圧を4[V]とし、周辺回路に用いるMOS内の電位差を2[V]とすることで、周辺トランジスタ11としてコアMOSを使用できる。

【0065】

また、上述した実施の形態においては、データ書き込み時、ドレイン領域D1内の電荷を、高抵抗領域CH2を介してサイドウォール7内のキャリア蓄積領域5に注入するようにした場合について述べたが、本発明はこれに限らず、サイドウォール全体をシリコン酸化物で形成し、このサイドウォール自体をキャリア蓄積領域として機能させ、データ書き込み時、ドレイン領域D1内の電荷を、高抵抗領域CH2を介してサイドウォール内に注入するようにしてもよい。

【0066】

またメモリトランジスタ2a,2b,2c,2dと周辺トランジスタ11とで同じサイドウォール構造である必要はなく、例えば周辺トランジスタ11のサイドウォール12には窒化膜層13がなくサイドウォール12全体がシリコン酸化膜で形成された単層の酸化膜構造にしてもよい。さらに、メモリトランジスタ2a,2b,2c,2dは、ゲート電極G1の側部にサイドウォール7を別途形成する必要もなく、ゲート電極G1およびドレイン領域D1間の基板6上に配置されているものの、サイドウォールとして形成されていないシリコン酸化物層や窒化物層をキャリア蓄積領域として機能させるようにしてもよい。

【0067】

なお、上述した実施の形態においては、メモリトランジスタ2a,2b,2c,2dが2行2列に配置された不揮発性半導体記憶装置1について説明したが、本発明はこれに限らず、3つや5つ、6つ等その他複数のメモリトランジスタが行列状に配置された不揮発性半導体記憶装置や、1つのメモリトランジスタが配置された不揮発性半導体記憶装置であってもよい。

【0068】

また、メモリトランジスタ2a,2b,2c,2dおよび周辺トランジスタ11をN型MOS構造とした場合について述べたが、本発明はこれに限らず、メモリトランジスタ2a,2b,2c,2dおよび周辺トランジスタ11をP型MOS構造としてもよく、この場合であっても、データ書き込み時、高抵抗領域CH2にて電圧降下を生じさせ、ソースサイド注入によって、ドレイン領域D1内の電荷（ホール）を高抵抗領域CH2を介してキャリア蓄積領域5に注入させることができる。

【符号の説明】

【0069】

1 不揮発性半導体記憶装置

2a,2b,2c,2d メモリトランジスタ

10

20

30

40

50

6 基板

CH2 高抵抗領域

D1 ドレイン領域

ET1,ET2,ET3 エクステンション領域

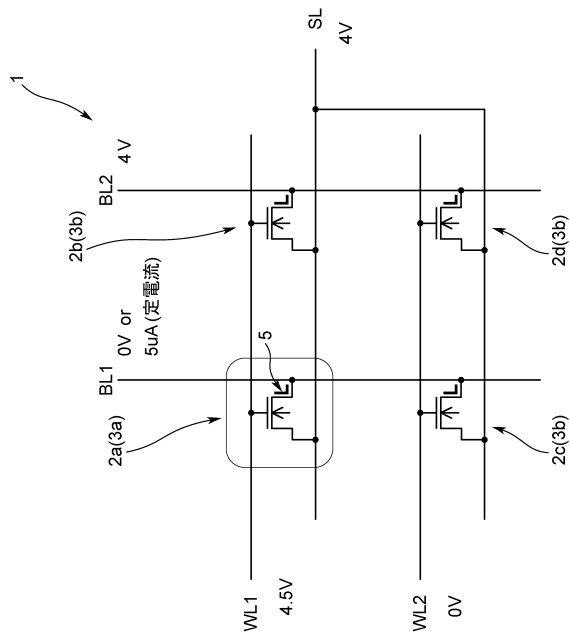
ET4 低濃度不純物エクステンション領域 (高抵抗領域)

G1,G2 ゲート電極

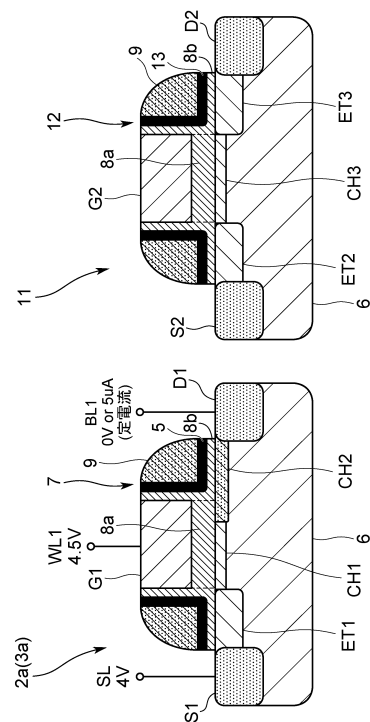
MGA1 メモリトランジスタ

S1 ソース領域

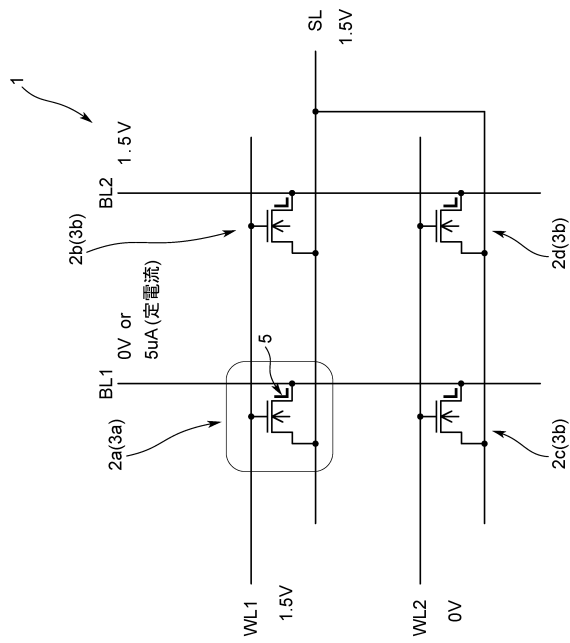
【図1】



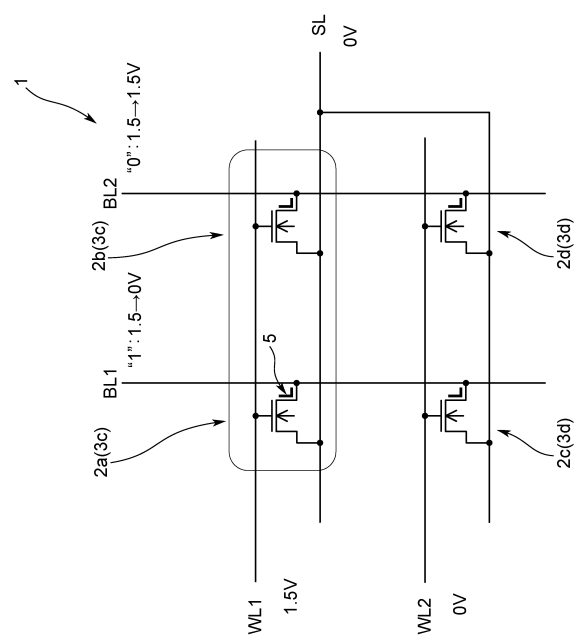
【図2】



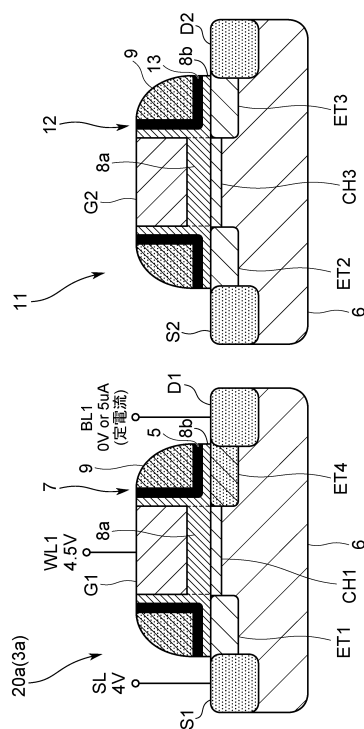
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl. F I

G 1 1 C 16/04 (2006.01)

審査官 小山 満

(56)参考文献 特開2007-288060(JP,A)
特開2004-104009(JP,A)
特開平09-097849(JP,A)
特開2001-057394(JP,A)
特開2012-059777(JP,A)
特開2007-103424(JP,A)
特開2009-054687(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 4 7
G 1 1 C 1 6 / 0 4
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 7 / 1 0
H 0 1 L 2 7 / 1 1 5
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2