

公告本

296474

申請日期	85 年 4 月 2 日
案 號	85103887
類 別	140162328 Int. Cl ⁶

A4
C4

296474

(以上各欄由本局填註)

發明專利說明書

一、發明 新型名稱	中 文	具有均勻結合線間距之半導體封裝
	英 文	Semiconductor package with uniform bonding wire spacing
二、發明 創作人	姓 名	(1) 伊藤寿浩
	國 籍	(1) 日本
	住、居所	(1) 日本國靜岡縣浜松市中沢町一〇番一號ヤマハ株式会社内
三、申請人	姓 名 (名稱)	(1) 山葉股份有限公司 ヤマハ株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國靜岡縣浜松市中沢町一〇番一號
	代 表 人 姓 名	(1) 上島清介

經濟部中央標準局員工消費合作社印製

裝

訂

線

296474

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1995 年 4 月 5 日 7-80431 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明背景：

(a) 發明領域

本發明有關於半導體積體電路裝置，特別有關於一種能夠避免引線間短路的半導體積體電路裝置。

(b) 相關技藝說明

在積體電路 (IC) 之半導體晶片中，於晶片週邊區域處設有結合墊。結合墊經由結合線 (引線) 而與封裝構件的內部引線連接。

結合墊通常等距安置成一線。如果使用到數個結合墊，則通常以狹窄之固定間距安置，以便利接線結合器之機器作業。如果一系列結合墊數目不夠，則可設置兩列或更多列的結合墊，並使每一列結合墊在側向上平移例如半個間距，以使一系列結合墊與其內外列的結合墊成交錯安置。在某些情形下，結合墊的配置係根據電路限制來決定。

圖 3 A 示出在晶片週邊區域中成列安置之結合墊的配置一例。在矽晶片 5 1 的週邊區域中設置了一系列結合墊 5 2。相鄰結合墊 5 2 之間的距離 d 為固定。

圖 3 B 示出兩列結合墊成鋸齒狀交錯安置的一例。兩列結合墊 5 4 沿矽晶片 5 1 的週邊區域交錯安置而構成鋸齒狀或棋盤狀圖型。此種鋸齒狀圖型可供設置多個結合墊。各列中相鄰結合墊之間的距離 d 為固定。

對設有多個結合墊的半導體晶片進行接線結合時，半導體晶片角落區域處的結合線之間有短路的危險。如果使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(2)

用塑膠模，樹脂流很可能造成結合線間的短路。

發明節要：

本發明目的之一便是要提供一種結合線之間較少短路的半導體積體電路裝置。

本發明的另一目的是要提供一種能夠確保結合線之間有均勻距離的半導體積體電路裝置。

依據本發明之第一部份內容，乃是提供有一種半導體積體電路裝置，包含：具有多個內引線的一個封裝構件；一個半導體積體電路晶片，此晶片具有一個週邊區域，區域中含有多個輸入／輸出墊，該半導體積體電路晶片為於各角落處結合在一起的側邊所界定；以及將內引線與輸入／輸出墊電氣互連的引線，其中在接近角落之一的一個區域中，引線與半導體積體電路晶片的側邊之一以60度或更小的角度相交，且輸入／輸出墊之間的距離較其他區域中者為寬，以使引線之間的距離大體均勻。

如果結合墊以相等間距安置，與半導體積體電路晶片側邊以60度或小於60度的角度相交的引線間的距離便變得很短。即使在此種情形下，如果將晶片上輸入／輸出結合墊之間的距離在角落區域處設定得較長以使引線間的距離大體均勻，便可避免避免引線間短路的危險。

依據本發明之另一部份內容，乃是提供有一種半導體裝置，包含：具有多個內引線的一個封裝構件；一個矩形半導體晶片，此晶片為於各角落處結合在一起的四邊所界

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

及

五、發明說明 (3)

定；以鋸齒形狀成內外直線沿半導體晶片四邊安置的結合墊；以及將內引線端部與輸入／輸出墊電氣互連的引線，其中位於側邊中央區域的各內結合墊係安置在一對外結合墊的中分處，且位於側邊角落區域的各內結合墊係安置在由一對外結合墊中分處朝向中央區域處，以使結合線之間的距離在沿外結合墊延伸的一條虛擬線上大體均勻。

由於將結合線之間的距離維持為大體固定，故結合線之間便難以發生短路。

圖式之簡要說明：

圖 1 A 至 1 D 為示意圖，示出依據本發明實施例之半導體裝置的結構。

圖 2 為放大部份平面圖，示出依據本發明實施例之引線框中結合墊與內引線之特別配置。

圖 3 A 至 3 D 為示意圖，示出習知結合墊及習知結合墊與內引線的配置。

較佳實施例之詳細說明：

吾人曾對結合墊之間短路的原因進行研究。

圖 3 C 為示意平面圖，示出一個如圖 3 A 所示之矽晶片結 (die bond) 至一引線框平台上，且其結合墊以接線結合至引線框之內引線的情形。接線 5 6 具有一個供安置半導體晶片於其上的平台 5 7、一個支持平台 5 7 的支持桿 5 8、和多個要與結合墊以接線結合的內引線 5 9

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明(4)

。雖然圖中未示，不過在內引線外側設有防止模製樹脂流動的護邊及外引線。

矽晶片 5 1 為具有四邊的矩形，結合至引線框平台 5 7 的中心部份，其各邊與平台 5 7 的對應各邊平行。圍繞平台 5 7 設有必要數目的引線框內引線 5 9。矽晶片 5 1 上的結合墊 5 2 經由結合線 5 3 而與內引線 5 9 電連接。結合墊 5 2 以等距沿矽晶片 5 1 的四邊成一系列安置。在接線 5 6 之平台 5 7 的角落區域處，內引線 5 9 間的距離較平台 5 7 中心或中間部份處內引線 5 9 間的距離要長。

結合墊全部以等距沿結合墊的安排方向而設置。內引線 5 9 安置在較矽晶片 5 1 為寬的區域中。因此，在矽晶片 5 1 各邊中心區域處與結合墊 5 2 連接的結合線 5 3 大體上與矽晶片的各邊垂直。不過，在矽晶片 5 1 角落區域處與結合墊 5 2 連接的結合線 5 3 相對於矽晶片各邊則呈歪斜，如圖 3 C 所示。因此，角落區域處結合線間的距離 d_1 便較中心區域處結合線間的距離 d_2 為短。

隨著結合線間距離變短，以密封樹脂（例如環氧樹脂）來模製圖 3 C 所示結構時便有短路的危險，因為結合線 5 3 會為樹脂流動所帶動。

圖 3 D 為圖 3 B 所示矽晶片的示意平面圖，其呈鋸齒形狀安置的結合墊經由結合線而與引線電連接。結合墊 5 4 呈鋸齒形狀沿矽晶片 5 1 週邊的帶狀區域安置。引線框 5 6 與圖 3 C 所示者相似，但引線框平台 5 7 在接近支

五、發明說明 (5)

持桿 5 8 處設有一個凹處。

與圖 3 C 所示情形相似，在矽晶片 5 1 角落區域處與結合墊 5 4 連接的結合線 5 3 相對於矽晶片各邊呈歪斜。在鋸齒圖型安排下，內外結合墊的連接狀況相當不同。接近結合墊 5 4 處的結合線 5 3 之間的距離並不均勻；某些結合線之間的距離非常短。在圖 3 D 所示結合狀態中，於矽晶片 5 1 的角落區域處，從內引線延伸出之結合線幾乎要與從更接近角落區域處的外引線所延伸出之結合線相接觸。在此狀態下進行塑膠模製，會有樹脂流動帶動結合線而造成短路的危險。

如上所述，連接半導體晶片上之結合墊與封裝單元（例如引線框）之內引線的結合線間的距離在接近角落區域處會變得很短。因此，可預期到發生短路危險的可能性很大。

圖 1 A 為根據本發明實施例之半導體積體電路裝置的放大部份圖。矽晶片 1 上製有半導體積體電路，並有多個結合墊 2 a，2 b . . . 成列安置在矽晶片的週邊區域處。這些結合墊 2 與結合線 3 連接。

隨著結合墊的位置接近矽晶片 1 的角落區域，結合墊之間的距離便安排得較長。圖 1 A 中，結合墊 2 a 與 2 b 間的距離設定成比結合墊 2 e 與 2 f 間的距離要長。即使在中間區域處，結合墊間的距離也逐漸改變。

由於結合墊 2 之間的距離隨著結合墊位置接近角落區域而變長，因此歪斜連接的結合線之間的距離（最短距離

五、發明說明(6)

) 便大體成爲均勻。封裝內引線間的距離亦可以相似方式逐漸改變。

內引線側的結合線間距離大體上均很寬，故即使距離均勻化，短路的危險仍很低。使接近矽晶片處的結合線間距離均勻化是一項基本重點。該距離可定義爲由各結合墊至相鄰結合線中心側的垂直線長度。

以上述方式改變矽晶片週邊區域處的結合墊配置，便可使結合線間的距離至少在接近矽晶片處大體均勻。

圖 1 B 爲示意圖，示出矽晶片 1 上安置在結合墊的區域。矽晶片 1 的平面大體成正方形。矽晶片 1 的週邊區域界定一個帶狀迴路區域 5。此帶狀區域具有固定的寬度 w ，例如 $500\mu m$ 。在本說明書中，安置在此帶狀區域中的結合墊稱爲「大體成直線安置的結合墊」。在帶狀迴路區域 5 所圍繞的中心區域中形成積體電路 IC。

圖 1 C 示出矽晶片、引線框、與結合線之間的關係。結合墊 2 安置在矽晶片 1 的週邊區域中。矽晶片 1 與引線框 6 的平台 7 片結。支持桿 8 由平台 7 的角落區域朝對角線方向延伸。引線框的多條內引線 9 安置在相鄰支持桿 8 間的空間中。連接內引線 9 與結合墊 2 的結合線 3 之方向是傾斜的。如果晶片 1 各邊與結合線 3 之間的角度 θ 爲 60 度或更小，則結合線間的距離與結合墊間的距離相較便顯著縮短。例如，角度 θ 爲 60 度時，結合線 3 之間的距離便爲結合墊間距離的約 87% 或約 0.9。角度 θ 爲 45 度時，結合線 3 之間的距離便爲結合墊間距離的約

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (7)

71 % 或約 0.7。視晶片形狀與位置以及結合墊位置而定，角度 θ 可能更小。因此，經由改變結合墊位置或結合墊與內引線的相對位置，便可有效地將結合線間的距離設定成大體均勻，特別以角度 θ 為 60 度或更小時為然。「大體均勻」意指最小距離為最大距離的 0.9 以上。結合墊之間的延長距離範圍可設定為晶片半邊之約 40 % 的外側部份。在各半邊之約 20 % 的外側部份中，結合線間的距離顯著減少。僅有此區域中的結合墊可採延長間距來安置。

圖 1 D 示出以鋸齒圖型安置之結合墊的實施例。兩列結合墊 4 大體成直線安置於矽晶片 1 之結合墊區域中。結合墊之間的距離隨著結合墊位置接近矽晶片 1 之角落區域而變長。不過請注意內結合墊 4 b，4 d，... 相對於外結合墊 4 a，4 c，... 在側向上有所偏移，亦即內結合墊 4 b 距離相鄰之外結合墊 4 a 與 4 c 的距離並非相等，而是距離接近角落區域處的外結合墊 4 a 較遠、距離接近中間區域處的外結合墊 4 c 較近。在此種結合墊配置安排下，如果以垂直於晶片 1 各邊的方式來連接結合線，結合線間的距離便十分不規則。不過由於結合線實際上相對於晶片 1 之側邊呈傾斜狀態，故結合線之間的距離，例如在一條延伸經過外結合墊的線上，便成為均勻。連接一結合墊的結合線和連接相鄰結合墊的相鄰結合線間的距離可由相鄰結合墊對連接中間結合墊之結合線的垂直線長度來決定。

五、發明說明(8)

矽晶片 1 與引線框 6 的平台 7 片結。支持桿 8 由平台 7 的角落區域朝對角線方向延伸。最接近支持桿 8 的內引線 9 a 經由結合線 3 a 而與矽晶片 1 上的外結合墊 4 a 電連接。相似地，次一內引線 9 b 經由結合線 3 b 而與矽晶片 1 上的外結合墊 4 b 電連接。

支持桿 8 之延伸線相對於矽晶片 1 的側邊的角度約為 45 度。將最接近支持桿 8 的內引線 9 a 與最接近矽晶片 1 角落區域的結合墊 4 a 互連的結合線 3 a 與矽晶片 1 的側邊相交於略大於 45 度角。

詳言之，與最接近矽晶片 1 角落區域的結合墊 4 a 連接的結合線與矽晶片 1 的側邊相交之角度雖然略大於 45 度角，但遠小於 60 度角。

如果內外結合墊安置在矽晶片 1 上時如圖 1 A 所示使位於角落位置的結合墊之間距離較長，且如圖 1 D 所示使內外結合墊的位置彼此偏移，則結合墊之間的距離便可有效地保持均勻。

為使結合線之間的距離保持均勻，結合墊之間的距離應由晶片側邊中央區域朝向角落區域逐漸增加。不過，結合墊間距離若採連續改變方式，可能會使罩模圖型設計和接線結合程序變得較為複雜。

在晶片各邊中央區域處，結合線與晶片各邊大體成垂直相交。此時即使將結合墊等距安置，結合線之間的距離也僅改變少許。因此，可不必改變所有結合墊的位置，只要改變接近晶片角落區域處的結合墊位置，便可確保達成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

人

五、發明說明(9)

所要的效應。

例如，假設晶片每一邊上安置了 n 個結合墊，則僅需調整 n 個結合墊中接近角落區域的約 15 % 者之位置，便可有效地保持結合線間有均勻的距離。若調整 n 個結合墊中接近角落區域的約 20 % 者間的距離，則更佳。

就另一觀點言之，可將結合墊與內引線之位置予以調整，而使結合線間最大距離對最小距離的比例為 1.4 或更小，最好為 1.35 或更小。所述距離可定義為在延伸經過結合墊之線上的距離，或由一結合墊至與次一結合墊連接之結合線的垂直線長度。

圖 2 示出結合墊安置成鋸齒圖型的半導體 IC 裝置之特定結構實例。半導體晶片 1 具有兩列結合墊，安置在晶片週邊區域上寬度約為 $500\ \mu\text{m}$ 的一個區域中。結合墊成內外兩列交錯安置，呈所謂的鋸齒狀圖型。

半導體晶片 1 片結至引線框平台 7 的中心部份。在引線框平台的外側設有多條圍繞平台的內引線 9。內引線 9 與結合墊 4 的配置係安排成，使與內引線和結合墊相交的結合線 3 之間距大體相等。

與結合墊和內引線相交的結合線之最短長度為 4.1 mm，最長長度為 4.7 mm，平均長度為 4.4 mm。在圖 2 所示佈局中，IC 裝置的左右半部之結合墊與引線框呈對稱配置，且引線框具有一百四十個接腳。

在本實例中，內引線之內端在平台 7 的每一側邊上構成三條直線。內引線 9 可採不同的佈局。例如，可將內引

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

表

五、發明說明 (10)

線予以終結，而安排成在平台 7 的每一側邊上構成兩條直線。

接線結合之後，以例如環氧樹脂之模製樹脂來密封晶片，覆蓋住半導體晶片及護邊內部的引線框區域而暴露外引線。

在上述實施例中，如上所述係以塑膠來模製半導體 IC 裝置。本發明亦可應用至其他封裝，例如陶瓷封裝。採用陶瓷封裝或其他類似封裝時則不會發生樹脂流動的情形。如果使用塑膠封裝，則維持結合線間距離均勻是很重要的，因為樹脂流動會帶動結合線。前述配置對於 3 mm 或更長的結合線而言尤為有效。

本發明已就較佳實施例予以說明如上，但本發明並不僅侷限於所述實施例。對於熟習本技術之士而言，很顯然在不脫離由後述申請專利範圍所界定之發明範圍下，可對本發明作各種的修改變化、改良與組合。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

四、中文發明摘要（發明之名稱：

具有均勻結合線間距之半導體封裝
一種半導體積體電路裝置，包含：具有多個內引線的一個封裝構件；一個半導體積體電路晶片，此晶片具有的一個週邊區域，區域中含有多個輸入／輸出墊，該半導體積體電路晶片為於各角落處結合在一起的四邊所界定；以及將內引線與輸入／輸出墊電氣互連的引線，其中在一些區域中，引線與半導體積體電路晶片的側邊以60度或更小的角度相交，且相鄰輸入／輸出墊之間的距離較寬，以使引線之間的距離大體均勻。所提供的半導體積體電路裝置在結合線之間較不致發生短路。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

六、申請專利範圍

1. 一種半導體積體電路裝置，包含：

具有多個內引線的一個封裝構件；

一個半導體積體電路晶片，此晶片具有一個週邊區域，區域中含有多個輸入／輸出墊，該半導體積體電路晶片為於各角落處結合在一起的側邊所界定；以及

將內引線與輸入／輸出墊電氣互連的引線，

其中在一個區域中，引線與半導體積體電路晶片的側邊以60度或更小的角度相交，且輸入／輸出墊之間的距離較寬，以使引線之間的距離大體均勻。

2. 如申請專利範圍第1項之半導體積體電路裝置，其中所述輸入／輸出墊沿半導體積體電路晶片的側邊成列安置，且所述引線間最大距離對引線間最小距離的比例為1.4或更小，而各引線長度為約3mm或更長。

3. 如申請專利範圍第1項之半導體積體電路裝置，其中所述封裝構件為一引線框，且該半導體積體電路裝置尚包含一個塑膠構件，模製封住所述封裝構件與引線框。

4. 如申請專利範圍第2項之半導體積體電路裝置，其中所述封裝構件為一引線框，且該半導體積體電路裝置尚包含一個塑膠構件，模製封住所述封裝構件與引線框。

5. 如申請專利範圍第1項之半導體積體電路裝置，其中所述輸入／輸出墊沿半導體積體電路晶片的側邊成內外兩列安置，且在半導體積體電路晶片側邊的中央區域處，內列之輸入／輸出墊的安置位置對應於一對外列輸入／輸出墊的中間位置，而在側邊的角落區域處，內列之輸入

(請先閱讀背面之注意事項再填寫本頁)

表

訂

號

六、申請專利範圍

／輸出墊的安置在由中間位置朝向側邊中央區域偏移的位置。

6. 如申請專利範圍第1項之半導體積體電路裝置，其中假設中央區域處的垂直線長度為1，則在中央區域側邊處由各輸入／輸出墊至相鄰結合線的垂直線長度為約0.9至約1。

7. 如申請專利範圍第5項之半導體積體電路裝置，其中假設中央區域處的垂直線長度為1，則在中央區域側邊處由各輸入／輸出墊至相鄰結合線的垂直線長度為約0.9至約1。

8. 如申請專利範圍第1項之半導體積體電路裝置，其中所述與沿半導體積體電路晶片週邊區域安置的輸入／輸出墊連接的內引線之內端係沿三條直線安置。

9. 如申請專利範圍第5項之半導體積體電路裝置，其中所述與沿半導體積體電路晶片週邊區域安置的輸入／輸出墊連接的內引線之內端係沿三條直線安置。

10. 一種半導體裝置，包含：

具有多個內引線的一個封裝構件；

一個矩形半導體晶片，此晶片為於各角落處結合在一起的四邊所界定；

以鋸齒形狀成內外直線沿半導體晶片四邊安置的結合墊；以及

將內引線端部與輸入／輸出墊電氣互連的引線，

其中位於側邊中央區域的各內結合墊係安置在一對外

(請先閱讀背面之注意事項再填寫本頁)

表

訂

電

六、申請專利範圍

結合墊的中分處，且位於側邊角落區域的各內結合墊係安置在由一對外結合墊中分處朝向中央區域處，以使結合線之間的距離在沿外結合墊延伸的一條虛擬線上大體均勻。

11. 如申請專利範圍第10項之半導體裝置，其中假設中央區域處的垂直線長度為1，則在中央區域側邊處由各輸入／輸出墊至相鄰結合線的垂直線長度為約0.9至約1。

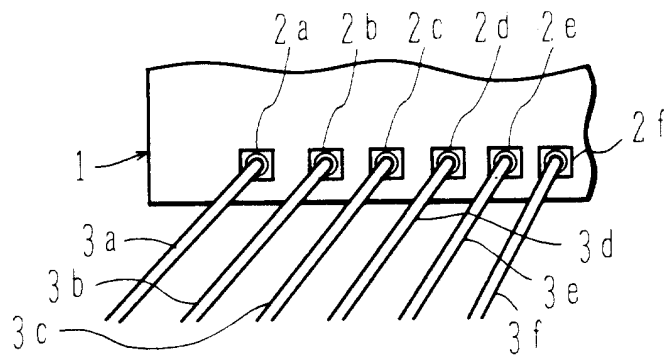
(請先閱讀背面之注意事項再填寫本頁)

表

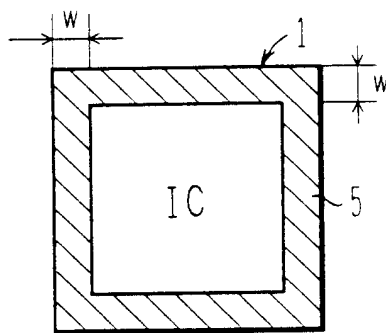
訂

號

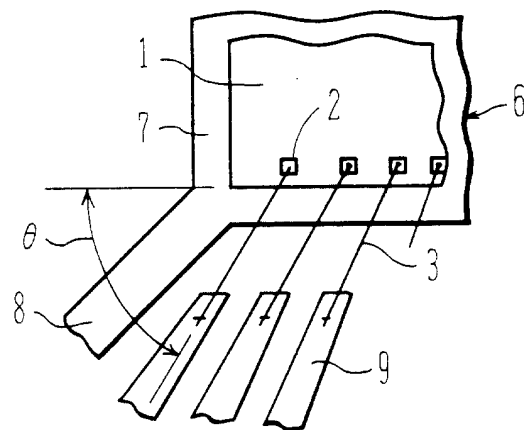
第 1 圖 A



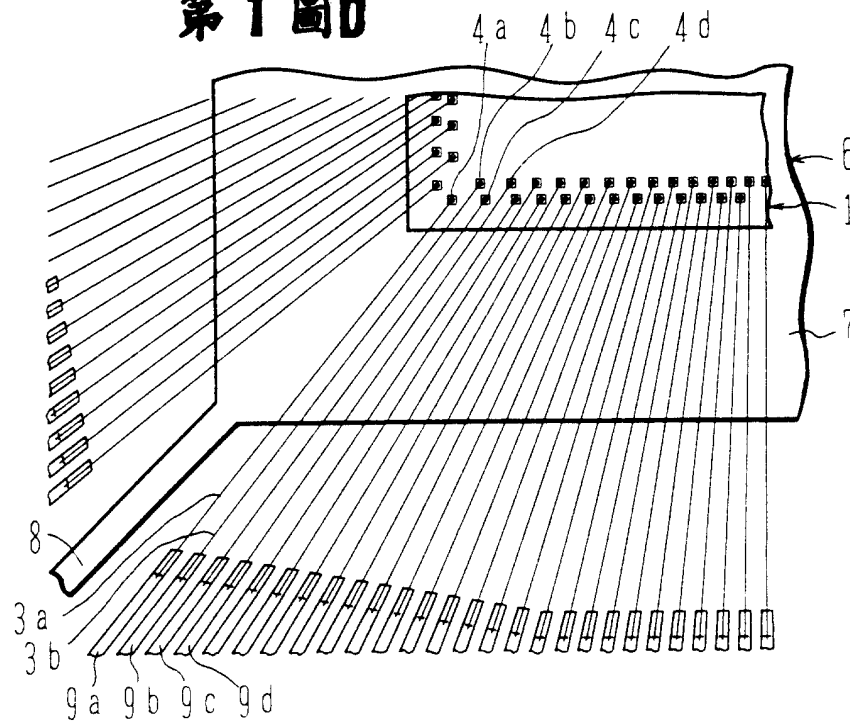
第 1 圖 B



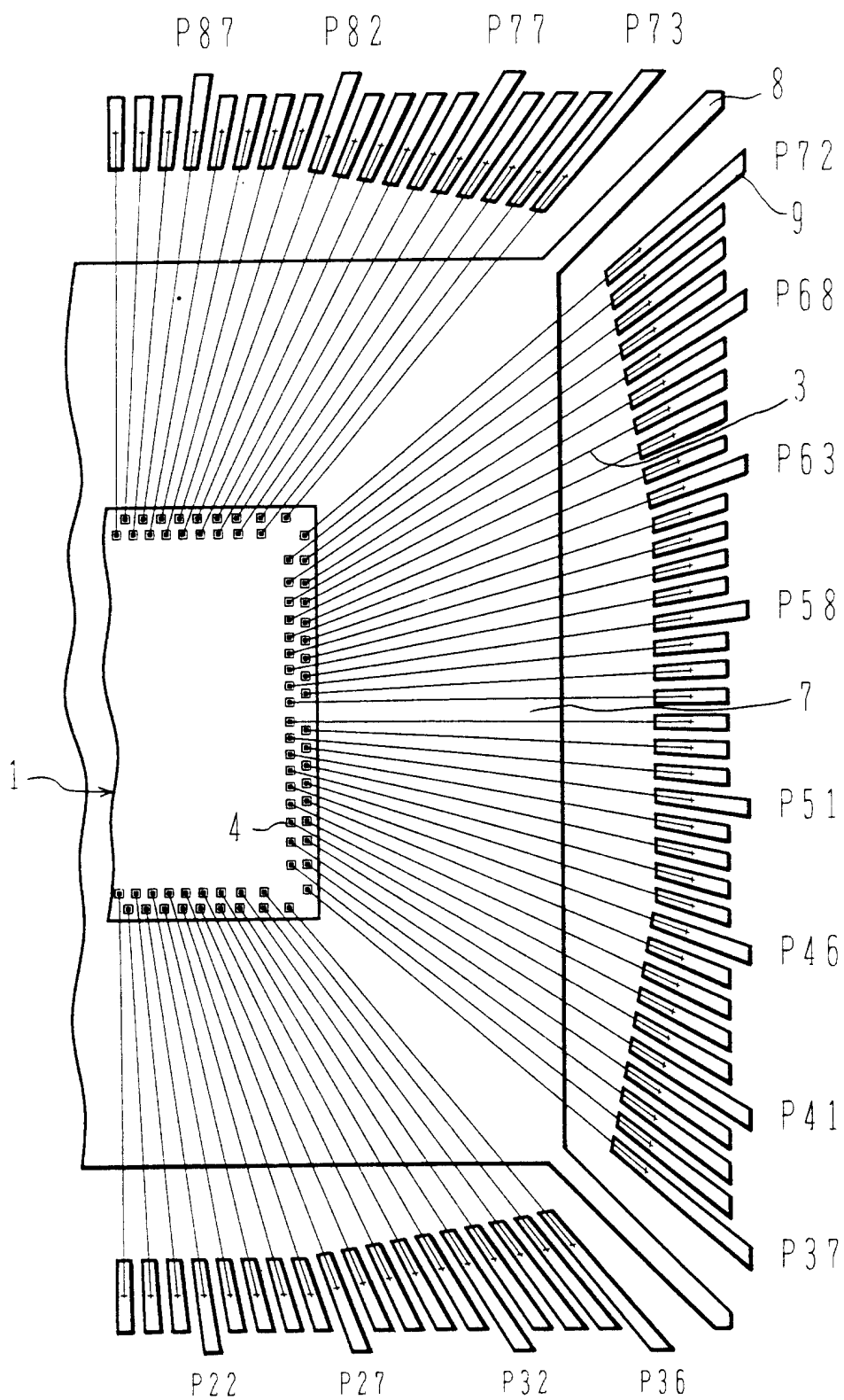
第 1 圖 C



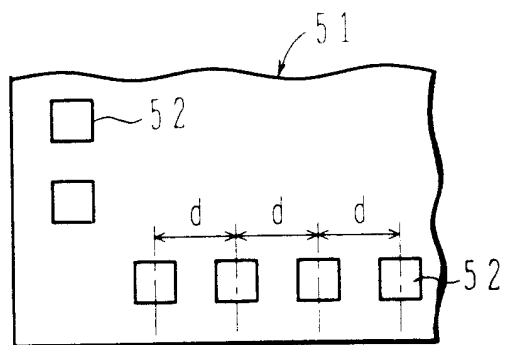
第 1 圖 D



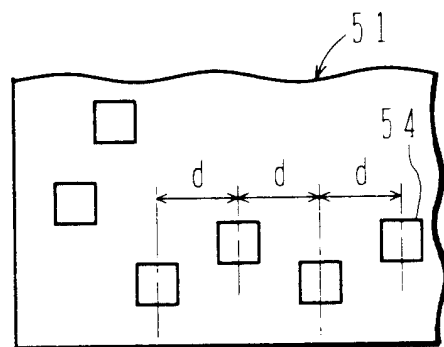
第 2 圖



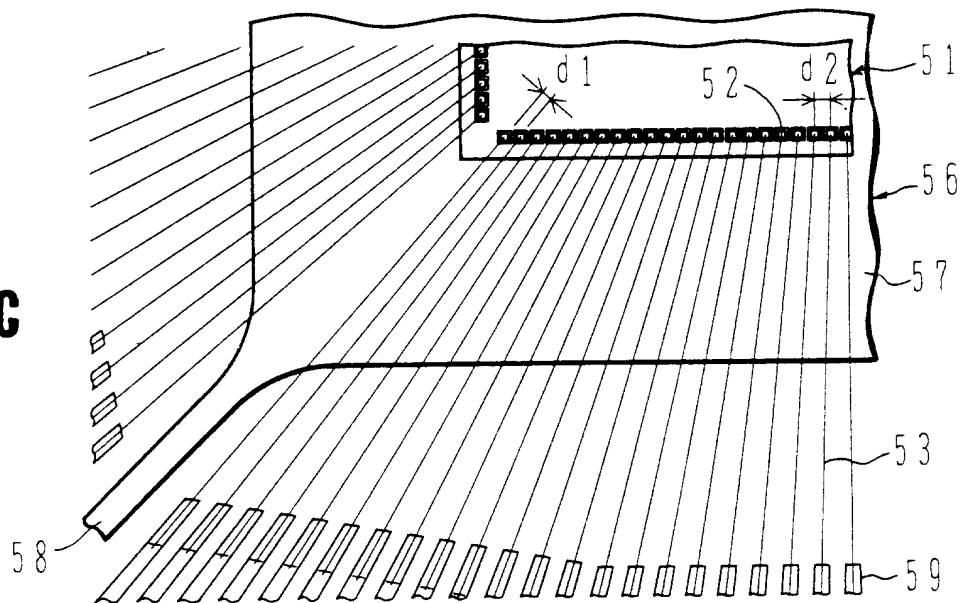
第 3 圖 A



第 3 圖 B



第 3 圖 C



第 3 圖 D

