



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) Veröffentlichungsnummer : **0 417 578 B1**

(12)

## EUROPÄISCHE PATENTSCHRIFT

(45) Veröffentlichungstag der Patentschrift :  
**13.12.95 Patentblatt 95/50**

(51) Int. Cl.<sup>6</sup> : **G09G 3/36, H04N 3/12**

(21) Anmeldenummer : **90116802.1**

(22) Anmeldetag : **01.09.90**

(54) **Ansteuerschaltung für eine Flüssigkristallanzeige**

(30) Priorität : **11.09.89 DE 3930259**

(43) Veröffentlichungstag der Anmeldung :  
**20.03.91 Patentblatt 91/12**

(45) Bekanntmachung des Hinweises auf die  
Patenterteilung :  
**13.12.95 Patentblatt 95/50**

(84) Benannte Vertragsstaaten :  
**AT BE CH DE DK ES FR GB GR IT LI LU NL SE**

(56) Entgegenhaltungen :  
**EP-A- 0 238 867**  
**EP-A- 0 298 255**  
**GB-A- 2 204 174**

(73) Patentinhaber : **DEUTSCHE  
THOMSON-BRANDT GMBH**  
**Hermann-Schwer-Strasse 3**  
**D-78048 Villingen-Schwenningen (DE)**

(72) Erfinder : **Dupont, Antoine, Dipl.-Ing.**  
**Mannheimer Strasse 24**  
**D-7730 Villingen (DE)**  
Erfinder : **Maier, Michael, Dipl.-Ing.**  
**Freiersbach 3**  
**D-7605 Bad Peterstal-Griesbach (DE)**  
Erfinder : **Hepp, Bernard, Dipl.-Ing.**  
**48 Rue Ybry**  
**F-92200 Neuilly/Seine (FR)**  
Erfinder : **Benoit, Eric, Dipl.-Ing.**  
**Wasenstrasse 5**  
**D-7750 Schwenningen (DE)**

(74) Vertreter : **Einsel, Robert, Dipl.-Ing.**  
**Deutsche Thomson-Brandt GmbH**  
**Patent- und Lizenzabteilung**  
**Göttinger Chaussee 76**  
**D-30453 Hannover (DE)**

EP 0 417 578 B1

Anmerkung : Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99(1) Europäisches Patentübereinkommen).

## Beschreibung

Die Erfindung betrifft eine Ansteuerschaltung für eine Flüssigkristallanzeige.

Bekannte Flüssigkristallanzeigen enthalten zwei Substrate, die in einem definierten Abstand zueinander angeordnet sind. Zwischen den Substraten befindet sich ein Flüssigkristallmaterial. Die Substrate sind so gewählt, daß je nach Anwendung eins oder beide durchsichtig bzw. transparent sind. Auf einem dieser Substrate ist ein transparenter Masseebenenleiter angeordnet. Das gegenüberliegende Substrat enthält eine Matrix von einzelnen Elektrodenelementen, die Pixelelektroden genannt werden. Ein Halbleiterschalter, vorzugsweise ein Dünnschichttransistor, ist jeder dieser Pixelelektroden zugeordnet und auf dem diese Elektroden enthaltenden Substrat angeordnet. Diese Transistorschalter sind entweder aus amorphem Silicium oder polykristallinen Silicium aufgebaut. Die Technologie mit amorphem Silicium ist wegen der niedrigeren Verfahrenstemperaturen für Konsumeranwendungen vorzuziehen. Die einzelnen Pixelelektroden der Matrix wirken wie Kondensatoren, mit dem Flüssigkristallmaterial als Dielektrikum. Das Anlegen einer Spannung an einer Pixelelektrode steuert die Lichtdurchlässigkeit des Flüssigkristallmaterials. Diese Transformation bzw. Umgruppierungen der Flüssigkristalle ermöglicht die Anzeige von Text oder graphischer Information, die auf der Vorrichtung sichtbar wird. Jeder Pixelelektrode ist ein eigener Halbleiterschalter zugeordnet, der ein- oder ausgeschaltet werden kann, so daß jedes einzelne Pixelelement durch Signale gesteuert werden kann, die seinem zugeordneten Halbleiterschalter zugeführt werden.

Jeder Transistor ist Kreuzungspunkt einer Spalte m und einer Zeile n der Matrix. Die Spalten m sind Datenleitungen, die Zeilen n Selektionsleitungen. Die Steuerelektrode eines jeden Transistorschalters ist mit einer Selektionsleitung und die Source- oder Drainelektrode des Transistorschalters mit einer Datenleitung verbunden. Die Drain- oder Sourceelektrode ist mit der Pixelelektrode verbunden.

Im Betrieb wird fortlaufend für das Schreiben einer Zeile ein Signalpegel an jede der Datenleitungen angelegt. Die Abtastleitungen werden fortlaufend aktiviert, damit die auf den Datenleitungen auftretenden Spannungen durch ihre entsprechenden Halbleiterschaltenelemente an die Pixelelektroden angelegt werden. Bei der Wiedergabe, z. B. einer Bildinformation werden die z. B. Grauwerte repräsentierenden Spannungen an Datenleitungen gelegt und die Abtastleitungen während der entsprechenden zu schreibenden Zeile aktiviert. Nach einer erforderlichen kurzen Ladezeit des Flüssigkristalkondensators wird eine andere Abtastleitung aktiviert und die für diese Zeile zugeordneten Datenspannungen sequentiell an die Pixelspalten angelegt. Bei Fernseh Anwendungen erfolgt dieses Schreiben von oben nach unten in z. B. 1/25 oder 1/50 Sekunden. Somit wird in dieser Zeitperiode ein vollständiges Bild auf dem Schirm angezeigt.

Zu der Kapazität, die der Flüssigkristalkondensator aufweist, gibt es parasitäre Kapazitäten, die die Signalübertragung von den Datenleitungen zu den Flüssigkristalkondensatoren unerwünscht beeinflussen. Zum einen gibt es parasitäre Kapazitäten zwischen den Datenleitungen und der Pixelelektrode, zum anderen die parasitären Gate/Source- und Gate/Drain-Kapazitäten in dem Schaltelement selbst. Im Betrieb einer derartigen Anzeige wird die Spannung auf einem Pixel während ihrer reinen Adressierung gesetzt. Der Halbleiterschalter wird dann gesperrt, und die Spannung sollte so lange konstant bleiben, bis beim erneuten Bildaufbau die Zeile neu beschrieben wird.

Um den Flüssigkristalkondensator auf den durch die Information der Datenleitung vorgegebenen Spannungswert sowie die parasitären Kapazitäten aufzuladen, ist eine Mindestladezeit erforderlich. Diese Ladezeit kann nicht beliebig verkleinert werden, bedingt durch die geringe Mobilität, die das verwendete amorphe Silicium aufweist.

Aus EP-A1-0 298 255 ist eine Ansteuerschaltung für eine Flüssigkristallanzeige bekannt, die aus einer aktiven Matrixanzeige besteht, sowie Signaltreiberschaltungen für die Spalten und die Zeilen enthält. Die Spaltenansteuerschaltung enthält Shift-Register, sowie zwei Sample- und Hold-Schaltungen für jede Spalte. In die erste Sample- und Hold-Schaltung werden sequentiell die Daten einer Zeile eingeschrieben. Nachdem die Zeile geschrieben worden ist, wird ihr gesamter Inhalt an die zweite Sample-and-Hold-Schaltung übergeben, die die Flüssigkristall-Anzeigeelemente ansteuert. Bei diesem Verfahren ist es erforderlich, dafür zu sorgen, daß die Spannung der ersten Spalten über eine lange Zeit konstant gehalten wird, bis die Sample-and-Hold-Schaltung der letzten Spalte geladen ist. Zudem ist für jede Spalte eine eigene Anschlußleitung zu verwenden.

In EP-A-0238867 bilden jeweils eine Gruppe von aufeinanderfolgenden Spalten einen Block. Die zugeführten analogen Bildsignale werden blockweise in Spalten-Kondensatoren solange zwischengespeichert, bis jeweils die Daten einer kompletten Zeile in diesen Spalten-Kondensatoren gespeichert sind. Danach wird diese Zeile zur Anzeige gebracht.

In GB-A-2204174 wird eine Display-Ansteuerschaltung beschrieben, in der die Ansteuersignale pulsbreitenmoduliert sind.

Der Erfindung liegt die Aufgabe zugrunde, eine Ansteuerschaltung für eine Flüssigkristallanzeige anzugeben, die auf einfache Weise die geladene Spannung während einer Zeitdauer konstant hält und dadurch eine

gleichmäßige Helligkeitsverteilung über die gesamte Displaybreite ermöglicht und bei der die Anzahl der Anschlußleitungen reduziert ist.

Diese Aufgabe wird durch die im Anspruch 1 angegebenen Merkmale gelöst. Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen wiedergegeben.

5 Zur Lösung der Aufgabe wird erfindungsgemäß die Ansteuerschaltung im Multiplexbetrieb betrieben. Dabei wird vor oder nach dem Aufschalten der Datenspannung auf ein Pixelelement die Selektionsleitung der jeweiligen Zeile eingeschaltet und danach oder davor die Datenspannung auf die jeweilige Spalte gegeben. Dazu werden eine Anzahl von Spalten zu Blöcken zusammengefaßt, wobei das Videosignal jeweils eines Blockes auf die jeweiligen Spalten des Anzeigeelements gegeben und das Videosignal blockweise weitergeschaltet wird. Dadurch ergibt sich für den Multiplexbetrieb eine Ladezeit für jedes Pixelelement von der Dauer der Zeile dividiert durch Anzahl der Blöcke. Da die Anzahl der Blöcke erheblich kleiner ist als die Anzahl der Spalten, ist die Ladezeit erheblich größer.

10 Zur Vermeidung von hohen Spitzenströmen sowie zur Erzielung der gleichmäßigen Helligkeitsverteilung über die gesamte Displaybreite wird das Videosignal zwischengespeichert und alle Kondensatoren der einzelnen Spalten eines Blockes parallel geladen.

Ein erfindungsgemäßes Ausführungsbeispiel wird anhand der Zeichnung erläutert.

- Fig. 1 Ansteuerung des Display
- Fig. 2 Zwischenspeicherungsanordnung
- Fig. 3 Zwischenspeicherungsanordnung mit Stromverstärker
- 20 Fig. 4 Blockschaltbild einer Zeit-Spannungswandlung
- Fig. 5 Schaltung der Zeit-Spannungswandlung nach Fig. 4
- Fig. 6 eine weitere Spannungs-Zeitwandlungsschaltung
- Fig. 7 eine Speicherschaltung
- Fig. 8 ein erstes Zeitdiagramm
- 25 Fig. 9 ein zweites Zeitdiagramm
- Fig. 10 eine erweiterte Vorstufe
- Fig. 11 ein drittes Zeitdiagramm
- Fig. 12 Zeitdiagramm zu Fig. 6

Fig. 1 zeigt die erfindungsgemäße Ansteuerung einer Flüssigkristallanzeige. Die Flüssigkristallanzeige ist in 25 Blöcken 1 - 25 aufgeteilt, mit je 30 vertikalen Ansteuerleitungen. Das Videosignal wird hier jeweils für einen Block parallel auf die 30 Eingangsleitungen 1 - 30 übertragen, wobei Eingangstakte jeweils nach Schreiben der Spalten eines Blocks auf dem nächsten Block umschalten. Bei diesem Multiplexbetrieb ergibt sich pro Block bzw. für ein Pixel die Zeit von  $p_{\text{Pixel}} = 64 \mu\text{s} / 25 = 2,5 \mu\text{s}$ . Durch die erfindungsgemäße Aufteilung der Ansteuerung der Flüssigkristallelektroden wird eine hinreichend große Zeitspanne für die Ansteuerung der Pixel realisiert. Eine mögliche Ansteuerung der Pixelelektroden kann durch ein direktes Laden der Spaltenkondensatoren eines Blockes erfolgen. Dazu wird jedoch ein sehr hoher Spitzenstrom benötigt, was insgesamt als nachteilig angesehen werden muß. Zudem ist die Helligkeitsverteilung über die gesamte Flüssigkristallanzeigebreite nicht gleichmäßig, da die einzelnen Spalten der Blöcke 1 - 25 nacheinander die Videoinformationen enthalten und die Spannung am Pixelkondensator der Spalten des ersten Blockes schon abgefallen ist, wenn die Spalten des letzten Blockes das Videosignal erhalten.

Erfindungsgemäß wird deshalb das Videosignal zwischengespeichert und ein gemeinsames Laden aller Kondensatoren in den einzelnen Spalten durchgeführt.

Fig. 2 zeigt eine solche Zwischenspeicherschaltung. Block-Schalter 26, 27, 28 wird das Videosignal im Multiplexbetrieb zugeführt. Die Schalter werden im Multiplexbetrieb blockweise nacheinander geschlossen. In geschlossenem Zustand der Schalter 26, 27, 28 werden Ladekondensatoren 32, 33, 34 nacheinander geladen. Nachdem die Zeile geschrieben ist, d. h. nachdem sämtliche Kondensatoren 32, 33, 34 geladen sind, werden Schalter 29, 30, 31 gleichzeitig geschlossen, so daß die Speicherkondensatoren 32, 33, 34 mit den Spaltenkondensatoren 35, 36, 37 gleichzeitig verbunden wird. Durch Aktivierung der Selektionsleitung werden die gespeicherten Spannungen zeilenweise auf die Anzeige gegeben.

50 Fig. 3 zeigt eine Zwischenspeicherschaltung mit einem Stromverstärker 44. Es wird eine Speicherschaltung für eine Spalte gezeigt. Über den Schalter 26 wird der Speicherkondensator 32 geladen. Nachdem alle Speicherkondensatoren der Speicherschaltung während der Zeilendauer blockweise geladen sind, wird der Schalter 29 geschlossen. Der Stromverstärker 44 verstärkt den Entladestrom des Ladekondensators 29 und führt ihn auf den Spaltenkondensator 35.

55 Fig. 4 zeigt als Stromverstärker 44 eine Schaltung zur Spannungs/Zeit-Spannungswandlung 51, 52 des Videosignals. Beispielsweise ausgehend von einem Spannungsbereich von 0 bis 6 Volt des Videosignals, wird die in einem Speicher 50 gespeicherte Videoinformation, die einen bestimmten Spannungswert darstellt, durch einen Spannungs-Zeitwandler 51 in ein pulsbreitenmoduliertes Signal umgesetzt. Dies pulsbreitenmodulierte

Signal wird anschließend durch eine Zeit-Spannungsumwandlungsschaltung 52 den Pixelkondensatoren zugeführt.

Fig. 5 zeigt eine Schaltung zur Zeit-Spannungswandlung. Das pulsbreitenmodulierte Signal 60 wird dem Gate 61 eines Transistors 63 zugeführt. An der Source-Elektrode 62 des Transistors 63 liegt eine Spannung an, die von einem Maximalwert, z. B. 6 Volt, mit einer konstanten Steigung auf 0 Volt abfällt. Ein an der Source-Elektrode angeschlossener Kondensator 65 wird somit mittels dieser Rampenspannung geladen. Als Kondensator können die parasitären Gate/Drain-Kondensatoren der Transistorschalter der nicht aktivierten Zeilen der gleichen Spalte ausgenutzt werden. Der Ausgang des Kondensators 65 wird einer Spalte des Flüssigkeitsanzeigeelements zugeführt. Je nach Höhe der Videoeingangsspannung erhält man einen unterschiedlich langen Impuls des Spannungs-Zeitwandlers 51, so daß am Kondensator 65 die jeweilige Spannung abgreifbar ist.

Fig. 6 zeigt eine Schaltung zur Speicherung und Spannung-Zeitwandlung des Videosignals. Fig. 12 gibt das zugehörige Zeitdiagramm wieder. Über einen Eingang 77 werden die Eingangsdaten der Source- bzw. Drainelektrode eines Transistors 70 zugeführt. Der Gate-Elektrode des Transistors 70 wird das Signal zum Umschalten eines Blockes  $D_{in}$  zugeführt. Über einen Eingang 78 wird eine Referenzspannung  $V_{reframp}$  an die Drain- bzw. Sourceelektrode eines Transistors 75 gelegt, dessen Gate-Elektrode mit einer Kontrollspannung  $V_{refctrl}$  79 für die Referenzspannung  $V_{reframp}$  verbunden ist. Beide Ausgangselektroden der Transistoren 70, 75 sind miteinander verbunden, Punkt A, und führen auf einen Kondensator 72. Der zweite Anschluß des Kondensators 72 führt einerseits auf die Drain/Sourceelektrode eines Transistors 71 als auch auf die Gate-Elektrode eines Transistors 73 am Punkt B. Die Gate-Elektrode des Transistors 71 ist mit der Leitung zur Umschaltung eines Blockes verbunden. Eine Elektrode des Transistor 73 ist mit Masse verbunden. Die andere Elektrode des Transistor 73 ist verbunden mit einer zweiten Elektrode des Transistors 71, sowie einer Drain/Source-Elektrode des Transistors 74. Dieser gemeinsame Verbindungspunkt C führt auf einen Ausgang 76 der Schaltung, die ein Ausgangssignal auf die Schaltung zur Zeit/Spannungswandlung z. B. gemäß Fig. 4 führt. Der Transistor 74 ist mit seiner Eingangselektrode mit einer Versorgungsspannung V verbunden. Diese Versorgungsspannung V wird gleichzeitig auf die Gate-Elektrode des Transistors 74 gelegt. Der Kondensator 72 entspricht den Kondensatoren 32, 33, 34 der Fig. 2. Der Kondensator 72 dient zur Zwischenspeicherung des Videosignals.

Zu Beginn der Ladezeit  $t_{load}$  sind beide Transistoren 70, 71 leitend. Am Punkt B stellt sich somit eine Gleichgewichtsspannung ein, die nur von der Dimensionierung der Größen der beiden Transistoren 73, 74 abhängig ist, z. B. von der Breite des Kanals der verwendeten FET-Transistoren 73, 74. Diese Schaltung dient als Inverter mit schneller Einschaltung bzw. Abschaltung des Transistors 73. Dazu wird erfindungsgemäß der Kanal des Transistors 74 möglichst klein, der des Transistors 73 möglichst groß gewählt. Der Kondensator 72 wird nun am Punkt A mit der Datenspannung geladen. Ist der Kondensator 72 geladen, so werden die beiden Transistoren 70, 71 abgeschaltet und über den Transistor 75 die Referenzspannung  $V_{reframp}$  an Punkt A gelegt.

Die Spannung am Punkt B verändert sich wie folgt:

$$U_B = U_{B0} + U_{ramp} - U_{data}$$

$U_{B0}$  ist in diesem Fall die Spannung, die sich einstellt, wenn der Transistor 71 leitend ist, d. h. die Spannung, die sich durch Dimensionierung der Transistoren 73, 74 einstellt. Es stellt sich somit eine Gleichgewichtsspannung ein. Ausgehend von einer Referenzspannung von 6 Volt mit konstantem Abfall auf 0 Volt, und einer Datenspannung  $V_{data} = 3$  Volt stellt sich am Punkt B folgende Spannung ein:

$$U_B = 4V + 6V - 3V = 7V$$

Da der Kondensator 72 in der nun folgenden Zeit quasi nicht entladen wird, folgt die Spannung  $U_B$  der Referenzrampe 78 in einem angenähert parallelen Abstand, der von der Größe der zuerst angelegten Datenspannung  $U_{data}$  abhängig ist.

Wird die Spannung  $U_B$  kleiner als  $U_{B0}$  so sperrt der Transistor 73 und die Spannung am Punkt C wird sehr schnell größer. Diese Spannung am Punkt C wird mit Hilfe eines nicht gezeichneten Inverters invertiert und zur Steuerung des Transistors 63 gemäß Fig. 5 der Schaltung zur Zeit-Spannungswandlung benutzt.

Die Pulsbreiten-Modulation kommt also dadurch zustande, daß die Spannung am Punkt B abhängig von der Datenspannung ist und den Transistor 73 früher oder später sperrt. Die in Fig. 12 gezeigten Spannungsverläufe A, B, C entsprechen für das o. a. Beispiel den Spannungsverläufen an den Punkten A, B, C.

Fig. 8 zeigt den Lade- und Prozeßvorgang in einer Zeile, wie er in Fig. 6 durchgeführt wird. Während der Zeitdauer einer Zeile von 64  $\mu s$  werden die 25 Blöcke 1 - 25 während gleicher Zeitdauer  $t_{load1}, \dots, t_{load25}$  mit dem Datensignal geladen. Die Gesamtladezeit ist kleiner als die Zeitdauer der gesamten Zeile von 64  $\mu s$ . Ausgehend davon, daß die Prozeßzeit  $t_{prozeß} = 20 \mu s$  beträgt, ergibt sich daraus eine Ladezeit für den Kondensator 72 von 1,7  $\mu s$ .

Fig. 7 zeigt eine Vorstufe für die Schaltung nach Fig. 6. Die Eingangsdaten werden einem Transistor 100 zugeführt, dessen Gate-Elektrode durch ein Kontrollsignal zur Zwischenspeicherung angesteuert wird, welches blockweise an die Gate-Elektrode angelegt wird. Die die Daten repräsentierende Spannung wird auf ei-

dem Kondensator 101 gespeichert. Diese als Spannungswert gespeicherte Information wird dem Eingang 77 der Schaltung gemäß Fig. 6 zugeführt. Dadurch werden alle 25 Vorstufenblöcke zuerst nacheinander geladen und dann die Daten zusammen in die nächste Schaltung gemäß Fig. 6 übertragen. Während des Ladens der Vorstufe der Zeilen  $n$  läuft gleichzeitig gemäß Fig. 11 der Prozeß der Daten der Zeilen  $n + 1$  ab. Die Transferzeit  $t_{\text{transfer}}$  gemäß Fig. 11 entspricht der Zeit, die in der Schaltung gemäß Fig. 6 zum Laden des Kondensators 72 zur Verfügung steht und z. B. der Zeit  $t_{\text{load1}}$  gemäß Fig. 8 entspricht. Der Transistor 100 kann bei dieser Vorstufe größer dimensioniert werden als die Transistoren 70, 71, so daß eine Ladung des Kondensators 101 in der Vorstufe schneller durchgeführt werden kann, als die Ladung des Kondensators 72 der Schaltung gemäß Fig. 6. Der Grund für die mögliche größere Dimensionierung liegt darin, daß die sich hier ergebenden Spannungsdifferenzen beim Ausschalten des Transistors bedingt durch die parasitären Gate-Drain- und Gate-Source-Kapazitäten nicht so stark auf die restliche Schaltung auswirken, als bei den Transistoren 70 und 71. Bei einer Transferzeit von z. B.  $5 \mu\text{s}$  beträgt dann die Ladezeit des Kondensators 101 der Vorstufenblöcke  $2,3 \mu\text{s}$ .

Fig. 10 zeigt eine erweiterte Vorstufenschaltung für die Schaltung gemäß Fig. 6. Die Videodatensignale 80 werden sowohl einem Transistor 81, als auch einem Transistor 87 zugeführt. Die jeweils andere Elektrode der Transistoren 81, 87 sind einerseits mit Kondensatoren 83, 88, als auch den Eingangselektroden von Transistoren 82, 84 verbunden. Die Ausgänge der Transistoren 82, 84 werden gemeinsam auf den Ladekondensator 72 geführt, dem die Referenzspannung  $V_{\text{reframp}}$  über den Transistor 75 zugeführt wird, entsprechend Fig. 6.

Mit dieser Vorschalung kann nun eine ganze Zeile gemäß Fig. 9 dazu benutzt werden, die Vorstufen zu laden, so daß sich eine Ladezeit  $t_{\text{load83}}, t_{\text{load88}}$  der Kondensatoren 83/88 von  $2,5 \mu\text{s}$  ergibt. Diese Zeit ist außerdem völlig unabhängig von der Transferzeit  $t_{\text{transfer}}$ . Die Ansteuerungen des Transistors 81 geschieht durch ein Blockumschalten Bu2n jeder 2n-ten Zeile, des Transistors 87 durch ein Blockumschaltssignal Bu2n+1 jeder 2n+1-ten Zeile, des Transistors 82 durch ein Zeilenschaltssignal Z2n+1 jeder 2n-1ten Zeile und des Transistors 84 durch ein Zeilenumschaltssignal Z2n jeder 2n-ten Zeile.

Die Schaltung gemäß Fig. 6 ist je Block 1 - 25 entsprechend der Spaltenzahl pro Block enthalten. Die Eingänge der Gateelektroden der Transistoren 70, 71 werden blockweise parallel geschaltet. Das Kontrollsignal 79 wird nach Schreiben sämtlicher Blöcke 1 - 25 während einer Prozeßzeit angelegt.

## Patentansprüche

1. Ansteuerschaltung für eine Flüssigkristallanzeige, bei der zur Anzeige Pixelelemente mit einer Matrix aus durch Datenleitungen gebildeten Spalten und durch Selektionsleitungen gebildeten Zeilen ansteuerbar sind, wobei jeweils eine Anzahl der Spalten zu Blöcken (1, 2, ..., 25) zusammengefaßt ist und der entsprechende Teil des anzuzeigenden Signals jeweils parallel über Schalter (26, 27, 28, 70) den Spalten eines Blocks und den Blöcken nacheinander zugeführt wird, wobei für jede Spalte eine das anzuzeigende Signal speichernde Kapazität (35, 36, 37, 65) entsprechend geladen wird und nach Ansteuerung der Blöcke einer Zeile über die Selektionsleitungen die entsprechende Zeile zur Anzeige ausgewählt wird, dadurch gekennzeichnet, daß das anzuzeigende Signal zusätzlich in einem jeder der Spalten zugeordneten Ladekondensator (32, 33, 34, 72) zwischengespeichert wird und daß jeweils nach Ladung der Ladekondensatoren einer Zeile über Stromverstärker (44) die Spaltenkapazitäten (35, 36, 37, 65) parallel geladen werden.
2. Ansteuerschaltung nach Anspruch 1, dadurch gekennzeichnet, daß in den Stromverstärkern (44) das anzuzeigende Signal in ein pulsbreiten-moduliertes Signal (60) umgesetzt wird, mit dem über eine Zeit-Spannungs-Wandlerschaltung (52; 63, 65) jeweils eine der Spalten angesteuert wird.
3. Ansteuerschaltung nach Anspruch 2, dadurch gekennzeichnet, daß das pulsbreiten-modulierte Signal (60) mit Hilfe eines Spannungs-Zeit-Wandlers (73, 74) in einer Transistorschaltung (70, 71, 73, 74, 75) generiert wird, die an einem ersten Eingang (77) die anzuzeigenden Eingangssignale für die Datenleitungen und an einem zweiten Eingang (78) eine rampenförmige Referenzspannung ( $V_{\text{reframp}}$ ) erhält und in der jeweils einer der Ladekondensatoren (32, 33, 34, 72) angeordnet ist und die entsprechend dem jeweils selektierten Block an einem dritten Eingang ( $D_{\text{in}}$ ) aktiviert wird.
4. Ansteuerschaltung nach Anspruch 3, dadurch gekennzeichnet, daß das anzuzeigende Signal während einer Ladezeit ( $t_{\text{lad}}$ ) über eine erste Transistoranordnung (70) mit einem zweiten Transistor (75), an den die Referenzspannung ( $V_{\text{reframp}}$ ) angelegt ist, verbunden ist, daß ein erster Verbindungspunkt (A) der ersten und zweiten Transistoren (70, 75) auf den Ladekondensator (72) führt, daß ein zweiter Verbindungspunkt (B) die andere Seite des Ladekondensators mit einem Eingang eines dritten Transistors (71) und

der Steuerelektrode eines vierten Transistors (73) verbindet, daß ein dritter Verbindungspunkt (C) der Ausgangs- bzw. Eingangselektroden des dritten und vierten Transistors sowohl mit dem Ausgang (76) der Transistorschaltung als auch mit dem Ausgang eines mit seinem Eingang und seiner Steuerelektrode mit einer Versorgungsspannung (V) verbundenen, fünften Transistors (74) gekoppelt ist.

5

5. Ansteuerschaltung nach Anspruch 4, **dadurch gekennzeichnet**, daß die erste Transistoranordnung (70) ein Transistor ist.

10

6. Ansteuerschaltung nach Anspruch 4, **dadurch gekennzeichnet**, daß die Transistoren (70, 71, 73, 74, 75) FET- bzw. TFT-Transistoren sind.

7. Ansteuerschaltung nach einem der Ansprüche 4 bis 6, **dadurch gekennzeichnet**, daß der Kanal des fünften Transistors (74) möglichst klein, der des vierten Transistors (73) möglichst groß gewählt wird.

15

8. Ansteuerschaltung nach einem der Ansprüche 4 bis 7, **dadurch gekennzeichnet**, daß nach Ladung des Ladekondensators (72) der erste und der dritte Transistor (70, 71) gesperrt wird und über den zweiten Transistor (75) eine Referenzrampe ( $V_{\text{reframp}}$ ) an den ersten Verbindungspunkt (A) gelegt wird.

20

9. Ansteuerschaltung nach einem der Ansprüche 4 bis 8, **dadurch gekennzeichnet**, daß das anzuzeigende Signal für jede Eingangsleitung über einen sechsten Transistor (100) während einer Ladezeit blockweise einem zweiten Kondensator (101) zugeführt wird, daß nach blockweiser Ladung aller zweiten Kondensatoren (101) zeilenweise die gespeicherten Daten an den Eingang des ersten Transistors (70) gelegt werden.

25

10. Ansteuerschaltung nach Anspruch 4, **dadurch gekennzeichnet**, daß die erste Transistoranordnung (70) aus einer Parallelschaltung mit einem ersten Zweig, der einen siebten Transistor (81), einen dritten Kondensator (83) und einen achten Transistor (82) enthält, und einem zweiten Zweig, der einen neunten Transistor (87), einen vierten Kondensator (88) und einen zehnten Transistor (84) enthält, besteht.

30

### Claims

1. Control circuit for a liquid crystal display in which pixel elements are controllable, for display purposes, by means of a matrix consisting of columns formed by data lines and rows formed by selection lines, wherein a number of columns is combined into respective blocks (1, 2, ..., 25) and the relevant part of the signal to be displayed is respectively supplied in parallel via switches (26, 27, 28, 70) to the columns of a block and successively to each of the blocks, wherein a capacitor (35, 36, 37, 65) for storing the signal to be displayed is correspondingly charged for each column and, in accordance with the control process of the blocks of a row, the corresponding row for the display is selected via the selection lines, characterised in that, the signal to be displayed is additionally buffer stored in a charging capacitor (32, 33, 34, 72) associated with each of the columns and that, in each case following the charging of the charging capacitors of a row, the column capacitors (35, 36, 37, 65) are charged in parallel via a current amplifier (44).

45

2. Control circuit in accordance with Claim 1, characterised in that, the signal to be displayed is converted in the current amplifiers (44) into a pulse width modulated signal (60) with which a respective one of the columns is controlled via a time - voltage converter circuit (52; 63, 65).

50

3. Control circuit in accordance with Claim 2, characterised in that, the pulse width modulated signal (60) is generated with the help of a voltage - time converter (73, 74) in a transistor circuit (70, 71, 73, 74, 75) which receives the input signal that is to be displayed for the data lines at a first input (77) and a ramp shaped reference voltage ( $V_{\text{reframp}}$ ) at a second input (78) and in which a respective one of the charging capacitors (32, 33, 34, 72) is disposed and which is activated at a third input ( $D_{\text{in}}$ ) in accordance with the currently selected block.

55

4. Control circuit in accordance with Claim 3, characterised in that, the signal to be displayed is connected during a charging time ( $t_{\text{load}}$ ) via a first transistor arrangement (70) to a second transistor (75) to which the reference voltage ( $V_{\text{reframp}}$ ) is applied, that a first connection point (A) of the first and second transistors

- (70, 75) leads to the charging capacitor (72), that a second connection point (B) connects the other side of the charging capacitor to an input of a third transistor (71) and to the control electrode of a fourth transistor (73), that a third connection point (C) of the output or input electrodes of the third and fourth transistors is coupled to the output (76) of the transistor circuit and also to the output of a fifth transistor (74) which is connected to a supply voltage (V) at its input and its control electrode.
- 5 5. Control circuit in accordance with Claim 4, characterised in that, the first transistor arrangement (70) is a transistor.
  - 10 6. Control circuit in accordance with Claim 4, characterised in that, the transistors (70, 71, 73, 74, 75) are FET or TFT transistors.
  - 15 7. Control circuit in accordance with any of the Claims 4 to 6, characterised in that, the channel of the fifth transistor (74) is selected to be as small as possible and that of the fourth transistor (73) to be as large as possible.
  - 20 8. Control circuit in accordance with any of the Claims 4 to 7, characterised in that, the first and the third transistor (70, 71) are blocked after the charging capacitor (72) has charged up and a reference ramp ( $V_{\text{reframp}}$ ) is applied to the first connection point (A) via the second transistor (75).
  - 25 9. Control circuit in accordance with any of the Claims 4 to 8, characterised in that, the signal to be displayed for each input line is supplied blockwise to a second capacitor (101) via a sixth transistor (100) during a charging time, that the stored items of data are applied line-by-line to the input of the first transistor (70) following the blockwise charging of each of the second capacitors (101).
  - 30 10. Control circuit in accordance with Claim 4, characterised in that, the first transistor arrangement (70) consists of a parallel circuit including a first branch which contains a seventh transistor (81), a third capacitor (83) and an eighth transistor (82) and a second branch which contains a ninth transistor (87), a fourth capacitor (88) and a tenth transistor (84).

## Revendications

- 35 1. Circuit de commande pour un dispositif d'affichage à cristaux liquides où, pour assurer l'affichage, des éléments en pixels sont commandés au moyen d'une matrice composée de colonnes formées par des lignes de données et composée de lignes formées par des lignes de sélection, où un certain nombre de colonnes sont regroupés en blocs (1, 2, ... 25) et où la partie correspondante du signal à afficher est amenée en parallèle aux colonnes d'un bloc par l'intermédiaire de commutateurs (26, 27, 28, 70) avant d'être passée successivement sur les blocs, sachant qu'une capacité (35, 36, 37, 65) mémorisant le signal à afficher est chargée en conséquence pour chaque colonne, et qu'après la commande des blocs respectifs d'une ligne, la ligne en question est choisie pour l'affichage par l'intermédiaire des lignes de sélection, circuit de commande caractérisé en ce que le signal à afficher est en outre tamponné dans un condensateur de charge (32, 33, 34, 72) associé à chacune des colonnes, et qu'après le chargement d'un condensateur de charge d'une ligne, les capacités de colonnes (35, 36, 37, 65) sont chargées en parallèle par l'intermédiaire d'amplificateurs (44).
- 45 2. Circuit de commande selon la revendication 1 caractérisé en ce que, dans les amplificateurs (44), le signal à afficher est transformé en un signal à impulsion modulée en durée (60) qui permet de sélectionner chaque fois une colonne par l'intermédiaire d'un circuit de transformation temps-tension (52 ; 63, 65).
- 50 3. Circuit de commande selon la revendication 2 caractérisé en ce que le signal à impulsion modulée en durée (60) est généré dans un circuit à transistors (70, 71, 73, 74, 75) au moyen d'un transformateur tension-temps (73, 74), ledit circuit à transistor recevant au niveau d'une première entrée (77) les signaux d'entrée à afficher destinés aux lignes de données, et au niveau d'une seconde entrée (78) une tension de référence en rampe ( $V_{\text{reframp}}$ ), l'un des condensateurs de charge (32, 33, 34, 72) étant disposé dans ledit circuit à transistors qui est activé au niveau d'une troisième entrée ( $D_{\text{in}}$ ) en fonction du bloc sélectionné.
- 55

4. **Circuit de commande selon la revendication 3 caractérisé en ce que, pendant un temps de chargement ( $t_{\text{load1}}$ ), le signal à afficher est connecté par l'intermédiaire d'un premier arrangement transistorisé (70) à un second transistor (75) auquel est appliquée la tension de référence ( $V_{\text{reframp}}$ ), qu'un premier point de connexion (A) des premier et second transistors (70, 75) passe sur le condensateur de charge (72), qu'un second point de connexion (B) relie l'autre côté dudit condensateur de charge avec une entrée d'un troisième transistor (71) et avec l'émetteur d'un quatrième transistor (73), qu'un troisième point de connexion (C) des électrodes de sortie et d'entrée des troisième et quatrième transistors est raccordé tant à la sortie du circuit à transistors qu'à la sortie d'un cinquième transistor (74) dont l'entrée et l'émetteur sont branchés sur une tension d'alimentation (V).**
5. **Circuit de commande selon la revendication 4 caractérisé en ce que le premier arrangement transistorisé (70) est un transistor.**
6. **Circuit de commande selon la revendication 4 caractérisé en ce que lesdits transistors (70, 71, 73, 74, 75) sont des transistors à effet de champ ou des transistors TFT.**
7. **Circuit de commande selon l'une quelconque des revendications 4 à 6 caractérisé en ce que le canal du cinquième transistor (74) est choisi aussi petit que possible et celui du quatrième transistor (73) aussi grand que possible.**
8. **Circuit de commande selon l'une quelconque des revendications 4 à 7 caractérisé en ce que les premier et troisième transistors (70, 71) sont bloqués après le chargement du condensateur de charge (72) et qu'une rampe de référence ( $V_{\text{reframp}}$ ) est appliquée au premier point de connexion (A) par l'intermédiaire du second transistor (75).**
9. **Circuit de commande selon l'une quelconque des revendications 4 à 8 caractérisé en ce que, par l'intermédiaire d'un sixième transistor (100), le signal à afficher est transmis pour chaque ligne d'entrée bloc par bloc et durant un certain temps de chargement sur un second transistor (101), et qu'après le chargement bloc par bloc de tous les seconds transistors (101), les données enregistrées sont amenées ligne par ligne sur l'entrée du premier transistor (70).**
10. **Circuit de commande selon la revendication 4 caractérisé en ce que le premier arrangement transistorisé (70) est constitué d'un circuit monté en parallèle avec une première branche comportant un septième transistor (81), un troisième condensateur (83) et un huitième transistor (82) d'une part, et avec une seconde branche comportant un neuvième transistor (87), un quatrième condensateur (88) et un dixième transistor (84) d'autre part.**

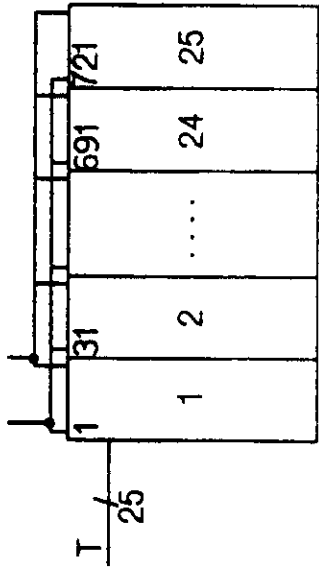


Fig. 1

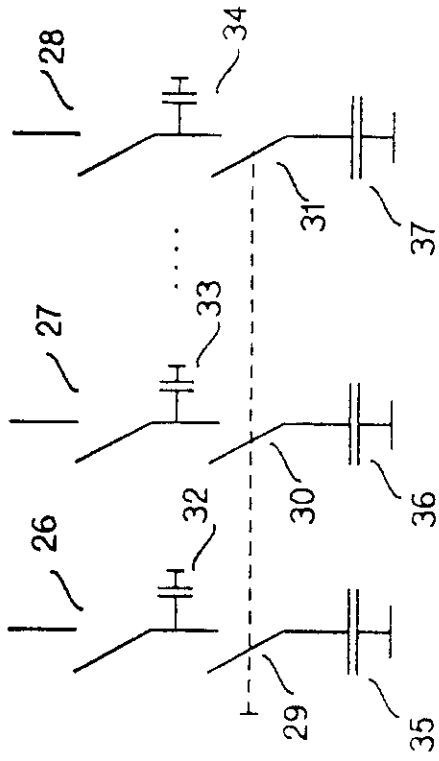
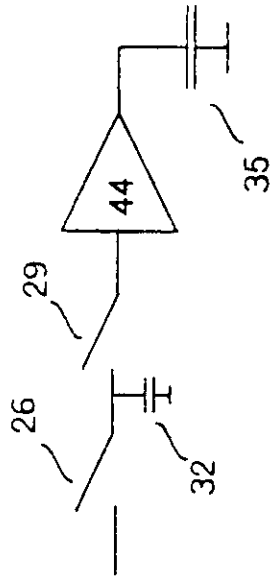


Fig. 2

Fig. 3

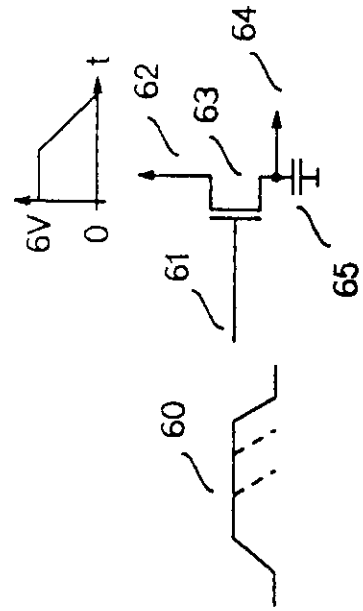


Fig. 5

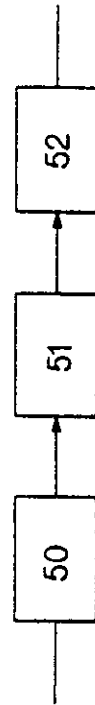


Fig. 4

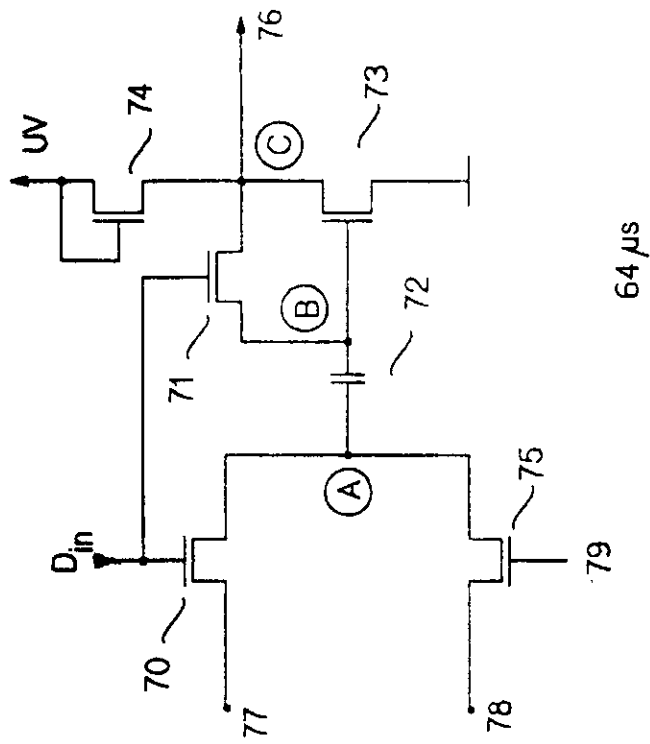


Fig. 6

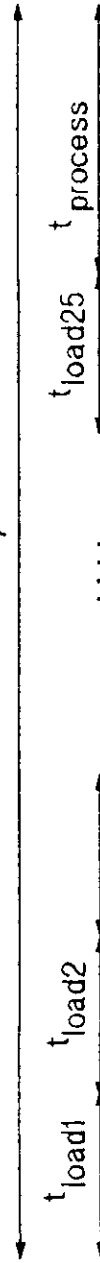


Fig. 8

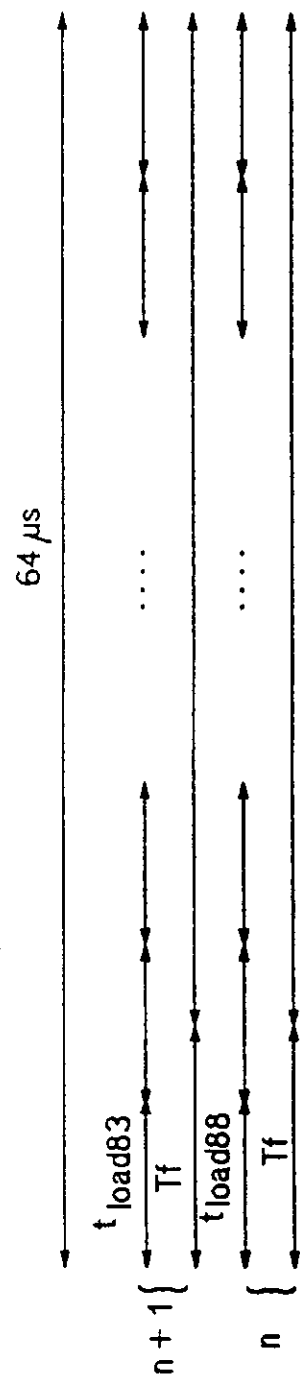


Fig. 9

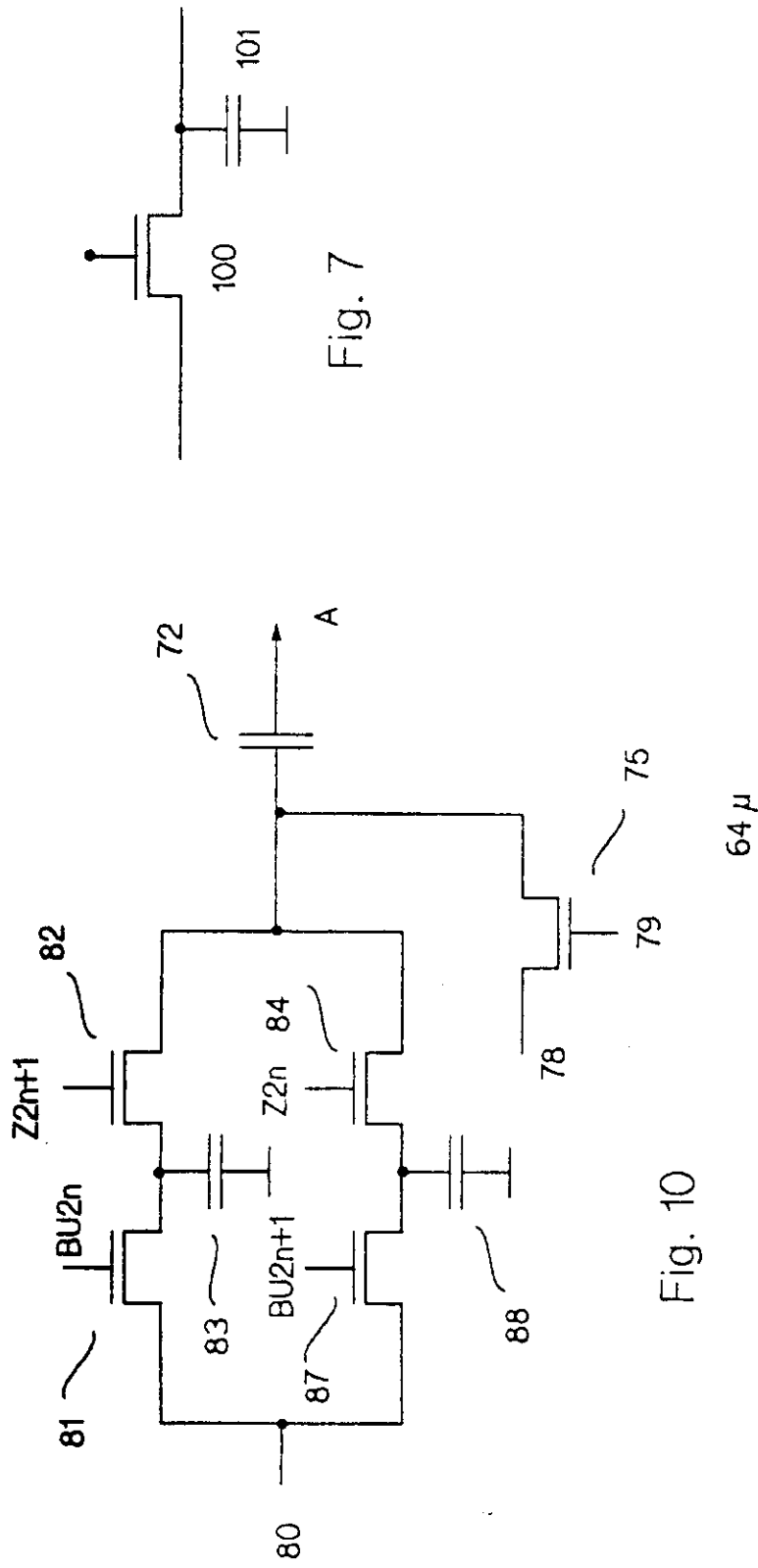


Fig. 7

Fig. 10

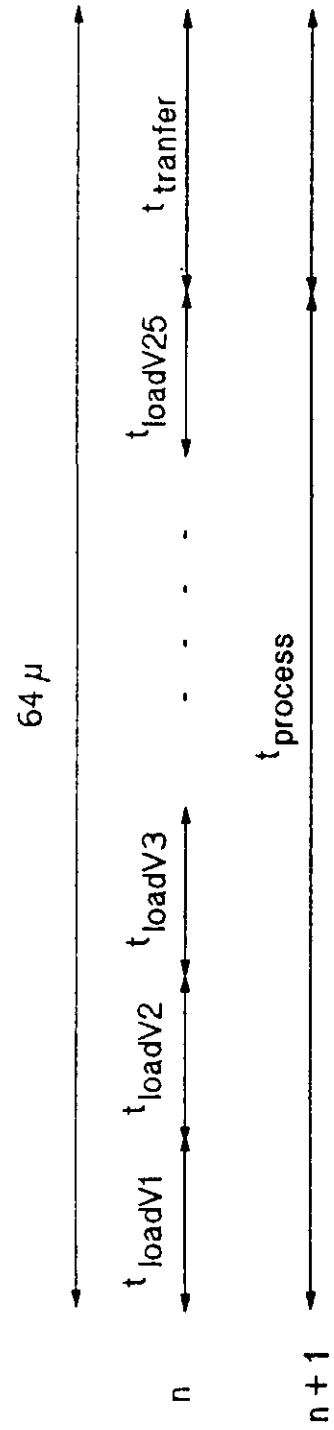


Fig. 11

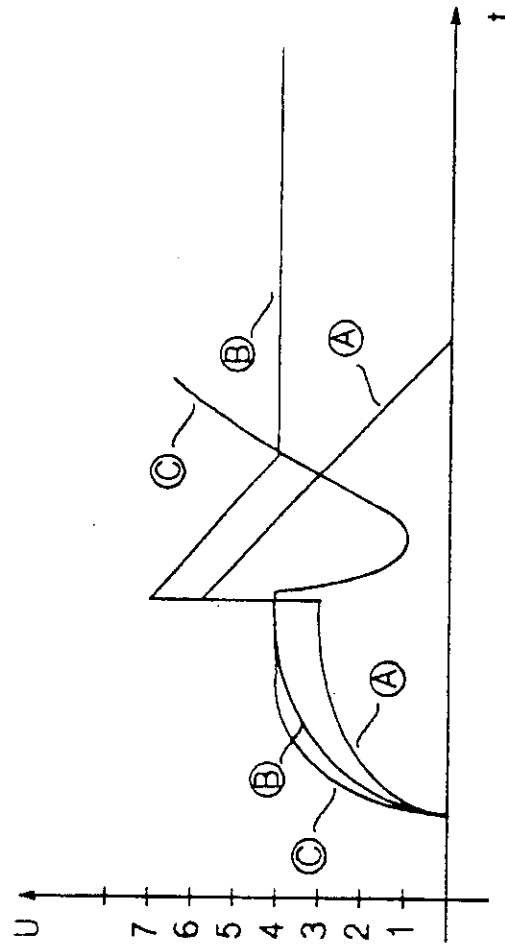
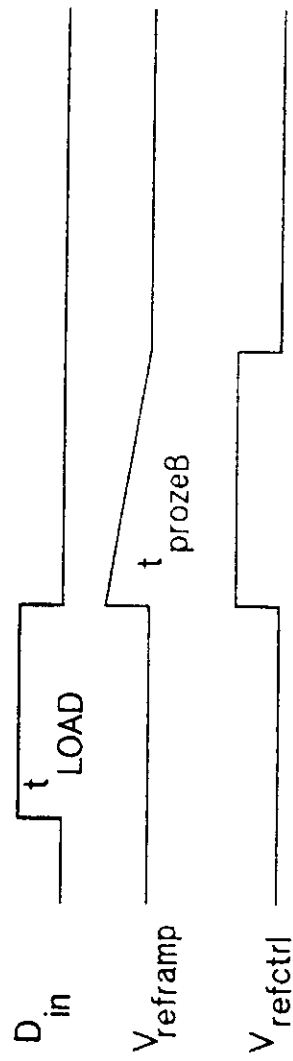
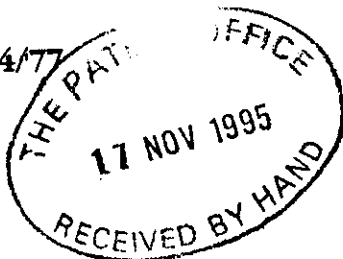


Fig. 12



The  
Patent  
Office

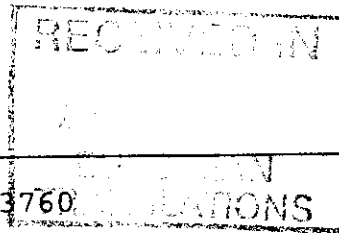
21NOV95 E156968-1 002910  
P54/7700 35.00

# Filing a translation in connection with a European patent or a European patent application

(See the notes on the back of this form)

The Patent Office

Cardiff Road  
Newport  
Gwent NP9 1RH



1. Your reference

SP/N3760

2. European patent number or publication  
number of application (or International  
publication number (see note (e)))

0 417 578

3. Full name and address of the or of each  
applicant for or proprietor of the  
European patent (UK)

DEUTSCHE THOMSON-BRANDT GMBH  
HERMANN-SCHWER-STRASSE 3  
D-78048 VILLINGEN-SCHWENNINGEN  
DE

Patents ADP number (if you know it)

4. What kind of translated document listed at  
note (c) are you sending with this form?

1 (i)

(Answer by writing 1(i), 1(ii), 1(iii) or 2)

5. Date when the European patent (UK) was  
granted or amended  
(See note (f))

13.12.1995

6. Full name, address and postcode in the United  
Kingdom to which all correspondence relating  
to this form and translation should be sent

WILLIAMS, POWELL & ASSOCIATES  
34 Tavistock Street  
London WC2E 7PB

Patents ADP number (if you know it)

5830310001

7. Do you want the address in part 6 above to  
be the address for service recorded on the  
Register or to replace the address for service  
currently on the Register?  
(If so then write 'YES')

yes

8.

Signature

Date

*William Bill A*

17/11/95

9. Name and daytime telephone number of  
person to contact in the United Kingdom

Mr R. Diederich

099 JS 54/77 75  
0171 836 3336

GREAT BRITAIN )  
ENGLAND )  
LONDON )

IN THE MATTER OF an Application  
for a Hong Kong Registration  
Patent

I, Derek Ernest LIGHT BA BDÜ,  
do hereby certify:

THAT I am a Technical Translator to RWS Translations Ltd., of  
Europa House, Marsham Way, Gerrards Cross, Buckinghamshire,  
England and known as such to the undersigned Notary Public;  
THAT I have a competent knowledge of the German and English  
languages;

AND THAT, to the best of my knowledge and belief, the attached  
document is a true and correct translation of the cover page of  
the European Patent in the name of  
DEUTSCHE THOMSON-BRANDT GMBH  
granted under No. 0,417,578

Signed by DEREK ERNEST LIGHT )  
For and on behalf of RWS Translations Ltd.)  
This 12<sup>th</sup> day of March )  
1996 )

  
DEREK ERNEST LIGHT

I hereby certify the authenticity of the above signature of  
DEREK ERNEST LIGHT whose identity I attest.

London, the 12<sup>th</sup> day of March 1996

  
NOTARY PUBLIC OF LONDON ENGLAND

19 European Patent Office  
European Patent Office  
European Patent Office

11 Publication No.: 0 417 578 B1

12 EUROPEAN PATENT SPECIFICATION

45 Date of publication of the  
patent specification:  
13.12.95 Bulletin 95/50

51 Int. Cl.<sup>6</sup>: G09G 3/36, H04N 3/12

21 Application No.: 90116802.1

22 Filing date: 01.09.90

---

54 Circuit for driving a liquid crystal display.  
[Title as printed]

---

30 Priority: 11.09.89 DE 3930259

72 Inventor: Dipl.-Ing. Antoine Dupont  
Mannheimer Strasse 24  
D-7730 Villingen (DE)

43 Date of publication of the  
application:  
20.03.91 Bulletin 91/12

Inventor: Dipl.-Ing. Michael Maier  
Freiersbach 3  
D-7605 Bad Peterstal-Griesbach (DE)  
Inventor: Dipl.-Ing. Bernard Hepp  
48 Rue Ybry

45 Publication of the notice  
of the patent grant:  
13.12.95 Bulletin 95/50

F-92200 Neuilly/Seine (FR)  
Inventor: Dipl.-Ing. Eric Benoit  
Wasenstrasse 5  
D-7750 Schwenningen (DE)

84 Designated contracting States:  
AT BE CH DE DK ES FR GB GR IT LI LU NL SE

56 Cited documents:  
EP-A- 0 238 867  
EP-A- 0 298 255  
GB-A- 2 204 174

74 Representative:  
Dipl.-Ing. Robert Einsele  
Deutsche Thomson-Brandt GmbH  
Patent- und Lizenzabteilung  
Göttinger Chaussee 76  
D-30453 Hannover (DE)

73 Patent proprietor: DEUTSCHE  
THOMSON-BRANDT GMBH  
Hermann-Schwer-Strasse 3  
D-78048 Villingen-Schwenningen (DE)

EP 0 417 578 B1

---

Note: Within nine months from the publication of the notice of the grant of the European patent in the European Patent Bulletin, any person may lodge opposition to the granted European patent at the European Patent Office. The opposition shall be filed in writing and the grounds thereof shall be stated. It shall be deemed to have been filed only when the opposition fee has been paid (Art. 99(1) of the European Patent Convention).

---

Jouve, 18, rue Saint-Denis, 75001 PARIS

PATENTS ACT 1977

IN THE MATTER OF  
a U.K. Patent Application

D E C L A R A T I O N

I, Anthony Francis Berry of 10 Downs View Close,  
Orpington, Kent, declare that I am conversant with the  
English and German languages and I verify that the following is  
to the best of my knowledge and belief a true and correct  
translation of European Patent No. 0 417 578

Signature of translator:.....

dated this 17 day of  1995.

The invention relates to a control circuit for a liquid crystal display.

Known liquid crystal displays comprise two substrates which are disposed at a defined distance from one another. A liquid crystal material is located between the substrates. The substrates are selected in dependence on the application such that one or both can be seen through i.e. that one or both is transparent. A transparent earth plane conductor is disposed on one of these substrates. The opposite substrate comprises a matrix of individual electrode elements which are called pixel electrodes. A semiconductor switch, preferably a thin film transistor, is associated with each of these pixel electrodes and is disposed on the substrate including these electrodes. These transistor switches are constructed either from amorphous silicon or polycrystalline silicon. The amorphous silicon technology is to be preferred for general consumer applications because of the much lower operating temperatures. The individual pixel electrodes of the matrix function in effect as capacitors using the liquid crystal material as a dielectric. The application of a voltage to a pixel electrode controls the transparency of the liquid crystal material. This transformation or regrouping of the liquid crystals enables text or graphical information to be displayed which is then visible on the device. An individual semiconductor switch, which can be switched on or off, is associated with each pixel element so that each individual pixel element can be controlled by signals which are supplied to its associated semiconductor switch.

Each transistor is a crossing point of a column  $m$  and a row  $n$  of the matrix. The columns  $m$  are data lines, the rows  $n$  being selection lines. The control electrode of each one of the transistor switches is connected to a selection line and the source or drain electrode of the transistor switch is connected to a data line. The drain or source electrode is connected to the pixel electrode.

In operation, a signal level is applied continuously to each of the data lines for writing a row. The scanning lines are activated continuously in order for the voltages occurring on the data lines to be applied to the pixel electrodes via their corresponding semiconductor switching elements. When, for example, an item of picture information is to be reproduced, the voltages representing the grey values for example, are applied to the data lines and the scanning lines are activated during the rows that are to be written in correspondence therewith. After a short, but necessary, charging time for the liquid crystal capacitor, another scanning line is activated and the associated data voltages for this row are applied sequentially to the pixel columns. In the case of television applications, this writing process takes place from top to bottom in e.g.  $1/25^{\text{th}}$  or  $1/50^{\text{th}}$  of a second. Consequently, a complete picture is displayed on the screen during this time period.

Parasitic capacitances, which influence the signal transmission from the data lines to the liquid crystal capacitors in an undesired manner, are associated with the capacitance of the liquid crystal capacitor. On the one hand there are parasitic capacitances between the data lines and the pixel electrodes and secondly, there are the parasitic gate / source and gate / drain capacitances in the switching element itself. During the operation of a display of this type, the voltage is applied to a pixel merely while it is being addressed. The semiconductor switch is then blocked and the voltage has to remain constant until such time as the row is written afresh during the renewed build-up of the picture.

A minimum charging time is required in order to charge up the liquid crystal capacitor to the voltage value determined by the information on the data line as well as to charge up the parasitic capacitances. This charging time cannot be arbitrarily shortened due to the very low mobility exhibited by the amorphous silicon being used.

A control circuit for a liquid crystal display, which consists of an active matrix display and comprises signal driver circuits for the rows and columns, is known from EP-A1-0 298 255. The column control circuit comprises shift registers and also two sample-and-hold circuits for each column. The items of data for a row are written into the first sample-and-hold circuit sequentially. After the row has been written, its entire contents are transferred to the second sample-and-hold circuit which then controls the liquid crystal display elements. In this process, it is necessary to take care that the voltage of the first column is kept constant for a long time, i.e. until the sample-and-hold circuit of the last column has loaded. In addition to this, an individual terminal lead has to be used for each column.

In the EP-A-0 238 867, a group of successive columns form a respective block. The analogue picture signals being supplied are buffer stored blockwise in column capacitors until the respective items of data for a complete row have been stored in these column capacitors. Following this process, this row is then brought up for display.

A display control circuit in which the control signals are pulse width modulated is described in GB-A-2 204 174.

The object of the invention is to provide a control circuit for a liquid crystal display which, in a simple manner, keeps the charge voltage constant over a period of time and thereby makes it possible to have a uniform distribution of the brightness over the full width of the display and in which the number of terminal leads is reduced.

This object is achieved by the features indicated in claim 1. Advantageous developments of the invention are specified in the appendant claims.

In order to achieve the object, the control circuit is, in accordance with the invention, operated in multiplex mode. Thereby, prior to or following the connection of the data voltage to a pixel element, the selection line of the relevant row is switched on and thereafter or beforehand, the data voltage is applied to the relevant column. To this end, a number of columns are combined into blocks whereby the video signal for a respective block is applied to the relevant columns of the display element and the video signal is switched onwards in block-like manner. For the multiplex mode, there thereby results a charging time for each pixel element which is equal to the duration of the row divided by the number of blocks. Since the number of blocks is appreciably smaller than the number of columns, the charging time is appreciably greater.

In order to avoid high current peaks as well as to achieve a uniform distribution of the brightness over the full width of the display, the video signal is buffer stored and all the capacitors of the individual columns of a block are charged in parallel.

The embodiment in accordance with the invention will be explained with the help of the drawing.

Fig. 1     the control of the display

Fig. 2     a buffer storage arrangement

Fig. 3     a buffer storage arrangement including a current amplifier

Fig. 4     a block circuit diagram of a time - voltage conversion process

Fig. 5     a circuit for the time - voltage conversion process in accordance with Fig. 4

Fig. 6 a further voltage - time conversion circuit

Fig. 7 a storage circuit

Fig. 8 a first timing diagram

Fig. 9 a second timing diagram

Fig. 10 an expanded preliminary stage

Fig. 11 a third timing diagram

Fig. 12 a timing diagram for Fig. 6

Fig. 1 shows the control process for a liquid crystal display in accordance with the invention. The liquid crystal display is divided into 25 blocks 1 - 25 each having 30 vertical control leads. Here, the video signal for a respective block is transmitted in parallel on the 30 input leads 1 - 30 whereby input clock pulses switch over to the next block after each writing of the columns of a block. For this multiplex mode, there ensues per block or for one pixel, the time of  $p_{\text{pixel}} = 64 \text{ } \mu\text{sec} / 25 = 2.5 \text{ } \mu\text{sec}$ . A sufficiently great time span for controlling the pixels is realised by virtue of the distribution of the control process for the liquid crystal electrodes in accordance with the invention. One possible method of controlling the pixel electrodes could be effected by directly charging the column capacitors of a block. For this however, a very high peak current is necessary which is something that has to be viewed as disadvantageous overall. In addition to this, the distribution of the brightness over the full width of the liquid crystal display is not uniform since the individual columns of the blocks 1 - 25 receive the items of video information one after the other and the voltage on the pixel capacitor of the columns of the first block has already fallen when the columns of the last block receive the video signal.

Consequently, in accordance with the invention, the video signal is buffer stored and a common charging of all of the capacitors in the individual columns is carried out.

Fig. 2 shows such a buffer storage circuit. The video signal is supplied in a multiplex mode to the block switches 26, 27, 28. The switches are closed blockwise, one after the other, in the multiplex mode. The charging capacitors 32, 33, 34 are successively charged in the closed state of the switches 26, 27, 28. The switches 29, 30, 31 are closed simultaneously after the row has been written i.e. after all of the capacitors 32, 33, 34 have been charged so that the storage capacitors 32, 33, 34 are simultaneously connected to the column capacitors 35, 36, 37. The stored voltages are passed row-by-row to the display by activating the selection line.

Fig. 3 shows a buffer storage circuit including a current amplifier 44. A storage circuit for one column is shown. The storage capacitor 32 is charged via the switch 26. After all of the storage capacitors in the storage circuit have been block wise charged during the line period, the switch 29 is closed. The current amplifier 44 amplifies the discharge current of the charging capacitor 29 and guides it to the column capacitor 35.

Fig. 4 shows a circuit for the voltage / time conversion 51, 52 of the video signal as a current amplifier 44. As an example, assuming a voltage range of 0 to 6 volts for the video signal, the video information, which represents a certain voltage value and is stored in a store 50, is converted into a pulse width modulated signal by a voltage - time converter 51. Thereafter, this pulse width modulated signal is supplied to the pixel capacitors via a time - voltage conversion circuit 52.

Fig. 5 shows a circuit for the time - voltage conversion process. The pulse width modulated signal 60 is supplied to the gate 61 of a transistor 63. A voltage, which decays with a constant slope from a maximum value of e.g. 6 volts to 0 volts,

is present on the source electrode 62 of the transistor 63. Consequently, a capacitor 65 connected to the source electrode is charged by means of this ramp voltage. The parasitic gate / drain capacitors of the transistor switches of the non-activated rows in the same column may be utilised as the capacitor. The output of the capacitor 65 is supplied to a column of the liquid crystal display element. One obtains different length pulses from the voltage / time converter 51 in dependence on the magnitude of the video input voltage so that the relevant voltage can be derived from the capacitor 65.

Fig. 6 shows a circuit for the storage and production of a voltage - time conversion of the video signal. The associated timing diagram is reproduced in Fig. 12. The items of input data are supplied via an input 77 to the source or drain electrode of a transistor 70. The signal is supplied to the gate electrode of the transistor 70 for switching over a block  $D_{in}$ . A reference voltage  $V_{reframp}$  is applied via an input 78 to the drain or source electrode of a transistor 75 whose gate electrode is connected to a control voltage  $V_{refctrl}$  79 for the reference voltage  $V_{reframp}$ . The two output electrodes of the transistors 70, 75 are connected together, point A, and lead to a capacitor 72. The second terminal of the capacitor 72 leads in turn to the drain / source electrode of a transistor 71 and also to the gate electrode of a transistor 73 at the point B. The gate electrode of the transistor 71 is connected to the lead used for switching over a block. One electrode of the transistor 73 is connected to earth. The other electrode of the transistor 73 is connected to a second electrode of the transistor 71 as well as to a drain / source electrode of the transistor 74. This common connecting point C leads to an output 76 of the circuit which conveys an output signal to the circuit for the time / voltage conversion process e.g. in accordance with Fig. 4. The transistor 74 is connected at its input electrode to a supply voltage  $V$ . This supply  $V$  is applied simultaneously to the gate electrode of the transistor 74. The capacitor 72 corresponds to the capacitors

32, 33, 34 of Fig. 2. The capacitor 72 serves for the buffer storage of the video signal.

Both transistors 70, 71 are conductive at the start of the charging time  $t_{load}$ . Consequently, an equilibrium voltage, which is only dependent upon the dimensioning of the magnitudes of the two transistors 73, 74 e.g. upon the width of the channel in the FET transistors 73, 74 being used, appears at the point B. This circuit serves as an inverter having rapid on- and off-switching of the transistor 73. To this end, in accordance with the invention, the channel in the transistor 74 is selected to be as small as possible, that of the transistor 73 being selected to be as large as possible. The capacitor 72 is now charged with the data voltage at the point A. Once the capacitor 72 is charged, the two transistors 70, 71 are switched off and the reference voltage  $V_{reframp}$  is applied to the point A via the transistor 75.

The voltage at the point B alters as follows:

$$U_B = U_{B0} + U_{ramp} - U_{data}$$

where, in this case,  $U_{B0}$  is the voltage which appears when the transistor 71 is conductive i.e. the voltage which occurs due to the dimensioning of the transistors 73, 74. An equilibrium voltage thus occurs. Assuming a reference voltage of 6 volts having a constant decay down to 0 volts and a data voltage  $V_{data} = 3$  volts, the following voltage occurs at the point B:

$$U_B = 4V + 6V - 3V = 7V$$

Since the capacitor 72 is, in effect, not discharged during the time that now follows, the voltage  $U_B$  follows the reference ramp 78 at an interval which is virtually parallel therewith and which is dependent on the magnitude of the initially applied data voltage  $U_{data}$ .

If the voltage  $U_B$  is smaller than  $U_{B0}$ , then the transistor 73 becomes blocked and the voltage at the point C very rapidly becomes larger. This voltage at the point C is inverted with the aid of a not shown inverter and is used for controlling the transistor 63 in accordance with Fig. 5 in the circuit for the time - voltage conversion.

Thus, the pulse width modulation comes about due to the voltage at the point B being dependent on the data voltage and sooner or later blocking the transistor 73. The voltage waveforms A, B, C shown in Fig. 12 correspond to the voltage waveforms at the points A, B, C for the example mentioned above.

Fig. 8 shows the charging and processing process in a row such as is effected in Fig. 6. The 25 blocks 1 - 25 are loaded with the data signal during equal time periods  $t_{load1}$ , ...,  $t_{load25}$  in the course of the time period for one row of 64  $\mu$ s. The total loading time is less than the time period for the whole row of 64  $\mu$ s. Assuming that the processing time amounts to  $t_{processing} = 20$   $\mu$ s, there results therefrom a charging time for the capacitor 72 of 1.7  $\mu$ s.

Fig. 7 shows a preliminary stage for the circuit in accordance with Fig. 6. The items of input data are supplied to a transistor 100 whose gate electrode is controlled by a control signal for the purposes of buffer storage, which signal is applied to the gate electrodes en bloc. The voltage representing the items of data is stored on a capacitor 101. This item of information stored as a voltage value is supplied to the input 77 of the circuit in accordance with Fig. 6. All 25 preliminary stage blocks are thereby initially loaded one after the other and the items of data are then transmitted together into the next circuit in accordance with Fig. 6. In accordance with Fig. 11, the processing of the items of data for the rows  $n + 1$  runs simultaneously during the loading process for the preliminary stage of the rows  $n$ . The transfer time  $t_{transfer}$  in accordance with Fig. 11 corresponds to the time which is available for the

charging of the capacitor 72 in the circuit in accordance with Fig. 6 and corresponds for example, to the time  $t_{load1}$  in accordance with Fig. 8. In this preliminary stage, the transistor may be dimensioned to be larger than the transistors 70, 71 so that charging of the capacitor 101 in the preliminary stage can be carried out more quickly than the charging of the capacitor 72 in the circuit in accordance with Fig. 6. The reason for this larger dimensioning being possible, is that the voltage differences, which occur here when the transistor is switched off and which are caused by the parasitic gate - drain and gate - source capacitances, do not produce such large effects upon the rest of the circuit as for the transistors 70 and 71. The charging time for the capacitor 101 of the preliminary stage block amounts to 2.3  $\mu$ s for a transfer time of e.g. 5  $\mu$ s.

Fig. 10 shows an expanded preliminary stage circuit for the circuit in accordance with Fig. 6. The video data signals 80 are supplied to a transistor 81 and also to a transistor 87. The respective other electrodes of the transistors 81, 87 are connected on the one hand to the capacitors 83, 88 as well as to the input electrodes of the transistors 82, 84. The outputs of the transistors 82, 84 are led together to the charging capacitor 72 to which the reference voltage  $V_{reframp}$  is supplied via the transistor 75 in correspondence with Fig. 6.

By means of this preliminary circuit, a whole row can now be used, in accordance with Fig. 9, for loading the preliminary stages so that there results a charging time  $t_{load83}$ ,  $t_{load88}$  of 2.5  $\mu$ s for the transistors 83/88. Moreover, this time is completely independent of the transfer time  $t_{transfer}$ . The control process for the transistor 81 is effected by a block switching process  $Bu_{2n}$  every  $2n^{th}$  rows, for the transistor 87 by a block switching signal  $Bu_{2n+1}$  every  $2n+1^{th}$  row, for the transistor 82 by a row switching signal  $Z_{2n+1}$  every  $2n-1^{th}$  row and for the transistor 84 by a row switching signal  $Z_{2n}$  every  $2n^{th}$  row.

The circuit in accordance with Fig. 6 is comprised in each block 1 - 25 in correspondence with the column count per block. The inputs of the gate electrodes of the transistors 70, 71 are switched in parallel on a block like basis. The control signal 79 is applied during a processing time after writing all of the blocks 1 - 25.

## Claims

1. Control circuit for a liquid crystal display in which pixel elements are controllable, for display purposes, by means of a matrix consisting of columns formed by data lines and rows formed by selection lines, wherein a number of columns is combined into respective blocks (1, 2, ..., 25) and the relevant part of the signal to be displayed is respectively supplied in parallel via switches (26, 27, 28, 70) to the columns of a block and successively to each of the blocks, wherein a capacitor (35, 36, 37, 65) for storing the signal to be displayed is correspondingly charged for each column and, in accordance with the control process of the blocks of a row, the corresponding row for the display is selected via the selection lines, characterised in that, the signal to be displayed is additionally buffer stored in a charging capacitor (32, 33, 34, 72) associated with each of the columns and that, in each case following the charging of the charging capacitors of a row, the column capacitors (35, 36, 37, 65) are charged in parallel via a current amplifier (44).

2. Control circuit in accordance with Claim 1, characterised in that, the signal to be displayed is converted in the current amplifiers (44) into a pulse width modulated signal (60) with which a respective one of the columns is controlled via a time - voltage converter circuit (52; 63, 65).

3. Control circuit in accordance with Claim 2, characterised in that, the pulse width modulated signal (60) is generated with the help of a voltage - time converter (73, 74) in a transistor circuit (70, 71, 73, 74, 75) which receives the input signal that is to be displayed for the data lines at a first input (77) and a ramp shaped reference voltage ( $V_{\text{reframp}}$ ) at a second input (78) and in which a respective one of the charging capacitors (32, 33, 34, 72) is disposed and which is activated at a third input ( $D_{\text{in}}$ ) in accordance with the currently selected block.

4. Control circuit in accordance with Claim 3, characterised in that, the signal to be displayed is connected during a charging time ( $t_{load}$ ) via a first transistor arrangement (70) to a second transistor (75) to which the reference voltage ( $V_{reframp}$ ) is applied, that a first connection point (A) of the first and second transistors (70, 75) leads to the charging capacitor (72), that a second connection point (B) connects the other side of the charging capacitor to an input of a third transistor (71) and to the control electrode of a fourth transistor (73), that a third connection point (C) of the output or input electrodes of the third and fourth transistors is coupled to the output (76) of the transistor circuit and also to the output of a fifth transistor (74) which is connected to a supply voltage (V) at its input and its control electrode.

5. Control circuit in accordance with Claim 4, characterised in that, the first transistor arrangement (70) is a transistor.

6. Control circuit in accordance with Claim 4, characterised in that, the transistors (70, 71, 73, 74, 75) are FET or TFT transistors.

7. Control circuit in accordance with any of the Claims 4 to 6, characterised in that, the channel of the fifth transistor (74) is selected to be as small as possible and that of the fourth transistor (73) to be as large as possible.

8. Control circuit in accordance with any of the Claims 4 to 7, characterised in that, the first and the third transistor (70, 71) are blocked after the charging capacitor (72) has charged up and a reference ramp ( $V_{reframp}$ ) is applied to the first connection point (A) via the second transistor (75).

9. Control circuit in accordance with any of the Claims 4 to 8, characterised in that, the signal to be displayed for each input line is supplied blockwise to a second capacitor (101) via a sixth transistor (100) during a charging time, that the stored

items of data are applied line-by-line to the input of the first transistor (70) following the blockwise charging of each of the second capacitors (101).

10. Control circuit in accordance with Claim 4, characterised in that, the first transistor arrangement (70) consists of a parallel circuit including a first branch which contains a seventh transistor (81), a third capacitor (83) and an eighth transistor (82) and a second branch which contains a ninth transistor (87), a fourth capacitor (88) and a tenth transistor (84).

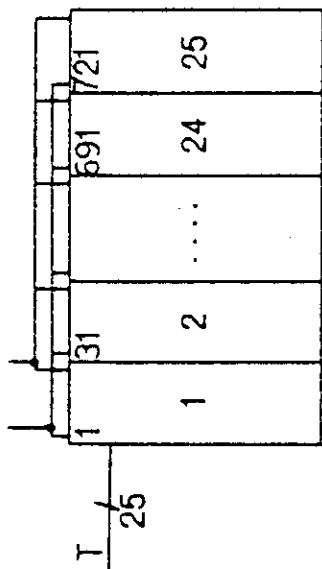


Fig. 1

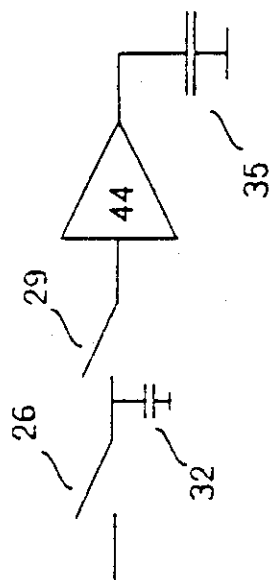


Fig. 2

Fig. 3

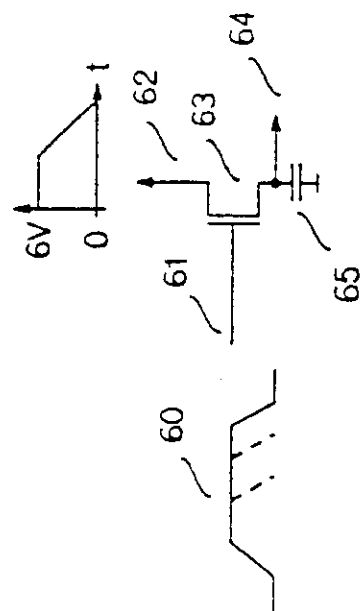
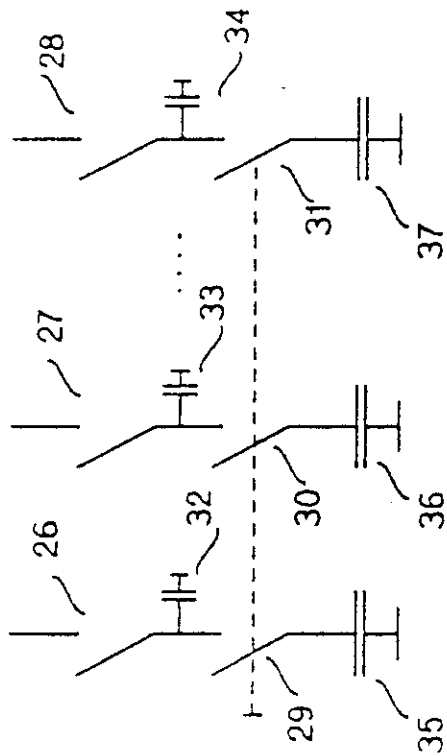


Fig. 5

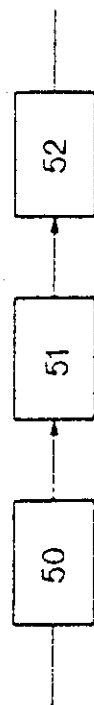
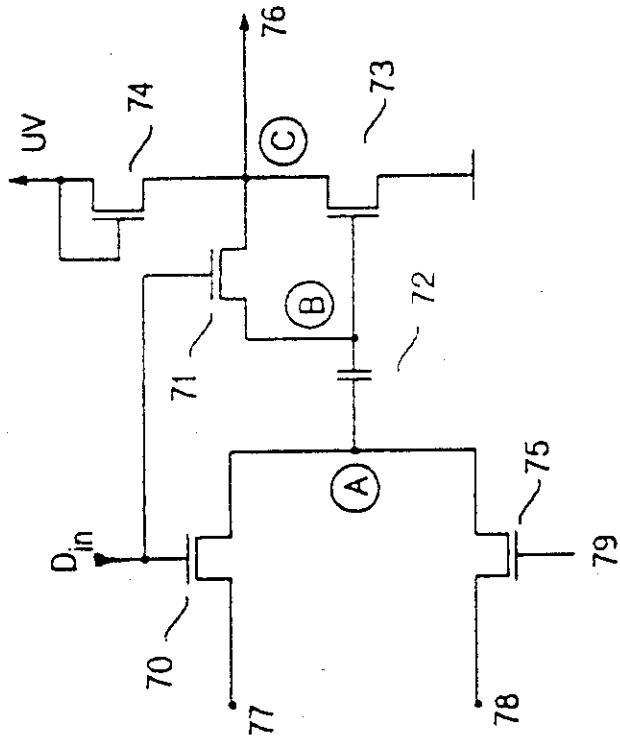


Fig. 4

Fig. 6



64  $\mu$ s

Fig. 8

$t_{load1}$   $t_{load2}$   $t_{load25}$   $t_{process}$

64  $\mu$ s

Fig. 9

$t_{load83}$

$n+1$

$T_f$

$t_{load88}$

$n$

$T_f$

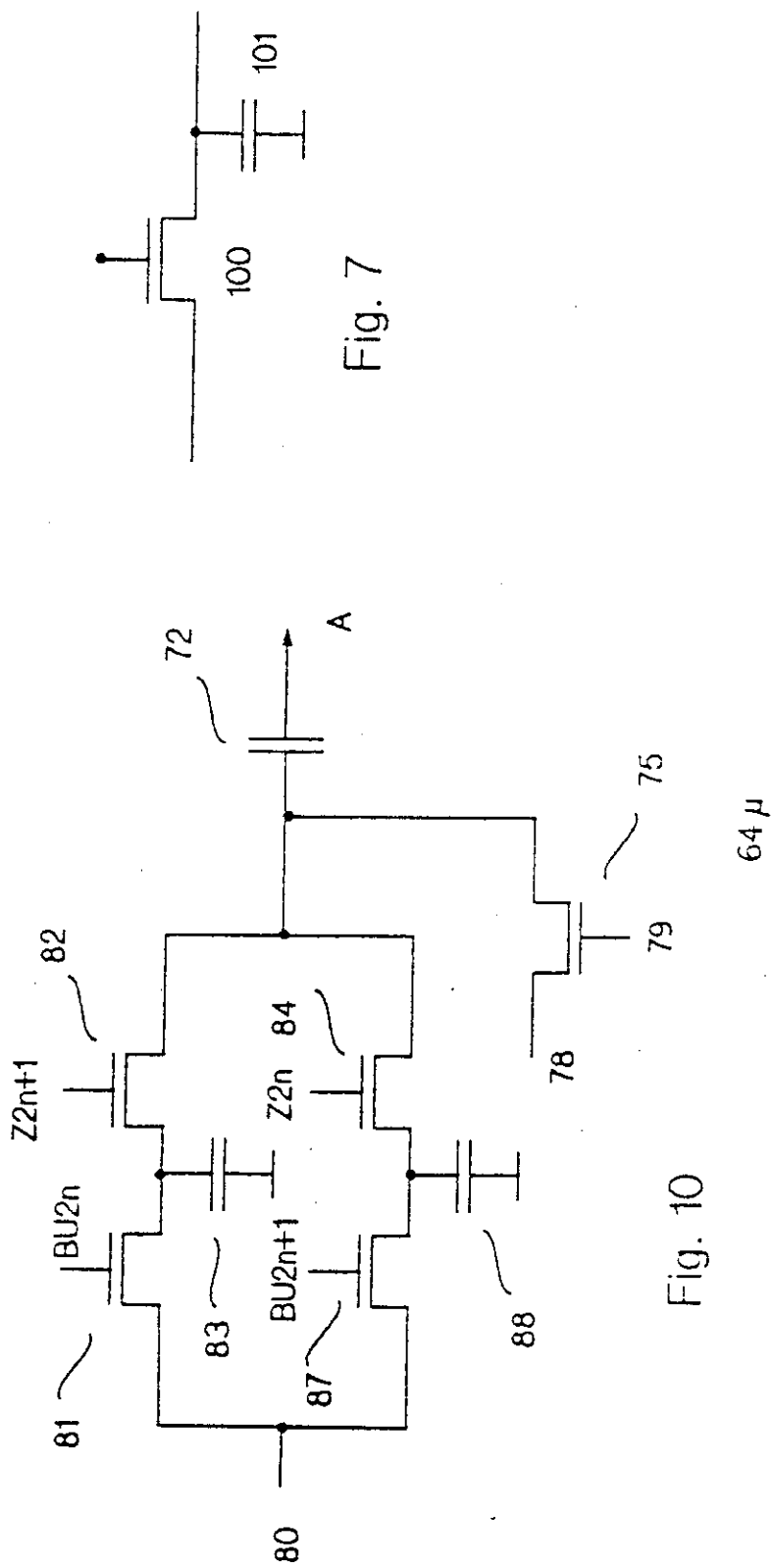


Fig. 7

Fig. 10

Fig. 11

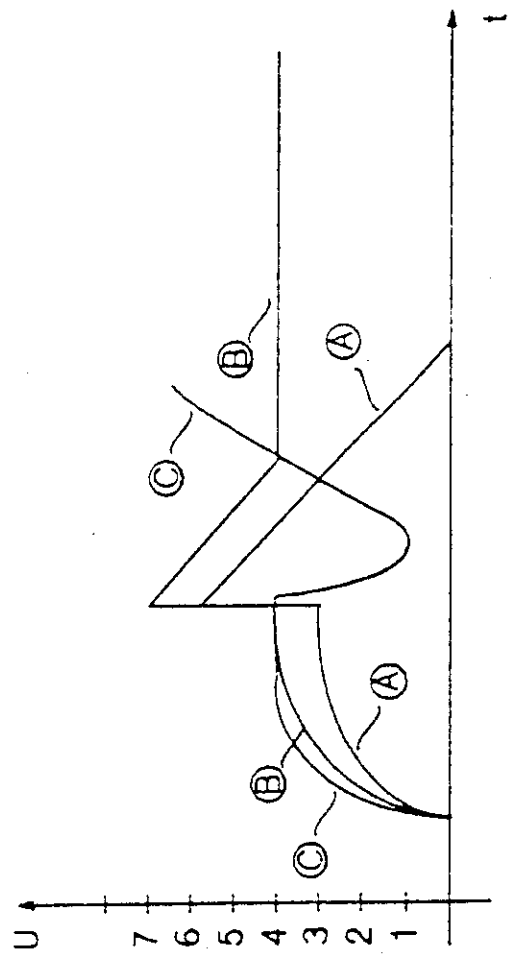
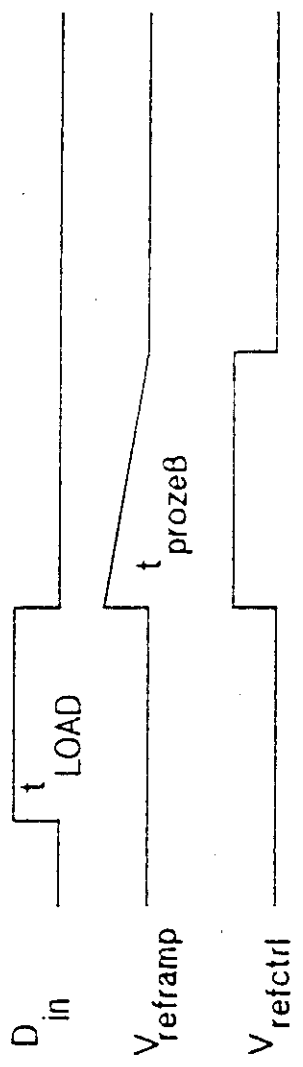


Fig. 12

REGISTER ENTRY FOR EP0417578 /

European Application No EP90116802.1 filing date 01.09.1990

Application in German

Priority claimed:

11.09.1989 in Federal Republic of Germany - doc: 3930259

Designated States BE CH DE DK ES FR GB GR IT LI LU NL SE AT

Title CIRCUIT FOR DRIVING A LIQUID CRYSTAL DISPLAY.

Applicant/Proprietor

DEUTSCHE THOMSON-BRANDT GMBH, W-7730 Villingen-Schwenningen, Federal  
Republic of Germany [ADP No. 56852627001]

Inventors

DIPL.-ING. ANTOINE DUPONT, Mannheimer Strasse 24, W-7730 Villingen,  
Federal Republic of Germany [ADP No. 58373135001]

DIPL.-ING. MICHAEL MAIER, Freiersbach 3, W-7605 Bad Peterstal-Griesbach,  
Federal Republic of Germany [ADP No. 58373143001]

DIPL.-ING. BERNARD HEPP, 48 Rue Ybry, F-92200 Neuilly/Seine, France  
[ADP No. 58373150001]

DIPL.-ING. ERIC BENOIT, Wasenstrasse 5, F-7750 Schwenningen, Federal  
Republic of Germany [ADP No. 58373168001]

Classified to

G09G H04N

Address for Service

WILLIAMS, POWELL & ASSOCIATES, 34 Tavistock Street, LONDON, WC2E 7PB,  
United Kingdom [ADP No. 05830310001]

EPO Representative

DIPL.-ING. ROBERT EINSEL, Deutsche Thomson-Brandt GmbH Patent- und  
Lizenzabteilung Göttinger Chaussee 76, W-3000 Hannover 91, Federal  
Republic of Germany [ADP No. 50509389001]

Publication No EP0417578 dated 20.03.1991 and granted by EPO 13.12.1995.

Publication in German

Examination requested 22.11.1990

Patent Granted with effect from 13.12.1995 (Section 25(1)) with title CIRCUIT  
FOR DRIVING A LIQUID CRYSTAL DISPLAY. Translation filed 17.11.1995

---

24.02.1992 EPO: Search report published on 25.03.1992

Entry Type 25.11 Staff ID. RD06 Auth ID. EPT

10.11.1995 Notification from EPO of change of Inventor details from

DIPL.-ING. ANTOINE DUPONT, Mannheimer Strasse 24, W-7730 Villingen,  
Federal Republic of Germany [ADP No. 58373135001]

DIPL.-ING. MICHAEL MAIER, Freiersbach 3, W-7605 Bad  
Peterstal-Griesbach, Federal Republic of Germany  
[ADP No. 58373143001]

DIPL.-ING. BERNARD HEPP, 48 Rue Ybry, F-92200 Neuilly/Seine, France  
[ADP No. 58373150001]

DIPL.-ING. ERIC BENOIT, Wasenstrasse 5, F-7750 Schwenningen,  
Federal Republic of Germany  
[ADP No. 58373168001]  
to

DIPL.-ING. ANTOINE DUPONT, Mannheimer Strasse 24, D-7730 Villingen,  
Federal Republic of Germany  
[ADP No. 63617187001]

DIPL.-ING. MICHAEL MAIER, Freiersbach 3, D-7605 Bad  
Peterstal-Griesbach, Federal Republic of Germany  
[ADP No. 63617195001]

DIPL.-ING. BERNARD HEPP, 48 Rue Ybry, F-92200 Neuilly/Seine, France  
[ADP No. 58373150001]

DIPL.-ING. ERIC BENOIT, Wasenstrasse 5, D-7750 Schwenningen,  
Federal Republic of Germany  
[ADP No. 63617203001]  
Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

10.11.1995 Notification from EPO of change of Applicant/Proprietor details  
from  
DEUTSCHE THOMSON-BRANDT GMBH, W-7730 Villingen-Schwenningen,  
Federal Republic of Germany  
[ADP No. 56852627001]  
to  
DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3, D-78048 Villingen-Schwenningen, Federal Republic of Germany  
[ADP No. 56852627001]  
Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

10.11.1995 Notification from EPO of change of EPO Representative details from  
DIPL.-ING. ROBERT EINSEL, Deutsche Thomson-Brandt GmbH Patent- und  
Lizenzabteilung Göttinger Chaussee 76, W-3000 Hannover 91, Federal  
Republic of Germany  
[ADP No. 50509389001]  
to  
DIPL.-ING. ROBERT EINSEL, Deutsche Thomson-Brandt GmbH Patent- und  
Lizenzabteilung Göttinger Chaussee 76, D-30453 Hannover, Federal  
Republic of Germany  
[ADP No. 50509389001]  
Entry Type 25.14 Staff ID. RD06 Auth ID. EPT

13.12.1995 Patent Granted with effect from 13.12.1995 (Section 25(1)) with  
title CIRCUIT FOR DRIVING A LIQUID CRYSTAL DISPLAY Translation  
filed 17.11.1995  
Entry Type 2.2 Staff ID. AMB1 Auth ID. F54

\*\*\*\* END OF REGISTER ENTRY \*\*\*\*

OA80-01  
EP

OPTICS - PATENTS

12/02/96 14:59:44  
PAGE: 1

RENEWAL DETAILS

PUBLICATION NUMBER EP0417578

PROPRIETOR(S)

DEUTSCHE THOMSON-BRANDT GMBH, Hermann-Schwer-Strasse 3, D-78048  
Villingen-Schwenningen, Federal Republic of Germany

DATE FILED 01.09.1990

DATE GRANTED 13.12.1995

DATE NEXT RENEWAL DUE 01.09.1996

DATE NOT IN FORCE

DATE OF LAST RENEWAL

YEAR OF LAST RENEWAL 00

STATUS PATENT IN FORCE

\*\*\*\* END OF REPORT \*\*\*\*