



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I591956 B

(45)公告日：中華民國 106 (2017) 年 07 月 11 日

(21)申請案號：101114529

(22)申請日：中華民國 101 (2012) 年 04 月 24 日

(51)Int. Cl. : H03F1/26 (2006.01)

H01L21/8232(2006.01)

H03F3/345 (2006.01)

(30)優先權：2011/04/28 日本

2011-101940

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：豐高耕平 TOYOTAKA, KOHEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 6636084B2

US 7626524B2

US 20110089927A1

審查人員：蘇齊賢

申請專利範圍項數：5 項 圖式數：11 共 74 頁

(54)名稱

半導體電路

SEMICONDUCTOR CIRCUIT

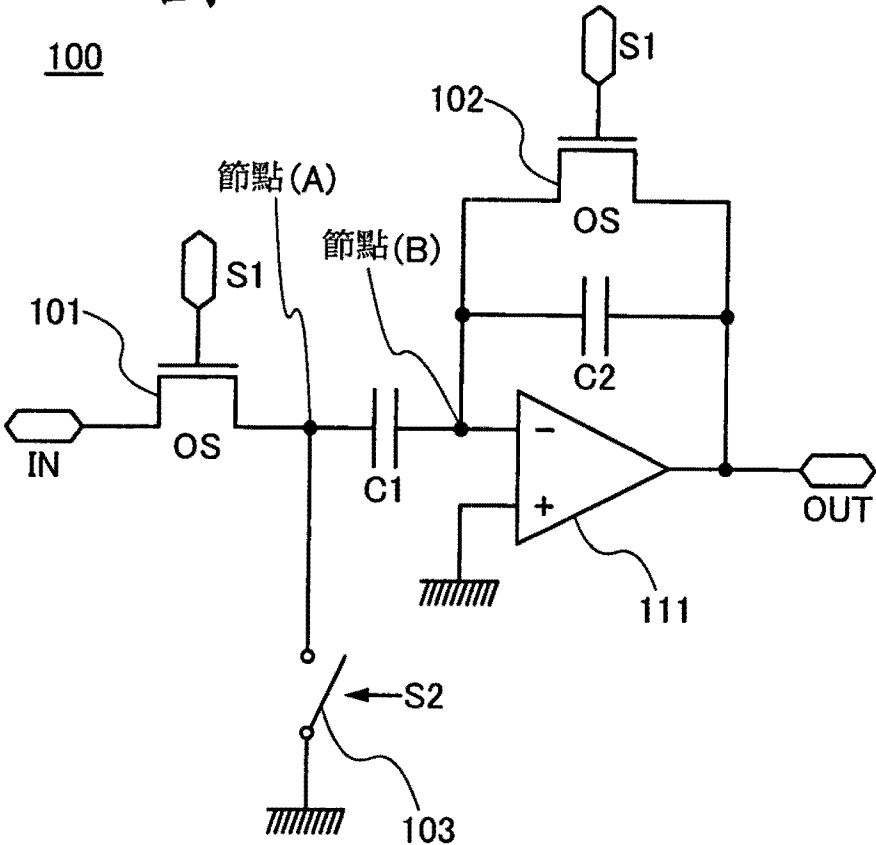
(57)摘要

本發明的一個方式提供一種能夠得到穩定的輸入輸出特性的半導體電路。本發明的一個方式特別提供一種由切換元件的洩漏電流造成的故障現象得到抑制的半導體電路。作為用於開關電容電路的切換元件，採用將氧化物半導體等寬能隙半導體用於形成有通道的半導體層的場效應電晶體。這種電晶體具有截止狀態下的洩漏電流較小的特徵，並且藉由將該電晶體用作切換元件，由洩漏電流造成的故障現象得到抑制而能夠製造能得到穩定的輸入輸出特性的半導體電路。

A semiconductor circuit which can have stable input output characteristics is provided. Specifically, a semiconductor circuit in which problems caused by the leakage current of a switching element are suppressed is provided. A field-effect transistor in which a wide band gap semiconductor, such as an oxide semiconductor, is used in a semiconductor layer where a channel is formed is used for a switching element included in a switched capacitor circuit. Such a transistor has a small leakage current in an off state. When the transistor is used as a switching element, a semiconductor circuit which has stable input output characteristics and in which problems caused by the leakage current are suppressed can be fabricated.

指定代表圖：

圖 1



符號簡單說明：

100 . . . 開關電容放大
器電路

101 . . . 電晶體

102 . . . 電晶體

103 . . . 開關

111 . . . 運算放大電
路

C1 . . . 電容元件

C2 . . . 電容元件

S1 . . . 時脈信號

S2 . . . 時脈信號

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101114529

※申請日：101 年 04 月 24 日

※IPC 分類：

H03F	1/26	(2006.1)
H01L	21/8232	(2006.1)
H03F	3/345	(2006.1)

一、發明名稱：(中文／英文)

半導體電路

Semiconductor circuit

二、中文發明摘要：

本發明的一個方式提供一種能夠得到穩定的輸入輸出特性的半導體電路。本發明的一個方式特別提供一種由切換元件的洩漏電流造成的故障現象得到抑制的半導體電路。作為用於開關電容電路的切換元件，採用將氧化物半導體等寬能隙半導體用於形成有通道的半導體層的場效應電晶體。這種電晶體具有截止狀態下的洩漏電流較小的特徵，並且藉由將該電晶體用作切換元件，由洩漏電流造成的故障現象得到抑制而能夠製造能得到穩定的輸入輸出特性的半導體電路。

三、英文發明摘要：

A semiconductor circuit which can have stable input output characteristics is provided. Specifically, a semiconductor circuit in which problems caused by the leakage current of a switching element are suppressed is provided. A field-effect transistor in which a wide band gap semiconductor, such as an oxide semiconductor, is used in a semiconductor layer where a channel is formed is used for a switching element included in a switched capacitor circuit. Such a transistor has a small leakage current in an off state. When the transistor is used as a switching element, a semiconductor circuit which has stable input output characteristics and in which problems caused by the leakage current are suppressed can be fabricated.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

100：開關電容放大器電路

101：電晶體

102：電晶體

103：開關

111：運算放大電路

C1：電容元件

C2：電容元件

S1：時脈信號

S2：時脈信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用半導體元件的半導體電路。

【先前技術】

作為半導體電路的技術之一，已知開關電容電路的技術，在開關電容電路中組合切換元件（下面也稱為開關）與電容元件，並利用切換元件控制對該電容元件進行的充放電。由於這種開關電容電路的電特性的溫度依賴性極小，所以藉由使用該開關電容電路代替半導體電路中的電阻元件，能夠實現溫度依賴性較小的半導體電路。

此外，還已知組合使用開關電容電路與運算放大電路的技術。像這樣組合開關電容電路與運算放大電路而構成的半導體電路藉由利用時脈信號進行工作，對輸入到該半導體電路中的連續時間信號進行取樣並將該信號轉換為離散時間信號來輸出。此外，能夠根據開關電容電路與運算放大電路的連接方法及工作方法，來構成濾波電路、放大電路、積分電路、微分電路等電路。

例如，組合它們而構成的放大器被稱為開關電容放大器電路（參照非專利文獻 1）。

圖 11 示出上述“非專利文獻 1”中所記載的開關電容放大器電路的結構的一個例子。開關電容放大器電路包括三個開關（開關 SW1、開關 SW2 以及開關 SW3）、兩個電容元件（電容元件 C1 及電容元件 C2）以及一個運算放大電路。輸入信號 IN 輸入到開關電容放大器電路的輸入

端子，並且輸出信號 OUT 從輸出端子輸出。在此，將輸入信號 IN 的電壓稱作輸入電壓 V_{in} ，並將輸出信號 OUT 的電壓稱作輸出電壓 V_{out} 。此外，同一時脈信號 S1 輸入到開關 SW1 及 SW2，並且其相位與時脈信號 S1 相反的時脈信號 S2 輸入到開關 SW3。在此，以接地電壓為 V_{ref} 。此外，將開關 SW1 與電容元件 C1 之間的節點稱為 node(A)，並將連接到運算放大電路的負端子的節點稱為 node(B)。

開關電容放大器電路的工作包括取樣期間及保持期間的兩個期間。在取樣期間，對輸入電壓 V_{in} 進行取樣。在保持期間，放大所取樣的輸入電壓 V_{in} 並將它作為輸出電壓 V_{out} 進行輸出。下面，以圖 11 所示的開關電容放大器電路為例子，對各期間中的工作進行說明。

首先，在取樣期間，輸入時脈信號 S1 及時脈信號 S2，以使開關 SW1 及開關 SW2 成為導通狀態並使開關 SW3 成為截止狀態。此時，若將電容元件 C1 的電容值稱作 $C1$ ，將電容元件 C2 的電容值稱作 $C2$ ，將儲存在電容元件 C1 的 node(B)一側的電極上的電荷稱作 $Q1$ ，並將儲存在電容元件 C2 的 node(B)一側的電極上的電荷稱作 $Q2$ ，則 $Q1$ 及 $Q2$ 以算式 1 表示。

[算式 1]

$$Q1 = C1 \times (V_{ref} - V_{in})$$

$$Q2 = C2 \times (V_{ref} - V_{ref}) = 0$$

接著，在保持期間，輸入時脈信號 S1 及時脈信號 S2

，以使開關 SW1 及開關 SW2 成為截止狀態並使開關 SW3 成為導通狀態。此時，由於 node(B)藉由運算放大電路假設地接地，所以其電位不發生變化。因此，若將此時的儲存在電容元件 C1 的 node(B)一側的電極上的電荷稱作 $Q1'$ ，並將此時的儲存在電容元件 C2 的 node(B)一側的電極上的電荷稱作 $Q2'$ ，則 $Q1'$ 及 $Q2'$ 以算式 2 表示。

[算式 2]

$$Q1' = C1 \times (V_{ref} - V_{ref}) = 0$$

$$Q2' = C2 \times (V_{ref} - V_{out})$$

在此，當假設取樣期間和保持期間中儲存在各電容元件中的電荷的總量相等計算出輸出電壓 V_{out} 時， V_{out} 以算式 3 表示。

[算式 3]

$$V_{out} = \frac{C1}{C2} (V_{in} - V_{ref}) + V_{ref}$$

如上所述，開關電容放大器電路是如下一種電路：能夠在保持期間根據電容元件 C1 和電容元件 C2 的電容比放大取樣期間中得到的輸入電壓 V_{in} ，並輸出該放大的電壓。

[非專利文獻 1] 畢查德·拉紮維，黑田忠廣 翻譯，“類比 CMOS 積體電路的設計 應用編”，丸善出版，2003 年 3 月，p.495-498

在很多情況下，作為如上所述的構成半導體電路中的

開關電容電路的開關，採用習知的利用 CMOS 技術的類比開關。但是，由於這種類比開關即使在截止狀態下也產生洩漏電流，所以有可能因該洩漏電流而發生使半導體電路的輸入輸出特性惡化的故障現象。例如，在上述的習知的開關電容放大器電路中，因該洩漏電流而發生對於輸出特性的如下故障現象。

首先，注目到開關 SW1。由於輸入電壓 V_{in} 一直輸入到輸入信號 IN 被輸入的輸入端子，所以若在處於截止狀態的開關 SW1 中產生洩漏電流，則保持期間中的 node(B) 的電位不會穩定。其結果是，由輸入電壓 V_{in} 導致的雜波與輸出電壓 V_{out} 疊加。

此外，當注目到開關 SW2 時，保持期間中儲存在電容元件 C2 中的電荷因為開關 SW2 成為洩漏路徑而減少。其結果是，該電荷減少被視為輸出電壓 V_{out} 的變化，從而不能得到穩定的輸出電壓 V_{out} 。

作為減少這種構成開關電容放大器電路的開關的洩漏電流的影響的措施，可以舉出增加電容元件 C1 及電容元件 C2 的電容值的方法。但是，若採用這種措施，則發生如下問題，即電路的佈局尺寸會增大、因為當對電容元件進行充放電時需要較長時間而不能使電路工作高速化等。

這種由切換元件的洩漏電流造成的故障現象不侷限於上述開關電容放大器電路，該故障現象例如在放大電路、積分電路及濾波電路等組合開關電容電路與運算放大電路而形成的半導體電路中共同發生。

換言之，由與作為上述半導體電路的輸入信號接收連

續時間信號的端子連接的切換元件的洩漏電流造成雜波疊加於為輸出信號的離散時間信號的故障現象。此外，由連接到電容元件的切換元件的洩漏電流造成作為輸出信號不能得到穩定的輸出電壓的故障現象。

【發明內容】

鑒於上述技術背景而做出本發明。因此，本發明的一個方式的目的之一是提供一種能夠得到穩定的輸入輸出特性的半導體電路。特別是，本發明的目的之一是提供一種由切換元件的洩漏電流造成的故障現象得到抑制的半導體電路。

本發明解決上述問題中的至少一個。

本發明的一個方式藉由將截止狀態下的洩漏電流極小的切換元件用於半導體電路來解決上述問題。明確而言，作為上述切換元件，採用將氧化物半導體等寬能隙半導體用於形成有通道的半導體層的場效應電晶體。這種電晶體具有截止狀態下的洩漏電流很小的特徵，並且藉由將該電晶體用作切換元件，由洩漏電流造成的故障現象得到抑制而能夠製造能得到穩定的輸入輸出特性的半導體電路。

此外，作為構成上述電晶體的半導體，使用本質載子密度極低的氧化物半導體較佳。由於形成有通道的半導體層的本質載子密度極低，所以電晶體的截止狀態下的洩漏電流被抑制得極小。這種特徵是其他半導體（例如，矽）不具有而氧化物半導體特有的特徵。

換言之，本發明的一個方式是一種半導體電路，該半

導體電路包括切換元件與電容元件並聯或串聯連接的至少一個開關電容電路以及運算放大電路，其中對輸入信號進行取樣並輸出離散時間信號。再者，本發明的一個方式是一種半導體電路，其中上述切換元件包括每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 $1\times 10^{-17}\text{A}$ 以下的場效應電晶體。

在上述結構的半導體電路中，作為構成該半導體電路的開關電容電路的切換元件，使用截止電流大大降低了的含有氧化物半導體的電晶體。因此，儲存在連接到截止狀態下的切換元件的電容元件中的電荷藉由該切換元件減少的現象得到抑制。因此，包括這種開關電容電路的半導體電路能夠得到較穩定的輸入輸出特性。藉由採用這種截止狀態下的洩漏電流極低的電晶體而實現的極為穩定的輸入輸出特性是在習知的使用矽的電晶體中不能實現的。

此外，本發明的一個方式是一種半導體電路，該半導體電路包括：運算放大電路；藉由第一電容元件與運算放大電路中的一個輸入端子連接的第一切換元件；連接到運算放大電路中的一個輸入端子與輸出端子之間的第二電容元件；連接到運算放大電路中的一個輸入端子與輸出電子之間的第二切換元件；以及一個電極連接到第一切換元件與第一電容元件之間且基準電壓輸入到另一個電極的第三切換元件，其中基準電壓輸入到運算放大電路中的另一個輸入端子。或者，上述第一切換元件及第二切換元件包括每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 $1\times 10^{-17}\text{A}$ 以下的場效應電晶體。

藉由採用上述結構，能夠大大降低保持期間中被輸出的輸出信號所受到的由輸入信號導致的雜波輸入的影響而製造能得到穩定的輸入輸出特性的開關電容放大器電路。並且，由於保持期間中儲存在第二電容元件中的電荷的減少的現象得到抑制，所以能夠抑制輸出特性在時間上變動。

此外，本發明的一個方式是一種半導體電路，該半導體電路包括：運算放大電路；藉由第一電容元件與運算放大電路中的一個輸入端子連接的第一切換元件；連接到運算放大電路中的一個輸入端子與一個輸出端子之間的第二電容元件；連接到運算放大電路中的一個輸入端子與一個輸出端子之間的第二切換元件；藉由第三電容元件與運算放大電路中的另一個輸入端子連接的第三切換元件；連接到運算放大電路中的另一個輸入端子與另一個輸出端子之間的第四電容元件；以及連接到運算放大電路中的另一個輸入端子與另一個輸出端子之間的第四切換元件。或者，第一切換元件、第二切換元件、第三切換元件以及第四切換元件包括每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 $1\times 10^{-17}\text{A}$ 以下的場效應電晶體。

藉由採用上述結構，能夠製造具有穩定的輸入輸出特性並且不需要基準電壓的差動開關電容放大器電路。由於不需要基準電壓，所以不需要另外設置生成基準電壓的電路，從而能夠使應用開關電容放大器電路的半導體電路的結構簡化。

此外，本發明的一個方式是一種半導體電路，該半導

體電路包括：運算放大電路；與運算放大電路中的一個輸入端子連接的第一切換元件；藉由第一電容元件與第一切換元件連接的第二切換元件；連接到運算放大電路中的一個輸入端子與輸出端子之間的第二電容元件；一個電極連接到第一電容元件與第二切換元件之間且基準電壓輸入到另一個電極的第三切換元件；以及一個電極連接到第一電容元件與第一切換元件之間且基準電壓輸入到另一個電極的第四切換元件，其中基準電壓輸入到運算放大電路中的另一個輸入端子。或者，第一切換元件及第二切換元件包括每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 $1\times 10^{-17}\text{A}$ 以下的場效應電晶體。

藉由採用上述結構，能夠大大降低保持期間中被輸出的輸出信號所受到的由輸入信號導致的雜波輸入的影響而可以製造能得到穩定的輸入輸出特性的開關電容積分電路。

此外，較佳的是，上述場效應電晶體在形成有通道的半導體層中含有氧化物半導體。

另外，在本說明書等中，開關電容電路是指一種包括至少一個切換元件及至少一個電容元件且該切換元件與該電容元件串聯或並聯連接的電路，並且是指一種藉由利用切換元件的開關工作而控制對電容元件進行的充放電的電路。

根據本發明的一個方式，能夠提供一種能得到穩定的輸入輸出特性的半導體電路。尤其是，能夠提供一種由切換元件的洩漏電流造成的故障現象得到抑制的半導體電路

【實施方式】

使用圖式詳細說明實施方式。但是本發明不侷限於下面的說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅侷限在下面所示的實施方式所記載的內容中。注意，在下面說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略重複說明。

注意，在本說明書所說明的每一個圖式中，有時為了明確起見，誇大表示各結構的大小、層的厚度或區域。因此，本發明並不一定限定於圖式中的比例。

電晶體是一種半導體元件，它能夠實現電流及電壓的放大、控制導通或非導通的開關工作等。本說明書中的電晶體包括 IGFET (Insulated Gate Field Effect Transistor：絕緣閘場效應電晶體) 及薄膜電晶體 (TFT：Thin Film Transistor)。

此外，在使用不同極性的電晶體的情況或電路工作中的電流方向發生變化的情況等下，“源極”和“汲極”的功能互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

此外，在本說明書等中，有時將電晶體的源極及汲極中的任一方稱作“第一電極”，並將源極及汲極中的另一

個稱作“第二電極”。另外，此時，將閘極還稱作“閘極”或“閘極電極”。

此外，在本說明書等中，“電連接”包括隔著“具有某種電作用的元件”互相連接的情況。這裏，“具有某種電作用的元件”只要是能夠在連接目標之間進行電信號的授受的元件，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極及佈線，而且還包括電晶體等切換元件、電阻元件、線圈、電容元件、其他具有各種功能的元件等。

另外，本說明書等中的節點是指實現構成電路的元件之間的電連接的元件（例如，佈線等）。因此，“與 A 連接的節點”是指與 A 電連接且可以視作具有與 A 相同電位的佈線。注意，即使在實現電連接的一個或多個元件（例如，開關、電晶體、電容元件、電感器、電阻元件、二極體等）被安裝在該佈線上的情況下，若可視作具有與 A 相同電位的佈線，則也可以認為是相同的節點。

實施方式 1

在本實施方式中，使用圖 1、圖 2、圖 3 及圖 4 對本發明的一個方式的半導體電路的一個結構實例及其電路工作進行說明。

<結構實例>

圖 1 示出本實施方式中所例示的開關電容放大器電路 100 的電路圖。本結構的開關電容放大器電路 100 為一種

放大電路，其中放大作為輸入信號 IN 而輸入的連續時間信號的電壓幅值，並輸出離散時間信號作為輸出信號 OUT。

開關電容放大器電路 100 包括三個切換元件（電晶體 101、電晶體 102 及開關 103）、兩個電容元件（電容元件 C1 及電容元件 C2）以及運算放大電路 111。

電晶體 101 的第一電極連接到輸入信號 IN 被輸入的輸入端子，並且第二電極連接到電容元件 C1 的第一端子及開關 103 的第一電極。電容元件 C1 的第二端子連接到運算放大電路 111 的負端子、電容元件 C2 的第一端子及電晶體 102 的第一電極。電晶體 102 的第二電極連接到電容元件 C2 的第二端子、運算放大電路 111 的輸出端子及開關電容放大器電路 100 的輸出端子，該開關電容放大器電路 100 的輸出端子輸出輸出信號 OUT。並且，開關 103 的第二電極及運算放大電路 111 的正端子接地。

運算放大電路 111 為一種利用兩個輸入端子之間的電位差而工作的差動放大電路。例如，作為運算放大電路 111，可以使用各種運算放大器。並且，運算放大電路 111 也可以包括 n 通道型電晶體及 p 通道型電晶體。

這裏，將電晶體 101 與電容元件 C1 之間的節點稱作 node (A)，並將連接到運算放大電路 111 的負端子的節點稱作 node (B)。

此外，同一時脈信號 S1 輸入到電晶體 101 的閘極及電晶體 102 的閘極，並且其相位與時脈信號 S1 相反的時脈信號 S2 輸入到開關 103。在此，輸入到各電晶體的閘

極的時脈信號的高電平電位較佳為使該電晶體成為足夠的導通狀態的電位值，換言之，不管輸入電壓如何，能夠使該電晶體在線形區域工作的電位值。藉由利用這種電壓進行工作，能夠抑制藉由電晶體被輸入的電壓受該電晶體的臨界電壓的影響而下降的現象。在下文中，可以忽視由電晶體的臨界電壓導致的電壓下降而進行說明。

此外，電晶體 101 及電晶體 102 為 n 通道型電晶體。

這裏，作為電晶體 101 及電晶體 102，例如可以採用將其能隙高於矽的半導體用於形成有通道的半導體層的電晶體。例如，可以使用能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3.0eV 以上的半導體。作為這種半導體，使用氧化物半導體較佳。

再者，上述含有氧化物半導體的電晶體的截止狀態下的洩漏電流（下面也稱為截止電流）很低。每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 10aA ($1\times 10^{-17}\text{A}$) 以下，較佳為 1aA ($1\times 10^{-18}\text{A}$) 以下，更佳為 10zA ($1\times 10^{-20}\text{A}$) 以下，進一步佳為 1zA ($1\times 10^{-21}\text{A}$) 以下，再佳為 100yA ($1\times 10^{-22}\text{A}$) 以下。

作為開關 103，可以採用使用矽等已知的半導體材料的電晶體。另外，開關 103 也可以使用與電晶體 101 及電晶體 102 相同的半導體材料形成。藉由使用與電晶體 101 及電晶體 102 相同的半導體材料形成開關 103，能夠簡化製造製程。此外，如實施方式 3 所示，藉由採用使用矽等半導體材料形成開關 103 並將電晶體 101 及電晶體 102 形成在開關 103 上的結構，而能夠縮小電路所占的面積。

<電路工作實例>

下面，參照圖 1 及圖 2 對開關電容放大器電路 100 的電路工作實例進行說明。注意，有時省略對於與[先前技術]中說明的內容重複的部分的說明。

這裏，開關電容放大器電路 100 的工作包括取樣期間及保持期間的兩個期間。開關電容放大器電路 100 在取樣期間對輸入信號 IN 的輸入電壓 V_{in} 進行取樣，且在保持期間能夠輸出根據由電容元件 C1 和電容元件 C2 的電容比決定的放大比而放大的具有輸出電壓 V_{out} 的輸出信號 OUT。

圖 2 為開關電容放大器電路 100 的電路工作的時序圖的一個例子。圖 2 示出圖 1 所示的輸入信號 IN、時脈信號 S1、時脈信號 S2、node(A)、node(B)以及輸出信號 OUT 的電壓的時間變化。

這裏，本說明書等中所記載的開關當作爲所輸入的時脈信號輸入高電平電位時成爲導通狀態，而當輸入低電平電位時成爲截止狀態。

首先，在取樣期間，作爲時脈信號 S1 輸入高電平電位，並且作爲時脈信號 S2 輸入低電平電位。也就是說，在取樣期間，電晶體 101 及電晶體 102 成爲導通狀態，而開關 103 成爲截止狀態。

因此，在取樣期間，輸入電壓 V_{in} 藉由電晶體 101 輸入到 node(A)。另一方面，node(B)及輸出信號 OUT 的電位都成爲接地電位。

接著，在保持期間，作為時脈信號 S1 輸入低電平電位，並且作為時脈信號 S2 輸入高電平電位。也就是說，在保持期間，電晶體 101 及電晶體 102 成為截止狀態，而開關 103 成為導通狀態。

因此，在保持期間，接地電位藉由開關 103 輸入到 node(A)。此外，由於 node(B) 假設地接地，所以接地電位被保持。此外，作為輸出信號 OUT，輸出根據電容元件 C1 和電容元件 C2 的電容比將剛進入保持期間之前的輸入電壓 V_{in} 放大的輸出電壓 V_{out} 。

這裏，當注目到保持期間的電晶體 101 時，雖然輸入電壓 V_{in} 一直從連接到電晶體 101 的第一電極的輸入信號 IN 被輸入的端子輸入到電晶體 101 中，但是，由於電晶體 101 的截止電流極低，所以 node(A) 與該輸入端子幾乎完全地絕緣。因此，輸入電壓 V_{in} 的幅值作為雜波輸入到 node(A) 的現象大大得到抑制，而能夠在 node(A) 中保持穩定的電位。因此，在藉由電容元件 C1 與 node(A) 電容耦合的 node(B) 中也保持穩定的電位，其結果是，能夠得到具有穩定的輸出電壓 V_{out} 的輸出信號 OUT。

此外，當注目到保持期間的電晶體 102 時，與電容元件 C2 同樣地保持如下狀態，即在電晶體 102 的第一電極與第二電極之間施加有輸出電壓 V_{out} 。這裏，由於電晶體 102 的截止電流極低，所以將輸出信號 OUT 輸出的開關電容放大器電路 100 的輸出端子與 node(B) 幾乎完全地絕緣，從而輸出電壓 V_{out} 保持極為穩定的電位。

因此，藉由採用上述結構，由切換元件的洩漏電流造

成的故障現象得到抑制而能夠製造能得到穩定的輸入輸出特性的開關電容放大器電路 100。

再者，在習知的開關電容放大器電路中，需要考慮到並聯連接到電容元件 C2 的切換元件的截止電流，爲了使輸出電壓 V_{out} 穩定，預先將電容元件 C1 及電容元件 C2 的電容值設計得較大。但是，在本結構的開關電容放大器電路 100 中，由於並聯連接到電容元件 C2 的電晶體 102 的截止電流極小，所以作爲電容元件 C1 及電容元件 C2，可以使用電容值極小的電容元件。此外，例如，也可以採用利用佈線之間的電容成分而不另外設置電容元件的結構。因此，與習知的開關電容放大器電路相比，如上那樣採用截止電流極小的電晶體的開關電容放大器電路能夠縮小電路的佈局尺寸。

<變形實例 1>

下面，對與上面所例示的結構不同的電路結構實例進行說明。

圖 3 所示的開關電容放大器電路是不使用參考電位（接地電壓）的差動開關電容放大器電路。

運算放大電路 111 的正端子藉由電容元件 C1 連接有電晶體 101a 的第二電極。此外，運算放大電路 111 的正端子及負輸出端子各自並聯連接有電容元件 C2 及電晶體 102a。再者，電晶體 104a 的第一電極連接到電晶體 101a 和電容元件 C1 之間的節點，並且第二電極連接到運算放大電路 111 的負輸出端子。

此外，運算放大電路 111 的負端子藉由電容元件 C3 連接有電晶體 101b 的第二電極。此外，運算放大電路 111 的負端子及正輸出端子各自並聯連接有電容元件 C4 及電晶體 102b。再者，電晶體 104b 的第一電極連接到電晶體 101b 和電容元件 C3 之間的節點，並且第二電極連接到運算放大電路 111 的正輸出端子。

此外，電容元件 C1 與運算放大電路 111 之間的節點及電容元件 C3 與運算放大電路 111 之間的節點分別連接有電晶體 105 的第一電極及第二電極。

輸入信號輸入到連接有電晶體 101a 的第一電極的節點及連接有電晶體 101b 的第一電極的節點之間，以使該節點之間的電位差成為輸入電壓 V_{in} 。此外，運算放大電路 111 的負輸出端子與正輸出端子之間的電位差成為輸出電壓 V_{out} 。

這裏，時脈信號 S1 輸入到電晶體 101a、電晶體 101b、電晶體 102a 及電晶體 102b 各個的閘極。此外，時脈信號 S2 輸入到電晶體 104a 及電晶體 104b 各個的閘極。並且，時脈信號 S3 輸入到電晶體 105 的閘極。

這裏，電晶體 105 是爲了實現用來使運算放大電路 111 的正端子與負端子成為相同電位的復位功能而設置的。進行該重設處理的重設期間由時脈信號 S3 控制。

作爲時脈信號 S1 輸入高電平電位的期間爲取樣期間，而作爲時脈信號 S2 輸入高電平電位的期間爲保持期間。並且，作爲時脈信號 S3 輸入高電平電位的期間爲復位期間。這裏，復位期間只要以不與保持期間重疊的方式設

置即可。復位期間既可以在剛進入取樣期間之前設置，又可以以與取樣期間重疊的方式設置。

由於這種結構的差動開關電容放大器電路能夠減少由各電晶體的電特性的不均勻性導致的偏置電壓（offset voltage），所以能夠得到更高精度的輸入輸出特性。

這裏，在本結構中，作為電晶體 101a、電晶體 101b、電晶體 102a、電晶體 102b、電晶體 104a、電晶體 104b 以及電晶體 105，使用上面所例示的截止電流大大降低了的電晶體。因此，在本結構的開關電容放大器電路中，由切換元件的洩漏電流造成的故障現象得到改善，而能夠得到穩定的輸入輸出特性。

<變形實例 2>

組合上面所例示的截止電流大大降低了的電晶體、電容元件、運算放大電路的結構除了應用於開關電容放大器電路等放大電路以外，還可以應用於濾波電路或積分電路等半導體電路。下面，對將上面所例示的截止電流大大降低了的電晶體用於開關電容積分電路的實例進行說明。

圖 4 示出開關電容積分電路的結構。

圖 4 所示的開關電容積分電路具有從圖 1 所示的開關電容放大器電路去掉電晶體 102 並且對其追加電晶體 106 及開關 107 的結構。

電晶體 106 在電容元件 C1 和運算放大電路 111 之間串聯連接。此外，開關 107 的第一電極連接到電容元件 C1 和電晶體 106 之間的節點，並且第二電極接地。

電晶體 101 及開關 107 由時脈信號 $S1$ 控制。另一方面，電晶體 106 及開關 103 由其相位與時脈信號 $S1$ 相反的時脈信號 $S2$ 控制。這裏，電晶體 101 及開關 107 因時脈信號 $S1$ 而成為導通狀態的期間為取樣期間，並且電晶體 106 及開關 103 因時脈信號 $S2$ 成為導通狀態的期間為保持期間。

在取樣期間，對應於輸入電壓 V_{in} 的電荷儲存在電容元件 $C1$ 中。接著，當進入保持期間時，因為儲存在電容元件 $C1$ 中的電荷藉由電晶體 106 移動到電容元件 $C2$ ，而施加到電容元件 $C2$ 的兩端的電壓（相當於輸出電壓 V_{out} ）根據該電荷發生變化。接著，由於即使當進入取樣期間時，電晶體 106 也成為截止狀態，所以儲存在電容元件 $C2$ 中的電荷被保持，從而輸出電壓 V_{out} 保持剛進入取樣期間之前的保持期間的值。這樣，輸入到輸入端子的輸入電壓 V_{in} 被積分的輸出電壓 V_{out} 從輸出端子輸出。

這裏，作為電晶體 101 及電晶體 106，採用上面所例示的截止電流大大降低了的電晶體。

因此，在取樣期間，由於運算放大電路 111 及電容元件 $C2$ 與輸入電壓 V_{in} 被輸入的電容元件 $C1$ 隔著電晶體 106 幾乎完全地絕緣，所以由輸入信號 IN 導致的雜波輸入到輸出信號 OUT 的現象大大得到抑制，而能夠得到穩定的輸出信號。此外，在保持期間，由於輸入信號 IN 與電容元件 $C1$ 也隔著電晶體 101 幾乎完全地絕緣，所以由該輸入信號導致的雜波輸入到輸出信號 OUT 的現象大大得到抑制，而能夠得到穩定的輸出信號。

像這樣，在藉由構成上面所示的截止電流大大降低了的電晶體與電容元件串聯或並聯連接的開關電容電路並組合該開關電容電路與運算放大器而構成的半導體電路中，由切換元件的洩漏電流造成的故障現象得到抑制，而能夠得到穩定的輸入輸出特性。

本實施方式可以與本說明書中所記載的其他實施方式適當地組合而實施。

實施方式 2

在本實施方式中，對可用於上述實施方式中所示的半導體電路的包括氧化物半導體層的電晶體的例子進行說明。

使用圖 5A 至 5D 對上述包括氧化物半導體層的電晶體的結構實例進行說明。圖 5A 至 5D 為示出本實施方式中的電晶體的結構實例的剖面示意圖。

圖 5A 所示的電晶體包括導電層 601(a)、絕緣層 602(a)、半導體層 603(a)、導電層 605a(a)、導電層 605b(a)、絕緣層 606(a)及導電層 608(a)。

導電層 601(a)設置在被元件形成層 600(a)上。

絕緣層 602(a)設置在導電層 601(a)上。

半導體層 603(a)夾著絕緣層 602(a)重疊於導電層 601(a)。

導電層 605a(a)及導電層 605b(a)分別設置在半導體層 603(a)上而電連接到半導體層 603(a)。

絕緣層 606(a)設置在半導體層 603(a)、導電層

605a(a)及導電層 605b(a)上。

導電層 608(a)夾著絕緣層 606(a)重疊於半導體層 603(a)。

另外，也可以不設置導電層 601(a)及導電層 608(a)中的一方。當不設置導電層 608(a)時，不必設置絕緣層 606(a)。

圖 5B 所示的電晶體包括導電層 601(b)、絕緣層 602(b)、半導體層 603(b)、導電層 605a(b)、導電層 605b(b)、絕緣層 606(b)及導電層 608(b)。

導電層 601(b)設置在被元件形成層 600(b)上。

絕緣層 602(b)設置在導電層 601(b)上。

導電層 605a(b)及導電層 605b(b)分別設置在絕緣層 602(b)的一部分上。

半導體層 603(b)設置在導電層 605a(b)及導電層 605b(b)上而電連接到導電層 605a(b)及導電層 605b(b)。此外，半導體層 603(b)夾著絕緣層 602(b)重疊於導電層 601(b)。

絕緣層 606(b)設置在半導體層 603(b)、導電層 605a(b)及導電層 605b(b)上。

導電層 608(b)夾著絕緣層 606(b)重疊於半導體層 603(b)。

注意，也可以不設置導電層 601(b)及導電層 608(b)中的一方。當不設置導電層 608(b)時，不必設置絕緣層 606(b)。

圖 5C 所示的電晶體包括導電層 601(c)、絕緣層

602(c)、半導體層 603(c)、導電層 605a(c)及導電層 605b(c)。

半導體層 603(c)包括區域 604a(c)及區域 604b(c)。區域 604a(c)與區域 604b(c)是彼此分離且分別添加有摻雜劑的區域。另外，區域 604a(c)與區域 604b(c)之間的區域成為通道形成區。半導體層 603(c)設置在被元件形成層 600(c)上。注意，沒必要必須設置區域 604a(c)及區域 604b(c)。

導電層 605a(c)及導電層 605b(c)設置在半導體層 603(c)上而電連接到半導體層 603(c)。此外，導電層 605a(c)及導電層 605b(c)的側面形狀為錐形。

此外，導電層 605a(c)重疊於區域 604a(c)的一部分，但是本發明不侷限於此。藉由使導電層 605a(c)重疊於區域 604a(c)的一部分，能夠減少導電層 605a(c)與區域 604a(c)之間的電阻值。此外，與導電層 605a(c)重疊的半導體層 603(c)的所有區域也可以為區域 604a(c)。

此外，導電層 605b(c)重疊於區域 604b(c)的一部分，但是本發明不侷限於此。藉由使導電層 605b(c)重疊於區域 604b(c)的一部分，能夠減少導電層 605b(c)與區域 604b(c)之間的電阻值。此外，半導體層 603(c)中的與導電層 605b(c)重疊的所有區域也可以為區域 604b(c)。

絕緣層 602(c)設置在半導體層 603(c)、導電層 605a(c)及導電層 605b(c)上。

導電層 601(c)夾著絕緣層 602(c)重疊於半導體層 603(c)。半導體層 603(c)中的夾著絕緣層 602(c)與導電層

601(c)重疊的區域成為通道形成區。

此外，圖 5D 所示的電晶體包括導電層 601(d)、絕緣層 602(d)、半導體層 603(d)、導電層 605a(d)及導電層 605b(d)。

導電層 605a(d)及導電層 605b(d)設置在被元件形成層 600(d)上。此外，導電層 605a(d)及導電層 605b(d)的側面形狀為錐形。

半導體層 603(d)包括區域 604a(d)及區域 604b(d)。區域 604a(d)與區域 604b(d)是彼此分離且分別添加有摻雜劑的區域。此外，區域 604a(d)與區域 604b(d)之間的區域成為通道形成區。半導體層 603(d)例如設置在導電層 605a(d)、導電層 605b(d)及被元件形成層 600(d)上且電連接到導電層 605a(d)及導電層 605b(d)。注意，沒必要必須設置區域 604a(d)及區域 604b(d)。

區域 604a(d)電連接到導電層 605a(d)。

區域 604b(d)電連接到導電層 605b(d)。

絕緣層 602(d)設置在半導體層 603(d)上。

導電層 601(d)夾著絕緣層 602(d)重疊於半導體層 603(d)。半導體層 603(d)中的夾著絕緣層 602(d)重疊於導電層 601(d)的區域成為通道形成區。

下面，對圖 5A 至 5D 所示的各個構成要素進行說明。

作為被元件形成層 600(a)至被元件形成層 600(d)，例如可以使用絕緣層或具有絕緣表面的基板等。此外，也可以使用預先形成有元件的層作為被元件形成層 600(a)至被

元件形成層 600(d)。

導電層 601(a)至導電層 601(d)各自具有電晶體的閘極的功能。另外，將具有電晶體的閘極的功能的層也稱為閘極電極或閘極佈線。

作為導電層 601(a)至導電層 601(d)，例如可以使用由如下材料形成的層：鉬、鎂、鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳等金屬材料或者以它們為主要成分的合金材料。此外，也可以層疊可用於形成導電層 601(a)至導電層 601(d)的材料的層來構成導電層 601(a)至導電層 601(d)。

絕緣層 602(a)至絕緣層 602(d)各自具有電晶體的閘極絕緣層的功能。

作為絕緣層 602(a)至絕緣層 602(d)，例如可以使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層、氧化鉛層或氧化鎳層。此外，也可以層疊可用於絕緣層 602(a)至絕緣層 602(d)的材料的層來構成絕緣層 602(a)至絕緣層 602(d)。

此外，作為絕緣層 602(a)至絕緣層 602(d)，例如也可以使用含有元素週期表中的第 13 族元素及氧元素的材料絕緣層。例如，在半導體層 603(a)至半導體層 603(d)含有第 13 族元素的情況下，藉由使用含有第 13 族元素的絕緣層作為與半導體層 603(a)至半導體層 603(d)接觸的絕緣層，能夠使該絕緣層與氧化物半導體層的介面狀態成為良好。

作為含有第 13 族元素及氧元素的材料，例如可以舉出氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。另外，氧化

鋁鎵是指含鋁量（原子％）多於含鎵量（原子％）的物質，並且氧化鎵鋁是指含鎵量（原子％）為含鋁量（原子％）以上的物質。例如，也可以使用以 Al_2O_x （ $x=3+\alpha$ ， α 為大於 0 且小於 1 的數值）、 Ga_2O_x （ $x=3+\alpha$ ， α 為大於 0 且小於 1 的數值）或 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ （ x 為大於 0 且小於 2 的數值， α 為大於 0 且小於 1 的數值）表示的材料。

此外，也可以層疊可用於絕緣層 602(a)至絕緣層 602(d)的材料的層來構成絕緣層 602(a)至絕緣層 602(d)。例如，也可以層疊多個含有以 Ga_2O_x 表示的氧化鎵的層來構成絕緣層 602(a)至絕緣層 602(d)。此外，也可以層疊含有以 Ga_2O_x 表示的氧化鎵的絕緣層和含有以 Al_2O_x 表示的氧化鋁的絕緣層來構成絕緣層 602(a)至絕緣層 602(d)。

半導體層 603(a)至半導體層 603(d)各自具有形成有電晶體的通道的層的功能。作為可用於半導體層 603(a)至半導體層 603(d)的氧化物半導體，例如可以使用包括四元金屬氧化物、三元金屬氧化物或二元金屬氧化物等的金屬氧化物。

作為四元金屬氧化物，例如可以使用 In-Sn-Ga-Zn-O 類金屬氧化物等。

作為三元金屬氧化物，例如可以使用 In-Ga-Zn-O 類金屬氧化物、 In-Sn-Zn-O 類金屬氧化物、 In-Al-Zn-O 類金屬氧化物、 Sn-Ga-Zn-O 類金屬氧化物、 Al-Ga-Zn-O 類金屬氧化物或 Sn-Al-Zn-O 類金屬氧化物等。

作為二元金屬氧化物，例如可以使用 In-Zn-O 類金屬氧化物、 Sn-Zn-O 類金屬氧化物、 Al-Zn-O 類金屬氧化物

、Zn-Mg-O 類金屬氧化物、Sn-Mg-O 類金屬氧化物、In-Mg-O 類金屬氧化物、In-Sn-O 類金屬氧化物或 In-Ga-O 類金屬氧化物等。

此外，作為氧化物半導體，例如也可以使用 In-O 類金屬氧化物、Sn-O 類金屬氧化物或 Zn-O 類金屬氧化物等。此外，可用作上述氧化物半導體的金屬氧化物也可以含有氧化矽。

在使用 In-Zn-O 類金屬氧化物的情況下，例如可以使用 $\text{In}:\text{Zn}=50:1$ 至 $\text{In}:\text{Zn}=1:2$ （當換算為莫耳數比時 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $\text{In}_2\text{O}_3:\text{ZnO}=1:4$ ）、較佳為 $\text{In}:\text{Zn}=20:1$ 至 $\text{In}:\text{Zn}=1:1$ （當換算為莫耳數比時 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $\text{In}_2\text{O}_3:\text{ZnO}=1:2$ ）、更佳為 $\text{In}:\text{Zn}=15:1$ 至 $\text{In}:\text{Zn}=1.5:1$ （當換算為莫耳數比時 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 $\text{In}_2\text{O}_3:\text{ZnO}=3:4$ ）的成分比的氧化物靶材形成 In-Zn-O 類金屬氧化物的半導體層。例如，至於用來形成 In-Zn-O 類氧化物半導體的靶材，當原子數比為 $\text{In}:\text{Zn}:\text{O}=\text{S}:\text{U}:\text{R}$ 時，滿足 $\text{R}>1.5\text{S}+\text{U}$ 。藉由增加 In 量，能夠提高電晶體的遷移率。

此外，作為氧化物半導體，也可以使用以 $\text{InLO}_3(\text{ZnO})_m$ （ m 為大於 0 的數值）表示的材料。 $\text{InLO}_3(\text{ZnO})_m$ 的 L 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。

氧化物半導體處於單晶、多晶（polycrystal）或非晶等狀態。

此外，半導體層 603(a)至半導體層 603(d)中的至少形成有通道的區域具有結晶性並且是非單晶，並可以包括如

下相：當從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且在 c 軸方向上金屬原子排列為層狀或者在 c 軸方向上金屬原子和氧原子排列為層狀。將具有上述相的氧化物半導體也稱為 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: C 軸配向結晶氧化物半導體)。

此外，當將電晶體的通道長度設定為 30nm 時，例如也可以將半導體層 603(a)至半導體層 603(d)的厚度設定為 5nm 左右。此時，若半導體層 603(a)至半導體層 603(d)為 CAAC-OS 的氧化物半導體層，則能夠抑制電晶體中的短通道效應。

另外，至於 CAAC-OS，在實施方式 4 中進行詳細說明。

區域 604a(c)、區域 604b(c)、區域 604a(d)及區域 604b(d)添加有賦予 n 型或 p 型的導電型的摻雜劑，並且具有電晶體的源極或汲極的功能。作為摻雜劑，例如可以使用元素週期表中的第 13 族的元素（例如硼等）以及元素週期表中的第 15 族的元素（例如氮、磷或砷等）中的一種或多種。另外，將具有電晶體的源極的功能的區域也稱為源極區，並將具有電晶體的汲極的功能的區域也稱為汲極區。藉由對區域 604a(c)、區域 604b(c)、區域 604a(d)及區域 604b(d)添加摻雜劑，能夠減少與導電層的連接電阻，從而能夠使電晶體微細化。

導電層 605a(a)至導電層 605a(d)及導電層 605b(a)至導電層 605b(d)各自具有電晶體的源極或汲極的功能。另

外，將具有電晶體的源極的功能的層也稱為源極電極或源極佈線，並將具有電晶體的汲極的功能的層也稱為汲極電極或汲極佈線。

作為導電層 605a(a)至導電層 605a(d)及導電層 605b(a)至導電層 605b(d)，例如可以使用由如下材料形成的層：鋁、鎂、鉻、銅、鈮、鈦、鉬或鎢等金屬材料或者以這些金屬材料為主要成分的合金材料。例如，可以使用含有銅、鎂及鋁的合金材料的層構成導電層 605a(a)至導電層 605a(d)及導電層 605b(a)至導電層 605b(d)。此外，也可以層疊可用於導電層 605a(a)至導電層 605a(d)及導電層 605b(a)至導電層 605b(d)的材料的層來構成導電層 605a(a)至導電層 605a(d)及導電層 605b(a)至導電層 605b(d)。例如，可以層疊含有銅、鎂及鋁的合金材料的層與含有銅的層來構成導電層 605a(a)至導電層 605a(d)及導電層 605b(a)至導電層 605b(d)。

此外，作為導電層 605a(a)至導電層 605a(d)及導電層 605b(a)至導電層 605b(d)，也可以使用含有導電金屬氧化物的層。作為導電金屬氧化物，例如可以使用氧化銦、氧化錫、氧化鋅、氧化銦錫或氧化銦鋅。另外，可用於導電層 605a(a)至導電層 605a(d)及導電層 605b(a)至導電層 605b(d)的導電金屬氧化物也可以含有氧化矽。

作為絕緣層 606(a)及絕緣層 606(b)，可以使用可用於絕緣層 602(a)至絕緣層 602(d)的材料的層。此外，也可以層疊可用於絕緣層 606(a)及絕緣層 606(b)的材料的層來構成絕緣層 606(a)及絕緣層 606(b)。例如，也可以使用氧化

矽層、氧化鋁層等構成絕緣層 606(a)及絕緣層 606(b)。例如，藉由使用氧化鋁層，能夠進一步提高抑制雜質侵入半導體層 603(a)及半導體層 603(b)中的效果，並且能夠提高抑制半導體層 603(a)及半導體層 603(b)中的氧解吸的效果。

導電層 608(a)及導電層 608(b)各自具有電晶體的閘極的功能。另外，在電晶體包括導電層 601(a)及導電層 608(a)兩者或導電層 601(b)及導電層 608(b)兩者的情況下，將導電層 601(a)及導電層 608(a)的一方或導電層 601(b)及導電層 608(b)的一方也稱為背閘極、背閘極電極或背閘極佈線。藉由夾著通道形成層設置多個具有閘極的功能的導電層，能夠容易控制電晶體的臨界電壓。

作為導電層 608(a)及導電層 608(b)，例如可以使用可用於導電層 601(a)至導電層 601(d)的材料的層。此外，也可以層疊可用於導電層 608(a)及導電層 608(b)的材料的層來構成導電層 608(a)及導電層 608(b)。

另外，本實施方式的電晶體也可以具有如下結構：在具有通道形成層的功能的氧化物半導體層的一部分上包括絕緣層，並且以夾著該絕緣層重疊於氧化物半導體層的方式包括具有源極或汲極的功能的導電層。當採用上述結構時，絕緣層具有保護電晶體的通道形成層的層（也稱為通道保護層）的功能。作為具有通道保護層的功能的絕緣層，例如可以使用可用於絕緣層 602(a)至絕緣層 602(d)的材料的層。此外，也可以層疊可用於絕緣層 602(a)至絕緣層 602(d)的材料的層來構成具有通道保護層的功能的絕緣層。

此外，也可以在被元件形成層 600(a)至被元件形成層 600(d)上形成基底層，並且在該基底層上形成電晶體。此時，作為基底層，例如可以使用可用於絕緣層 602(a)至絕緣層 602(d)的材料的層。此外，也可以層疊可用於絕緣層 602(a)至絕緣層 602(d)的材料的層來構成基底層。例如，藉由使用氧化鋁層及氧化矽層的疊層構成基底層，能夠抑制包含在基底層中的氧藉由半導體層 603(a)至半導體層 603(d)解吸。

接著，在下文中，作為本實施方式中的電晶體的製造方法的例子，使用圖 6A 至 6E 對圖 5A 所示的電晶體的製造方法的例子進行說明。圖 6A 至 6E 為用來說明圖 5A 所示的電晶體的製造方法的例子的剖面示意圖。

首先，如圖 6A 所示，準備被元件形成層 600(a)，在被元件形成層 600(a)上形成第一導電膜，並且蝕刻第一導電膜的一部分來形成導電層 601(a)。

例如，可以利用濺射法形成可用於導電層 601(a)的材料的膜來形成第一導電膜。此外，也可以層疊可用於第一導電膜的材料的膜形成第一導電膜。

另外，藉由作為濺射氣體例如使用氫、水、羥基或氫化物等雜質被去除了的高純度氣體，能夠降低所形成的膜中的上述雜質濃度。

另外，也可以在利用濺射法形成膜之前，在濺射裝置的預加熱室中進行預加熱處理。藉由進行上述預加熱處理，能夠使氫、水分等雜質解吸。

此外，也可以在利用濺射法形成膜之前進行如下處理：例如在氬、氮、氦或氧氛圍下，不對靶材一側施加電壓而對基板一側使用 RF 電源施加電壓形成電漿，來對被形成面進行修改（也稱為反濺射）。藉由進行反濺射，能夠去除附著在被形成面上的粉狀物質（也稱為微粒、塵屑）。

此外，當利用濺射法形成膜時，可以使用吸附型真空泵等去除形成膜的沉積室中的殘留水分。作為吸附型真空泵，例如可以使用低溫泵、離子泵或鈦昇華泵等。此外，也可以使用設置有冷阱的渦輪分子泵來去除沉積室中的殘留水分。藉由使用上述真空泵，能夠減少含有雜質的排氣倒流。

此外，當在本實施方式中的電晶體的製造方法的例子中，如上述導電層 601(a)的形成方法那樣對膜的一部分進行蝕刻來形成層時，例如，可以在膜的一部分上藉由光微影製程形成光阻掩罩並使用光阻掩罩對膜進行蝕刻來形成層。另外，在此情況下，在形成層之後去除光阻掩罩。

此外，也可以利用噴墨法形成光阻掩罩。由於藉由利用噴墨法，不必使用光掩模，所以能夠降低製造成本。此外，也可以使用具有透過率不同的多個區域的曝光掩模（也稱為多色調掩模）來形成光阻掩罩。藉由使用多色調掩模，可以形成具有厚度不同的區域的光阻掩罩，從而能夠減少當製造電晶體時使用的光阻掩罩的個數。

接著，如圖 6B 所示，藉由在導電層 601(a)上形成第一絕緣膜來形成絕緣層 602(a)。

例如，能夠藉由利用濺射法或電漿 CVD 法等形成可用於絕緣層 602(a)的材料的膜來形成第一絕緣膜。此外，也可以層疊可用於絕緣層 602(a)的材料的膜來形成第一絕緣膜。此外，藉由利用高密度電漿 CVD 法（例如，使用 μ 波（例如，頻率為 2.45 GHz 的 μ 波）的高密度電漿 CVD 法）形成可用於絕緣層 602(a)的材料的膜，能夠將絕緣層 602(a)形成得緻密，從而能夠提高絕緣層 602(a)的絕緣耐壓。

接著，如圖 6C 所示，在絕緣層 602(a)上形成氧化物半導體膜，然後對氧化物半導體膜的一部分進行蝕刻，來形成半導體層 603(a)。

例如，能夠藉由利用濺射法形成可用於半導體層 603(a)的氧化物半導體材料的膜來形成氧化物半導體膜。另外，也可以在稀有氣體氛圍下、氧氛圍下或稀有氣體和氧的混合氛圍下形成氧化物半導體膜。此外，當形成為 CAAC-OS 的氧化物半導體層作為半導體層 603(a)時，在利用濺射法並將氧化物半導體膜被形成的被元件形成層的溫度設定為 100℃ 以上 500℃ 以下，較佳的是，設定為 200℃ 以上 350℃ 以下的條件下形成氧化物半導體膜。此時，較佳的是，濺射裝置中的氫或水等雜質的濃度極為低。例如，藉由在形成氧化物半導體膜之前進行熱處理，能夠降低濺射裝置內的氫或水等雜質的濃度。並且，此時，絕緣層 602(a)較佳為平坦。例如，絕緣層 602(a)的平均面粗糙度小於 0.5 nm 較佳，更佳為 0.1 nm 以下。

此外，可以使用成分比為 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫

耳數比]的氧化物靶材作為濺射靶材來形成氧化物半導體膜。此外，例如也可以使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳數比]的成分比的氧化物靶材來形成氧化物半導體膜。

此外，作為用於 In-Sn-Zn-O 類的材料膜的氧化物半導體的靶材的成分比，可以採用 In:Sn:Zn 的原子數比為 $1:2:2$ 、 $2:1:3$ 、 $1:1:1$ 或 $20:45:35$ 等。

此外，當利用濺射法時，例如在稀有氣體（典型的是氬）氛圍下、氧氛圍下或稀有氣體和氧的混合氛圍下形成半導體層 603(a)。此時，當在稀有氣體和氧的混合氛圍下形成半導體層 603(a)時，較佳的是，氧多於稀有氣體。

接著，如圖 6D 所示，在絕緣層 602(a)及半導體層 603(a)上形成第二導電膜並且對第二導電膜的一部分進行蝕刻，來形成導電層 605a(a)及導電層 605b(a)。

例如，能夠藉由利用濺射法等形成可用於導電層 605a(a)及導電層 605b(a)的材料的膜來形成第二導電膜。此外，也可以層疊可用於導電層 605a(a)及導電層 605b(a)的材料的膜來形成第二導電膜。

接著，如圖 6E 所示，以與半導體層 603(a)接觸的方式形成絕緣層 606(a)。

例如，能夠藉由在稀有氣體（典型的是氬）氛圍下、氧氛圍下或稀有氣體和氧的混合氛圍下利用濺射法形成可用於絕緣層 606(a)的膜來形成絕緣層 606(a)。藉由利用濺射法形成絕緣層 606(a)，能夠抑制具有電晶體的背通道的功能的半導體層 603(a)處的電阻的下降。此外，形成絕緣

層 606(a)時的基板溫度較佳為室溫以上 300℃以下。

此外，也可以在形成絕緣層 606(a)之前進行使用 N_2O 、 N_2 或 Ar 等的氣體的電漿處理，來去除附著到露出的半導體層 603(a)的表面的吸附水等。當進行電漿處理時，在後面以不接觸於大氣的方式形成絕緣層 606(a)較佳。

再者，在圖 5A 所示的電晶體的製造方法的一個例子中，例如在 600℃以上 750℃以下或者 600℃以上且低於基板的應變點的溫度下進行加熱處理。例如，在形成氧化物半導體膜之後、在對氧化物半導體膜的一部分進行蝕刻之後、在形成第二導電膜之後、在對第二導電膜的一部分進行蝕刻之後或在形成絕緣層 606(a)之後進行上述加熱處理。

另外，作為進行上述加熱處理的加熱處理裝置，可以使用電爐或者利用來自電阻發熱體等發熱體的熱傳導或熱輻射加熱被處理物的裝置，例如可以使用 GRTA (Gas Rapid Thermal Annealing：氣體快速熱退火) 裝置或 LRTA (Lamp Rapid Thermal Annealing：燈快速熱退火) 裝置等的 RTA (Rapid Thermal Annealing：快速熱退火) 裝置。例如，LRTA 裝置是利用從燈如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發出的光（電磁波）的輻射加熱被處理物的裝置。另外，GRTA 裝置是指使用高溫氣體進行加熱處理的裝置。作為高溫的氣體，例如可以使用稀有氣體或者即使進行加熱處理也不與被處理物起反應的惰性氣體（例如氮）。

此外，也可以在進行上述加熱處理之後，對與進行該

加熱處理的爐相同的爐中引入高純度的氧氣、高純度的 N_2O 氣體或超乾燥空氣（露點為 -40°C 以下，較佳為 -60°C 以下的氛圍）。此時，較佳的是，不使氧氣或 N_2O 氣體包含水、氫等。此外，較佳的是，將引入到加熱處理裝置中的氧氣或 N_2O 氣體的純度設定為 6N 以上，較佳的是，設定為 7N 以上，即，將氧氣或 N_2O 氣體中的雜質濃度設定為 1ppm 以下，較佳的是，設定為 0.1ppm 以下。藉由利用氧氣或 N_2O 氣體的作用，氧供給到半導體層 603(a) 中，而能夠降低由半導體層 603(a) 中的氧缺乏造成的缺陷。另外，也可以在進行上述加熱處理時引入上述高純度的氧氣、高純度的 N_2O 氣體或超乾燥空氣。

此外，也可以在形成絕緣層 602(a) 之後、在形成氧化物半導體膜之後、在形成成為源極電極或汲極電極的導電層之後、在將絕緣層形成於成為源極電極或汲極電極的導電層上之後或在進行加熱處理之後進行利用氧電漿的氧摻雜處理。例如，可以利用 2.45GHz 的高密度電漿進行氧摻雜處理。此外，也可以利用離子植入法進行氧摻雜處理。藉由進行氧摻雜處理，能夠降低所製造的電晶體的電特性的不均勻性。例如，藉由進行氧摻雜處理，使絕緣層 602(a) 及絕緣層 606(a) 中的一者或兩者成為其中的氧多於化學計量比的狀態。

藉由使與半導體層 603(a) 接觸的絕緣層含有過剩的氧，氧容易被供應給半導體層 603(a)。因此，由於能夠降低半導體層 603(a) 中或者絕緣層 602(a) 及絕緣層 606(a) 中的一者或兩者與半導體層 603(a) 的界面的氧缺陷，所以能夠

進一步降低半導體層 603(a)中的載子濃度。此外，不侷限於此，即使在藉由製造製程使半導體層 603(a)含有過剩的氧的情況下，也能夠由與半導體層 603(a)接觸的上述絕緣層抑制氧從半導體層 603(a)解吸。

例如，在作為絕緣層 602(a)及絕緣層 606(a)中的一者或兩者，形成含有氧化鎵的絕緣層的情況下，能夠對該絕緣層供應氧來使氧化鎵的組成成為 Ga_2O_x 。

在作為絕緣層 602(a)及絕緣層 606(a)中的一者或兩者，形成含有氧化鋁的絕緣層的情況下，能夠對該絕緣層供應氧來使氧化鋁的組成成為 Al_2O_x 。

此外，在作為絕緣層 602(a)及絕緣層 606(a)中的一者或兩者，形成含有氧化鎵鋁或氧化鋁鎵的絕緣層的情況下，能夠對該絕緣層供應氧來使氧化鎵鋁或氧化鋁鎵的組成成為 $Ga_xAl_{2-x}O_{3+\alpha}$ 。

藉由上述製程，能夠藉由從半導體層 603(a)去除氫、水、羥基或氫化物（也稱為氫化合物）等雜質並且對半導體層 603(a)供應氧，來使氧化物半導體層高純度化。

再者，除了上述加熱處理以外，還可以在形成絕緣層 606(a)之後，在惰性氣體氛圍或氧氣氛圍下進行加熱處理（較佳的是，在 200°C 以上 600°C 以下，例如 250°C 以上 350°C 以下）。

再者，如圖 6E 所示，藉由在絕緣層 606(a)上形成第三導電膜並且對第三導電膜的一部分進行蝕刻，來形成導電層 608(a)。

例如，能夠藉由利用濺射法形成可用於導電層 608(a)

的材料的膜來形成第三導電膜。此外，也可以層疊可用於第三導電膜的材料的膜形成第三導電膜。

注意，在上文中示出圖 5A 所示的電晶體的製造方法的例子，但是不侷限於此，例如圖 5B 至 5D 所示的各構成要素中，只要其名稱與圖 5A 所示的各構成要素相同且其功能的至少一部分與圖 5A 所示的各構成要素相同，就可以適當地援用圖 5A 所示的電晶體的製造方法的例子的說明。

此外，如圖 5C 及 5D 所示，當形成區域 604a(c)及區域 604a(d)或區域 604b(c)及區域 604b(d)時，藉由從形成具有閘極的功能的導電層一側對半導體層添加摻雜劑，夾著具有閘極絕緣層的功能的絕緣層以自對準的方式形成區域 604a(c)及區域 604a(d)、區域 604b(c)及區域 604b(d)。

例如，可以藉由使用離子摻雜裝置或離子植入裝置來添加摻雜劑。

如圖 5A 至 5D 及圖 6A 至 6E 所說明，本實施方式中的電晶體的一個例子包括：具有閘極的功能的導電層；具有閘極絕緣層的功能的絕緣層；隔著具有閘極絕緣層的功能的絕緣層重疊於具有閘極的功能的導電層並形成有通道的氧化物半導體層；電連接到氧化物半導體層並具有源極及汲極中的一方的功能的導電層；電連接到氧化物半導體層並具有源極及汲極中的另一方的功能的導電層。

上述形成有通道的氧化物半導體層是藉由被高純度化而成爲 i 型或實際上成爲 i 型的氧化物半導體層。藉由使氧化物半導體層高純度化，能夠使氧化物半導體層中的載

子濃度成爲低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳的是，低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳的是，低於 $1 \times 10^{11}/\text{cm}^3$ 。此外，藉由採用上述結構，能夠使每通道寬度 $1\mu\text{m}$ 的截止電流成爲 10aA ($1 \times 10^{-17}\text{A}$) 以下，甚至爲 1aA ($1 \times 10^{-18}\text{A}$) 以下，更甚至爲 10zA ($1 \times 10^{-20}\text{A}$) 以下，更甚至爲 1zA ($1 \times 10^{-21}\text{A}$) 以下，更甚至爲 100yA ($1 \times 10^{-22}\text{A}$) 以下。電晶體的截止電流越低越好，但是，本實施方式中的電晶體的截止電流的下限值被估計大約爲 $10^{-30}\text{A}/\mu\text{m}$ 。

例如，藉由將本實施方式的包括氧化物半導體層的電晶體應用於上述實施方式中的半導體電路中的開關，能夠大大降低開關的洩漏電流而製造能得到穩定的輸入輸出特性的半導體電路。

本實施方式可以與本說明書中所記載的其他實施方式適當地組合而實施。

實施方式 3

在本實施方式中，對上述實施方式中的半導體電路的結構實例進行說明。

本實施方式中的半導體電路使用如下兩個電晶體構成，即形成有通道且包括含有元素週期表中的第 14 族的半導體（矽等）的半導體層的電晶體以及包括形成有通道的氧化物半導體層的電晶體。此時，可以將包括形成有通道的氧化物半導體層的電晶體層疊在包括含有元素週期表中第 14 族的半導體（矽等）的半導體層的電晶體上。例如，將包括含有元素週期表中第 14 族的半導體（矽等）的

半導體層的電晶體用作圖 1 中的開關 103 或構成運算放大電路 111 的電晶體。

圖 7 示出在包括含有元素週期表中第 14 族的半導體（矽等）的半導體層的電晶體上層疊包括形成有通道的氧化物半導體層的電晶體的例子。另外，圖 7 包括與實際上的尺寸不同的構成要素。

在圖 7 中，使用半導體層 780、絕緣層 784a、絕緣層 784b、導電層 785a、導電層 785b、絕緣層 786a、絕緣層 786b、絕緣層 786c、絕緣層 786d、絕緣層 788、半導體層 753、導電層 754a、導電層 754b、絕緣層 755、導電層 756、絕緣層 757a、絕緣層 757b、絕緣層 758、絕緣層 759、導電層 760a 以及導電層 760b 形成包括含有元素週期表中第 14 族的半導體（矽等）的半導體層的 p 通道型電晶體及 n 通道型電晶體（例如，相當於構成圖 1 所示的運算放大電路 111 的電晶體）以及包括形成有通道的氧化物半導體層的電晶體（例如，相當於圖 1 所示的電晶體 102）。

再者，半導體層 780 包括區域 782a、區域 782b、區域 782c 以及區域 782d。此外，各電晶體由設置在半導體層 780 中的絕緣區 781a 至絕緣區 781c 電分離。

作為半導體層 780，例如可以使用半導體基板。此外，也可以使用設置在另一基板上的半導體層作為半導體層 780。

區域 782a 和區域 782b 是彼此分開而設置且添加有賦予 p 型導電型的摻雜劑的區域。區域 782a 及區域 782b 具

有上述 p 通道型電晶體的源極區或汲極區的功能。例如，區域 782a 及區域 782b 也可以各自電連接到另外設置的導電層。

區域 782c 和區域 782d 是彼此分開而設置且添加有賦予 n 型導電型的摻雜劑的區域。區域 782c 及區域 782d 具有上述 n 通道型電晶體的源極區或汲極區的功能。例如，區域 782c 及區域 782d 也可以各自電連接到另外設置的導電層。

另外，也可以在區域 782a 至區域 782d 的一部分設置低濃度區域。此時，低濃度區域的深度可以小於區域 782a 至 782d 中的該區域以外的區域的深度，但是不侷限於此。

絕緣層 784a 設置在半導體層 780 中的被夾在絕緣區 781a 和絕緣區 781b 之間的區域上。絕緣層 784a 具有上述 p 通道型電晶體的閘極絕緣層的功能。

絕緣層 784b 設置在半導體層 780 中的被夾在絕緣區 781b 和絕緣區 781c 之間的區域上。絕緣層 784b 具有上述 n 通道型電晶體的閘極絕緣層的功能。

作為絕緣層 784a 及絕緣層 784b，例如可以使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、氧化鉛、有機絕緣材料（例如聚醯亞胺或丙烯酸等）等材料的層。此外，也可以層疊可用於絕緣層 784a 及絕緣層 784b 的材料的層來構成絕緣層 784a 及絕緣層 784b。

導電層 785a 夾著絕緣層 784a 與半導體層 780 重疊。

半導體層 780 中的與導電層 785a 重疊的區域成為上述 p 通道型電晶體的通道形成區。導電層 785a 具有上述 p 通道型電晶體的閘極的功能。

導電層 785b 夾著絕緣層 784b 與半導體層 780 重疊。半導體層 780 中的與導電層 785b 重疊的區域成為上述 n 通道型電晶體的通道形成區。導電層 785b 具有上述 n 通道型電晶體的閘極的功能。

作為導電層 785a 及導電層 785b，例如可以使用鉬、鎂、鈦、鉻、鉭、鎢、鋁、銅、鈳或銦等金屬材料或者以它們為主要成分的合金材料的層。此外，也可以層疊可用於導電層 785a 及導電層 785b 的材料的層來構成導電層 785a 及導電層 785b。

絕緣層 786a 設置在絕緣層 784a 上且與導電層 785a 中的彼此相對的一對側面的一方接觸。

絕緣層 786b 設置在絕緣層 784a 上且與導電層 785a 中的彼此相對的上述一對側面的另一方接觸。

絕緣層 786c 設置在絕緣層 784b 上且與導電層 785b 中的彼此相對的一對側面的一方接觸。

絕緣層 786d 設置在絕緣層 784b 上且與導電層 785b 中的彼此相對的上述一對側面的另一方接觸。

絕緣層 788 設置為覆蓋導電層 785a、導電層 785b、絕緣層 786a、絕緣層 786b、絕緣層 786c 以及絕緣層 786d。

作為絕緣層 786a 至絕緣層 786d 以及絕緣層 788，可以使用可用於絕緣層 784a 及絕緣層 784b 的材料中與用於

絕緣層 784a 及絕緣層 784b 的材料相同材料的層或不同材料的層。此外，也可以層疊可用於絕緣層 786a 至絕緣層 786d 以及絕緣層 788 的材料的層來構成絕緣層 786a 至絕緣層 786d 以及絕緣層 788。

半導體層 753 設置在絕緣層 788 上。半導體層 753 包括區域 752a 及區域 752b。區域 752a 及區域 752b 是添加有摻雜劑的區域，並且具有源極區或汲極區的功能。作為摻雜劑，可以採用可用於上述實施方式中的包括氧化物半導體層的電晶體的摻雜劑。另外，沒必要必須設置區域 752a 及區域 752b。

作為半導體層 753，例如可以使用可用於圖 5A 所示的半導體層 603(a)的材料的層。

絕緣層 755 設置在半導體層 753 上。此外，絕緣層 755 具有電晶體的閘極絕緣層的功能。

作為絕緣層 755，例如可以使用可用於圖 5A 所示的絕緣層 602(a)的材料的層。此外，也可以藉由層疊可用於絕緣層 755 的材料的層來構成絕緣層 755。

導電層 756 夾著絕緣層 755 與半導體層 753 重疊。導電層 756 具有電晶體的閘極的功能。

作為導電層 756，例如可以使用可用於圖 5A 所示的導電層 601(a)的材料的層。此外，也可以藉由層疊可用於導電層 756 的材料的層來構成導電層 756。

絕緣層 757a 及絕緣層 757b 以與導電層 756 的側面接觸的方式設置在絕緣層 755 上。另外，沒必要必須設置絕緣層 757a 及絕緣層 757b。

導電層 754a 與半導體層 753 接觸而電連接。導電層 754a 具有上述包括氧化物半導體層的電晶體的源極或汲極的功能。

導電層 754b 與半導體層 753 接觸而電連接。並且，導電層 754b 與導電層 785b 電連接。導電層 754b 具有上述包括氧化物半導體層的電晶體的源極或汲極的功能。

作為導電層 754a 及導電層 754b，例如可以使用可用於圖 5A 所示的導電層 605a(a)及導電層 605b(a)的材料的層。此外，也可以藉由層疊可用於導電層 754a 及導電層 754b 的材料的層來構成導電層 754a 及導電層 754b。

絕緣層 758 設置在導電層 756、絕緣層 757a、絕緣層 757b、導電層 754a 以及導電層 754b 上。

作為絕緣層 758，例如可以使用可用於圖 5A 所示的絕緣層 602(a)的材料的層。此外，也可以藉由層疊可用於絕緣層 758 的材料的層來構成絕緣層 758。絕緣層 758 具有作為抑制雜質侵入的保護層的功能。

絕緣層 759 設置在絕緣層 758 上。

作為絕緣層 759，例如可以使用可用於圖 5A 所示的絕緣層 602(a)的材料的層。此外，也可以藉由層疊可用於絕緣層 759 的材料的層來構成絕緣層 759。

導電層 760a 藉由設置在絕緣層 758 及絕緣層 759 中的開口部電連接到導電層 754a。導電層 760a 具有包括氧化物半導體層的電晶體的源極或汲極的功能。

導電層 760b 藉由設置在絕緣層 758 及絕緣層 759 中的開口部電連接到導電層 754b。導電層 760b 具有作為包

括氧化物半導體層的電晶體的源極或汲極的功能。

作為導電層 760a 及導電層 760b，例如可以使用可用於圖 5A 所示的導電層 605a(a)及導電層 605b(a)的材料的層。此外，也可以藉由層疊可用於導電層 760a 及導電層 760b 的材料的層來構成導電層 760a 及導電層 760b。

上面的描述是有關圖 7 所示的半導體電路的結構實例的說明。

如使用圖 7 所說明，在本實施方式中的半導體電路的結構實例中，藉由層疊使用材料不同的半導體層的電晶體而構成半導體電路，能夠減小電路面積。

本實施方式可以與本說明書中所記載的其他實施方式適當地組合而實施。

實施方式 4

在本實施方式中，使用圖 8A 至 8E、圖 9A 至 9C 以及圖 10A 至 10C 對可應用於上述實施方式的氧化物材料進行說明。

與使用非晶氧化物半導體的電晶體相比，本實施方式中所例示的具有 CAAC-OS 的電晶體能夠實現高場效應遷移率，例如，能夠在更高的頻率帶進行工作。

在本實施方式中，對含有如下結晶的氧化物半導體（也稱為 CAAC-OS：C Axis Aligned Crystalline Oxide Semiconductor：c 軸配向結晶氧化物半導體）進行說明：呈現 c 軸配向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，在 c 軸上金屬原子

排列為層狀或者金屬原子和氧原子排列為層狀，並且在 ab 面上 a 軸或 b 軸的方向不同（即，以 c 軸為中心旋轉）。

從更廣義來理解，CAAC-OS 是指非單晶，並是指包括如下相的氧化物半導體，在該相中在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且沿 c 軸方向上金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC-OS 不是單晶，但是也不只由非晶形成。並且，雖然 CAAC-OS 包括晶化部分（結晶部分），但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

也可以用氮取代構成 CAAC-OS 的氧的一部分。並且，構成 CAAC-OS 的各結晶部分的 c 軸也可以在固定的方向（例如，垂直於其上形成 CAAC-OS 的基板表面或 CAAC-OS 的表面等的方向）上一致。或者，構成 CAAC-OS 的各結晶部分的 ab 面的法線也可以朝向固定的方向（例如，垂直於其上形成 CAAC-OS 的基板表面或 CAAC-OS 的表面等的方向）。

CAAC-OS 根據其組成等而成為導體、半導體或絕緣體。並且，CAAC-OS 根據其組成等而呈現對可見光的透明性或不透明性。

作為上述 CAAC-OS 的例子，也可以舉出一種氧化物半導體，該材料被形成為膜狀，在從垂直於膜表面或所支撐的基板表面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子和氧原子（或氮原子）的層狀排列。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下，該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體內的尺寸。此外，在使用透射電子顯微鏡（TEM:Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。並且，不能利用 TEM 在 CAAC-OS 膜中觀察到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，並且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶之間可以 a 軸及 b 軸的方向不同。在本說明書中，當只記載“垂直”時，包括 85°以上 95°以下的範圍。此外，當只記載“平行”時，包括 -5°以上 5°以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。此外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部被非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或 CAAC-OS 膜的表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量的方向。結晶部分藉由進行成膜或進行成膜後的加熱處理等的晶化處理來形成。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，該電晶體的可靠性高。

使用圖 8A 至 8E、圖 9A 至 9C 以及圖 10A 至 10C 對 CAAC-OS 進行詳細說明。注意，在沒有特別的說明時，在圖 8A 至 8E、圖 9A 至 9C 以及圖 10A 至 10C 中，以垂直方向為 c 軸方向，並以與 c 軸方向正交的面為 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。另外，在圖 8A 至圖 8E 中，使用圓圈圈上的 O 示出四配位 O ，而使用雙重圓圈圈上的 O 示出三配位 O 。

圖 8A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱為四配位 O ）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖然圖 8A 所示的結構採用八面體結構，但是為了容易理解以平面結構而表示。另外，在圖 8A 的上一半及下一半分別具有三個四配位 O 。圖 8A 所示的小組的電荷為 0。

圖 8B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子（以下稱為三配位 O）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 8B 的上半及下半分別具有一個四配位 O。此外，因為 In 也採用五配位，所以也有可能採用圖 8B 所示的結構。圖 8B 所示的小組的電荷為 0。

圖 8C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 8C 的上半具有一個四配位 O，並且在下半具有三個四配位 O。或者，也可以在圖 8C 的上半具有三個四配位 O，並且在下半具有一個四配位 O。圖 8C 所示的小組的電荷為 0。

圖 8D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 8D 的上半具有三個四配位 O，並且在下半具有三個四配位 O。圖 8D 所示的小組的電荷為 +1。

圖 8E 示出包括兩個 Zn 的小組。在圖 8E 的上半具有一個四配位 O，並且在下半具有一個四配位 O。圖 8E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元元件）。

這裏，對這些小組彼此接合的規則進行說明。圖 8A 所示的六配位 In 的上半的三個 O 在下方向上分別具有三個靠近的 In，而 In 的下半的三個 O 在上方向上分別具有三個靠近的 In。圖 8B 所示的五配位 Ga 的上半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下半的

一個 O 在上方向上具有一個靠近的 Ga。圖 8C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。例如，當六配位金屬原子（In 或 Sn）藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子（Ga 或 In）及四配位金屬原子（Zn）中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總電荷成為 0 的方式使多個小組接合而構成中組。

圖 9A 示出構成 In-Sn-Zn-O 類的層結構的中組的模型圖。圖 9B 示出由三個中組構成的大組。另外，圖 9C 示出從 c 軸方向上觀察圖 9B 的層結構時的原子排列。

在圖 9A 中，為了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 9A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。與

此同樣，在圖 9A 中示出：上一半具有三個四配位 O 且下一半具有一個四配位 O 的 Zn；以及上一半具有一個四配位 O 且下一半具有三個四配位 O 的 Zn。

在圖 9A 中，構成 In-Sn-Zn-O 類的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5 。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷為 $+1$ 。因此，為了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電荷 -1 。作為具有電荷 -1 的結構，可以舉出圖 8E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 9B 所示的大組，可以得到 In-Sn-Zn-O 類的結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。注意，可以得到的 In-Sn-Zn-O 類的層結構可以以組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （ m

是 0 或自然數) 表示。

此外，使用如下氧化物時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物；三元金屬氧化物的 In-Ga-Zn-O 類氧化物（也表示為 IGZO ）、 In-Al-Zn-O 類氧化物、 Sn-Ga-Zn-O 類氧化物、 Al-Ga-Zn-O 類氧化物、 Sn-Al-Zn-O 類氧化物、 In-Hf-Zn-O 類氧化物、 In-La-Zn-O 類氧化物、 In-Ce-Zn-O 類氧化物、 In-Pr-Zn-O 類氧化物、 In-Nd-Zn-O 類氧化物、 In-Sm-Zn-O 類氧化物、 In-Eu-Zn-O 類氧化物、 In-Gd-Zn-O 類氧化物、 In-Tb-Zn-O 類氧化物、 In-Dy-Zn-O 類氧化物、 In-Ho-Zn-O 類氧化物、 In-Er-Zn-O 類氧化物、 In-Tm-Zn-O 類氧化物、 In-Yb-Zn-O 類氧化物、 In-Lu-Zn-O 類氧化物；二元金屬氧化物的 In-Zn-O 類氧化物、 Sn-Zn-O 類氧化物、 Al-Zn-O 類氧化物、 Zn-Mg-O 類氧化物、 Sn-Mg-O 類氧化物、 In-Mg-O 類氧化物、 In-Ga-O 類氧化物等。

例如，圖 10A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 10A 中，構成 In-Ga-Zn-O 類的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 10B 示出由三個中組構成的大組。另外，圖 10C 示出從 c 軸方向上觀察圖 10B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別為 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一種的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類的層結構的中組不侷限於圖 10A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

明確而言，藉由反復圖 10B 所示的大組，可以得到 In-Ga-Zn-O 類的結晶。注意，可以得到的 In-Ga-Zn-O 類的層結構可以由組成式 $\text{InGaO}_3(\text{ZnO})_n$ （n 是自然數）表示。

藉由使用具有 CAAC-OS 的電晶體，與使用非晶氧化物半導體的電晶體相比，能夠實現高場效應遷移率。由於這種電晶體能夠在高頻帶進行工作，所以例如可以將其用於 CPU 等。

本實施方式可以與本說明書所記載的其他實施方式適當地組合而實施。

【圖式簡單說明】

在圖式中：

圖 1 為說明本發明的一個方式的半導體電路的圖；

圖 2 為說明本發明的一個方式的半導體電路的工作的圖；

圖 3 為說明本發明的一個方式的半導體電路的圖；

圖 4 為說明本發明的一個方式的半導體電路的圖；

圖 5A 至 5D 為說明本發明的一個方式的電晶體的結構的圖；

圖 6A 至 6E 為說明本發明的一個方式的電晶體的製造方法的圖；

圖 7 為說明本發明的一個方式的半導體電路的結構的圖；

圖 8A 至 8E 為說明氧化物材料的結晶結構的圖；

圖 9A 至 9C 為說明氧化物材料的結晶結構的圖；

圖 10A 至 10C 為說明氧化物材料的結晶結構的圖；

圖 11 為說明習知的開關電容放大器電路的圖。

【主要元件符號說明】

100：開關電容放大器電路

101：電晶體

101a：電晶體

101b：電晶體

102：電晶體

102a：電晶體

102b：電晶體

103：開關

104a：電晶體

104b：電晶體

105：電晶體

106 : 電 晶 體
 107 : 開 關
 111 : 運 算 放 大 電 路
 600 : 被 元 件 形 成 層
 601 : 導 電 層
 602 : 絕 緣 層
 603 : 半 導 體 層
 604a : 區 域
 604b : 區 域
 605a : 導 電 層
 605b : 導 電 層
 606 : 絕 緣 層
 608 : 導 電 層
 752a : 區 域
 752b : 區 域
 753 : 半 導 體 層
 754a : 導 電 層
 754b : 導 電 層
 755 : 絕 緣 層
 756 : 導 電 層
 757a : 絕 緣 層
 757b : 絕 緣 層
 758 : 絕 緣 層
 759 : 絕 緣 層
 760a : 導 電 層

760b : 導電層

780 : 半導體層

781a : 絕緣區

781b : 絕緣區

781c : 絕緣區

782a : 區域

782b : 區域

782c : 區域

782d : 區域

784a : 絕緣層

784b : 絕緣層

785a : 導電層

785b : 導電層

786a : 絕緣層

786b : 絕緣層

786c : 絕緣層

786d : 絕緣層

788 : 絕緣層

SW1 : 開關

SW2 : 開關

SW3 : 開關

C1 : 電容元件

C2 : 電容元件

C3 : 電容元件

C4 : 電容元件

S1：時脈信號

S2：時脈信號

S3：時脈信號

IN：輸入信號

OUT：輸出信號

Vin：輸入電壓

Vout：輸出電壓

Vref：接地電壓

七、申請專利範圍：

1. 一種半導體電路，包括：

互相串聯連接的第一切換元件和第一電容元件；

互相並聯連接的第二切換元件和第二電容元件；

第三切換元件；以及

運算放大電路，

其中該第三切換元件直接與該第一切換元件和該第一電容元件連接，並且直接與該運算放大電路的輸出端子連接，

其中對輸入信號進行取樣並輸出離散時間信號，

並且其中至少該第一、第二及第三切換元件其中之一者包括每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 $1\times 10^{-17}\text{A}$ 以下的場效應電晶體。

2. 一種半導體電路，包括：

運算放大電路；

藉由第一電容元件與該運算放大電路的一個輸入端子電連接的第一切換元件；

電連接到該運算放大電路的該一個輸入端子與輸出端子之間的第二電容元件；

電連接到該運算放大電路的該一個輸入端子與該輸出端子之間的第二切換元件；以及

第三切換元件，該第三切換元件包括電連接到該第一切換元件與該第一電容元件之間的一個電極及輸入基準電壓的另一個電極，

其中該基準電壓輸入到該運算放大電路的另一個輸入端子，

其中該第一切換元件及該第二切換元件都包括每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 $1\times 10^{-17}\text{A}$ 以下的場效應電晶體，

並且其中該第一切換元件及該第二切換元件被設置在該第三切換元件之上。

3.一種半導體電路，包括：

運算放大電路；

藉由第一電容元件與該運算放大電路的一個輸入端子電連接的第一切換元件；

電連接到該運算放大電路的該一個輸入端子與一個輸出端子之間的第二電容元件；

電連接到該運算放大電路的該一個輸入端子與該一個輸出端子之間的第二切換元件；

藉由第三電容元件與該運算放大電路的另一個輸入端子電連接的第三切換元件；

電連接到該運算放大電路的該另一個輸入端子與另一個輸出端子之間的第四電容元件；

電連接到該運算放大電路的該另一個輸入端子與該另一個輸出端子之間的第四切換元件；以及

直接與該第一切換元件及該第一電容元件連接，並且直接與該運算放大電路的該一個輸出端子連接的第五切換元件，

其中該第一切換元件、該第二切換元件、該第三切換元件以及該第四切換元件都包括每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 $1\times 10^{-17}\text{A}$ 以下的場效應電晶體。

4. 一種半導體電路，包括：

運算放大電路；

與該運算放大電路的一個輸入端子電連接的第一切換元件；

藉由第一電容元件與該第一切換元件電連接的第二切換元件；

電連接到該運算放大電路的該一個輸入端子與輸出端子之間的第二電容元件；

第三切換元件，該第三切換元件包括電連接到該第一電容元件與該第二切換元件之間的一個電極及輸入基準電壓的另一個電極；以及

第四切換元件，該第四切換元件包括電連接到該第一電容元件與該第一切換元件之間的一個電極及輸入該基準電壓的另一個電極，

其中該基準電壓輸入到該運算放大電路的另一個輸入端子，

其中該第一切換元件及該第二切換元件都包括每通道寬度 $1\mu\text{m}$ 的截止狀態下的洩漏電流為 $1\times 10^{-17}\text{A}$ 以下的場效應電晶體，

並且其中該第一切換元件及該第二切換元件被設置在該第三切換元件之上。

5. 根據申請專利範圍第 1、2、3 或 4 項之半導體電路，其中在該場效應電晶體中，在形成有通道的半導體層中含有氧化物半導體。

圖 1

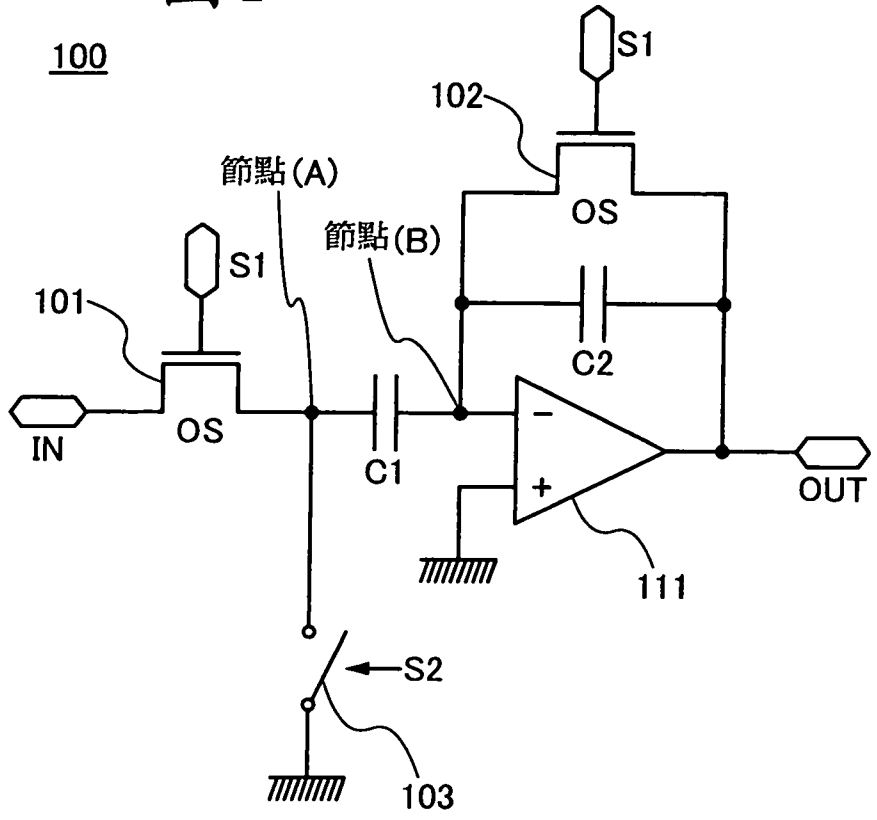


圖2

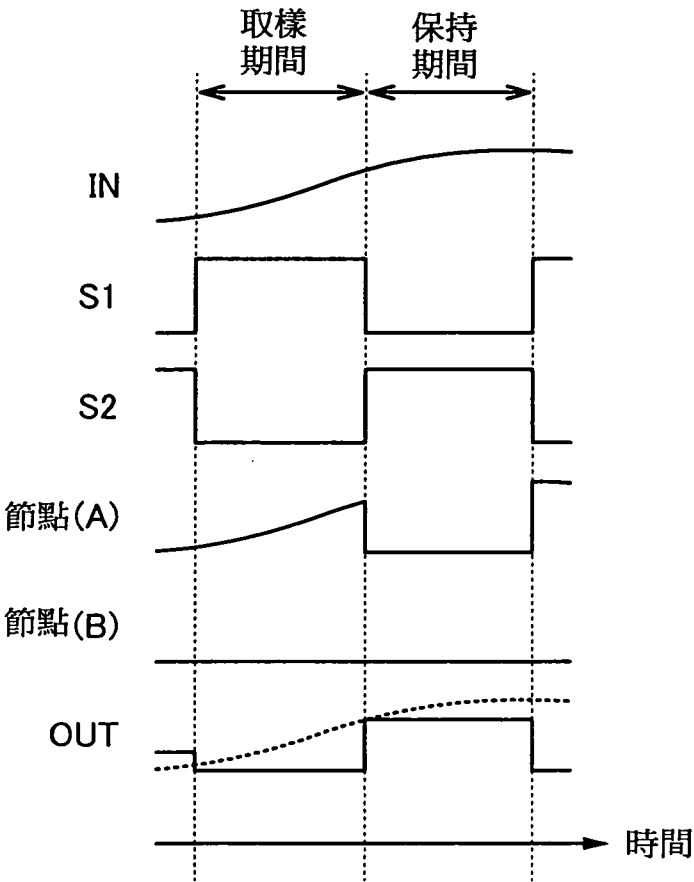


圖 3

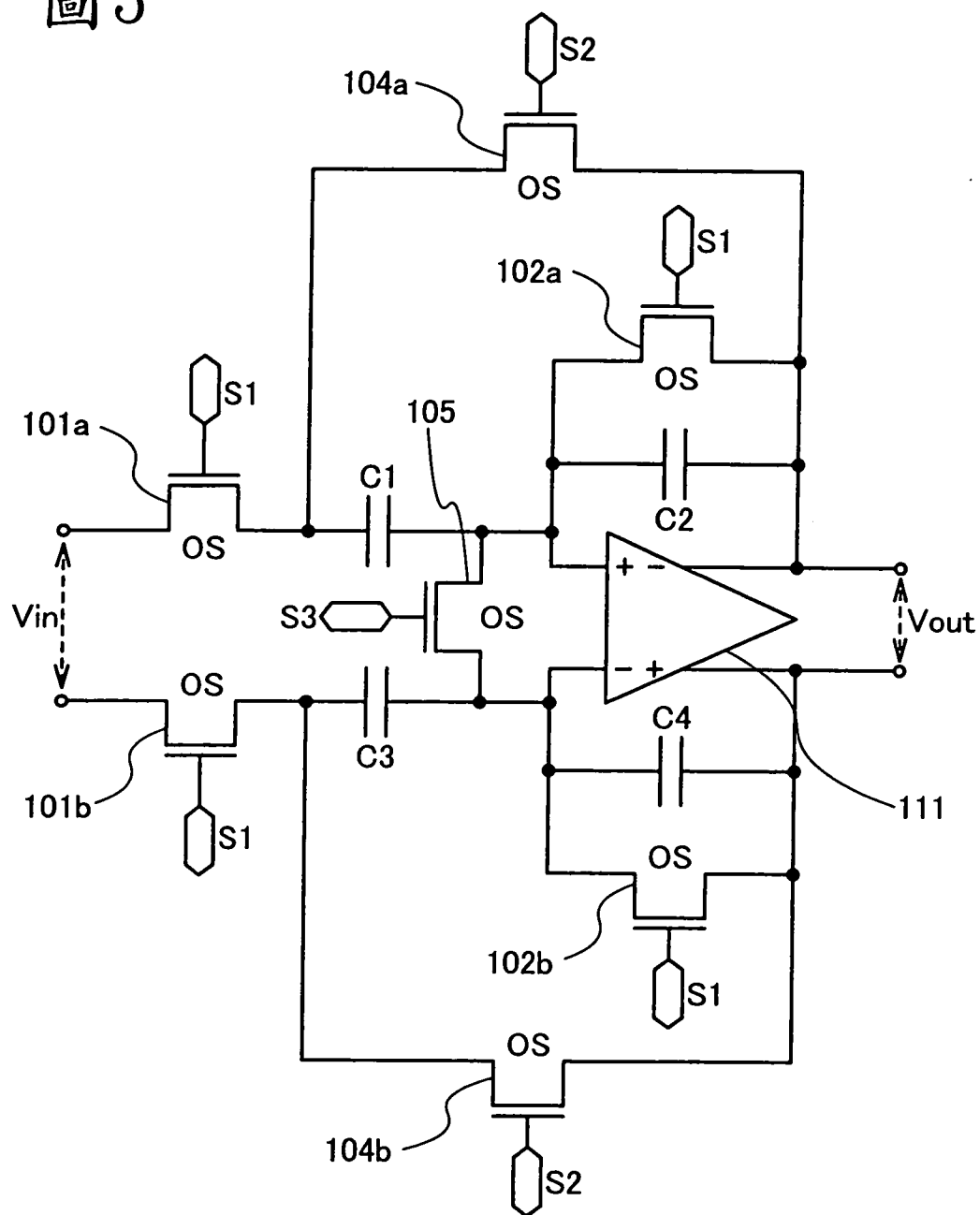


圖 4

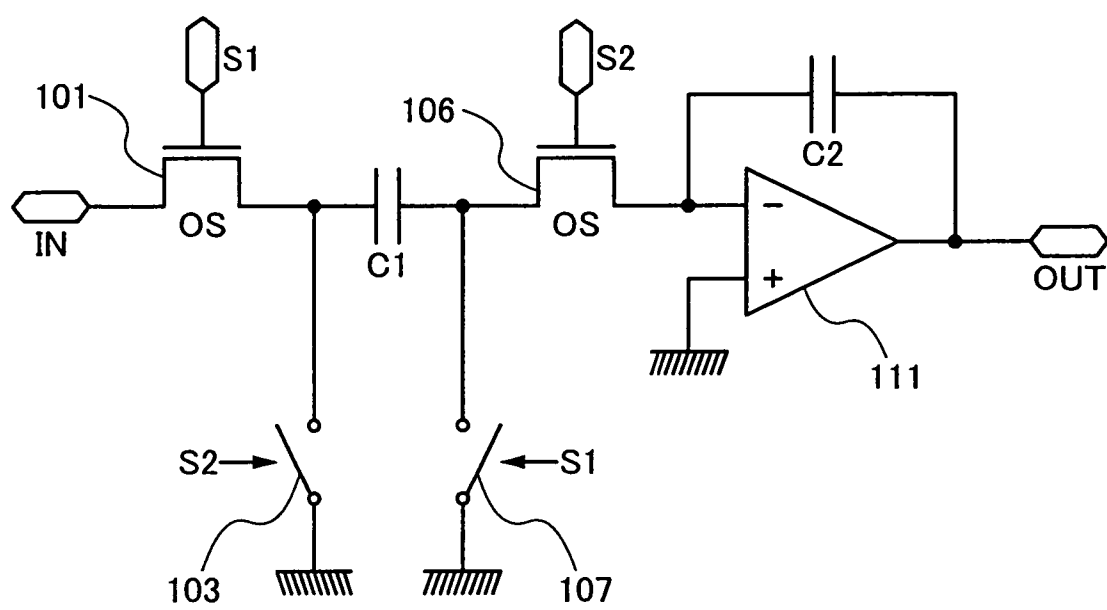


圖 5A

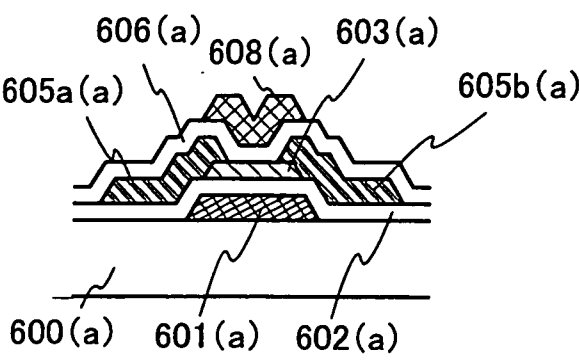


圖 5C

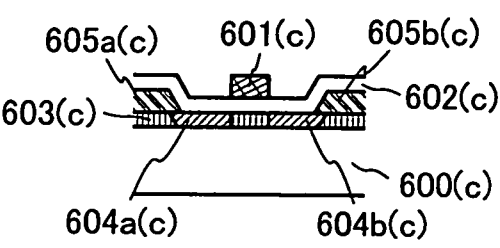


圖 5B

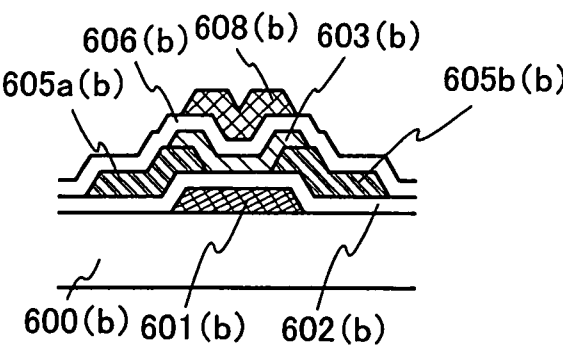


圖 5D

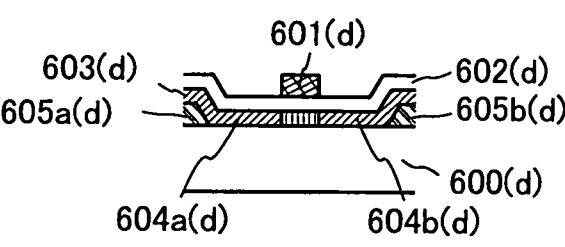


圖 6A

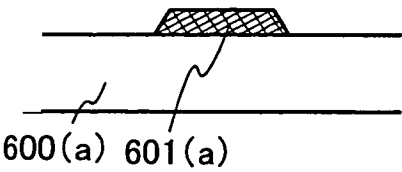


圖 6B

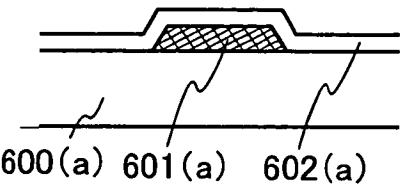


圖 6C

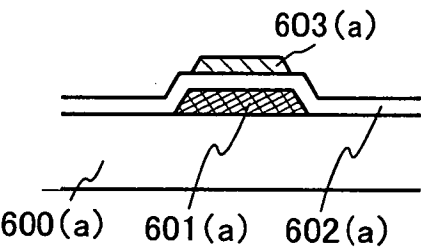


圖 6D

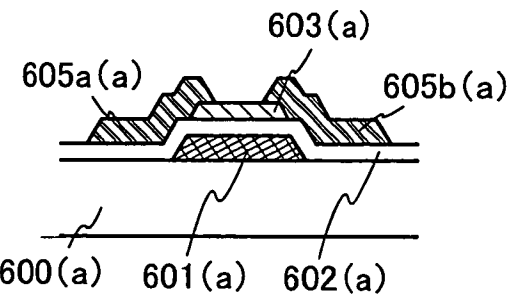


圖 6E

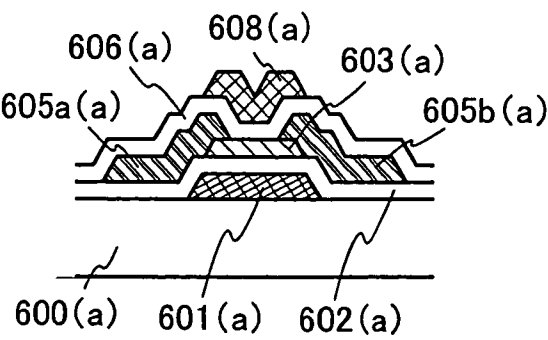


圖 7

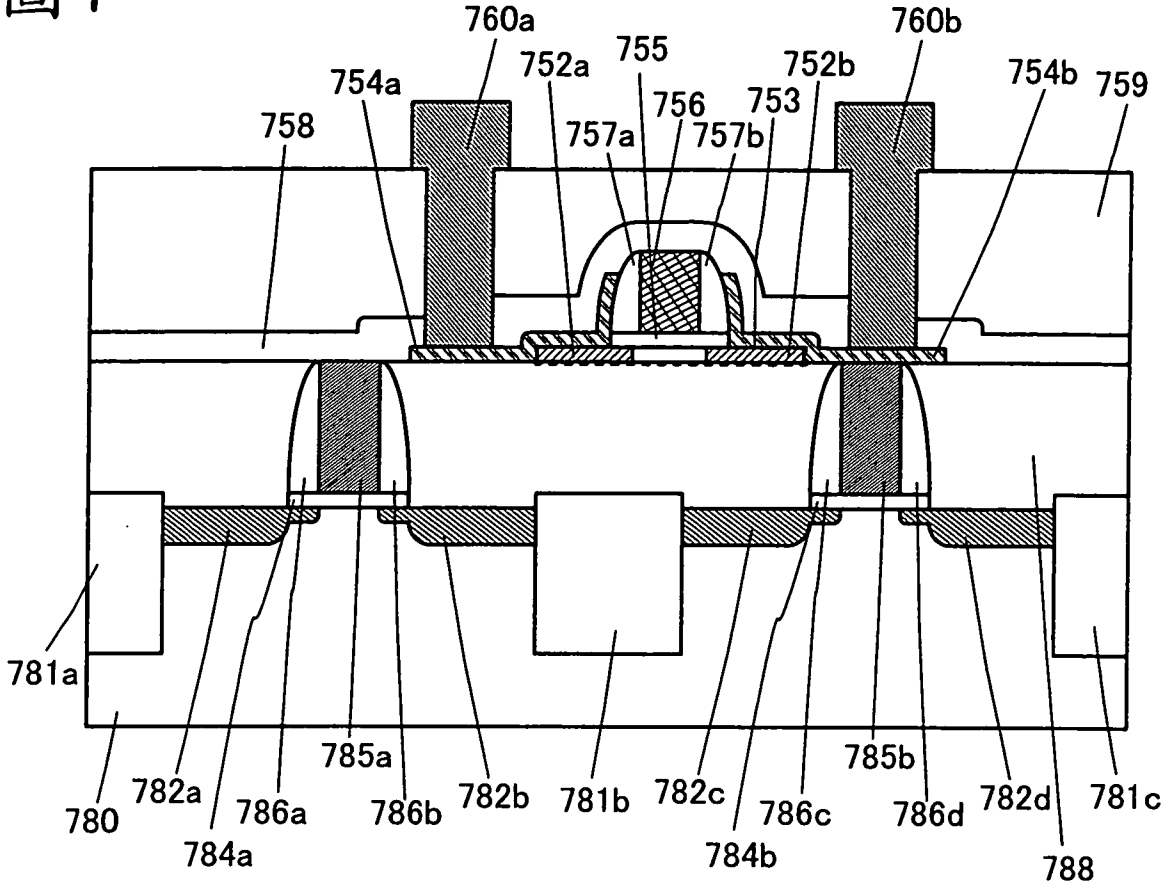


圖 8A

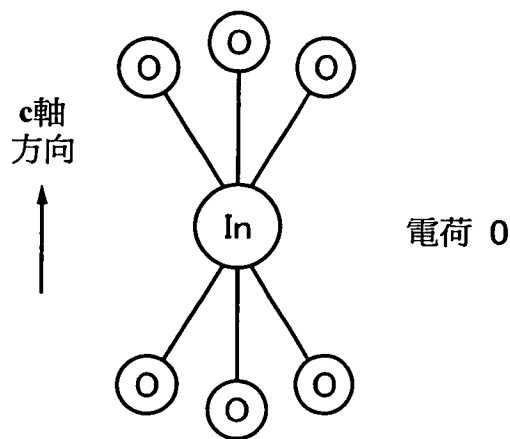


圖 8D

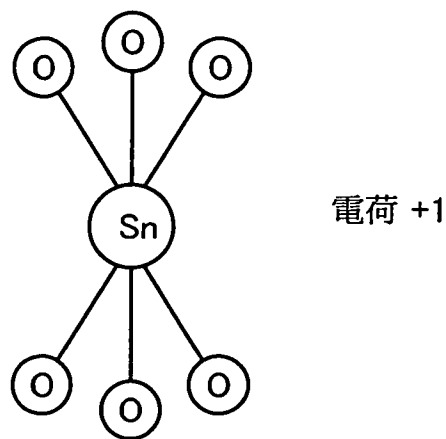


圖 8B

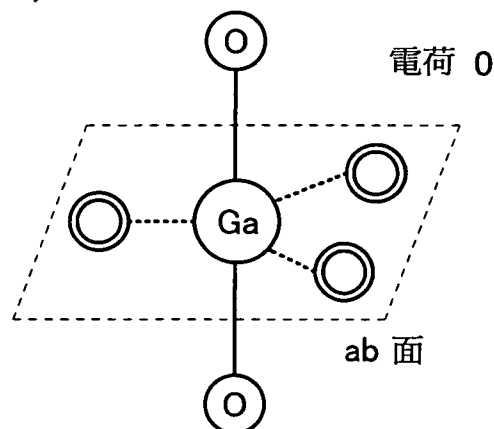


圖 8E

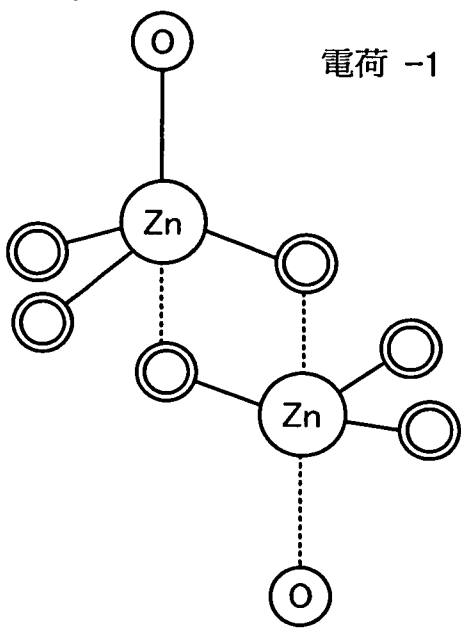


圖 8C

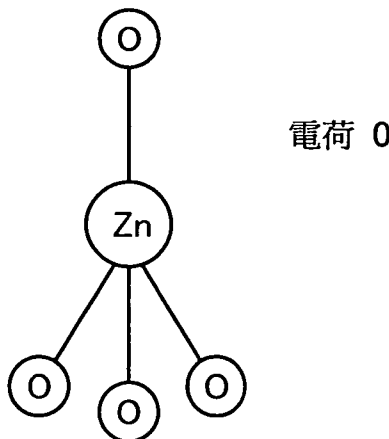


圖 9A

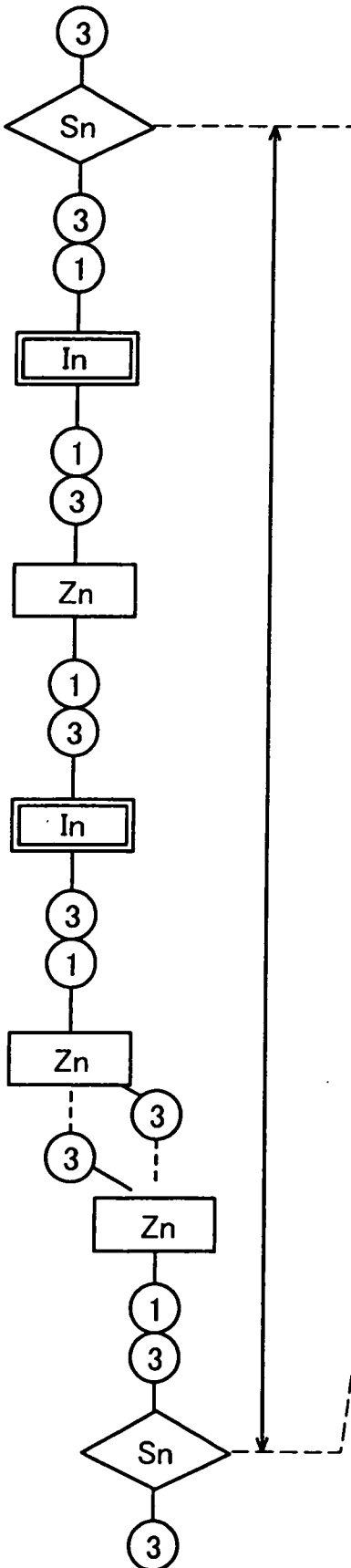
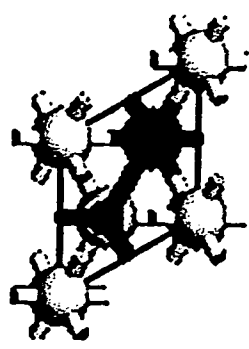


圖 9B



圖 9C



- In
- Sn
- Zn
- 0

圖 10A

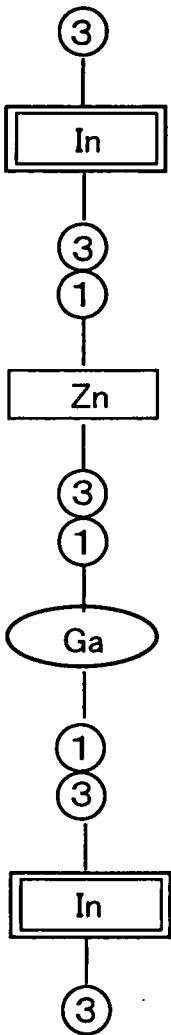


圖 10B

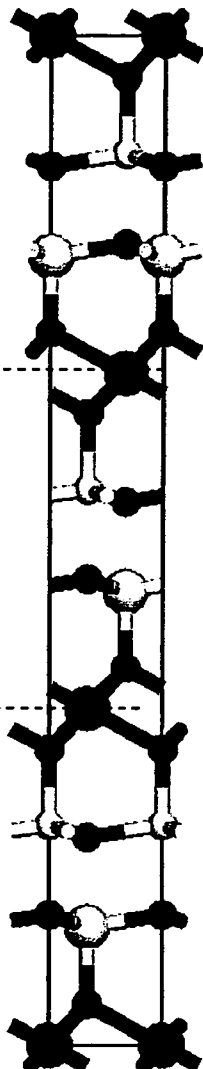
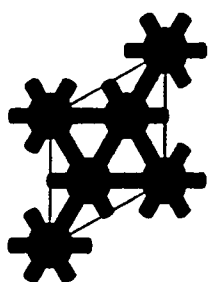


圖 10C



-  In
-  Ga
-  Zn
-  O

圖 11

