

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4858351号  
(P4858351)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月11日(2011.11.11)

(51) Int.Cl.		F I			
<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/30	J
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	670J
			G09G	3/20	641D
			G09G	3/20	624B

請求項の数 5 (全 20 頁)

(21) 出願番号	特願2007-202628 (P2007-202628)	(73) 特許権者	000002369
(22) 出願日	平成19年8月3日(2007.8.3)		セイコーエプソン株式会社
(62) 分割の表示	特願2004-84651 (P2004-84651) の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成16年3月23日(2004.3.23)	(74) 代理人	100095728
(65) 公開番号	特開2008-20923 (P2008-20923A)		弁理士 上柳 雅誉
(43) 公開日	平成20年1月31日(2008.1.31)	(74) 代理人	100107261
審査請求日	平成19年9月3日(2007.9.3)		弁理士 須澤 修
(31) 優先権主張番号	特願2003-140973 (P2003-140973)	(74) 代理人	100127661
(32) 優先日	平成15年5月19日(2003.5.19)		弁理士 宮坂 一彦
(33) 優先権主張国	日本国(JP)	(72) 発明者	河西 利幸
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	今村 陽一
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 電気光学装置

(57) 【特許請求の範囲】

【請求項1】

複数のゲート線と、

複数のデータ線と、

前記複数のゲート線と前記複数のデータ線との各交差に対応して設けられた複数の画素回路とを備えた電気光学装置であって、

前記画素回路は、陽極と陰極を有する発光素子と、第1ノードと第2ノードとに接続され

前記発光素子を駆動する駆動トランジスタと、前記発光素子の陽極と陰極との間を接続す

る短絡トランジスタと、前記データ線と前記第1ノードとの間に接続された第1スイッチ

ングトランジスタと、前記陰極の電位より高い電位である第1電源電位と前記第1ノード

との間に接続された第2スイッチングトランジスタと、を含み、

前記発光素子は前記第2ノードに接続され、

前記第1スイッチングトランジスタと前記データ線との間に位置する第3ノードに、第3

スイッチングトランジスタを介して、前記陰極の電位より低い電位である第2電源電位が

接続され、

プログラミング期間において、前記第1スイッチングトランジスタがオン状態となって、

前記データ線からデータ信号が供給され、

前記発光素子が発光する発光期間では、前記第2スイッチングトランジスタがオン状態と

なって前記第1ノードに前記第1電源電位が供給されることで、前記第1ノードの電位は

、前記第2ノードの電位

10

20

より高く設定され、前記駆動トランジスタがオン状態となって前記発光素子に発光用の駆動電流が供給され、

前記発光期間経過後に位置する調整期間では、前記第1及び第3スイッチングトランジスタがオンして、前記第1ノードに前記第2電源電位が供給されることで、前記第1ノードの電位が、前記第2ノードの電位より低く設定され、前記駆動トランジスタがオフ状態となって前記発光素子は発光せず、

前記調整期間では、前記短絡トランジスタをオン状態にし、

前記発光期間経過後において、前記第3スイッチングトランジスタがオンした後に、前記第1スイッチングトランジスタがオンすること

を特徴とする電気光学装置。

10

#### 【請求項2】

請求項1に記載の電気光学装置において、

前記駆動トランジスタを含め、前記画素回路に含まれる複数のトランジスタの極性がすべてN型であることを特徴とする電気光学装置。

#### 【請求項3】

請求項2に記載の電気光学装置において、

前記発光素子の陰極が複数の前記画素回路間で共通接続されることを特徴とする電気光学装置。

#### 【請求項4】

請求項1乃至3のいずれかに記載の電気光学装置において、

前記駆動トランジスタはアモルファスシリコントランジスタであることを特徴とする電気光学装置。

20

#### 【請求項5】

請求項1乃至4のいずれかに記載の電気光学装置において、

前記発光素子は有機EL素子であることを特徴とする電気光学装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、電流により駆動される電流駆動素子を発光素子として用いた電気光学装置に関する。

30

#### 【背景技術】

#### 【0002】

近年、液晶を用いた表示装置（以下、ディスプレイという）は薄型表示装置として普及しつつある。このタイプのディスプレイは、CRTのディスプレイに比べて低消費電力で省スペースである。したがって、このようなディスプレイの利点を活かし、より低消費電力で、より省スペースのディスプレイを製造することが重要となる。

#### 【0003】

また、このようなタイプの表示装置に、液晶ではなく電流駆動型発光素子を用いて表示を行うものがある。この電流駆動型発光素子は、液晶とは異なり、電流が供給されることにより発光する自発光素子であるため、バックライトが不要であり、低消費電力化という市場の要求に対応することができる。さらに高い視野角、高いコントラスト比等の面で優れた表示性能を有している。このような電流駆動型発光素子の中でもEL素子は、大面積化、高精細化、フルカラー化を図ることができるので、ディスプレイには特に適している。

40

#### 【0004】

このEL素子の中でも、有機EL素子は、高い量子効率のため注目されている。

#### 【0005】

このような、有機EL素子を駆動する回路（画素回路）としては、例えば図10(a)に示すようなものが提案されている。図10(b)は、図10(a)の回路動作を示すタイミングチャートである。図10(a)の画素回路は、2つのトランジスタ、すなわちN

50

型トランジスタT8, P型トランジスタT9と、データ保持用の保持キャパシタCと、有機EL素子11とから構成されている。そして、ゲート線12によってトランジスタT9のスイッチング動作を行ってデータ線から供給されたデータ信号Vdataを電荷として保持キャパシタCに保持し、この保持キャパシタCで保持された電荷によりトランジスタT8が導通状態となり、データ信号Vdataに対応する電流量が有機EL素子11に供給され、有機EL素子11が発光する(例えば、特許文献1)。

【0006】

【特許文献1】WO98/36407号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0007】

ところで、例えば、有機EL素子などのように電流駆動型素子は電圧よりも電流で制御するほうがより容易である。これは、有機EL素子は電流量に対して輝度が決定されるので、データ信号として電流を用いたほうがより制御が正確であるためである。さらに、例えば、N型、P型というように複数の極性を持つトランジスタの組み合わせによって画素回路を構成する場合、どちらか一方の極性のトランジスタのみで構成する場合に比べて、トランジスタの製造プロセスが複雑になる。そこで、本発明の目的の一つは、画素回路に供給するデータ信号として電流を用いることができ、なおかつ、画素回路の構成トランジスタの極性を統一させることにある。

【0008】

20

さらに、トランジスタの製造プロセスによっては、トランジスタの極性としてN型しか実現できない場合がある。そこで、本発明の目的の一つは、画素回路を構成するトランジスタをすべてN型で統一することにある。

【0009】

さらに、有機EL素子の製造プロセスによっては、有機EL素子の陰極を複数の画素回路間で共通構造にしなければならない場合がある。そこで、本発明の目的の一つは、有機EL素子の陰極を複数の画素回路間で共通化することにある。

【0010】

さらに、画素回路を構成するトランジスタに、アモルファスシリコントランジスタが含まれている場合、画素回路の動作条件次第では、アモルファスシリコントランジスタの閾値電圧がシフトする場合がある。そこで、本発明の目的の一つは、画素回路にアモルファスシリコントランジスタを含む場合に、アモルファスシリコントランジスタの閾値電圧シフトを回復させる機能を設けることにある。

30

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明の電気光学装置は、アクティブマトリクス駆動法によって駆動され、陽極と陰極を有する発光素子と前記発光素子の発光の階調を調節するための回路とをそれぞれ含む複数の単位回路がマトリクス状に配列された単位回路マトリクスと、前記単位回路マトリクスの行方向に沿って配列された単位回路群にそれぞれ接続された複数のゲート線と、前記単位回路マトリクスの列方向に沿って配列された単位回路群にそれぞれ接続された複数のデータ線とを備え、前記データ線を通じて前記単位回路に流れる電流の大きさに基づいて前記発光素子の発光の階調が制御され、前記単位回路に含まれる複数のトランジスタの極性がすべて同じであることを特徴とする。

40

【0012】

これにより、単位回路に供給するデータ信号として電流を用いることができ、発光素子である有機EL素子の制御の高精度化が実現できる。さらに、単位回路に含まれるトランジスタの極性がすべて同一であるため、異なる極性のトランジスタを組み合わせるよりも製造プロセスの簡素化や製造歩留まりの向上が期待できる。

【0013】

上述した電気光学装置において、前記単位回路に含まれる複数のトランジスタの極性は

50

すべてN型であることが好ましい。

【0014】

この場合は、N型のトランジスタしか用いることができない製造プロセスにおいても本発明が適用できることになる。そのため、トランジスタの製造プロセスにおける制約条件が少なくなることになり製造費用の削減が期待できる。

【0015】

上述した電気光学装置において、前記発光素子の陰極は複数の前記単位回路間で共通接続されることが好ましい。

【0016】

この場合は、有機EL素子の製造において、陰極を共通化しなければならない製造プロセスにおいても本発明を適用できる。したがって、有機ELの製造プロセスにおける制約条件が少なくなることになり製造費用の削減が期待できる。

10

【0017】

また、本発明の電気光学装置は、前記単位回路に含まれるトランジスタの動作状態を変化させる機能を持つ特性調整回路を備えることを特徴とする。

【0018】

上述した電気光学装置において、前記特性調整回路は前記単位回路に含まれる所定トランジスタのソースとドレインの関係を入れ替える機能を持つことが好ましい。

【0019】

この発明によれば、単位回路にアモルファスシリコントランジスタが含まれる場合において、そのトランジスタの閾値電圧シフトを回復させることが可能となる。

20

【0020】

また、本発明の電気光学装置は、前記特性調整回路が電位固定回路を含み、前記電位固定回路が前記単位回路に含まれる所定トランジスタのゲートまたはソースまたはドレインのうち少なくとも一つの端子の電位を所定電位に固定する機能を有することを特徴とする。

【0021】

これにより、単位回路にアモルファスシリコントランジスタが含まれる場合において、そのトランジスタの閾値電圧シフトを回復させることが可能となる。

【0022】

30

上述した電気光学装置において、前記特性調整回路は電位固定回路を含み、前記電位固定回路は前記単位回路に含まれる所定トランジスタのゲートを該トランジスタのソースよりも低い電圧に設定する機能を有することが好ましい。

【0023】

この発明によれば、単位回路にアモルファスシリコントランジスタが含まれる場合において、そのトランジスタの閾値電圧シフトを回復させることが可能となる。

【0024】

上述した電気光学装置において、前記単位回路はアモルファスシリコントランジスタを含み、前記特性調整回路は前記アモルファスシリコントランジスタのソースとドレインの関係を入れ替える機能を有することが好ましい。

40

【0025】

この場合は、アモルファスシリコントランジスタの閾値電圧シフトを回復させることが可能となる。

【0026】

上述した電気光学装置において、前記単位回路はアモルファスシリコントランジスタを含み、前記電位固定回路は前記アモルファスシリコントランジスタのゲートまたはソースまたはドレインのうち少なくとも一つの端子の電位を所定電位に固定する機能を有することが好ましい。

【0027】

この場合も、アモルファスシリコントランジスタの閾値電圧シフトを回復させることが

50

可能となる。

【0028】

上述した電気光学装置において、前記単位回路はアモルファスシリコントランジスタを含み、前記電位固定回路は前記アモルファスシリコントランジスタのゲートを該アモルファスシリコントランジスタのソースよりも低い電圧に設定する機能を有することが好ましい。

【0029】

この場合も、アモルファスシリコントランジスタの閾値電圧シフトを回復させることが可能となる。

【0030】

また、本発明の電気光学装置は、前記単位回路内に前記有機EL素子の電流経路を遮断する電流遮断手段を備え、前記データ線を通じて前記単位回路に電流を流す期間のうちの少なくとも一部の期間において、前記電流遮断手段を活性状態に設定する機能を有することを特徴とする。

【0031】

これにより、データ線を介して単位回路に電流を流す期間、すなわち、単位回路への電流書き込み期間において、電流書き込み経路から有機EL素子を排除することが可能となる。大きな寄生抵抗を持つ有機EL素子を電流書き込み経路から電氣的に除外することで、電流書き込み動作に必要な時間を短縮できる。

【0032】

また、本発明の電気光学装置は、前記単位回路内に前記有機EL素子の陽極と陰極との間を接続する短絡手段を備え、前記データ線を通じて前記単位回路に電流を流す期間のうちの少なくとも一部の期間において、前記短絡手段を活性状態に設定する機能を有することを特徴とする。

【0033】

これにより、単位回路への電流書き込み期間において、電流書き込み経路の抵抗を小さくできるので、電流書き込み動作に必要な時間を短縮できる。

【0034】

次に、本発明の電気光学装置の駆動方法は、陽極と陰極を有する発光素子と前記発光素子の発光の階調を調節するための回路とをそれぞれ含む複数の単位回路がマトリクス状に配列された単位回路マトリクスと、前記単位回路マトリクスの行方向に沿って配列された単位回路群にそれぞれ接続された複数のゲート線と、前記単位回路マトリクスの列方向に沿って配列された単位回路群にそれぞれ接続された複数のデータ線とを備え、アクティブマトリクス駆動法が用いられる電気光学装置を駆動するものであって、前記単位回路に含まれる複数のトランジスタの極性がすべて同じであり、前記データ線を通じて前記単位回路に流れる電流の大きさに基づいて前記発光素子の発光の階調が制御されることを特徴とする。

【0035】

これにより、単位回路に供給するデータ信号として電流を用いることができ、有機EL素子の制御の高精度化が実現できる。さらに、単位回路に含まれる複数のトランジスタの極性がすべて同一であるため、異なる極性のトランジスタを組み合わせるよりも製造プロセスの簡素化や製造歩留まりの向上が期待できる。

【0036】

また、本発明の電気光学装置の駆動方法は、特性調整回路を備え、前記特性調整回路が前記単位回路に含まれるトランジスタの動作状態を変化させることを特徴とする。

【0037】

上述した電気光学装置の駆動方法において、前記特性調整回路は前記単位回路に含まれる所定トランジスタのソースとドレインの関係を入れ替えることが好ましい。

【0038】

この発明によれば、単位回路にアモルファスシリコントランジスタが含まれる場合にお

10

20

30

40

50

いて、そのトランジスタの閾値電圧シフトを回復させることが可能となる。

【0039】

上述した電気光学装置の駆動方法において、前記特性調整回路は電位固定回路を含み、前記電位固定回路は前記単位回路に含まれる所定トランジスタのゲートまたはソースまたはドレインのうち少なくとも一つの端子の電位を所定電位に固定することが好ましい。

【0040】

この発明によれば、単位回路にアモルファスシリコントランジスタが含まれる場合において、そのトランジスタの閾値電圧シフトを回復させることが可能となる。

【0041】

上述した電気光学装置の駆動方法において、前記特性調整回路は電位固定回路を含み、前記電位固定回路は前記単位回路に含まれるトランジスタのゲートを該トランジスタのソースよりも低い電圧に設定することが好ましい。

10

【0042】

この発明によれば、単位回路にアモルファスシリコントランジスタが含まれる場合において、そのトランジスタの閾値電圧シフトを回復させることが可能となる。

【0043】

上述した電気光学装置の駆動方法において、前記単位回路はアモルファスシリコントランジスタを含み、前記特性調整回路は前記アモルファスシリコントランジスタのソースとドレインの関係を入れ替えることが好ましい。

【0044】

この場合は、アモルファスシリコントランジスタの閾値電圧シフトを回復させることが可能となる。

20

【0045】

上述した電気光学装置の駆動方法において、前記単位回路はアモルファスシリコントランジスタを含み、前記電位固定回路は前記アモルファスシリコントランジスタのゲートまたはソースまたはドレインのうち少なくとも一つの端子の電位を所定電位に固定することが好ましい。

【0046】

この場合も、アモルファスシリコントランジスタの閾値電圧シフトを回復させることが可能となる。

30

【0047】

上述した電気光学装置の駆動方法において、前記特性調整回路は電位固定回路を含み、前記電位固定回路は前記単位回路に含まれるトランジスタのゲートを該トランジスタのソースよりも低い電圧に設定することが好ましい。

【0048】

この場合も、アモルファスシリコントランジスタの閾値電圧シフトを回復させることが可能となる。

【0049】

また、本発明の電気光学装置の駆動方法は、前記単位回路内に前記有機EL素子の電流経路を遮断する電流遮断手段を備え、前記データ線を通じて前記単位回路に電流を流す期間のうちの少なくとも一部の期間において、前記電流遮断手段を活性状態に設定することを特徴とする。

40

【0050】

これにより、単位回路への電流書き込み期間において、電流書き込み経路から有機EL素子を電氣的に除外することが可能となる。大きな寄生抵抗を持つ有機EL素子を電流書き込み経路から排除することで、電流書き込み動作に必要な時間を短縮できる。

【0051】

また、本発明の電気光学装置の駆動方法は、前記単位回路内に前記有機EL素子の陽極と陰極との間を接続する短絡手段を備え、前記データ線を通じて前記単位回路に電流を流す期間のうちの少なくとも一部の期間において、前記短絡手段を活性状態に設定すること

50

を特徴とする。

【0052】

これにより、単位回路への電流書き込み期間において、電流書き込み経路の抵抗を小さくできるので、電流書き込み動作に必要な時間を短縮できる。

【発明を実施するための最良の形態】

【0053】

(第1実施形態)

以下、本発明の実施の形態を図面に基づいて説明する。図1は、単位回路マトリクス1000を示す図である。単位回路マトリクス1000は、マトリクス状に配列された複数の単位回路101を有している。単位回路101のマトリクスには、その列方向に沿って伸びる複数のデータ線と、行方向に沿って伸びる複数のゲート線とがそれぞれ接続されている。

10

【0054】

まず、第1実施形態を説明する。図2(a)は、第1実施形態における電気光学装置に設けられる単位回路、すなわち画素回路の構成を示す回路図である。画素回路101は、陽極と陰極を有する発光素子である有機EL素子1と、前記有機EL素子1の発光の階調を調節するための回路を構成するトランジスタT1、T2、T3、T4と、前記画素回路の行方向に沿って接続されるゲート線と、前記画素回路の列方向に沿って接続されるデータ線4と、を備えている。データ保持用の保持キャパシタCは、前記データ線から供給される電流に応じてトランジスタT1のゲート/ソース間電圧を保持するためのものである。ここで、ゲート線は、2本のサブゲート線2、3を含んでいる。

20

【0055】

画素回路101は、データ線4に流れる電流値に応じて有機EL素子1の階調を調節する電流プログラム回路である。具体的には、この画素回路101は、有機EL素子1の他に、第1のトランジスタT1、第2のトランジスタT2、第3のトランジスタT3、第4のトランジスタT4と、保持キャパシタCとを有している。保持キャパシタCは、データ線4を介して供給されたデータ信号に応じた電荷を保持し、これによって、有機EL素子1の発光の階調を調節するためのものである。すなわち、保持キャパシタCは、データ線4に流れる電流に応じた電圧を保持する電圧保持手段に相当する。有機EL素子1は、フォトダイオードと同様の電流注入型(電流駆動型)の発光素子なので、ここではダイオードの記号で描かれている。

30

【0056】

トランジスタT1のソースは有機EL素子1に接続されている。また、トランジスタT1のドレインは、トランジスタT4を介して電源電位VDDに接続されている。トランジスタT2のドレインは、トランジスタT3のソースと、トランジスタT4のソースと、トランジスタT1のドレインと、にそれぞれ接続されている。トランジスタT2のソースは、トランジスタT1のゲートに接続されている。保持キャパシタCは、トランジスタT1のソースとゲートとの間に接続されている。トランジスタT3のドレインは、データ線4に接続されている。有機EL素子1は、トランジスタT1のソースと接地電位VSSとの間に接続されている。トランジスタT2、T3のゲートは、第1のサブゲート線2に共通に接続されている。また、トランジスタT4のゲートは、第2のサブゲート線3に接続されている。

40

【0057】

トランジスタT2、T3は、保持キャパシタCに電荷を蓄積する際に使用されるスイッチングトランジスタである。トランジスタT4は、有機EL素子1の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、トランジスタT1は、有機EL素子1に流れる電流値を制御するための駆動トランジスタである。トランジスタT1の電流値は、保持キャパシタCに保持される電荷量(蓄積電荷量)によって制御される。

【0058】

図2(b)は、画素回路101の通常の動作を示すタイミングチャートである。ここで

50

は、第1のサブゲート線2の電圧値  $s e l 1$  と、第2のサブゲート線3の電圧値  $s e l 2$  と、データ線4の電流値  $I d a t a$  と、有機EL素子1に流れる電流値  $I E L$  とが示されている。

【0059】

駆動周期  $T c$  は、プログラミング期間  $T p r$  と発光期間  $T e l$  とを含んでいる。ここで、「駆動周期  $T c$ 」とは、電気光学装置におけるすべての有機EL素子1の発光階調が1回ずつ更新される周期を意味しており、いわゆるフレーム周期と同じものである。階調の更新は、1行分の画素回路群毎に行われ、駆動周期  $T c$  の間に  $N$  行分の画素回路群の階調が順次更新される。例えば、 $30\text{ Hz}$  で全画素回路の階調が更新される場合には、駆動周期  $T c$  は約  $33\text{ ms}$  である。

10

【0060】

「プログラミング期間  $T p r$ 」は、有機EL素子1の発光の階調を画素回路101内に設定する期間である。本明細書では、画素回路101への階調の設定を「プログラミング」と呼んでいる。例えば、駆動周期  $T c$  が約  $33\text{ ms}$  であり、ゲート線の総数  $N$  が  $480$  本である場合には、プログラミング周期  $T p r$  は約  $69\text{ }\mu\text{s}$  ( $= 33\text{ ms} / 480$ ) 以下になる。

【0061】

プログラミング期間  $T p r$  では、まず、第2のサブゲート信号3をLレベルに設定してトランジスタ  $T 4$  をオフ状態（閉状態）に保つ。次に、データ線4に発光階調に応じた電流値  $I d a t a$  を流しながら、第1のサブゲート信号2をHレベルに設定してトランジスタ  $T 2$  ,  $T 3$  をオン状態（開状態）にする。この電流値  $I d a t a$  は、有機EL素子1の発光の階調に応じた値に設定されている。

20

【0062】

保持キャパシタ  $C$  は、トランジスタ  $T 1$ （駆動トランジスタ）を流れる電流値  $I d a t a$  に対応した電荷を保持した状態となる。この結果、トランジスタ  $T 1$  のゲート/ソース間には、保持キャパシタ1に記憶された電圧が印加される。なお、本明細書では、プログラミングに用いられるデータ信号の電流値  $I d a t a$  を「プログラミング電流値  $I d a t a$ 」と呼ぶ。

【0063】

プログラミングが終了すると、第1のサブゲート信号2がLレベルに設定されトランジスタ  $T 2$  ,  $T 3$  がオフ状態となり、また、データ線4に流れるデータ信号  $I d a t a$  が停止される。

30

【0064】

発光期間  $T e l$  では、第1のサブゲート信号2をLレベルに維持してトランジスタ  $T 2$  ,  $T 3$  をオフ状態に保ったまま、第2のサブゲート信号3をHレベルに設定してトランジスタ  $T 4$  をオン状態に設定する。保持キャパシタ  $C$  には、プログラミング電流値  $I d a t a$  に対応した電圧が予め記憶されているので、トランジスタ  $T 1$  にはプログラミング電流値  $I d a t a$  とほぼ同じ電流が流れる。従って、有機EL素子1にもプログラミング電流値  $I d a t a$  とほぼ同じ電流が流れ、この電流値  $I d a t a$  に応じた階調で発光する。

【0065】

40

図3(a)は、第1実施形態における別の画素回路例である。図3(a)におけるトランジスタ  $T 1$  のソースは接地電位  $V S S$  に接続されている。また、トランジスタ  $T 1$  のドレインは、トランジスタ  $T 4$  を介して有機EL素子1に接続されている。トランジスタ  $T 2$  のドレインは、トランジスタ  $T 3$  のソースと、トランジスタ  $T 4$  のソースと、トランジスタ  $T 1$  のドレインと、にそれぞれ接続されている。トランジスタ  $T 2$  のソースは、トランジスタ  $T 1$  のゲートに接続されている。保持キャパシタ  $C$  は、トランジスタ  $T 1$  のソースとゲートとの間に接続されている。トランジスタ  $T 3$  のドレインは、データ線4に接続されている。有機EL素子1は、トランジスタ  $T 4$  のドレインと電源電位  $V D D$  との間に接続されている。トランジスタ  $T 2$  ,  $T 3$  のゲートは、第1のサブゲート線2に共通に接続されている。また、トランジスタ  $T 4$  のゲートは、第2のサブゲート線3に接続されて

50



いる。

【0066】

トランジスタT2, T3は、保持キャパシタCに電荷を蓄積する際に使用されるスイッチングトランジスタである。トランジスタT4は、有機EL素子1の発光期間においてオン状態に保たれるスイッチングトランジスタであると同時に、プログラミング期間Tprにおいて有機EL素子1の電流経路を遮断する電流遮断手段としても機能する。また、トランジスタT1は、有機EL素子1に流れる電流値を制御するための駆動トランジスタである。トランジスタT1の電流値は、保持キャパシタCに保持される電荷量(蓄積電荷量)によって制御される。

【0067】

図3(b)は、図3(a)の画素回路の動作を示すタイミングチャートであるが動作原理は図2(a)の画素回路と同様であるので説明は省略する。なお、図3(a)の画素回路は、プログラミング期間Tprにおいて、Idataの電流経路に有機EL素子1が含まれない点で図2(a)の画素回路と異なっている。この点は、Idataの駆動負荷軽減に効果を発揮する。

【0068】

図11(a)は、第1実施形態における別の画素回路例である。図11(a)におけるトランジスタT1のドレインは電源電位VDDに接続されている。また、トランジスタT1のソースは、トランジスタT3のドレインと、トランジスタT4のドレインと、にそれぞれ接続されている。トランジスタT2のドレインは、電源電位VDDに接続されている。トランジスタT2のソースは、トランジスタT1のゲートに接続されている。保持キャパシタCは、トランジスタT1のソースとゲートとの間に接続されている。トランジスタT3のソースは、データ線4に接続されている。有機EL素子1は、トランジスタT4のソースと接地電位VSSとの間に接続されている。トランジスタT2, T3のゲートは、第1のサブゲート線2に共通に接続されている。また、トランジスタT4のゲートは、第2のサブゲート線3に接続されている。

【0069】

トランジスタT2, T3は、保持キャパシタCに電荷を蓄積する際に使用されるスイッチングトランジスタである。トランジスタT4は、有機EL素子1の発光期間においてオン状態に保たれるスイッチングトランジスタであると同時に、プログラミング期間Tprにおいて有機EL素子1の電流経路を遮断する電流遮断手段である。また、トランジスタT1は、有機EL素子1に流れる電流値を制御するための駆動トランジスタである。トランジスタT1の電流値は、保持キャパシタCに保持される電荷量(蓄積電荷量)によって制御される。

【0070】

図11(b)は、図11(a)の画素回路の動作を示すタイミングチャートであるが動作原理は図2(a)の画素回路と同様であるので説明は省略する。なお、図11(a)の画素回路は、プログラミング期間Tprにおいて、Idataの電流経路に有機EL素子1が含まれない点で図2(a)の画素回路と異なっている。この点は、Idataの駆動負荷軽減に効果を発揮する。

【0071】

図15(a)は、第1実施形態における別の画素回路例である。トランジスタT1のソースは有機EL素子1に接続されている。また、トランジスタT1のドレインは、トランジスタT4を介して電源電位VDDに接続されている。トランジスタT2のドレインは、トランジスタT3のソースと、トランジスタT4のソースと、トランジスタT1のドレインと、にそれぞれ接続されている。トランジスタT2のソースは、トランジスタT1のゲートに接続されている。トランジスタT10のドレインは、トランジスタT1のソースと、有機EL素子1の陽極と、にそれぞれ接続されている。また、トランジスタT10のソースは、有機EL素子1の陰極と、接地電位VSSと、にそれぞれ接続されている。保持キャパシタCは、トランジスタT1のソースとゲートとの間に接続されている。トランジ

10

20

30

40

50

スタ T 3 のドレインは、データ線 4 に接続されている。有機 E L 素子 1 は、トランジスタ T 1 のソースと接地電位 V S S との間に接続されている。トランジスタ T 2 , T 3 , T 1 0 のゲートは、第 1 のサブゲート線 2 に共通に接続されている。また、トランジスタ T 4 のゲートは、第 2 のサブゲート線 3 に接続されている。

【 0 0 7 2 】

トランジスタ T 2 , T 3 は、保持キャパシタ C に電荷を蓄積する際に使用されるスイッチングトランジスタである。トランジスタ T 4 は、有機 E L 素子 1 の発光期間においてオン状態に保たれるスイッチングトランジスタである。また、トランジスタ T 1 は、有機 E L 素子 1 に流れる電流値を制御するための駆動トランジスタである。トランジスタ T 1 の電流値は、保持キャパシタ C に保持される電荷量（蓄積電荷量）によって制御される。なお、トランジスタ T 1 0 はプログラミング期間 T p r において有機 E L 素子 1 の陽極と陰極とを短絡させる短絡手段として機能する。

10

【 0 0 7 3 】

図 1 5 ( b ) は、図 1 5 ( a ) 画素回路の動作を示すタイミングチャートであるが動作原理は図 2 ( a ) の画素回路と同様であるので説明は省略する。なお、図 1 5 ( a ) の画素回路では、プログラミング期間 T p r においてトランジスタ T 1 0 がオン状態となるため、有機 E L 素子 1 の陽極と陰極とが短絡され、図 2 ( a ) に比べて I d a t a 電流経路の総抵抗が小さくなる。これにより、I d a t a の駆動負荷が軽減される。

【 0 0 7 4 】

ここで、図 2 ( a ) 、図 3 ( a ) 、図 1 1 ( a ) 、及び、図 1 5 ( a ) に示す画素回路 1 0 1 は、データ信号としてプログラミング電流 I d a t a を用いている。さらに、画素回路 1 0 1 に含まれるトランジスタの極性がすべて統一されている。そのため、有機 E L 素子 1 の制御の高精度化が実現でき、さらに、異なる極性のトランジスタを組み合わせるよりも製造プロセスの簡素化や製造歩留まりの向上が期待できる。

20

【 0 0 7 5 】

また、図 2 ( a ) 、図 3 ( a ) 、図 1 1 ( a ) 、及び、図 1 5 ( a ) に示す画素回路 1 0 1 に含まれるトランジスタの極性はすべてすべて N 型のトランジスタとなっている。そのため、N 型のトランジスタしか用いることができない製造プロセスにおいても、これらの画素回路が実現できる。したがって、トランジスタの製造プロセスにおける制約条件が少なくなることになり製造費用の削減が期待できる。

30

【 0 0 7 6 】

また、図 2 ( a ) 、図 1 1 ( a ) 、及び、図 1 5 ( a ) の場合、画素回路 1 0 1 に含まれる有機 E L 素子 1 の陰極が複数の画素回路 1 0 1 間で共通接続されている。そのため、有機 E L 素子 1 の製造において、陰極を共通化しなければならない製造プロセスにおいても、これらの回路が実現できる。したがって、有機 E L の製造プロセスにおける制約条件が少なくなることになり製造費用の削減が期待できる。また、図 3 ( a ) 及び図 1 1 ( a ) に示す画素回路 1 0 1 は、プログラミング期間 T p r において、I d a t a の電流経路に有機 E L 素子 1 が含まれない構成である。一般に、有機 E L 素子 1 は所定の抵抗値を持っており、その抵抗値はトランジスタのオン抵抗に比べて非常に大きな値となる場合がある。図 3 ( a ) 及び図 1 1 ( a ) に示す画素回路は I d a t a の電流経路に有機 E L 素子 1 が含まれないので、電流経路の総抵抗を小さくできる。これは、図 1 5 ( a ) にも同様に当てはまることであり、これらの画素回路を用いれば、I d a t a の電流経路の両端にかける電圧を低電圧化できる。同時に、I d a t a のプログラムにかかる時間の短縮が可能となる。

40

【 0 0 7 7 】

( 第 2 実施形態 )

次に、第 2 実施形態を説明する。図 4 ( a ) は、第 2 実施形態における電気光学装置に設けられる画素回路と特性調整回路の回路図である。図 4 ( a ) における画素回路 1 0 1 は第 1 実施形態を示した図 2 ( a ) と同一の構成になっている。

【 0 0 7 8 】

50

特性調整回路102は画素回路101に含まれるトランジスタのうち、少なくともトランジスタT1に対して機能する回路である。特性調整回路102は電源電位VRFと、スイッチとして機能する第5のトランジスタT5と、トランジスタT5のオン/オフを制御する信号RFと、を含んでいる。トランジスタT5はN型でありトランジスタT5のゲートは信号RFに、ソースはデータ線4に、ドレインは電源電位VRFに、それぞれ接続されている。なお、電源電位VRFは接地電位VSS以下の電圧となるよう設定されている。また同時に、信号RF、及び、第1のサブゲート信号2、及び、第2のサブゲート信号3のLレベルは電源電位VRF以下に設定される。これにより、トランジスタT2, T3, T4, T5を確実なオフ状態に設定できるようになる。

【0079】

10

図4(b)は、図4(a)回路の動作を示すタイミングチャートである。ここでは、第1のサブゲート線2の電圧値sel1と、第2のサブゲート線3の電圧値sel2と、データ線4の電流値Idataと、有機EL素子1に流れる電流値IELと、信号RFの電圧値と、が示されている。

【0080】

駆動周期Tcは、プログラミング期間Tprと発光期間Telと調整期間Trfとを含んでいる。ここで、「駆動周期Tc」と「プログラミング期間Tpr」は、第1の実施の形態と同様であるが、新たに「調整期間Trf」が加わっている。調整期間Trfは特性調整回路102が画素回路101に対して影響を与える期間である。

【0081】

20

図4(a)の回路動作を説明する。プログラミング期間Tprで、トランジスタT1のゲート/ソース間に電流値Idataに応じた電圧が保持キャパシタCに記憶される。次に、発光期間Telで有機EL素子1にプログラミング電流値Idataとほぼ同じ電流が流れ、この電流値Idataに応じた階調で発光する。プログラミング期間Tprから発光期間Telまでは、トランジスタT5がオフ状態に設定されているため、特性調整回路102は画素回路101に対して影響を及ぼさない。その後、調整期間TrfではIdataが停止し、トランジスタT2, T3, T5がすべてオン状態となり、トランジスタT1のゲートが電源電位VRFとなる。このとき、図4(a)のノードqは有機EL素子1を介して接地電位VSSと接続されているので、ノードqの電位は接地電位VSS以上の値になっている。トランジスタT1のゲート、及び、ノードpは接地電位VSS以下の電位である電源電位VRFに設定されているので、結果としてトランジスタT1はオフ状態となる。トランジスタT1がオフ状態であるので、有機EL素子1は発光しないことになる。

30

【0082】

ここで、電源電位VRFを接地電位VSSより低い電位にした場合、ノードpとノードqにおける電位の大小関係は、プログラミング期間Tpr及び発光期間Telでは、ノードpの電位>ノードqの電位、であるのに対し、調整期間Trfでは、ノードpの電位<ノードqの電位、となり、電位の大小関係が逆転することになる。すなわち、トランジスタT1のソース/ドレインが入れ替わることになる。例えば、画素回路101内のトランジスタT1がアモルファスシリコントランジスタの場合、トランジスタT1を継続的に直

40

流状態で使用すると、一般的に閾値電圧がシフトしてしまう。これを防ぐ方法としては、トランジスタのソース/ドレインを入れ替える方法やトランジスタを定期的にオフ状態に設定する方法、等が知られている。図4(a)の回路によれば、トランジスタT1をアモルファスシリコントランジスタで構成した際に、トランジスタT1のソース/ドレインが入れ替わる駆動のため、閾値電圧シフトを回復させることが可能となる。

【0083】

図5(a)は、第2実施形態における電気光学装置に設けられる別の回路例である。図5(a)の回路は、電位固定回路103以外の部分については図4(a)と同様の構成になっている。

【0084】

50

電位固定回路103は画素回路101の所定ノードを電位固定する回路である。電位固定回路103はスイッチとして機能する第6のトランジスタT6を備え、トランジスタT6のゲートには接地電位VSSが供給されている。トランジスタT6はN型でありトランジスタT6のソース、及び、ドレインはトランジスタT1のソース、及び、ドレインに接続されている。なお、図5(a)回路の場合、電源電位VRFは、接地電位VSSよりもトランジスタT6の閾値電圧Vth(T6)だけ低い電位以下となるよう設定されている。また、図4(a)同様、信号RF、及び、第1のサブゲート信号2、及び、第2のサブゲート信号3のLレベルは電源電位VRF以下に設定される。これにより、トランジスタT2、T3、T4、T5を確実なオフ状態に設定できるようになる。なお、本明細書では、電位固定回路103が特性調整回路102の一部であるとして説明する。

10

## 【0085】

図5(b)は、図5(a)回路の動作を示すタイミングチャートである。ここでは、第1のサブゲート線2の電圧値sel1と、第2のサブゲート線3の電圧値sel2と、データ線4の電流値Idataと、有機EL素子1に流れる電流値IELと、信号RFの電圧値と、が示されている。図4(a)同様、駆動周期Tcは、プログラミング期間Tprと発光期間Telと調整期間Trfとを含んでいる。ここで、「駆動周期Tc」と「プログラミング期間Tpr」は、図4(a)の回路と同様であるが、「調整期間Trf」の動作は図4(a)の回路と異なっている。

## 【0086】

図5(a)の回路動作を説明する。プログラミング期間Tprで、トランジスタT1のゲート/ソース間に電流値Idataに応じた電圧が保持キャパシタCに記憶される。次に、発光期間Telで有機EL素子1にプログラミング電流値Idataとほぼ同じ電流が流れ、この電流値Idataに応じた階調で発光する。プログラミング期間Tprから発光期間Telまでは、トランジスタT5がオフ状態に設定されている。また、トランジスタT6のゲート電位はノードp、及び、ノードqの電位以下であるためトランジスタT6がオフ状態になっている。そのため、電位固定回路103を含めた特性調整回路102は画素回路101に対して影響を及ぼさない。その後、調整期間TrfではIdataが停止し、トランジスタT2、T3、T5がすべてオン状態となり、トランジスタT1のゲートが電源電位VRFとなる。このとき、図5(a)のノードpはVSS - Vth(T6)以下の電位である電源電位VRFに設定されているので、トランジスタT6がオン状態となり、ノードqが電源電位VRFに設定される。この状態ではトランジスタT1のゲート、ソース、ドレインがすべて電源電位VRFになるのでトランジスタT1はオフ状態となる。また、ノードqがVSS - Vth(T6)以下の電位である電源電位VRFに設定されているので有機EL素子1は逆バイアス状態となり、発光しないことになる。

20

30

## 【0087】

ここで、トランジスタT6のオン抵抗を考慮すると、ノードpの電位はノードqの電位よりも低くなるはずである。したがって、ノードpとノードqにおける電位の大小関係は、プログラミング期間Tpr及び発光期間Telでは、ノードpの電位 > ノードqの電位、であるのに対し、調整期間Trfでは、ノードpの電位 < ノードqの電位、となり、図4(a)の回路同様、電位の大小関係が逆転することになる。これにより、例えば、画素回路101内のトランジスタT1をアモルファスシリコントランジスタで構成した際に、トランジスタT1の閾値電圧シフトを回復させることが可能となる。

40

## 【0088】

図4(a)の回路と異なっているのは、ノードqが電源電位VRFに固定される点である。図4(a)回路の場合、ノードqがフローティング状態になっているので、トランジスタT1に対して、ノードpの電位 < ノードqの電位、と確実に設定できないのに対し、図5(a)回路の場合、ノードqが電源電位VRFになっているので、トランジスタT1に対して、ノードpの電位 < ノードqの電位、と確実に設定できる。そのため、トランジスタT1をアモルファスシリコントランジスタで構成した際に、図4(a)回路に比べて図5(a)回路の方が、トランジスタT1の閾値電圧シフトを回復させる効果が大きいと

50

考えられる。

【0089】

図6(a)は、第2実施形態における電気光学装置に設けられる別の回路例である。図6(a)の回路は、図4(a)の回路に対して特性調整回路102の構成が変更されている。また、図5(a)の回路とは異なり電位固定手段103が、そのまま特性調整回路102になっている。

【0090】

電位固定回路103は図5(a)の回路同様、画素回路101の所定ノードを電位固定する回路である。電位固定回路103は電源電位VRFと、スイッチとして機能する第7のトランジスタT7と、トランジスタT7のオン/オフを制御する信号RFと、を含んで

10

【0091】

図6(b)は、図6(a)回路の動作を示すタイミングチャートである。ここでは、第1のサブゲート線2の電圧値sel1と、第2のサブゲート線3の電圧値sel2と、データ線4の電流値Idataと、有機EL素子1に流れる電流値IELと、信号RFの電圧値と、が示されている。図4(a)、図5(a)同様、駆動周期Tcは、プログラミング期間Tprと発光期間Telと調整期間Trfとを含んでいる。ここで、「駆動周期Tc」と「プログラミング期間Tpr」は、図4(a)の回路と同様であるが、「調整期間Trf」の動作は図4(a)、図5(a)の回路と異なっている。

20

【0092】

図6(a)の回路動作を説明する。プログラミング期間Tprで、トランジスタT1のゲート/ソース間に電流値Idataに応じた電圧が保持キャパシタCに記憶される。次に、発光期間Telで有機EL素子1にプログラミング電流値Idataとほぼ同じ電流が流れ、この電流値Idataに応じた階調で発光する。プログラミング期間Tprから発光期間Telまでは、トランジスタT7がオフ状態に設定されているため、特性調整回路102は画素回路101に対して影響を及ぼさない。その後、調整期間TrfではトランジスタT2, T3がオフ状態、トランジスタT7がオン状態となるので、トランジスタT1のゲートが電源電位VRFに設定される。電源電位VRFを十分低い電圧に設定すれば、トランジスタT1はオフ状態となり、有機EL素子1は発光しないことになる。

30

【0093】

ここで、プログラミング期間Tpr及び発光期間Telでは、トランジスタT1がオン状態であるのに対し、調整期間Trfでは、トランジスタT1がオフ状態となり、トランジスタT1がオンとオフの両方の状態を持つことになる。これにより、例えば、トランジスタT1をアモルファスシリコントランジスタで構成した際に、トランジスタT1の閾値電圧シフトを回復させることが可能となる。また、電源電位VRFを調整することにより、トランジスタT1オフのバイアス状態を調節できるので、例えば、トランジスタT1のゲートをソースよりも低い電圧に設定することにより、閾値電圧シフトの効果的な回復が期待できる。

【0094】

40

次に、第1実施形態における図3(a)回路を元にして第2実施形態を実現した回路を図7(a)、図8(a)、図9(a)に示す。図7(a)は図4(a)に対応し、図8(a)は図5(a)に対応し、図9(a)は図6(a)に対応する。なお、図8(a)の回路については、図5(a)におけるトランジスタT5と電源電位VRFが削除されている。これは、トランジスタT5と電源電位VRFがなくとも図5(a)と同等の効果が得られるためである。

【0095】

図7(a)、図8(a)、図9(a)のタイミングチャートを、それぞれ、図7(b)、図8(b)、図9(b)に示す。図7(a)、図8(a)、図9(a)の基本的な回路動作は、図4(a)、図5(a)、図6(a)と同様であるので説明は省略するが、図4

50

( a )、図 5 ( a )、図 6 ( a ) と同等の効果が期待できる。

【 0 0 9 6 】

次に、第 1 実施形態における図 1 1 ( a ) 回路を元にして第 2 実施形態を実現した回路を図 1 2 ( a )、図 1 3 ( a )、図 1 4 ( a ) に示す。図 1 2 ( a ) は図 4 ( a ) に対応し、図 1 3 ( a ) は図 5 ( a ) に対応し、図 1 4 ( a ) は図 6 ( a ) に対応する。なお、図 1 3 ( a ) の回路については、図 5 ( a ) におけるトランジスタ T 5 と電源電位 V R F が削除されている。これは、トランジスタ T 5 と電源電位 V R F がなくとも図 5 ( a ) と同等の効果が得られるためである。

【 0 0 9 7 】

図 1 2 ( a )、図 1 3 ( a )、図 1 4 ( a ) のタイミングチャートを、それぞれ、図 1 2 ( b )、図 1 3 ( b )、図 1 4 ( b ) に示す。図 1 2 ( a )、図 1 3 ( a )、図 1 4 ( a ) の基本的な回路動作は、図 4 ( a )、図 5 ( a )、図 6 ( a ) と同様であるので説明は省略するが、図 4 ( a )、図 5 ( a )、図 6 ( a ) と同等の効果が期待できる。

【 0 0 9 8 】

次に、第 1 実施形態における図 1 5 ( a ) 回路を元にして第 2 実施形態を実現した回路を図 1 6 ( a )、図 1 7 ( a )、図 1 8 ( a ) に示す。図 1 6 ( a ) は図 4 ( a ) に対応し、図 1 7 ( a ) は図 5 ( a ) に対応し、図 1 8 ( a ) は図 6 ( a ) に対応する。なお、図 1 7 ( a ) の回路については、図 5 ( a ) におけるトランジスタ T 5 と電源電位 V R F が削除されている。これは、トランジスタ T 5 と電源電位 V R F がなくとも図 5 ( a ) と同等の効果が得られるためである。

【 0 0 9 9 】

図 1 6 ( a )、図 1 7 ( a )、図 1 8 ( a ) のタイミングチャートを、それぞれ、図 1 6 ( b )、図 1 7 ( b )、図 1 8 ( b ) に示す。図 1 6 ( a )、図 1 7 ( a )、図 1 8 ( a ) の基本的な回路動作は、図 4 ( a )、図 5 ( a )、図 6 ( a ) と同様であるので説明は省略するが、図 4 ( a )、図 5 ( a )、図 6 ( a ) と同等の効果が期待できる。

【 0 1 0 0 】

上述した各実施例では、有機 E L 素子を用いた電気光学装置の例を説明したが、本発明は、有機 E L 素子以外の発光素子を用いた電気光学装置や表示装置にも適用可能である。例えば、駆動電流に応じて発光の階調が調整可能な他の種類の発光素子 ( L E D や F E D など ) を有する装置にも適用することができる。

【 図面の簡単な説明 】

【 0 1 0 1 】

【 図 1 】 本発明における単位回路マトリクスを示す概略図。

【 図 2 】 本発明の第 1 実施形態を示す回路図とそのタイミング図の一例。

【 図 3 】 本発明の第 1 実施形態を示す回路図の変型例とそのタイミング図。

【 図 4 】 本発明の第 2 実施形態を示す回路図とそのタイミング図の一例。

【 図 5 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図の一例。

【 図 6 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 7 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 8 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 9 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 1 0 】 従来の画素回路を示す回路図とそのタイミング図の一例。

【 図 1 1 】 本発明の第 1 実施形態を示す回路図の変型例とそのタイミング図。

【 図 1 2 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 1 3 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 1 4 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 1 5 】 本発明の第 1 実施形態を示す回路図の変型例とそのタイミング図。

【 図 1 6 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 1 7 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

【 図 1 8 】 本発明の第 2 実施形態を示す回路図の変型例とそのタイミング図。

10

20

30

40

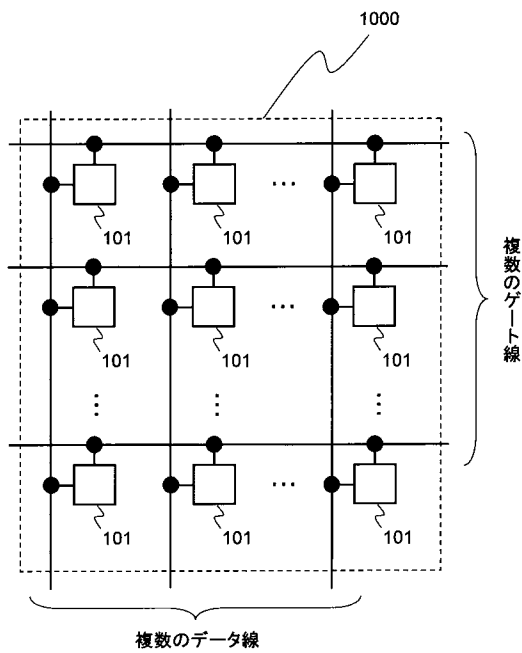
50

【符号の説明】

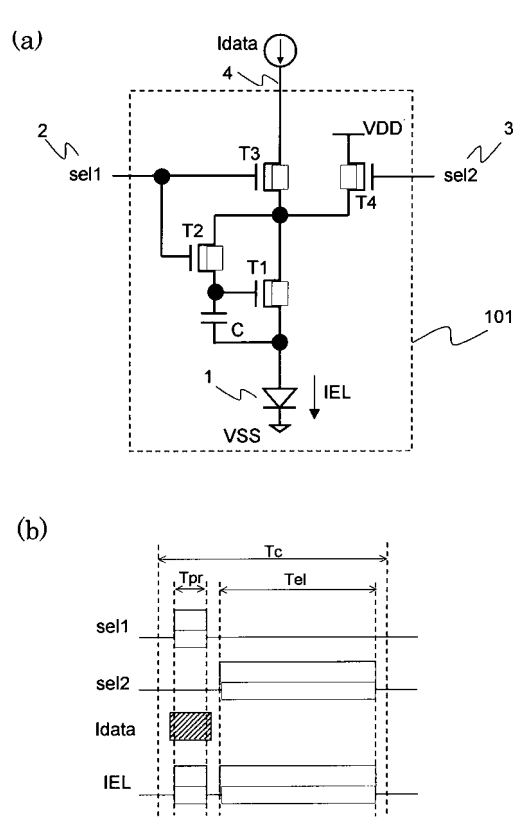
【0102】

1, 11...有機EL素子、2...第1のサブゲート信号、3...第2のサブゲート信号、4, 13...データ線、12...ゲート線、101, 201...画素回路、102...特性調整回路、103...電位固定回路、1000...単位回路マトリクス。

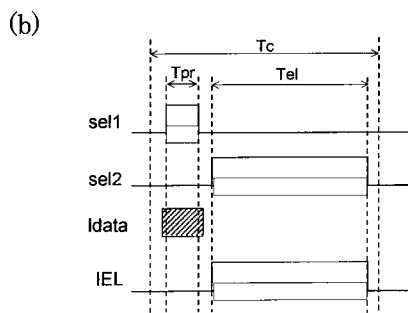
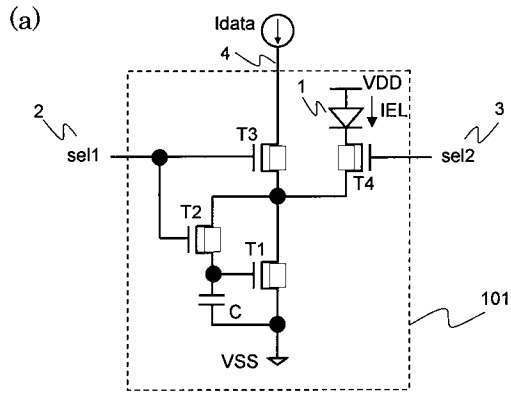
【図1】



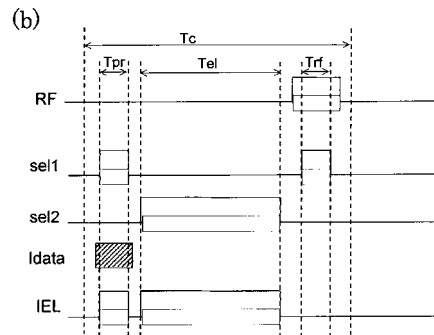
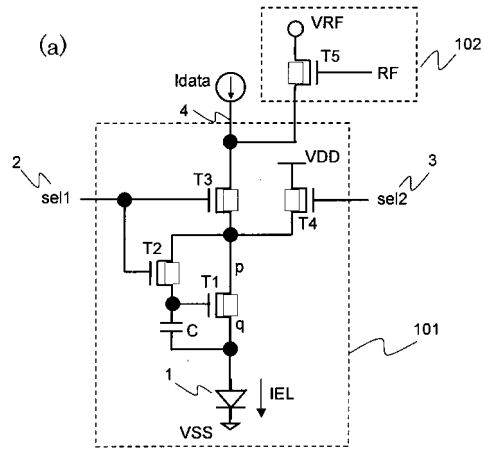
【図2】



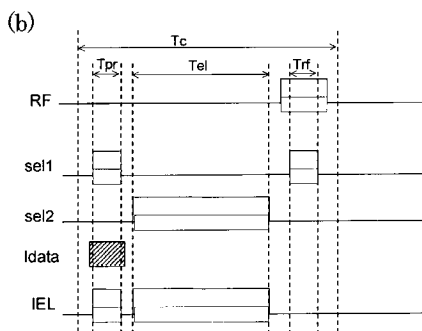
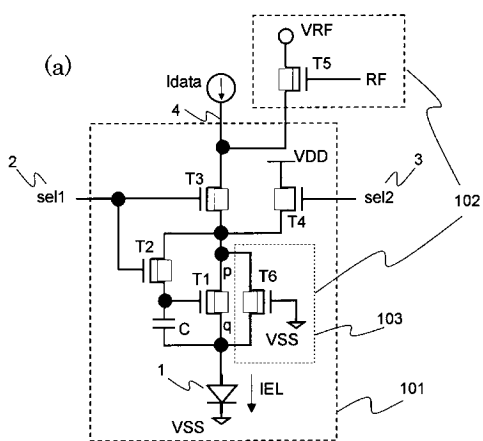
【 図 3 】



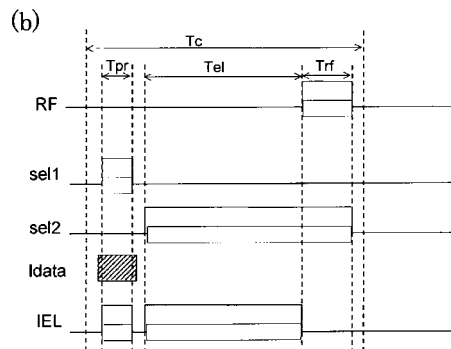
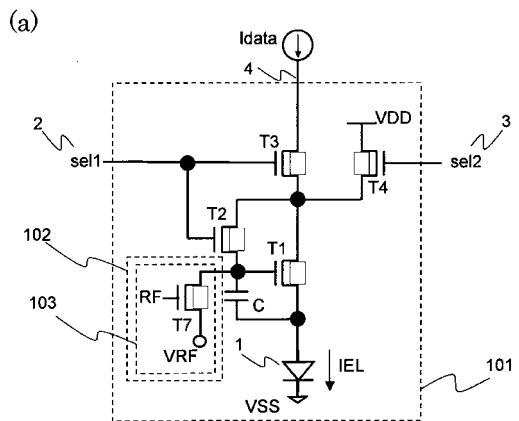
【 図 4 】



【 図 5 】

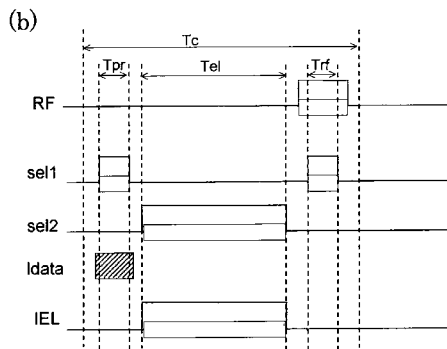
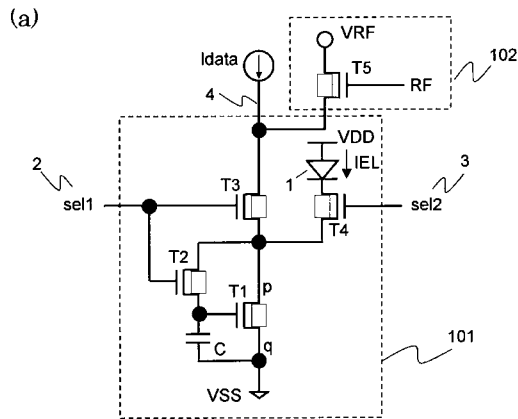


【 図 6 】

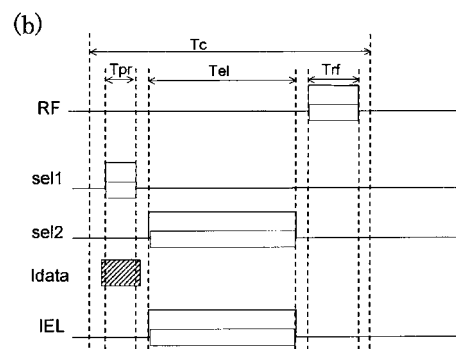
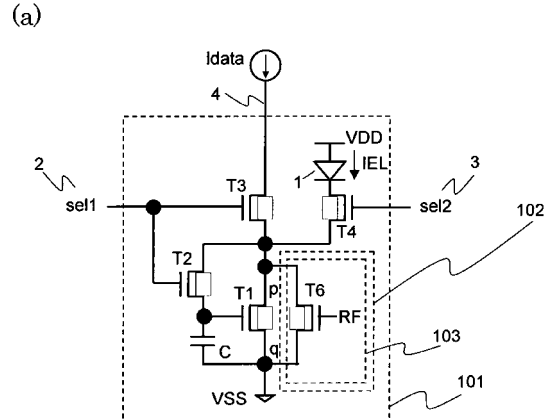




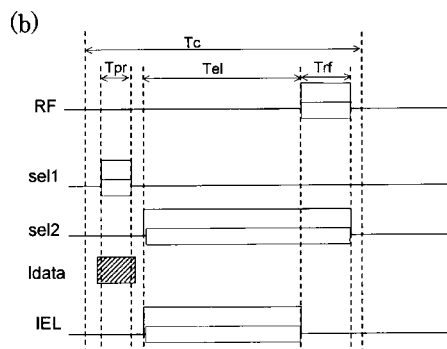
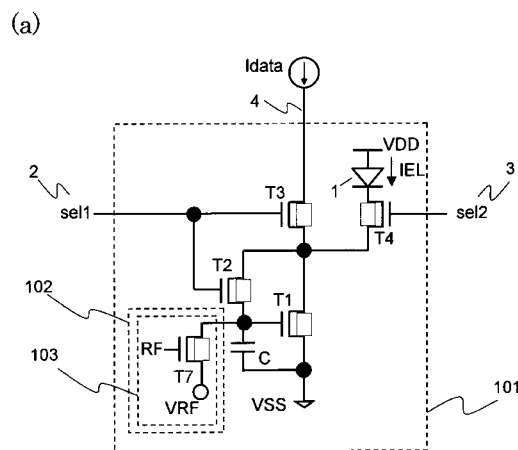
【 図 7 】



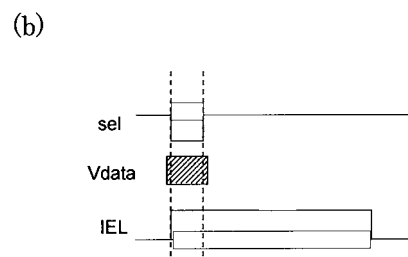
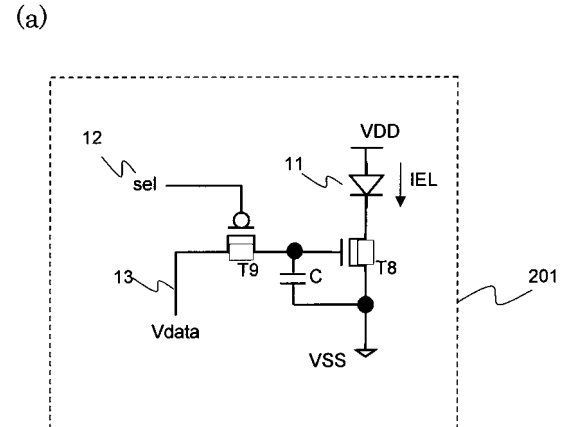
【 図 8 】



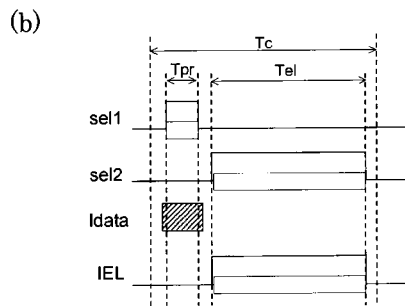
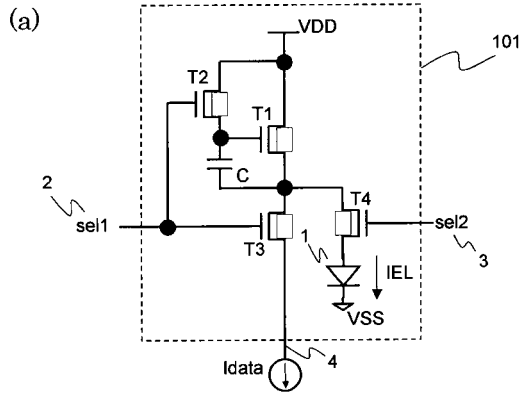
【 図 9 】



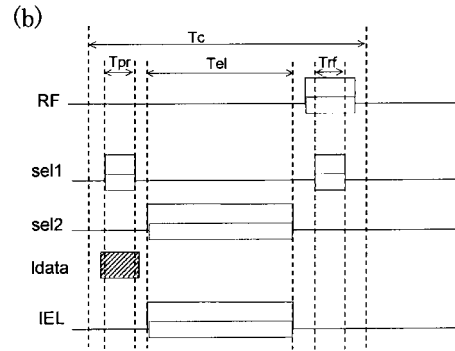
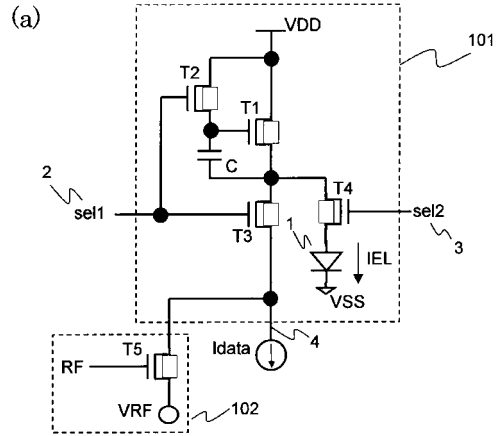
【 図 10 】



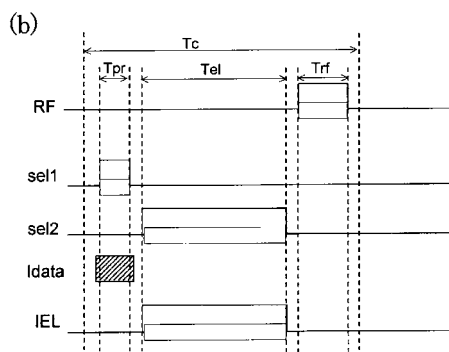
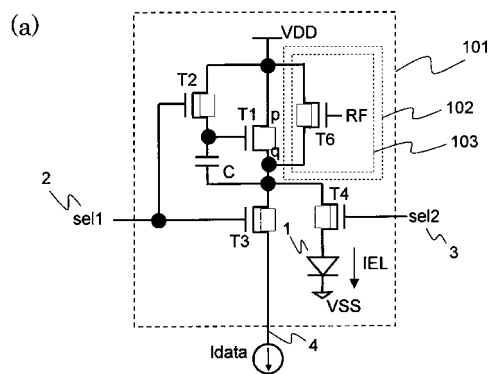
【図 1 1】



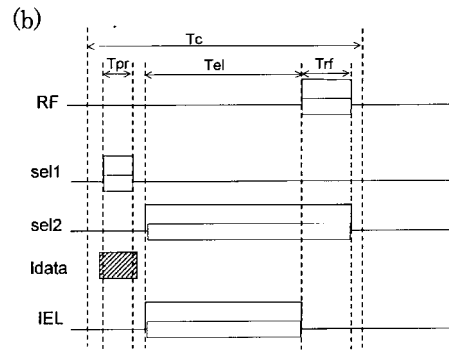
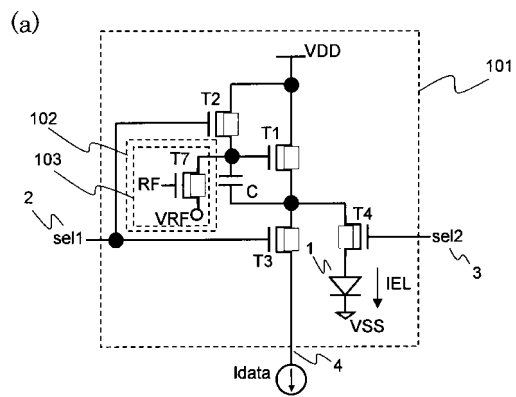
【図 1 2】



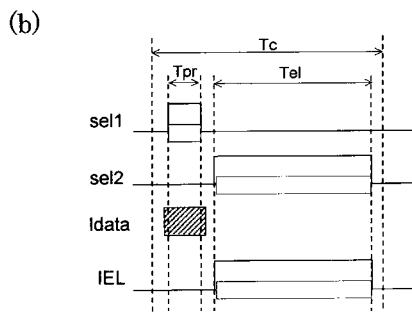
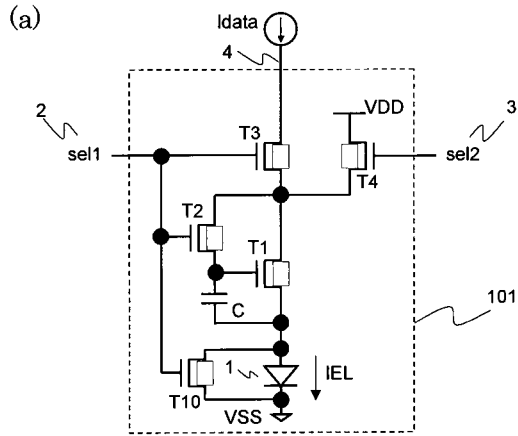
【図 1 3】



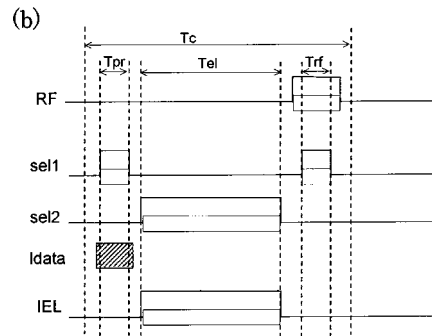
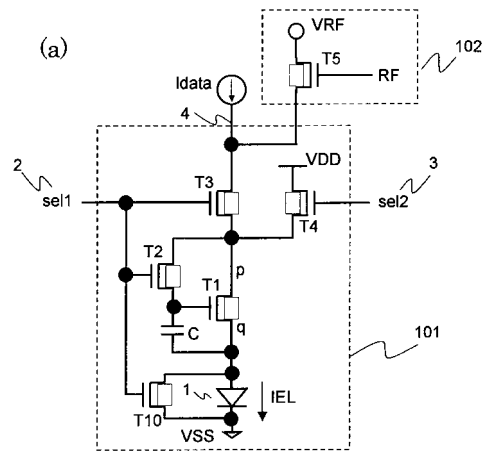
【図 1 4】



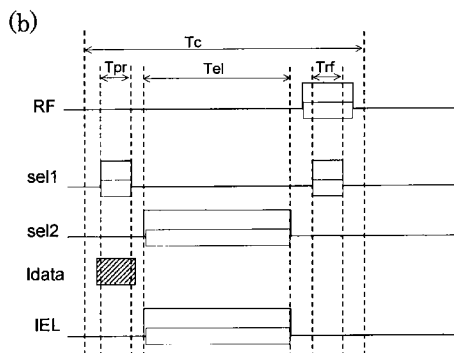
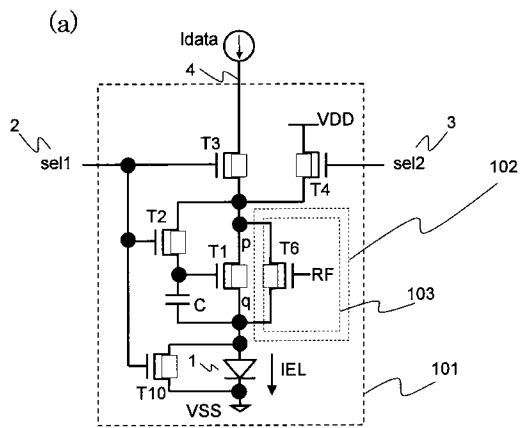
【 図 15 】



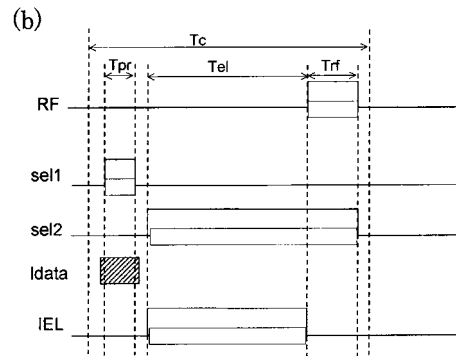
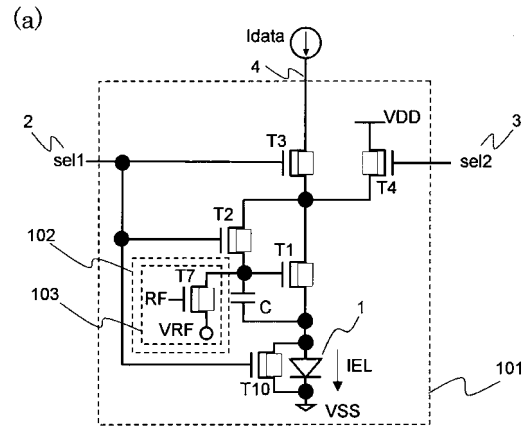
【 図 16 】



【 図 17 】



【 図 18 】



---

フロントページの続き

(72)発明者 小澤 徳郎  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 小川 浩史

(56)参考文献 国際公開第03/001496(WO, A1)  
特開2000-347621(JP, A)  
特開2003-43993(JP, A)  
特開2003-186437(JP, A)  
特開2003-208127(JP, A)  
特開2004-29247(JP, A)  
特許第4016962(JP, B2)  
特許第3772889(JP, B2)  
特許第4039441(JP, B2)

(58)調査した分野(Int.Cl., DB名)  
G09G 3/20 - 3/38