

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 1 月 21 日 (21.01.2016)



(10) 国际公布号
WO 2016/008186 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/084331
- (22) 国际申请日: 2014 年 8 月 14 日 (14.08.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410337587.5 2014 年 7 月 15 日 (15.07.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 戴超 (DAI, Chao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GATE DRIVE CIRCUIT APPLIED TO 2D-3D SIGNAL SETTING

(54) 发明名称: 应用于 2D-3D 信号设置的栅极驱动电路

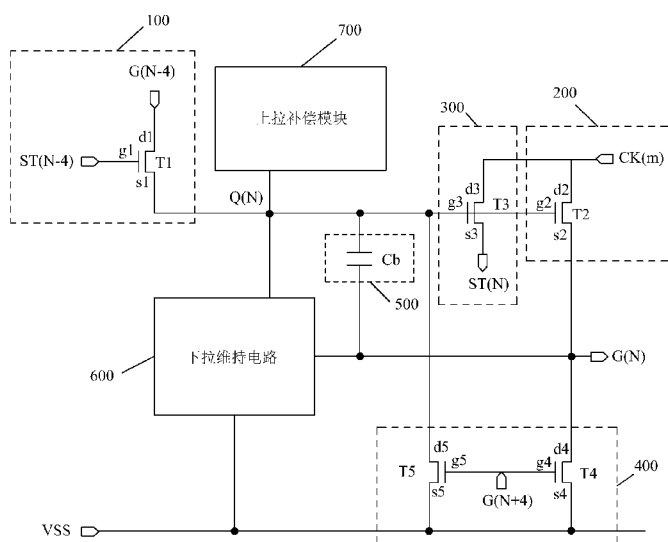


图3 / FIG.3

600 PULL-DOWN HOLDING CIRCUIT 700 PULL-UP COMPENSATION MODULE

(57) Abstract: A gate drive circuit applied to 2D-3D signal setting, comprising: a plurality of cascaded GOA units, charging of an Nth level horizontal scanning line G (N) of a display area being controlled according to an Nth level GOA unit, the Nth level GOA unit comprising a pull-up control module, a pull-up module, a transfer-down module, a first pull-down module, a bootstrap capacitance module, a pull-down holding module and a pull-up compensation module. On the basis of an existing gate drive circuit using GOA technology, the pull-up compensation module is added to compensate a leakage gap present when a 2D signal is transmitted, and ensure that the electric potential of a gate signal point Q (N) is not reduced during the leakage gap. Introduction of an additional direct current control signal source DC to control opening and closing of the pull-up compensation module enables the pull-up compensation module to perform compensation work when open and working in a 2D mode, and be closed in a 3D mode so as to avoid affecting 3D signal transmission, and the pull-up compensation module is thereby effectively controlled.

(57) 摘要: 一种应用于 2D-3D 信号设置的栅极驱动电路, 包括: 级联的多个 GOA 单元, 按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线 G (N) 充电, 该第 N 级 GOA 单元包括上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、下拉维持模块、上拉补偿模块; 在现有的采用 GOA 技术的栅极驱动电路基础上增加一个上拉补偿模块, 来补偿 2D 信号传递时存在的漏电间隙, 确保漏电间隙期间栅极信号点 Q (N) 的电位不会降低; 通过引入一条额外的直流控制信号源 DC 来控制上拉补偿模块的开启和关闭, 使其在 2D 模式下打开工作时起到补偿工作, 在 3D 模式下关闭以避免对 3D 信号传递的影响, 进而有效的控制上拉补偿模块。

块、上拉模块、下传模块、第一下拉模块、自举电容模块、下拉维持模块、上拉补偿模块; 在现有的采用 GOA 技术的栅极驱动电路基础上增加一个上拉补偿模块, 来补偿 2D 信号传递时存在的漏电间隙, 确保漏电间隙期间栅极信号点 Q (N) 的电位不会降低; 通过引入一条额外的直流控制信号源 DC 来控制上拉补偿模块的开启和关闭, 使其在 2D 模式下打开工作时起到补偿工作, 在 3D 模式下关闭以避免对 3D 信号传递的影响, 进而有效的控制上拉补偿模块。

应用于 2D-3D 信号设置的栅极驱动电路

技术领域

5 本发明涉及显示技术领域，尤其涉及一种应用于 2D-3D 信号设置的栅极驱动电路。

背景技术

GOA (Gate Driver on Array, 阵列基板行驱动) 技术是将作为栅极开关电路的 TFT (Thin Film Transistor, 薄膜场效应晶体管) 集成于阵列基板上, 从而省掉原先设置在阵列基板外的栅极驱动集成电路部分, 从材料成本和工艺步骤两个方面来降低产品的成本。GOA 技术是目前 TFT-LCD (Thin Film Transistor-Liquid Crystal Display, 薄膜场效应晶体管液晶显示器) 技术领域常用的一种栅极驱动电路技术, 其制作工艺简单, 具有良好的应用前景。GOA 电路的功能主要包括: 利用上一行栅线输出的高电平信号对移位寄存器单元中的电容充电, 以使本行栅线输出高电平信号, 再利用下一行栅线输出的高电平信号实现复位。

在 2D 显示模式中, GOA 的电路传递架构由当前级水平扫描线 $G(n)$ (n 为自然数) 直接传递至其后的下一级水平扫描线 $G(n+1)$, 而在 3D 显示模式中 (需分别扫描显示左右眼图像), 由于扫描频率的升高, GOA 的电路传递架构由当前级水平扫描线 $G(n)$ 传递至其后的下两级水平扫描线 $G(n+2)$, 而下一级水平扫描线 $G(n+1)$ 保持与当前级水平扫描线 $G(n)$ 相同的相位。如此一来, 在下两级水平扫描线 $G(n+2)$ 与当前级水平扫描线 $G(n)$ 之间会多出一个高频信号宽度的悬浮期间(floating period), 造成漏电问题。

对于大尺寸面板, 如果采用 GOA 技术, 考虑到面板显示区域和 GOA 电路区域走线、元件尺寸的寄生电容和电阻的负载较大, 一般会采用多条高频时钟信号线来减轻 RC 负载, 至少六条, 有的甚至采用八条。对于八条高频时钟信号线的 GOA 电路, 一般采用的信号传递方式是第 $n-4$ 级传递给第 n 级。

请参阅图 1, 为目前常采用 GOA 技术的栅极驱动电路架构示意图。包括: 级联的多个 GOA 单元, 按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线 $G(N)$ 充电, 该第 N 级 GOA 单元包括上拉控制模块 100、上拉模块 200、下传模块 300、第一下拉模块 400 (Key pull-down part)、自举电容模块 500、下拉维持模块 600 (Pull-down holding part)。所述上拉模块 200、

第一下拉模块 400、下拉维持模块 600 及自举电容模块 500 分别与栅极信号点 $Q(N)$ 和该第 N 级水平扫描线 $G(N)$ 电性连接, 所述上拉控制模块 100 与下传模块 300 分别与该栅极信号点 $Q(N)$ 电性连接, 所述下拉维持模块 600 输入直流低电压 VSS 。所述上拉控制模块 100 包括第一晶体管 $T1$, 所述上拉模块 200 包括第二晶体管 $T2$, 所述下传模块 300 包括第三晶体管 $T3$, 所述第一下拉模块 400 包括第四晶体管 $T4$ 与第五晶体管 $T5$, 所述自举电容模块 500 包括电容 Cb ; 所述第一晶体管 $T1$ 包括第一栅极 $g1$ 、第一源极 $s1$ 、第一漏极 $d1$, 所述第二晶体管 $T2$ 包括第二栅极 $g2$ 、第二源极 $s2$ 、第二漏极 $d2$, 所述第三晶体管 $T3$ 包括第三栅极 $g3$ 、第三源极 $s3$ 、第三漏极 $d3$, 所述第四晶体管 $T4$ 包括第四栅极 $g4$ 、第四源极 $s4$ 、第四漏极 $d4$, 所述第五晶体管 $T5$ 包括第五栅极 $g5$ 、第五源极 $s5$ 、第五漏极 $d5$; 所述第一栅极 $g1$ 输入来自第 $N-4$ 级 GOA 单元的下传信号 $ST(N-4)$, 所述第一漏极 $d1$ 电性连接于第 $N-4$ 级水平扫描线 $G(N-4)$, 所述第一源极 $s1$ 电性连接于该栅极信号点 $Q(N)$; 所述第二栅极 $g2$ 电性连接于该栅极信号点 $Q(N)$, 所述第二漏极 $d2$ 输入第 m 级高频时钟信号 $CK(m)$, 所述第二源极 $s2$ 电性连接于第 N 级水平扫描线 $G(N)$; 所述第三栅极 $g3$ 电性连接于该栅极信号点 $Q(N)$, 所述第三漏极 $d3$ 输入第 m 级高频时钟信号 $CK(m)$, 所述第三源极 $s3$ 输出第 N 级下传信号 $ST(N)$; 所述第四栅极 $g4$ 电性连接于第 $N+4$ 级水平扫描线 $G(N+4)$, 所述第四漏极 $d4$ 电性连接于第 N 级水平扫描线 $G(N)$, 所述第四源极 $s4$ 输入直流低电压 VSS ; 所述第五栅极 $g5$ 电性连接于第 $N+4$ 级水平扫描线 $G(N+4)$, 所述第五漏极 $d5$ 电性连接于该栅极信号点 $Q(N)$, 所述第五源极 $s5$ 输入该直流低电压 VSS ; 所述电容 Cb 的上极板电性连接于该栅极信号点 $Q(N)$, 所述电容 Cb 的下极板电性连接于该第 N 级水平扫描线 $G(N)$ 。所述第一晶体管 $T1$ 、第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 、第五晶体管 $T5$ 均为薄膜晶体管。如图 1 所示的电路架构主要是针对大尺寸液晶面板 GOA 技术采用八个高频时钟信号线时的连接方案, 由图 1 可知, 上拉控制模块 100 的控制信号主要是来自第 $N-4$ 级水平扫描线 $G(N-4)$, 而第一下拉模块 400 中的控制信号来自第 $N+4$ 级水平扫描线 $G(N+4)$ 。

对于大尺寸面板, 如果还要考虑 2D 显示和 3D 显示信号切换的话, 不同模式下的时钟信号设置还会存在一定的差异。请参阅图 2a, 为 2D 模式下图 1 所示的栅极驱动电路进行信号传递的时序图, 该栅极驱动电路采用了八个高频时钟信号 $CK1 \sim CK8$, 相邻两个高频时钟信号之间相隔半个脉宽。图 2a 中第一级高频时钟信号 $CK1$ 与第 $N-4$ 级水平扫描线 $G(N-4)$ 及栅极信号点 $Q(N)$ 的第一次抬升相对应, 第五级高频时钟信号 $CK5$ 与第 N 级

水平扫描线 $G(N)$ 及栅极信号点 $Q(N)$ 的第二次抬升相对应。在 2D 模式下八个高频时钟信号 CK 的传递方式是第 $N-4$ 级水平扫描线 $G(N-4)$ 传递给第 N 级水平扫描线 $G(N)$ ，但是两个信号之间会存在一个较大的时间间隙没有任何信号作用，这样会导致栅极信号点 $Q(N)$ 的第一次和第二次电位抬升之间存在着一定的漏电间隙，即栅极信号点 $Q(N)$ 在第一次电位抬升之后电位又会降低，严重影响栅极信号点 $Q(N)$ 第二次的自举作用，如果在高温操作下漏电严重的话，还会影响第 N 级水平扫描线 $G(N)$ 的正常输出。请参阅图 2b，为 3D 模式下图 1 所示的栅极驱动电路进行信号传递的时序图，该栅极驱动电路采用了八个高频时钟信号 $CK1 \sim CK8$ ，其中第一级高频时钟信号 $CK1$ 与第二级高频时钟信号 $CK2$ 的相位相同，第三级高频时钟信号 $CK3$ 与第四级高频时钟信号 $CK4$ 的相位相同，第五级高频时钟信号 $CK5$ 与第六级高频时钟信号 $CK6$ 的相位相同，第七级高频时钟信号 $CK7$ 与第八级高频时钟信号 $CK8$ 的相位相同，相邻的不同相位间的高频时钟信号相隔半个脉冲。图 2b 中具有相同相位的第一级高频时钟信号 $CK1$ 及第二级高频时钟信号 $CK2$ 与第 $N-4$ 级水平扫描线 $G(N-4)$ 及栅极信号点 $Q(N)$ 的第一次抬升相对应，具有相同相位的第五级高频时钟信号 $CK5$ 及第六级高频时钟信号 $CK6$ 与第 N 级水平扫描线 $G(N)$ 及栅极信号点 $Q(N)$ 的第二次抬升相对应。在 3D 模式下，由于 3D 画面显示的原因，两个高频时钟信号 CK 会同时输出，如果依然是第 $N-4$ 级水平扫描线 $G(N-4)$ 传递给第 N 级水平扫描线 $G(N)$ ，则不会存在信号传递时的漏电间隙问题，栅极信号点 $Q(N)$ 能够正常抬升而不会有明显的电位损失。

因此，如果将 GOA 技术应用于大尺寸面板驱动，且考虑到 2D 和 3D 模式下的信号设置问题，必须设计一种特殊的采用 GOA 技术的栅极驱动电路方案来解决如下问题：(1)、在 2D 模式下，需要补偿信号传递之间存在的较大的漏电间隙问题；(2)、在 3D 模式下，设计的采用 GOA 技术的栅极驱动电路还需要不影响这样的 3D 信号传递；(3)、确保 2D 显示和 3D 显示下，采用 GOA 技术的栅极驱动电路均能正常工作。

发明内容

本发明的目的在于提供一种应用于 2D-3D 信号设置的栅极驱动电路，解决了 2D 信号传递时漏电间隙带来的问题，同时避免对 3D 信号传递的影响。

为实现上述目的，本发明提供一种应用于 2D-3D 信号设置的栅极驱动电路，包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区

域第 N 级水平扫描线 G(N) 充电, 该第 N 级 GOA 单元包括上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、下拉维持模块、上拉补偿模块; 所述上拉模块、第一下拉模块、下拉维持模块及自举电容模块分别与栅极信号点 Q(N) 和该第 N 级水平扫描线 G(N) 电性连接, 所述上拉控制模块、下传模块及上拉补偿模块分别与该栅极信号点 Q(N) 电性连接, 所述下拉维持模块输入直流低电压 VSS;

所述上拉控制模块包括第一晶体管 T1, 所述上拉模块包括第二晶体管 T2, 所述下传模块包括第三晶体管 T3, 所述第一下拉模块包括第四晶体管 T4 与第五晶体管 T5, 所述自举电容模块包括电容 Cb; 所述第一晶体管 T1 包括第一栅极 g1、第一源极 s1、第一漏极 d1, 所述第二晶体管 T2 包括第二栅极 g2、第二源极 s2、第二漏极 d2, 所述第三晶体管 T3 包括第三栅极 g3、第三源极 s3、第三漏极 d3, 所述第四晶体管 T4 包括第四栅极 g4、第四源极 s4、第四漏极 d4, 所述第五晶体管 T5 包括第五栅极 g5、第五源极 s5、第五漏极 d5;

所述第一栅极 g1 输入第 N-4 级下传信号 ST(N-4), 所述第一漏极 d1 电性连接于第 N-4 级水平扫描线 G(N-4), 所述第一源极 s1 电性连接于该栅极信号点 Q(N); 所述第二栅极 g2 电性连接于该栅极信号点 Q(N), 所述第二漏极 d2 输入第 m 级高频时钟信号 CK(m), 所述第二源极 s2 电性连接于第 N 级水平扫描线 G(N); 所述第三栅极 g3 电性连接于该栅极信号点 Q(N), 所述第三漏极 d3 输入该第 m 级高频时钟信号 CK(m), 所述第三源极 s3 输出第 N 级下传信号 ST(N); 所述第四栅极 g4 电性连接于第 N+4 级水平扫描线 G(N+4), 所述第四漏极 d4 电性连接于第 N 级水平扫描线 G(N), 所述第四源极 s4 输入该直流低电压 VSS; 所述第五栅极 g5 电性连接于第 N+4 级水平扫描线 G(N+4), 所述第五漏极 d5 电性连接于该栅极信号点 Q(N), 所述第五源极 s5 输入该直流低电压 VSS; 所述电容 Cb 的上极板电性连接于该栅极信号点 Q(N), 所述电容 Cb 的下极板电性连接于该第 N 级水平扫描线 G(N)。

所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线 G(N-4) 传递给第 N 级水平扫描线 G(N); 所述高频时钟信号 CK 为八个; 所述第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、及第五晶体管 T5 均为薄膜晶体管。

在 2D 模式下相邻两个高频时钟信号之间相隔半个脉宽。

在 3D 模式下第一级高频时钟信号 CK1 与第二级高频时钟信号 CK2 的相位相同, 第三级高频时钟信号 CK3 与第四级高频时钟信号 CK4 的相位相

同,第五级高频时钟信号 CK5 与第六级高频时钟信号 CK6 的相位相同,第七级高频时钟信号 CK7 与第八级高频时钟信号 CK8 的相位相同,相邻的不同相位间的高频时钟信号相隔半个脉冲。

所述上拉补偿模块包括第六晶体管 T6,所述第六晶体管 T6 包括第六栅极 g6、第六源极 s6、第六漏极 d6,所述第六栅极 g6 输入第 m-2 级高频时钟信号 CK(m-2),所述第六漏极 d6 电性连接于第 N-2 级水平扫描线 G(N-2)或第 N-2 级下传信号 ST(N-2),所述第六源极 s6 作为上拉补偿模块的输出端电性连接于栅极信号点 Q(N);所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线 G(N-4)传递给第 N 级水平扫描线 G(N),或第 N-4 级下传信号 ST(N-4)传递给第 N 级下传信号 ST(N);所述第六晶体管 T6 为薄膜晶体管。

所述上拉补偿模块包括第六晶体管 T6'与第七晶体管 T7',并增加一条直流控制信号源 DC;所述第六晶体管 T6'包括第六栅极 g6'、第六源极 s6'、第六漏极 d6',所述第七晶体管 T7'包括第七栅极 g7'、第七源极 s7'、第七漏极 d7',所述第六栅极 g6'输入第 m-2 级高频时钟信号 CK(m-2),所述第六漏极 d6'与第七源极 s7'电性连接于第一电路点 D(N),所述第一电路点 D(N)为第六晶体管 T6'的输入端,所述第六源极 s6'作为上拉补偿模块的输出端电性连接于栅极信号点 Q(N),所述第七栅极 g7'输入直流控制信号源 DC,所述第七漏极 d7'电性连接于第 N-2 级水平扫描线 G(N-2)或第 N-2 级下传信号 ST(N-2)。

所述直流控制信号源 DC 控制上拉补偿模块的关闭和开启,在 2D 模式下直流控制信号源 DC 提供一个正向的高电位打开上拉补偿模块,在 3D 模式下直流控制信号源 DC 提供一个负向的低电位关闭上拉补偿模块。

所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线 G(N-4)传递给第 N 级水平扫描线 G(N),或第 N-4 级下传信号 ST(N-4)传递给第 N 级下传信号 ST(N);所述第六晶体管 T6'与第七晶体管 T7'均为薄膜晶体管。

上拉补偿模块包括第六晶体管 T6''与第七晶体管 T7'',并增加一条直流控制信号源 DC;所述第六晶体管 T6''包括第六栅极 g6''、第六源极 s6''、第六漏极 d6'',所述第七晶体管 T7''包括第七栅极 g7''、第七源极 s7''、第七漏极 d7'';所述第六栅极 g6''输入直流控制信号源 DC,所述第六漏极 d6''与第七源极 s7''电性连接于第一电路点 D(N),所述第一电路点 D(N)为第六晶体管 T6''的输入端;所述第六源极 s6''作为上拉补偿模块的输出端电性连接于栅极信号点 Q(N),所述第七栅极 g7''输入第 m-2 级高频时钟信号 CK(m-2),所述第七漏极 d7''电性连接于第 N-2 级水平扫描线 G(N-2)或第

N-2 级下传信号 ST(N-2)。

所述直流控制信号源 DC 控制上拉补偿模块的关闭和开启，在 2D 模式下直流控制信号源 DC 提供一个正向的高电位打开上拉补偿模块，在 3D 模式下直流控制信号源 DC 提供一个负向的低电位关闭上拉补偿模块。

5 所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线 G(N-4) 传递给第 N 级水平扫描线 G(N)，或第 N-4 级下传信号 ST(N-4) 传递给第 N 级下传信号 ST(N)；所述第六晶体管 T6'' 与第七晶体管 T7'' 均为薄膜晶体管。

本发明还提供一种应用于 2D-3D 信号设置的栅极驱动电路，包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线 G(N) 充电，该第 N 级 GOA 单元包括上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、下拉维持模块、上拉补偿模块；所述上拉模块、第一下拉模块、下拉维持模块及自举电容模块分别与栅极信号点 Q(N) 和该第 N 级水平扫描线 G(N) 电性连接，所述上拉控制模块、下传模块及上拉补偿模块分别与该栅极信号点 Q(N) 电性连接，所述下拉维持模块输入直流低电压 VSS；

所述上拉控制模块包括第一晶体管 T1，所述上拉模块包括第二晶体管 T2，所述下传模块包括第三晶体管 T3，所述第一下拉模块包括第四晶体管 T4 与第五晶体管 T5，所述自举电容模块包括电容 Cb；所述第一晶体管 T1 包括第一栅极 g1、第一源极 s1、第一漏极 d1，所述第二晶体管 T2 包括第二栅极 g2、第二源极 s2、第二漏极 d2，所述第三晶体管 T3 包括第三栅极 g3、第三源极 s3、第三漏极 d3，所述第四晶体管 T4 包括第四栅极 g4、第四源极 s4、第四漏极 d4，所述第五晶体管 T5 包括第五栅极 g5、第五源极 s5、第五漏极 d5；

所述第一栅极 g1 输入第 N-4 级下传信号 ST(N-4)，所述第一漏极 d1 电性连接于第 N-4 级水平扫描线 G(N-4)，所述第一源极 s1 电性连接于该栅极信号点 Q(N)；所述第二栅极 g2 电性连接于该栅极信号点 Q(N)，所述第二漏极 d2 输入第 m 级高频时钟信号 CK(m)，所述第二源极 s2 电性连接于第 N 级水平扫描线 G(N)；所述第三栅极 g3 电性连接于该栅极信号点 Q(N)，所述第三漏极 d3 输入该第 m 级高频时钟信号 CK(m)，所述第三源极 s3 输出第 N 级下传信号 ST(N)；所述第四栅极 g4 电性连接于第 N+4 级水平扫描线 G(N+4)，所述第四漏极 d4 电性连接于第 N 级水平扫描线 G(N)，所述第四源极 s4 输入该直流低电压 VSS；所述第五栅极 g5 电性连接于第 N+4 级水平扫描线 G(N+4)，所述第五漏极 d5 电性连接于该栅极信号点 Q(N)，所述第五源极 s5 输入该直流低电压 VSS；所述电容 Cb 的上极板电性连接于

该栅极信号点 Q(N)，所述电容 Cb 的下极板电性连接于该第 N 级水平扫描线 G(N)；

所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线 G(N-4) 传递给第 N 级水平扫描线 G(N)；所述高频时钟信号 CK 为八个；所述第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、及第五晶体管 T5 均为薄膜晶体管；

在 2D 模式下相邻两个高频时钟信号之间相隔半个脉宽；

在 3D 模式下第一级高频时钟信号 CK1 与第二级高频时钟信号 CK2 的相位相同，第三级高频时钟信号 CK3 与第四级高频时钟信号 CK4 的相位相同，第五级高频时钟信号 CK5 与第六级高频时钟信号 CK6 的相位相同，第七级高频时钟信号 CK7 与第八级高频时钟信号 CK8 的相位相同，相邻的不同相位间的高频时钟信号相隔半个脉冲；

所述上拉补偿模块包括第六晶体管 T6，所述第六晶体管 T6 包括第六栅极 g6、第六源极 s6、第六漏极 d6，所述第六栅极 g6 输入第 m-2 级高频时钟信号 CK(m-2)，所述第六漏极 d6 电性连接于第 N-2 级水平扫描线 G(N-2) 或第 N-2 级下传信号 ST(N-2)，所述第六源极 s6 作为上拉补偿模块的输出端电性连接于栅极信号点 Q(N)；所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线 G(N-4) 传递给第 N 级水平扫描线 G(N)，或第 N-4 级下传信号 ST(N-4) 传递给第 N 级下传信号 ST(N)；所述第六晶体管 T6 为薄膜晶体管。

本发明的有益效果：本发明提供一种应用于 2D-3D 信号设置的栅极驱动电路，在现有的采用 GOA 技术的栅极驱动电路基础上增加一个上拉补偿模块，该模块的主要作用就是补偿 2D 信号传递时存在的漏电间隙，确保漏电间隙期间栅极信号点 Q(N) 的电位不会降低；通过引入一条额外的直流控制信号源 DC 来控制上拉补偿模块的开启和关闭，使其在 2D 模式下打开工作时起到补偿工作，在 3D 模式下关闭以避免对 3D 信号传递的影响，进而有效的控制上拉补偿模块。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为目前常采用 GOA 技术的栅极驱动电路架构示意图；

图 2a 为 2D 模式下图 1 所示的栅极驱动电路进行信号传递的时序图；

图 2b 为 3D 模式下图 1 所示的栅极驱动电路进行信号传递的时序图；

5 图 3 为本发明应用于 2D-3D 信号设置的栅极驱动电路架构示意图；

图 4 为图 3 所示的栅极驱动电路第一实施例的电路图；

图 5 为图 3 所示的栅极驱动电路第二实施例的电路图；

图 6 为图 3 所示的栅极驱动电路第三实施例的电路图；

图 7 为图 5 与图 6 所示的栅极驱动电路在 2D 模式下的时序图；

10 图 8 为图 5 与图 6 所示的栅极驱动电路在 3D 模式下的时序图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

15 请参阅图 3，为本发明应用于 2D-3D 信号设置的栅极驱动电路架构示意图。包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线 G(N)充电，该第 N 级 GOA 单元包括上拉控制模块 100、上拉模块 200、下传模块 300、第一下拉模块 400、自举电容模块 500、下拉维持模块 600、上拉补偿模块 700 (Pull-up compensation part)。所述上拉
20 模块 200、第一下拉模块 400、下拉维持模块 600 及自举电容模块 500 分别与栅极信号点 Q(N)和该第 N 级水平扫描线 G(N)电性连接，所述上拉控制模块 100、下传模块 300 及上拉补偿模块 700 分别与该栅极信号点 Q(N)电性连接，所述下拉维持模块 600 输入直流低电压 VSS。所述上拉控制模块 100 包括第一晶体管 T1，所述上拉模块 200 包括第二晶体管 T2，所述下传
25 模块 300 包括第三晶体管 T3，所述第一下拉模块 400 包括第四晶体管 T4 与第五晶体管 T5，所述自举电容模块 500 包括电容 Cb；所述第一晶体管 T1 包括第一栅极 g1、第一源极 s1、第一漏极 d1，所述第二晶体管 T2 包括第二栅极 g2、第二源极 s2、第二漏极 d2，所述第三晶体管 T3 包括第三栅极 g3、第三源极 s3、第三漏极 d3，所述第四晶体管 T4 包括第四栅极 g4、
30 第四源极 s4、第四漏极 d4，所述第五晶体管 T5 包括第五栅极 g5、第五源极 s5、第五漏极 d5；所述第一栅极 g1 输入来自第 N-4 级 GOA 单元的下传信号 ST(N-4)，所述第一漏极 d1 电性连接于第 N-4 级水平扫描线 G(N-4)，所述第一源极 s1 电性连接于该栅极信号点 Q(N)；所述第二栅极 g2 电性连接于该栅极信号点 Q(N)，所述第二漏极 d2 输入第 m 级高频时钟信号

CK(m), 所述第二源极 s2 电性连接于第 N 级水平扫描线 G(N); 所述第三栅极 g3 电性连接于该栅极信号点 Q(N), 所述第三漏极 d3 输入第 m 级高频时钟信号 CK(m), 所述第三源极 s3 输出第 N 级下传信号 ST(N); 所述第四栅极 g4 电性连接于第 N+4 级水平扫描线 G(N+4), 所述第四漏极 d4 电性连接于第 N 级水平扫描线 G(N), 所述第四源极 s4 输入该直流低电压 VSS; 所述第五栅极 g5 电性连接于第 N+4 级水平扫描线 G(N+4), 所述第五漏极 d5 电性连接于该栅极信号点 Q(N), 所述第五源极 s5 输入该直流低电压 VSS; 所述电容 Cb 的上极板电性连接于该栅极信号点 Q(N), 所述电容 Cb 的下极板电性连接于该第 N 级水平扫描线 G(N);

所述第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5 均为薄膜晶体管。所述上拉补偿模块 700 可以补偿 2D 模式下的漏电间隙, 以确保在 2D 显示模式下栅极信号点 Q(N) 的第一次抬升后电位不会降低。

请参阅图 4 并结合图 3, 图 4 为图 3 所示的栅极驱动电路第一实施例的电路图。该第一实施例主要是将图 3 中所示的上拉补偿模块 700 进行了第一种设计, 本实施例中该上拉补偿模块 700 包括用于补偿漏电间隙的第六晶体管 T6, 所述第六晶体管 T6 包括第六栅极 g6、第六源极 s6、第六漏极 d6, 该第六晶体管 T6 为薄膜晶体管。所述第六栅极 g6 输入第 m-2 级高频时钟信号 CK(m-2), 所述第六漏极 d6 电性连接于第 N-2 级水平扫描线 G(N-2) 或第 N-2 级下传信号 ST(N-2), 所述第六源极 s6 作为上拉补偿模块 700 的输出端电性连接于栅极信号点 Q(N), 这样就可以利用第 N-2 级水平扫描线 G(N-2), 来补偿第 N-4 级水平扫描线 G(N-4) 和第 N 级水平扫描线 G(N) 之间的传递间隙, 或者利用第 N-2 级下传信号 ST(N-2), 来补偿第 N-4 级下传信号 ST(N-4) 和第 N 级下传信号 ST(N) 之间的传递间隙。本实施例在 2D 模式下能够补偿 2D 信号传递时存在的漏电间隙, 确保漏电间隙期间栅极信号点 Q(N) 的电位不会降低, 但在 3D 模式下该上拉补偿模块无法正常关闭, 严重的话会影响 3D 模式下栅极信号点 Q(N) 的自举作用。

请参阅图 5 并结合图 3, 图 5 为图 3 所示的栅极驱动电路第二实施例的电路图。该第二实施例主要是将图 3 中所示的上拉补偿模块 700 进行了第二种设计, 本实施例中该上拉补偿模块 700' 包括第六晶体管 T6' 与第七晶体管 T7', 并增加一条直流控制信号源 DC, 所述直流控制信号源 DC 控制上拉补偿模块 700' 的关闭和开启; 所述第六晶体管 T6' 与第七晶体管 T7' 均为薄膜晶体管, 所述第六晶体管 T6' 包括第六栅极 g6'、第六源极 s6'、第六漏极 d6', 所述第七晶体管 T7' 包括第七栅极 g7'、第七源极 s7'、第七漏极 d7';

所述第六栅极 $g6'$ 输入第 $m-2$ 级高频时钟信号 $CK(m-2)$, 所述第六漏极 $d6'$ 与第七源极 $s7'$ 电性连接于第一电路点 $D(N)$, 即第一电路点 $D(N)$ 为第六晶体管 $T6'$ 的输入端; 所述第六源极 $s6'$ 作为上拉补偿模块 700' 的输出端电性连接于栅极信号点 $Q(N)$, 所述第七栅极 $g7'$ 输入直流控制信号源 DC , 所述
5 第七漏极 $d7'$ 电性连接于第 $N-2$ 级水平扫描线 $G(N-2)$ 或第 $N-2$ 级下传信号 $ST(N-2)$; 这样的设计可以利用第 $N-2$ 级水平扫描线 $G(N-2)$, 来补偿第 $N-4$ 级水平扫描线 $G(N-4)$ 和第 N 级水平扫描线 $G(N)$ 之间的传递间隙, 或者利用第 $N-2$ 级下传信号 $ST(N-2)$, 来补偿第 $N-4$ 级下传信号 $ST(N-4)$ 和第 N 级下传信号 $ST(N)$ 之间的传递间隙, 同时可以确保在 2D 模式下直流控制信号源
10 DC 提供一个正向的高电位打开上拉补偿模块 700', 在 3D 模式下直流控制信号源 DC 提供一个负向的低电位关闭上拉补偿模块 700', 这样既可以起到补偿作用又可以避免上拉补偿模块 700' 对 3D 信号传递的影响。

请参阅图 6 并结合图 3, 图 6 为图 3 所示的栅极驱动电路第三实施例的电路图。该第三实施例主要是将图 3 中所示的上拉补偿模块 700 进行了第
15 三种设计, 本实施例中该上拉补偿模块 700'' 包括第六晶体管 $T6''$ 与第七晶体管 $T7''$, 并增加一条直流控制信号源 DC , 所述直流控制信号源 DC 控制上拉补偿模块 700'' 的关闭和开启; 所述第六晶体管 $T6''$ 与第七晶体管 $T7''$ 均为薄膜晶体管, 所述第六晶体管 $T6''$ 包括第六栅极 $g6''$ 、第六源极 $s6''$ 、第六漏极 $d6''$, 所述第七晶体管 $T7''$ 包括第七栅极 $g7''$ 、第七源极 $s7''$ 、第七漏极 $d7''$; 所述第六栅极 $g6''$ 输入直流控制信号源 DC , 所述第六漏极 $d6''$ 与第七源极 $s7''$ 电性连接于第一电路点 $D(N)$, 即第一电路点 $D(N)$ 为第六晶体管 $T6''$ 的输入端; 所述第六源极 $s6''$ 作为上拉补偿模块 700'' 的输出端电性连接于栅极信号点 $Q(N)$, 所述第七栅极 $g7''$ 输入第 $m-2$ 级高频时钟信号
20 $CK(m-2)$, 所述第七漏极 $d7''$ 电性连接于第 $N-2$ 级水平扫描线 $G(N-2)$ 或第 $N-2$ 级下传信号 $ST(N-2)$ 。本实施例与第二实施例可以起到同样的补偿效果, 且不影响 3D 信号的传递。

由图 4、图 5、及图 6 可知, 第一实施例的上拉补偿模块 700 通过一个晶体管来补偿漏电间隙, 这种设计仅在 2D 模式下能够补偿 2D 信号传递时存在的漏电间隙, 确保漏电间隙期间栅极信号点 $Q(N)$ 的电位不降低; 第二
30 实施例的上拉补偿模块 700' 与第三实施例上拉补偿模块 700'' 均是通过两个晶体管, 并引入一条额外的用于控制上拉补偿模块 700' 或 700'' 关闭与开启的直流控制信号源 DC , 进而确保在 2D 模式下上拉补偿模块 700' 或 700'' 打开工作时起到补偿作用; 在 3D 模式下上拉补偿模块 700' 或 700'' 关闭以避免对 3D 信号传递的影响。第二实施例与第三实施例的差别在于两个晶体

管的栅极端信号输入不一样，第二实施例中第六晶体管 $T6'$ 的第六栅极 $g6'$ 输入第 $m-2$ 级高频时钟信号 $CK(m-2)$ ，第七晶体管 $T7'$ 的第七栅极 $g7'$ 输入直流控制信号源 DC ；而第三实施例中第六晶体管 $T6''$ 的第六栅极 $g6''$ 输入直流控制信号源 DC ，第七晶体管 $T7''$ 的第七栅极 $g7''$ 输入第 $m-2$ 级高频时钟信号 $CK(m-2)$ 。

请参阅图 7 并结合图 2a，图 7 为图 5 与图 6 所示的栅极驱动电路在 2D 模式下的时序图，该 GOA 电路采用了八个高频时钟信号 $CK1 \sim CK8$ ，相邻两个高频时钟信号之间相隔半个脉宽。具体地，可以看出本发明在 2D 模式下的工作过程为：第一级高频时钟信号 $CK1$ 与第 $N-4$ 级水平扫描线 $G(N-4)$ 或第 $N-4$ 级下传信号 $ST(N-4)$ 、及栅极信号点 $Q(N)$ 的第一次抬升相对应，第五级高频时钟信号 $CK5$ 与第 N 级水平扫描线 $G(N)$ 或第 N 级下传信号 $ST(N)$ 、及栅极信号点 $Q(N)$ 的第二次抬升相对应；第三级高频时钟信号 $CK3$ 与第 $N-2$ 级水平扫描线 $G(N-2)$ 或第 $N-2$ 级下传信号 $ST(N-2)$ 相对应，来补偿第 $N-4$ 级水平扫描线 $G(N-4)$ 与第 N 级水平扫描线 $G(N)$ 之间的传递间隙，或者第 $N-4$ 级下传信号 $ST(N-4)$ 与第 N 级下传信号 $ST(N)$ 之间的传递间隙，确保漏电流期间栅极信号点 $Q(N)$ 的电位（图 7 中虚线框指示的位置）不会降低。与图 2a 相比可以看出，栅极信号点 $Q(N)$ 的波形由于上拉补偿模块 700' 或 700'' 的作用不会在漏电流期间产生电位下降，此时直流控制信号源 DC 需要提供一个正向的高电位，主要负责开启上拉补偿模块 700' 或 700''。

请参阅图 8，为图 5 与图 6 所示的栅极驱动电路在 3D 模式下的时序图，该 GOA 电路采用了八个高频时钟信号 $CK1 \sim CK8$ ，其中第一级高频时钟信号 $CK1$ 与第二级高频时钟信号 $CK2$ 的相位相同，第三级高频时钟信号 $CK3$ 与第四级高频时钟信号 $CK4$ 的相位相同，第五级高频时钟信号 $CK5$ 与第六级高频时钟信号 $CK6$ 的相位相同，第七级高频时钟信号 $CK7$ 与第八级高频时钟信号 $CK8$ 的相位相同，相邻的不同相位间的高频时钟信号相隔半个脉冲。具体地，可以看出本发明在 3D 模式下的工作过程为：具有相同相位的第一级高频时钟信号 $CK1$ 及第二级高频时钟信号 $CK2$ 与第 $N-4$ 级水平扫描线 $G(N-4)$ 或第 $N-4$ 级下传信号 $ST(N-4)$ 、及栅极信号点 $Q(N)$ 的第一次抬升相对应，具有相同相位的第五级高频时钟信号 $CK5$ 及第六级高频时钟信号 $CK6$ 与第 N 级水平扫描线 $G(N)$ 或第 N 级下传信号 $ST(N)$ 、及栅极信号点 $Q(N)$ 的第二次抬升相对应。为了确保上拉补偿模块 700' 或 700'' 能够关闭，直流控制信号源 DC 需要提供一个负向的低电位，在这种情况下由于上拉补偿模块 700' 或 700'' 有效的关闭，则 3D 信号传递不会受到该上拉补偿模块

700'或700''的影响。

综上所述，本发明提供一种应用于2D-3D信号设置的栅极驱动电路，在现有的采用GOA技术的栅极驱动电路基础上增加一个上拉补偿模块，该模块的主要作用就是补偿2D信号传递时存在的漏电间隙，确保漏电间隙期间栅极信号点Q(N)的电位不会降低；通过引入一条额外的直流控制信号源DC来控制上拉补偿模块的开启和关闭，使其在2D模式下打开工作时起到补偿工作，在3D模式下关闭以避免对3D信号传递的影响，进而有效的控制上拉补偿模块。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种应用于 2D-3D 信号设置的栅极驱动电路，包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电，
5 该第 N 级 GOA 单元包括上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、下拉维持模块、上拉补偿模块；所述上拉模块、第一下拉模块、下拉维持模块及自举电容模块分别与栅极信号点和该第 N 级水平扫描线电性连接，所述上拉控制模块、下传模块及上拉补偿模块分别与该栅极信号点电性连接，所述下拉维持模块输入直流低电压；

10 所述上拉控制模块包括第一晶体管，所述上拉模块包括第二晶体管，所述下传模块包括第三晶体管，所述第一下拉模块包括第四晶体管与第五晶体管，所述自举电容模块包括电容；所述第一晶体管包括第一栅极、第一源极、第一漏极，所述第二晶体管包括第二栅极、第二源极、第二漏极，所述第三晶体管包括第三栅极、第三源极、第三漏极，所述第四晶体管包
15 括第四栅极、第四源极、第四漏极，所述第五晶体管包括第五栅极、第五源极、第五漏极；

所述第一栅极输入第 N-4 级下传信号，所述第一漏极电性连接于第 N-4 级水平扫描线，所述第一源极电性连接于该栅极信号点；所述第二栅极电性连接于该栅极信号点，所述第二漏极输入第 m 级高频时钟信号，所述第二源极电性连接于第 N 级水平扫描线；所述第三栅极电性连接于该栅极信号点，所述第三漏极输入该第 m 级高频时钟信号，所述第三源极输出第 N 级下传信号；所述第四栅极电性连接于第 N+4 级水平扫描线，所述第四漏极电性连接于第 N 级水平扫描线，所述第四源极输入该直流低电压；所述
20 第五栅极电性连接于第 N+4 级水平扫描线，所述第五漏极电性连接于该栅极信号点，所述第五源极输入该直流低电压；所述电容的上极板电性连接于该栅极信号点，所述电容的下极板电性连接于该第 N 级水平扫描线。

2、如权利要求 1 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线传递给第 N 级水平扫描线；所述高频时钟信号为八个；所述第一晶体管、第二晶体管、
30 第三晶体管、第四晶体管、及第五晶体管均为薄膜晶体管。

3、如权利要求 2 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，在 2D 模式下相邻两个高频时钟信号之间相隔半个脉宽。

4、如权利要求 2 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，

在 3D 模式下第一级高频时钟信号与第二级高频时钟信号的相位相同，第三级高频时钟信号与第四级高频时钟信号的相位相同，第五级高频时钟信号与第六级高频时钟信号的相位相同，第七级高频时钟信号与第八级高频时钟信号的相位相同，相邻的不同相位间的高频时钟信号相隔半个脉冲。

5 5、如权利要求 1 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，所述上拉补偿模块包括第六晶体管，所述第六晶体管包括第六栅极、第六源极、第六漏极，所述第六栅极输入第 $m-2$ 级高频时钟信号，所述第六漏极电性连接于第 $N-2$ 级水平扫描线或第 $N-2$ 级下传信号，所述第六源极作为上拉补偿模块的输出端电性连接于栅极信号点；所述栅极驱动电路采用的信号传递方式是第 $N-4$ 级水平扫描线传递给第 N 级水平扫描线，或第 $N-4$ 级下传信号传递给第 N 级下传信号；所述第六晶体管为薄膜晶体管。

6、如权利要求 1 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，所述上拉补偿模块包括第六晶体管与第七晶体管，并增加一条直流控制信号源；所述第六晶体管包括第六栅极、第六源极、第六漏极，所述第七晶体管包括第七栅极、第七源极、第七漏极，所述第六栅极输入第 $m-2$ 级高频时钟信号，所述第六漏极与第七源极电性连接于第一电路点，所述第一电路点为第六晶体管的输入端，所述第六源极作为上拉补偿模块的输出端电性连接于栅极信号点，所述第七栅极输入直流控制信号源，所述第七漏极电性连接于第 $N-2$ 级水平扫描线或第 $N-2$ 级下传信号。

7、如权利要求 6 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，所述直流控制信号源控制上拉补偿模块的关闭和开启，在 2D 模式下直流控制信号源提供一个正向的高电位打开上拉补偿模块，在 3D 模式下直流控制信号源提供一个负向的低电位关闭上拉补偿模块。

8、如权利要求 6 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，所述栅极驱动电路采用的信号传递方式是第 $N-4$ 级水平扫描线传递给第 N 级水平扫描线，或第 $N-4$ 级下传信号传递给第 N 级下传信号；所述第六晶体管与第七晶体管均为薄膜晶体管。

9、如权利要求 1 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，上拉补偿模块包括第六晶体管与第七晶体管，并增加一条直流控制信号源；所述第六晶体管包括第六栅极、第六源极、第六漏极，所述第七晶体管包括第七栅极、第七源极、第七漏极；所述第六栅极输入直流控制信号源，所述第六漏极与第七源极电性连接于第一电路点，所述第一电路点为第六晶体管的输入端；所述第六源极作为上拉补偿模块的输出端电性连接于栅极信号点，所述第七栅极输入第 $m-2$ 级高频时钟信号，所述第七漏极电性

连接于第 N-2 级水平扫描线或第 N-2 级下传信号。

10、如权利要求 9 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，所述直流控制信号源控制上拉补偿模块的关闭和开启，在 2D 模式下直流控制信号源提供一个正向的高电位打开上拉补偿模块，在 3D 模式下直流控制信号源提供一个负向的低电位关闭上拉补偿模块。

11、如权利要求 9 所述的应用于 2D-3D 信号设置的栅极驱动电路，其中，所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线传递给第 N 级水平扫描线，或第 N-4 级下传信号传递给第 N 级下传信号；所述第六晶体管与第七晶体管均为薄膜晶体管。

12、一种应用于 2D-3D 信号设置的栅极驱动电路，包括：级联的多个 GOA 单元，按照第 N 级 GOA 单元控制对显示区域第 N 级水平扫描线充电，该第 N 级 GOA 单元包括上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、下拉维持模块、上拉补偿模块；所述上拉模块、第一下拉模块、下拉维持模块及自举电容模块分别与栅极信号点和该第 N 级水平扫描线电性连接，所述上拉控制模块、下传模块及上拉补偿模块分别与该栅极信号点电性连接，所述下拉维持模块输入直流低电压；

所述上拉控制模块包括第一晶体管，所述上拉模块包括第二晶体管，所述下传模块包括第三晶体管，所述第一下拉模块包括第四晶体管与第五晶体管，所述自举电容模块包括电容；所述第一晶体管包括第一栅极、第一源极、第一漏极，所述第二晶体管包括第二栅极、第二源极、第二漏极，所述第三晶体管包括第三栅极、第三源极、第三漏极，所述第四晶体管包括第四栅极、第四源极、第四漏极，所述第五晶体管包括第五栅极、第五源极、第五漏极；

所述第一栅极输入第 N-4 级下传信号，所述第一漏极电性连接于第 N-4 级水平扫描线，所述第一源极电性连接于该栅极信号点；所述第二栅极电性连接于该栅极信号点，所述第二漏极输入第 m 级高频时钟信号，所述第二源极电性连接于第 N 级水平扫描线；所述第三栅极电性连接于该栅极信号点，所述第三漏极输入该第 m 级高频时钟信号，所述第三源极输出第 N 级下传信号；所述第四栅极电性连接于第 N+4 级水平扫描线，所述第四漏极电性连接于第 N 级水平扫描线，所述第四源极输入该直流低电压；所述第五栅极电性连接于第 N+4 级水平扫描线，所述第五漏极电性连接于该栅极信号点，所述第五源极输入该直流低电压；所述电容的上极板电性连接于该栅极信号点，所述电容的下极板电性连接于该第 N 级水平扫描线；

其中，所述栅极驱动电路采用的信号传递方式是第 N-4 级水平扫描线

传递给第 N 级水平扫描线；所述高频时钟信号为八个；所述第一晶体管、第二晶体管、第三晶体管、第四晶体管、及第五晶体管均为薄膜晶体管；

其中，在 2D 模式下相邻两个高频时钟信号之间相隔半个脉宽；

5 其中，在 3D 模式下第一级高频时钟信号与第二级高频时钟信号的相位相同，第三级高频时钟信号与第四级高频时钟信号的相位相同，第五级高频时钟信号与第六级高频时钟信号的相位相同，第七级高频时钟信号与第八级高频时钟信号的相位相同，相邻的不同相位间的高频时钟信号相隔半个脉冲；

10 其中，所述上拉补偿模块包括第六晶体管，所述第六晶体管包括第六栅极、第六源极、第六漏极，所述第六栅极输入第 $m-2$ 级高频时钟信号，所述第六漏极电性连接于第 $N-2$ 级水平扫描线或第 $N-2$ 级下传信号，所述第六源极作为上拉补偿模块的输出端电性连接于栅极信号点；所述栅极驱动电路采用的信号传递方式是第 $N-4$ 级水平扫描线传递给第 N 级水平扫描线，或第 $N-4$ 级下传信号传递给第 N 级下传信号；所述第六晶体管为薄膜
15 晶体管。

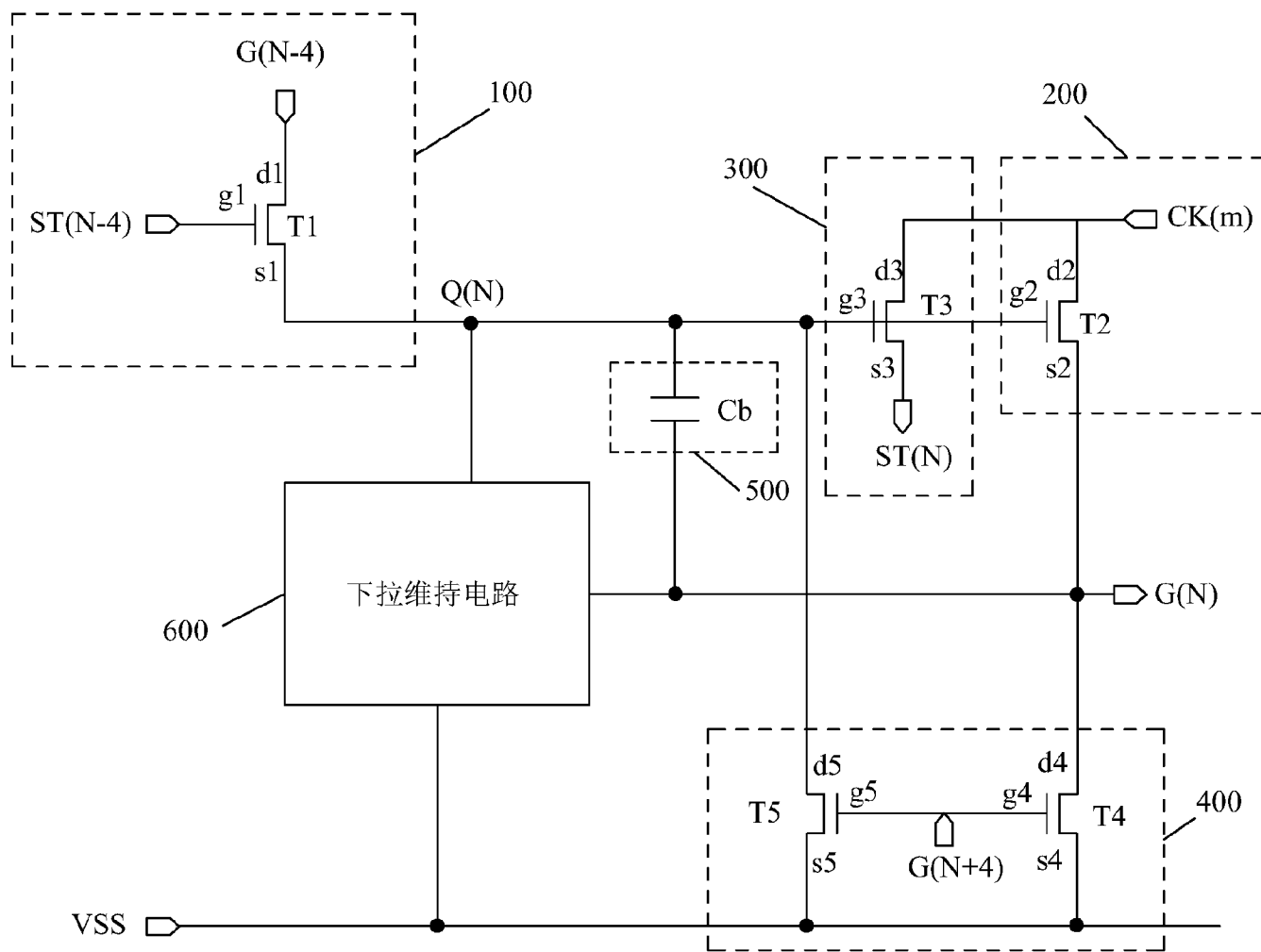


图1

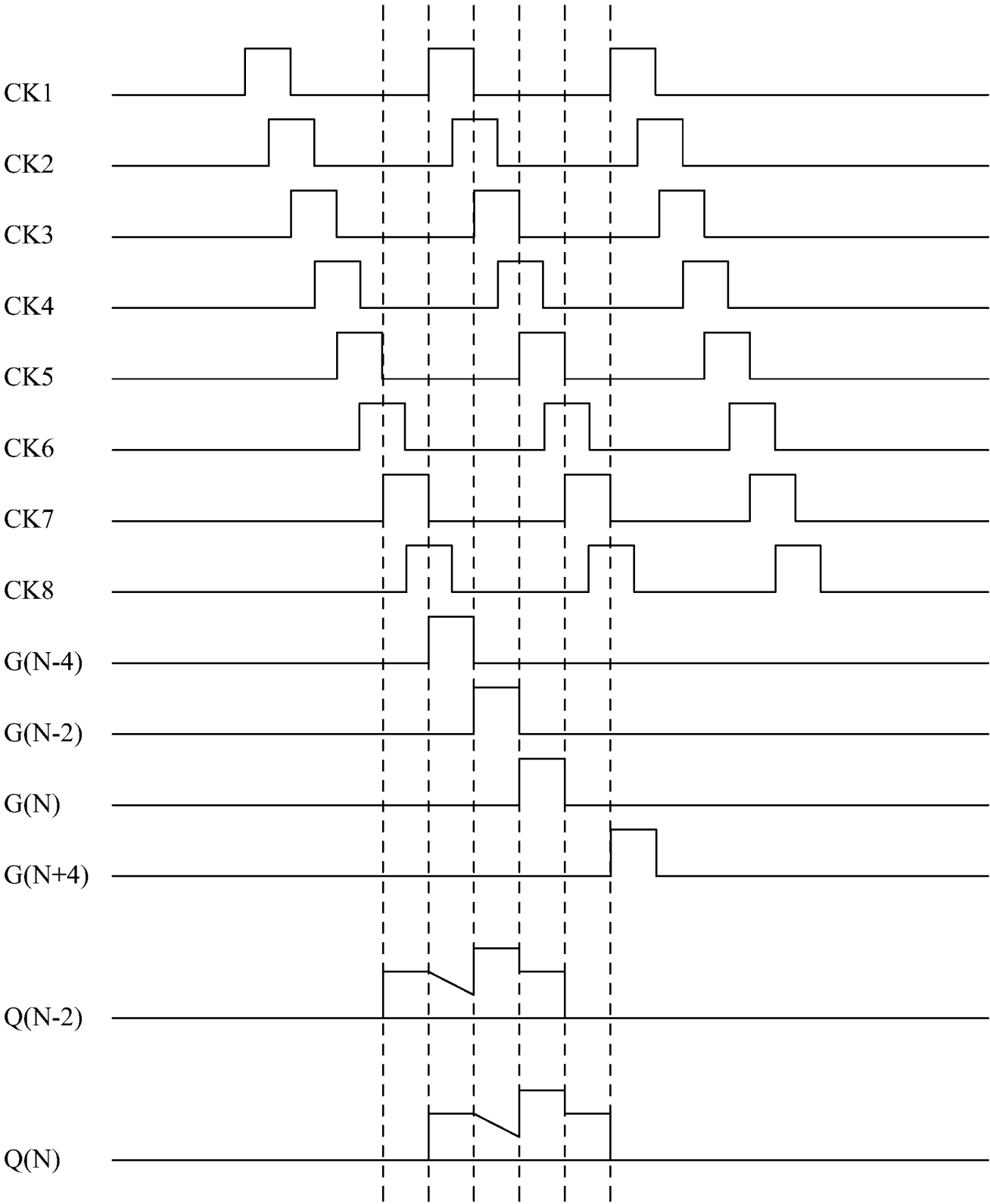


图2a

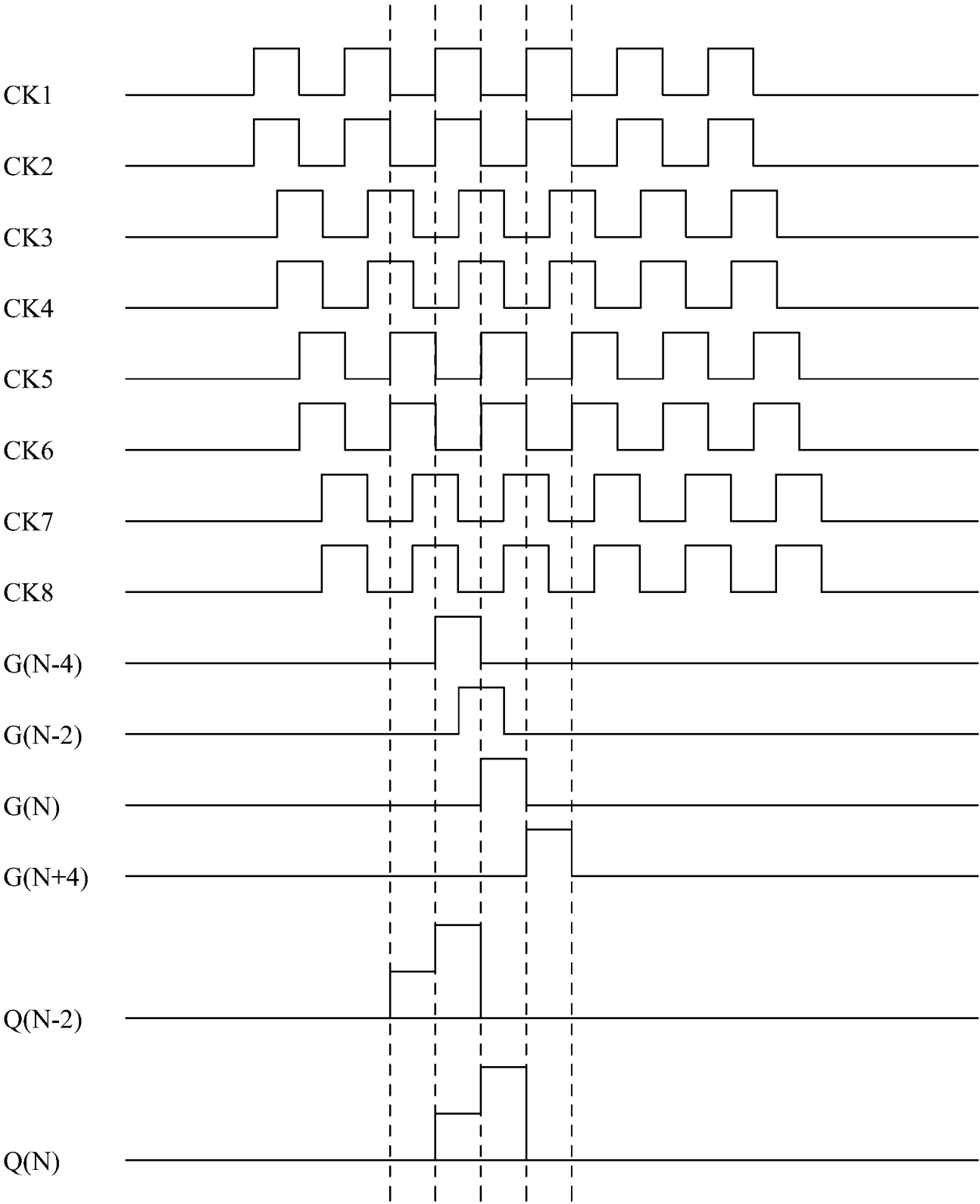


图2b

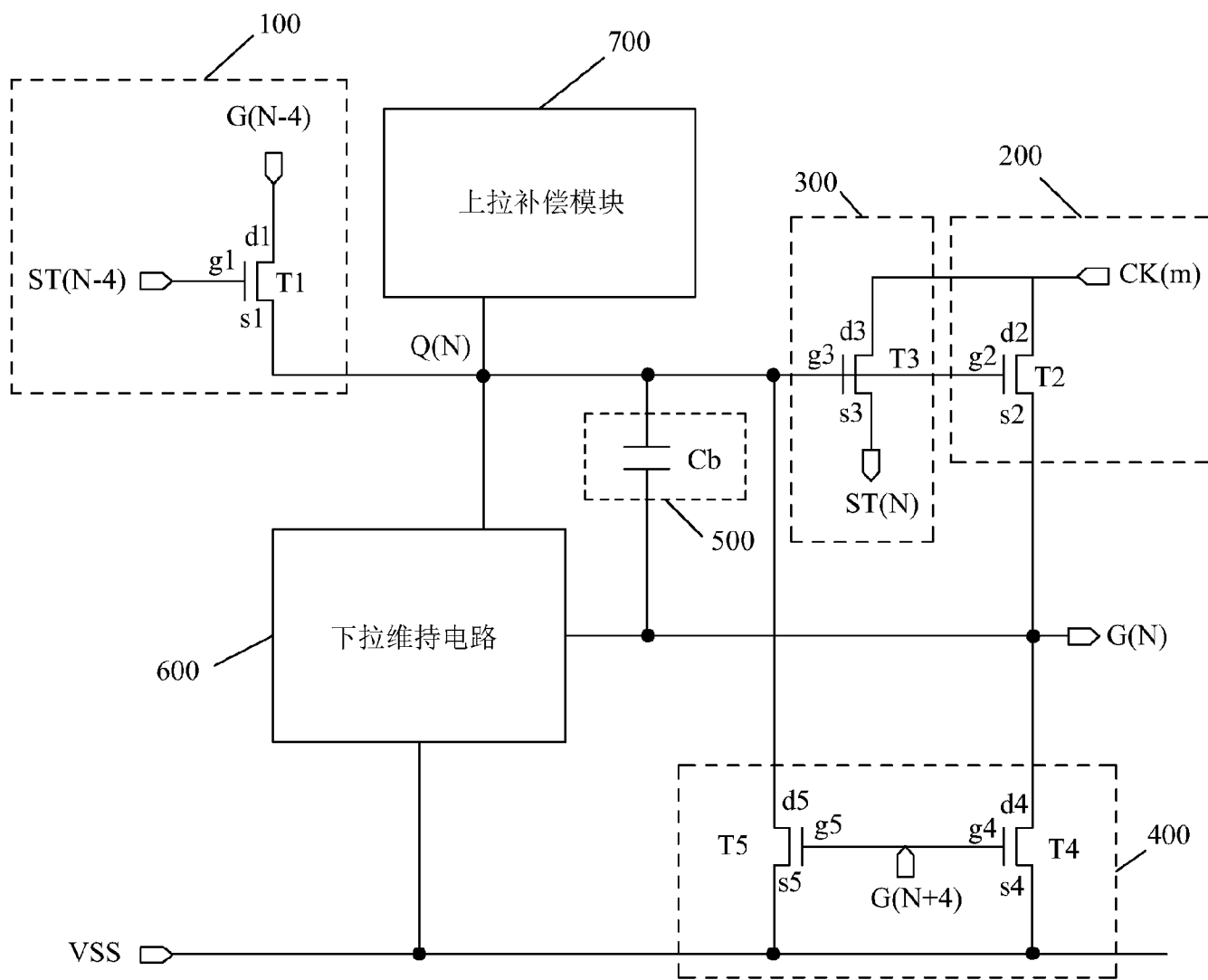


图3

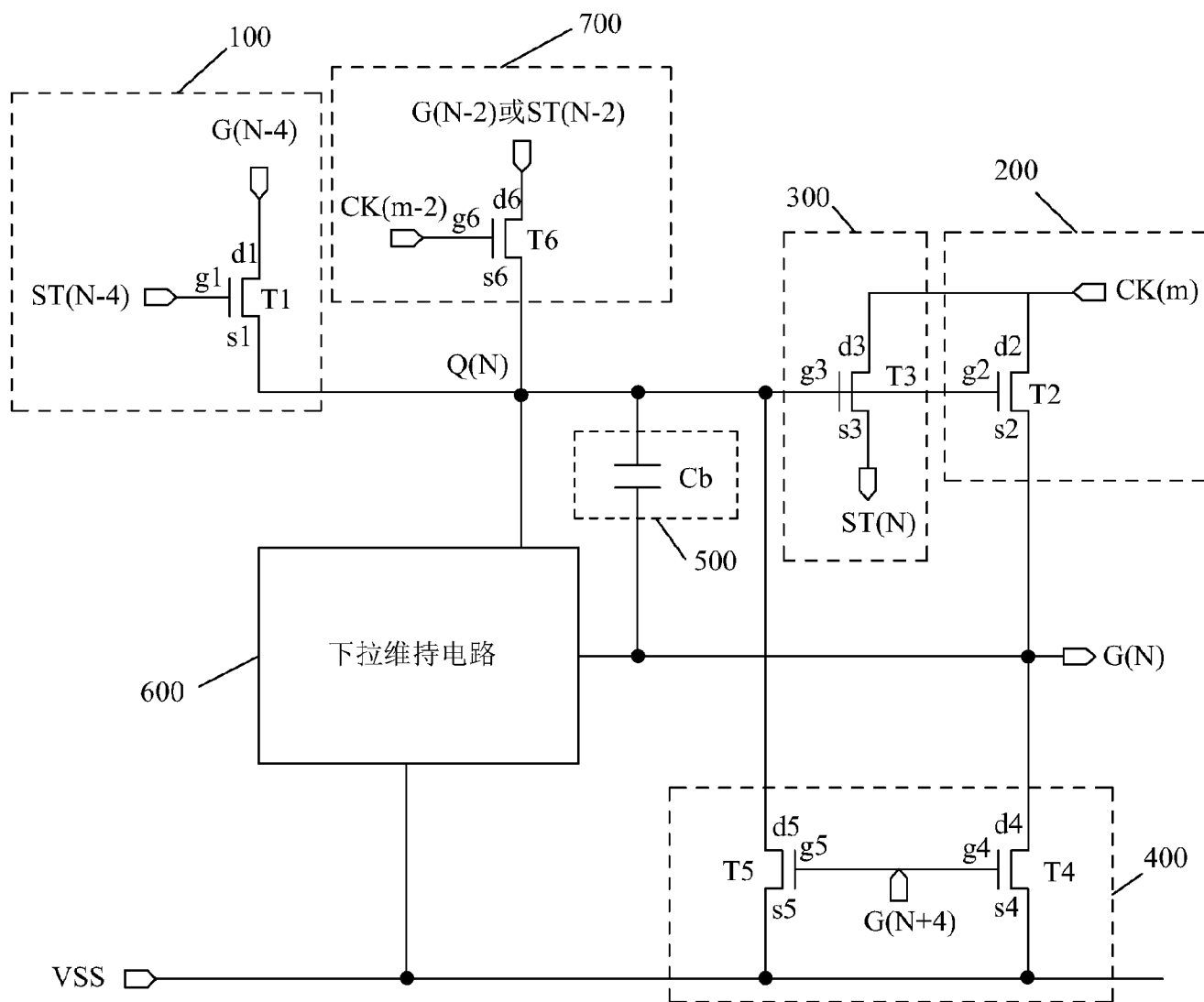


图4

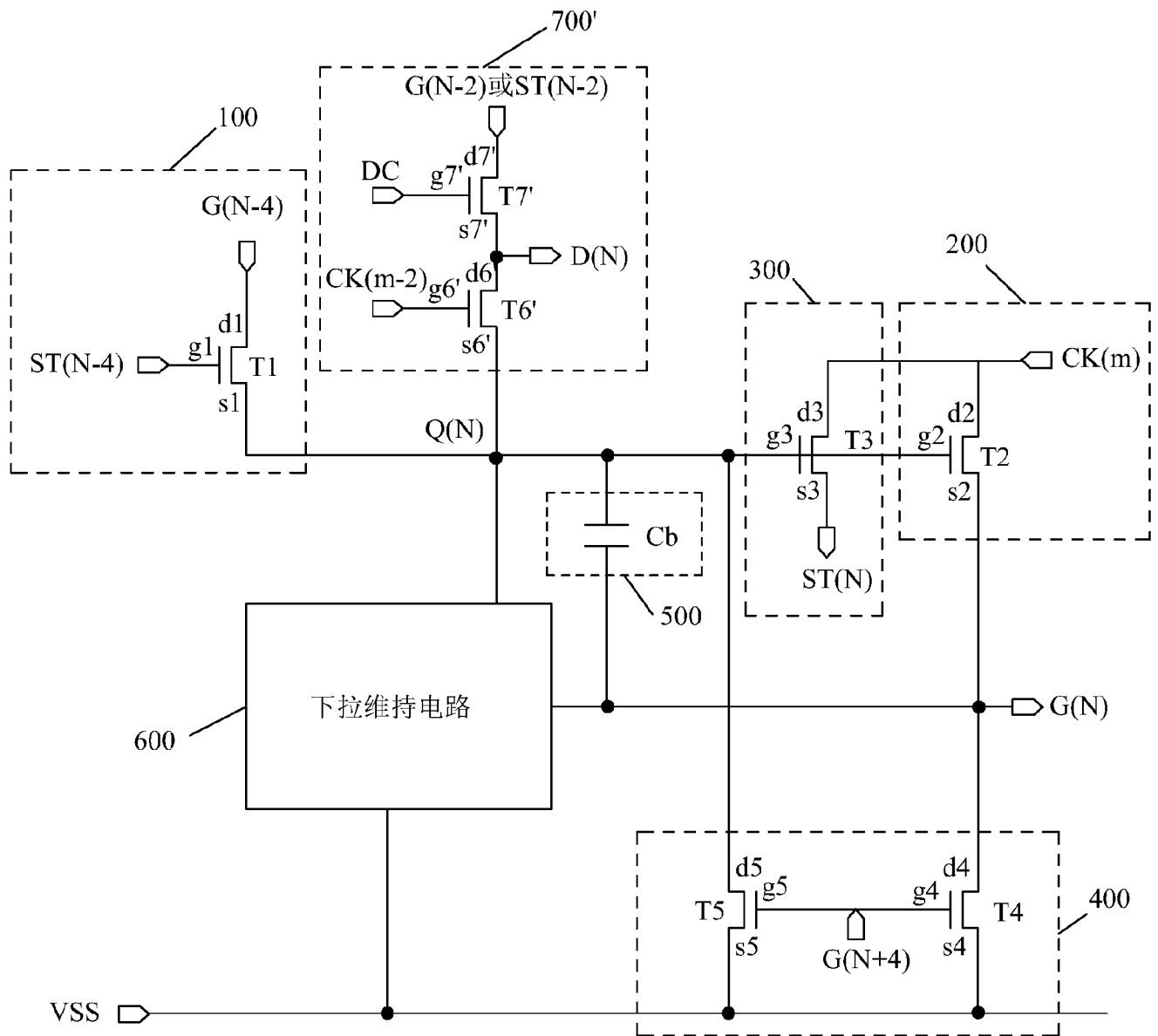


图5

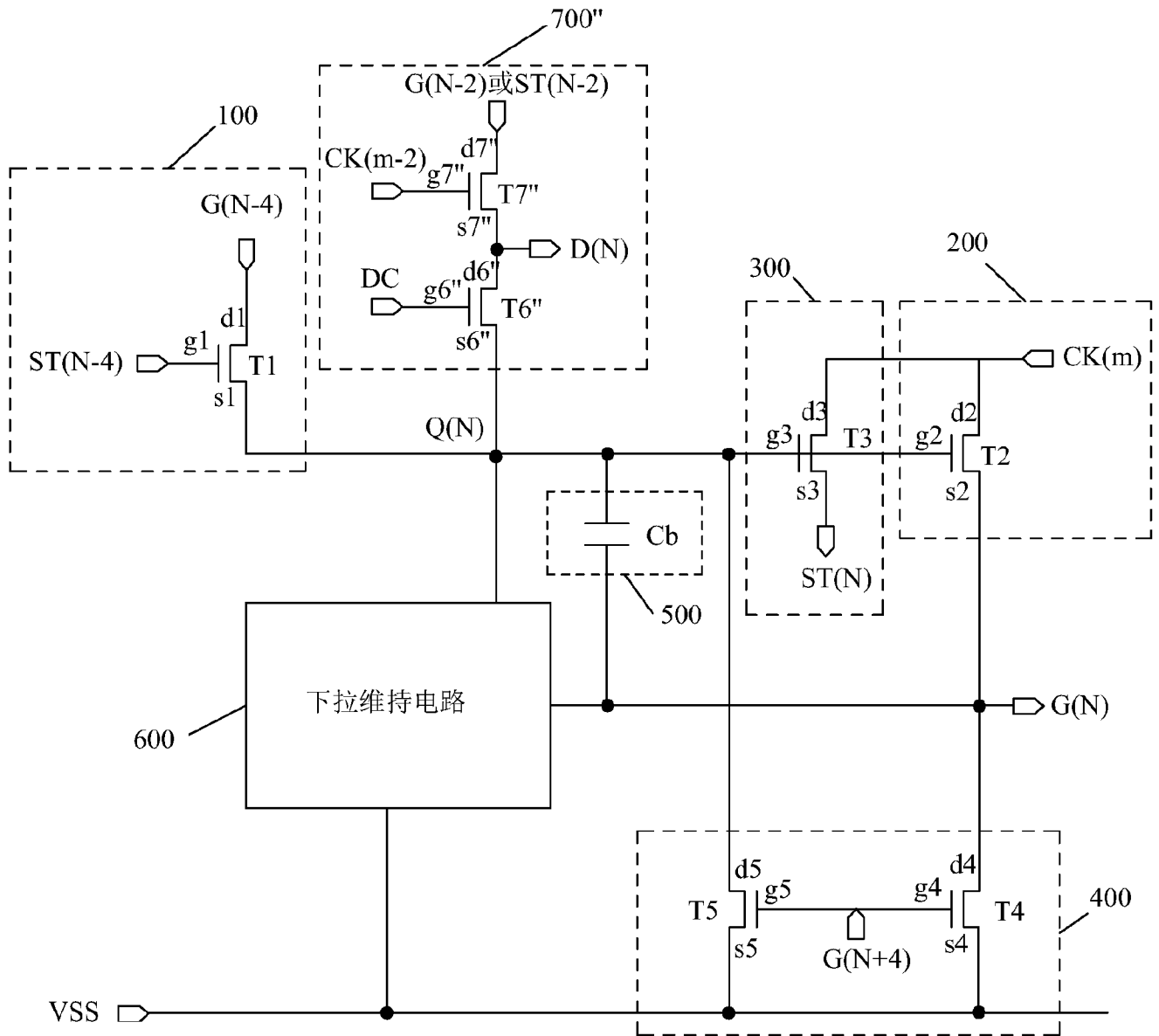


图6

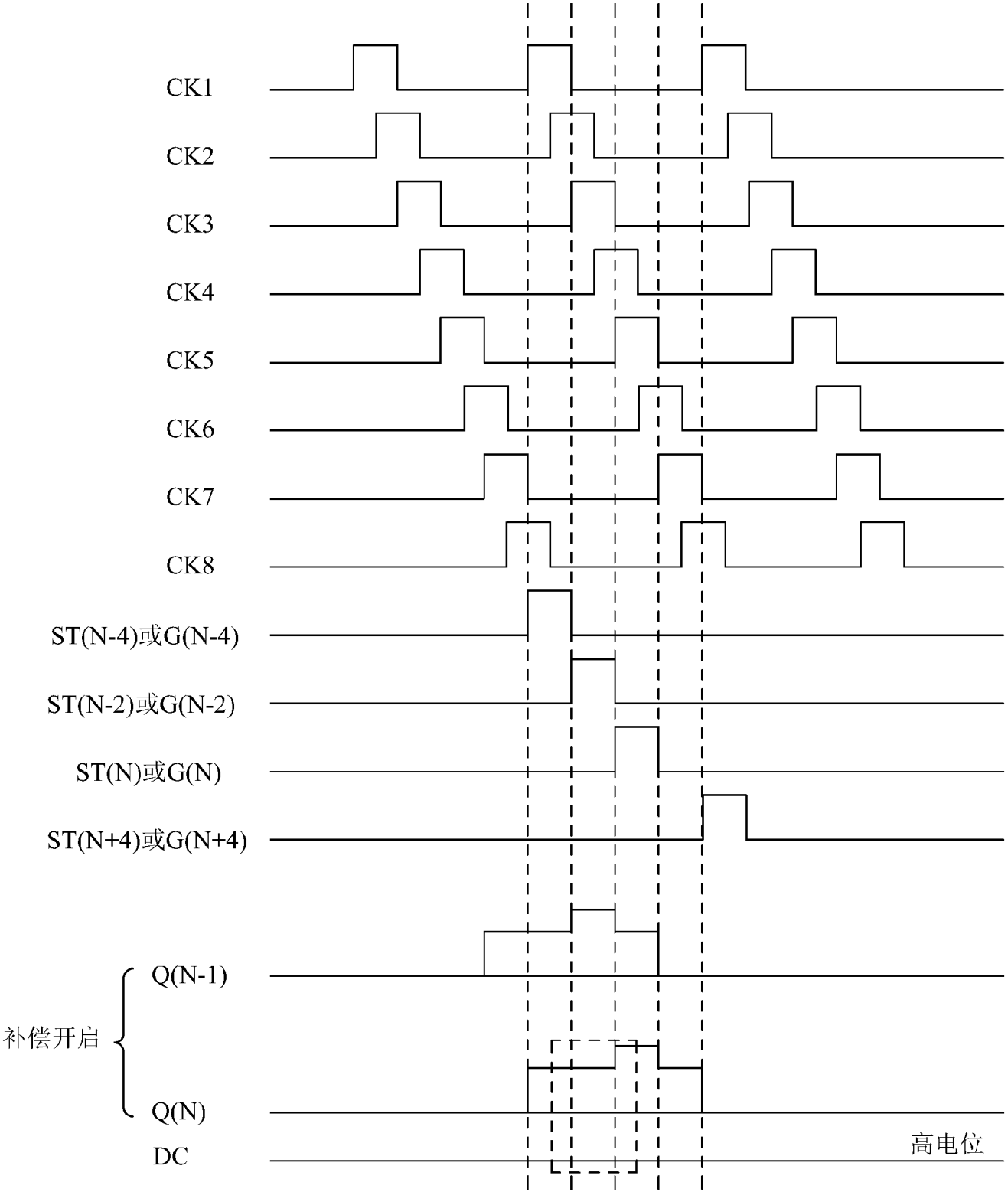


图7

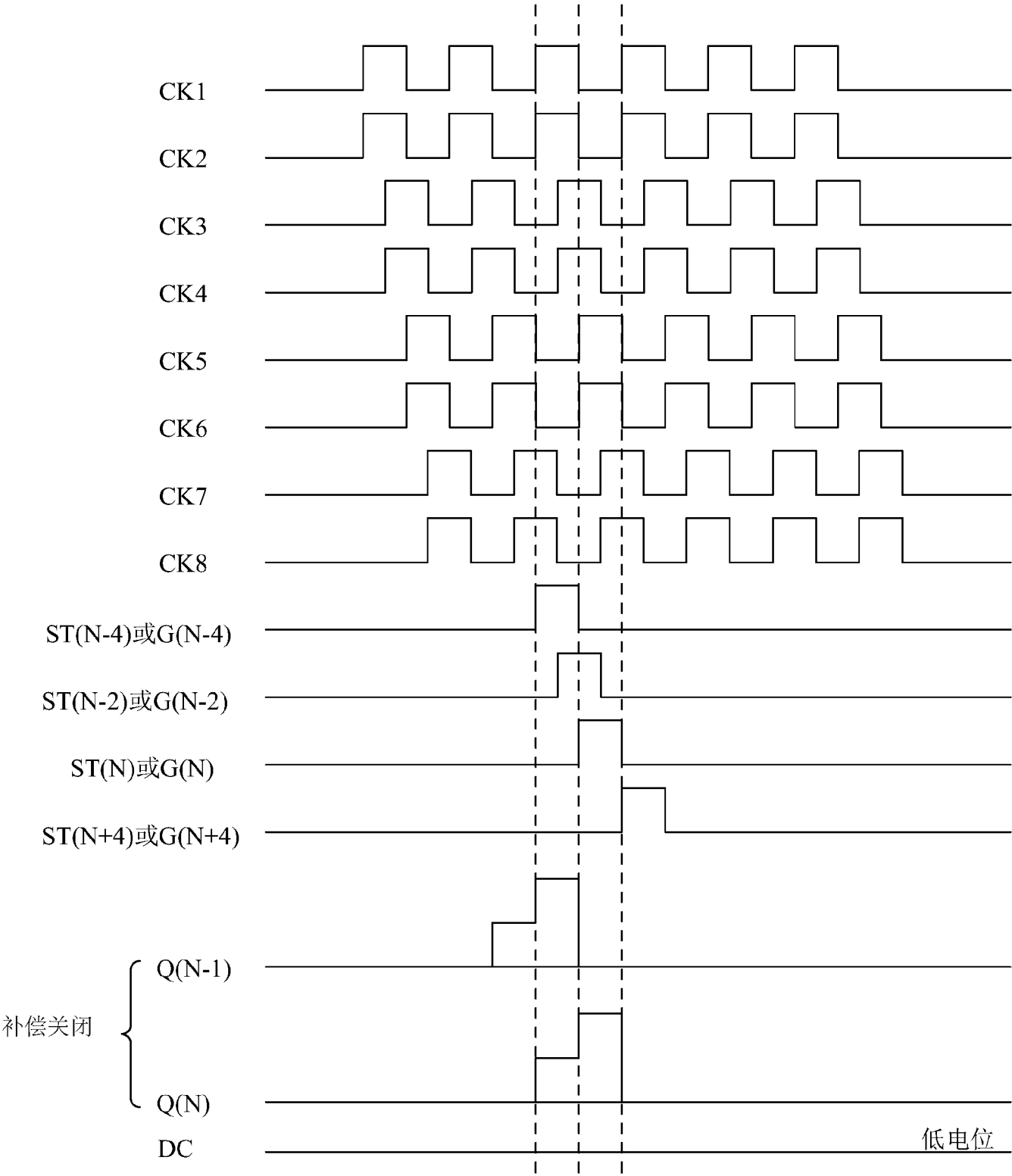


图8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/084331

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: gate, driv+, pull w up, pull w down, floating w period, GOA, floating window

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103680386 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 26 March 2014 (26.03.2014) description, paragraphs [0040]-[0049], and figure 1	1-4
A	CN 103745700 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 23 April 2014 (23.04.2014) the whole document	1-12
A	CN 103500550 A (AU OPTRONICS CORP.) 08 January 2014 (08.01.2014) the whole document	1-12
A	CN 103065577 A (AU OPTRONICS CORP.) 24 April 2013 (24.04.2013) the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 October 2014	Date of mailing of the international search report 27 October 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Zhongtao Telephone No. (86-10) 010-62413808

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.
PCT/CN2014/084331

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103680386 A	26 March 2014	None	
CN 103745700 A	23 April 2014	None	
CN 103500550 A	08 January 2014	None	
CN 103065577 A	24 April 2013	None	

国际检索报告

国际申请号

PCT/CN2014/084331

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT, WPI, EPODOC: 栅极, 驱动, GOA, 上拉, 下拉, 悬浮窗口, gate, driv+, pull+ W up, pull+ W down, floating W period

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103680386 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 说明书第[0040]-[0049]段、图1	1-4
A	CN 103745700 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 全文	1-12
A	CN 103500550 A (友达光电股份有限公司) 2014年 1月 08日 (2014 - 01 - 08) 全文	1-12
A	CN 103065577 A (友达光电股份有限公司) 2013年 4月 24日 (2013 - 04 - 24) 全文	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 10月 17日

国际检索报告邮寄日期

2014年 10月 27日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

刘中涛

电话号码 (86-10)010-62413808

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/084331

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103680386	A	2014年 3月 26日	无	
CN	103745700	A	2014年 4月 23日	无	
CN	103500550	A	2014年 1月 08日	无	
CN	103065577	A	2013年 4月 24日	无	