

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和6年10月22日(2024.10.22)

【公開番号】特開2024-58122(P2024-58122A)

【公開日】令和6年4月25日(2024.4.25)

【年通号数】公開公報(特許)2024-077

【出願番号】特願2022-165272(P2022-165272)

【国際特許分類】

A 6 3 F 7/02(2006.01)

10

【FI】

A 6 3 F 7/02 3 2 6 Z

【手続補正書】

【提出日】令和6年10月11日(2024.10.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【特許請求の範囲】

【請求項1】

遊技の進行を制御する遊技制御手段と、

プログラム、及びテーブルデータが記憶された第1記憶手段と、

プログラムの実行に伴いデータを記憶する第2記憶手段と、を備え、

前記第1記憶手段は、遊技の進行に直接関与するプログラム、及びデータが記憶された第1領域内記憶領域と、遊技の進行に直接関与しないプログラム、及びデータが記憶された第1領域外記憶領域とで構成され、

前記第2記憶手段は、遊技の進行に直接関与するデータを記憶するための第2領域内記憶領域と、遊技の進行に直接関与しないデータを記憶するための第2領域外記憶領域とで構成され、

30

前記第1記憶手段のテーブルデータには、複数のテーブルデータがあり、

前記複数のテーブルデータの内の所定のテーブルデータは、1バイトデータが複数バイト集まったデータ群であり、

前記データ群の前記1バイトデータは、2ビット以上の上位ビットと下位ビットのデータで構成されたビットデータテーブルであり、

前記遊技制御手段は、前記ビットデータテーブルの前記1バイトデータから前記上位ビット、又は下位ビットのデータのための複数のビットデータを取得し、その複数のビットデータを前記第2記憶手段の所定領域に格納するビットデータ取得手段を有し、

前記ビットデータ取得手段は、前記ビットデータテーブルから前記1バイトデータを取得した後、所定の条件に応じて、前記1バイトデータに含まれる上位ビットまたは下位ビットのビットデータを取得し、

40

前記遊技制御手段には、マイクロプロセッサが含まれ、

前記マイクロプロセッサは、中央処理装置、前記第1記憶手段、前記第2記憶手段、及び、乱数発生回路とを有し、

前記第1領域外記憶領域には、乱数発生回路の状態をチェックする乱数チェック手段が記憶され、

前記遊技制御手段は、

前記乱数チェック手段を実行することにより、前記乱数発生回路が正常か否かを判定し、

前記乱数チェック手段の判定結果が異常の場合、遊技の進行を停止することを特徴とする

50

遊技機。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の第1の実施態様に係る発明は、下記の構成を有する。

遊技の進行を制御する遊技制御手段（例えば、メインCPU2101）と、  
プログラム、及びテーブルデータが記憶された第1記憶手段（例えば、メインROM2102）と、 10

プログラムの実行に伴いデータを記憶する第2記憶手段（例えば、メインRAM2103）と、を備え、

前記第1記憶手段は、遊技の進行に直接関与するプログラム、及びデータが記憶された第1領域内記憶領域（例えば、使用領域内ROMエリア2202a）と、遊技の進行に直接関与しないプログラム、及びデータが記憶された第1領域外記憶領域（例えば、使用領域外ROMエリア2202b）とで構成され、

前記第2記憶手段は、遊技の進行に直接関与するデータを記憶するための第2領域内記憶領域（例えば、使用領域内RAMエリア2203a）と、遊技の進行に直接関与しないデータを記憶するための第2領域外記憶領域（例えば、使用領域外RAMエリア2203b）とで構成され、 20

前記第1記憶手段のテーブルデータには、複数のテーブルデータがあり、

前記複数のテーブルデータの内の所定のテーブルデータは、1バイトデータが複数バイト集まったデータ群であり、

前記データ群の前記1バイトデータは、2ビット以上の上位ビットと下位ビットのデータで構成されたビットデータテーブルであり、

前記遊技制御手段は、前記ビットデータテーブルの前記1バイトデータから前記上位ビット、又は下位ビットのデータのための複数のビットデータを取得し、その複数のビットデータを前記第2記憶手段の所定領域に格納するビットデータ取得手段を有し、

前記ビットデータ取得手段は、前記ビットデータテーブルから前記1バイトデータを取得した後、所定の条件に応じて、前記1バイトデータに含まれる上位ビットまたは下位ビットのビットデータを取得し、 30

前記遊技制御手段には、マイクロプロセッサ（例えば、マイクロプロセッサ2100）が含まれ、

前記マイクロプロセッサは、中央処理装置、前記第1記憶手段、前記第2記憶手段、及び、乱数発生回路（例えば、図166に示す乱数回路2110）とを有し、

前記第1領域外記憶領域には、乱数発生回路の状態をチェックする乱数チェック手段（例えば、図189に示す乱数検査処理（使用領域外）を実行するプログラム）が記憶され、

前記遊技制御手段は、

前記乱数チェック手段を実行することにより、前記乱数発生回路が正常か否かを判定し、 40

前記乱数チェック手段の判定結果が異常の場合、遊技の進行を停止する（例えば、図179のステップS2208でYES判定の場合、遊技復帰不可能エラー処理に進む）ことを特徴とする遊技機。