

(43) 国際公開日
2015 年 4 月 2 日(02.04.2015)



(10) 国際公開番号

WO 2015/045506 A1

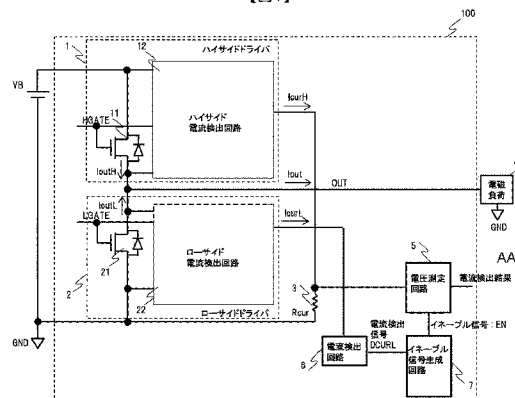
<p>(51) 国際特許分類: <i>H03K 17/16</i> (2006.01) <i>H03K 17/687</i> (2006.01) <i>H03K 17/14</i> (2006.01) <i>H03K 17/695</i> (2006.01)</p>	<p>(74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).</p>
<p>(21) 国際出願番号: PCT/JP2014/065837</p>	<p>(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.</p>
<p>(22) 国際出願日: 2014 年 6 月 16 日(16.06.2014)</p>	
<p>(25) 国際出願の言語: 日本語</p>	
<p>(26) 国際公開の言語: 日本語</p>	
<p>(30) 優先権データ: 特願 2013-197677 2013 年 9 月 25 日(25.09.2013) JP</p>	<p>(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).</p>
<p>(71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).</p>	
<p>(72) 発明者: 川田 隆弘 (KAWATA Takahiro); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP). 曽根原 理仁 (SONEHARA Masahito); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).</p>	

[続葉有]

(54) Title: LOAD DRIVING CURRENT DETECTION DEVICE

(54) 発明の名称：負荷駆動電流検出装置

【图1】



1	High-side driver
12	High-side current detection circuit
22	Low-side current detection circuit
2	Low-side driver
6	Current detection circuit
	DCURL Current detection signal
5	Voltage measurement circuit
EN	Enable signal
7	Enable signal generation circuit
4	Electromagnetic load
AA	Current detection result

(57) Abstract: Provided is a load driving current detection device which enables both the reduction of EMI of a high-side driver and the improvement of accuracy of a current detection function. A load driving current detection device is characterized by a high-side driver MOS which applies a driving current to an electromagnetic load connected to the ground, a high-side current detection circuit which is electrically connected in parallel with the high-side driver MOS, a low-side driver MOS which applies a driving current to the electromagnetic load and is electrically connected in series with the high-side driver MOS, a low-side current detection circuit which is electrically connected in parallel with the low-side driver MOS, a resistor which converts the output current of the high-side current detection circuit into a voltage value, a voltage measurement circuit for the voltage value obtained by the conversion by the resistor, a current detection circuit which detects the driving current of the low-side driver MOS on the basis of the output current of the low-side current detection circuit, detecting the return current of the low-side driver MOS on the basis of the current detection signal of the current detection circuit, and during the period up to the start of the return current, using an enable signal that is the output signal of an enable signal generation circuit, and stopping the detection of the drive current of the high-side driver MOS based on the output current of the high-side current detection circuit by the voltage measurement circuit.

(57) 要約:

[続葉有]

WO 2015/045506 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

ハイサイドドライバの EMI 低減と電流検出機能の高精度化の両立を可能とする負荷駆動電流検出装置を提供する。 グランドに接続された電磁負荷に駆動電流を流すハイサイドドライバ用 MOS と前記ハイサイドドライバ用 MOS と電氣的に並列に接続したハイサイド電流検出回路と、前記電磁負荷に駆動電流を流し、かつ前記ハイサイドドライバ用 MOS と電氣的に直列に接続されるローサイドドライバ用 MOS と、前記ローサイドドライバ用 MOS と電氣的に並列に接続したローサイド電流検出回路と、前記ハイサイド電流検出回路の出力電流を電圧値に変換する抵抗と、前記抵抗で変換した電圧値に対する電圧測定回路と、前記ローサイド電流検出回路の出力電流に基づいて前記ローサイドドライバ用 MOS の駆動電流を検出する電流検出回路と、前記電流検出回路の電流検出信号に基づいて、前記ローサイドドライバ用 MOS の還流電流を検出し、前記還流電流の開始までの期間は、イネーブル信号生成回路の出力信号であるイネーブル信号を用い、前記電圧測定回路による前記ハイサイド電流検出回路の出力電流に基づいた前記ハイサイドドライバ用 MOS の駆動電流の検出を停止することを特徴とする負荷駆動電流検出装置。

明 細 書

発明の名称： 負荷駆動電流検出装置

技術分野

[0001] 本発明は、負荷駆動電流検出方式、及びそれを用いた装置に関する。

背景技術

[0002] 各種制御対象が電子制御されるに従って、電気信号を機械的運動や油圧に変換するためにモータやソレノイドなどの電動アクチュエータが広く用いられるようになってきている。これらの電動アクチュエータを駆動するためには、駆動対象である負荷に流れる電流を高精度に検出する必要がある。

[0003] 負荷を駆動するドライバ用MOSまたはトランジスタ（以下ではMOSという）に対して並列に小型な電流検出用MOSを接続し、電流検出用MOSに流れる小電流を検出する負荷駆動電流検出装置を提供する方法が用いられている（例えば、特許文献1、特許文献2）。

[0004] 負荷（例えば、ソレノイド）を駆動するために接続されたドライバ用MOSを例えばPWM（Pulse Width Modulation）制御のために、オンオフして負荷駆動するとき、ドライバ用MOSの出力電圧の高周波成分によるEMI（Electro Magnetic Interference）ノイズが発生する。

[0005] 十分な負荷駆動電圧波形の立上り時間及び立下り時間（以下では傾きないしはスロープともいう）を持たせ、EMIノイズを低減させる方法は公知である。

先行技術文献

特許文献

[0006] 特許文献1：特開2011-69809号公報

特許文献2：特開2006-203415号公報

発明の概要

発明が解決しようとする課題

- [0007] 従来の負荷駆動電流検出装置の１例として、図１３の構成と図１４のタイミングチャートを用いて説明する。
- [0008] 図１３に示す負荷駆動電流検出装置１００はグラウンドGNDに接続されたソレノイド、インダクタ等の電磁負荷４に駆動電流 I_{out} を流すハイサイドドライバ用MOS１１とハイサイドドライバ用MOS１１と電氣的に並列に接続したハイサイド電流検出回路１２と、電磁負荷４に駆動電流 I_{out} を流し、かつハイサイドドライバ用MOS１１と電氣的に直列に接続されるローサイドドライバ用MOS２１と、ハイサイド電流検出回路１２の出力電流 I_{curH} を電圧値に変換する抵抗３と、抵抗３で変換した電圧値に対する電圧測定回路５を備える。
- [0009] 図１４に、図１３の従来例の負荷駆動電流検出装置のタイミングチャートの一例を示す。
- [0010] ハイサイドドライバ用MOS１１及びハイサイド電流検出回路のゲート駆動信号HGATEと、ローサイドドライバ用MOS２１のゲート駆動信号LGATEと、電磁負荷４への出力端子であるOUT端子の電圧と、ハイサイドドライバ用MOS１１の出力電流 I_{mH} と、ハイサイド電流検出回路１２の出力電流 I_{curH} と、ハイサイドドライバ用MOS１１のドレインソース間電圧 V_{DSH} と、 $I_{mH} \times V_{DSH}$ で求まるハイサイドドライバ用MOS１１の電力損失 P_{dH} を図１４に示す。
- [0011] ハイサイドドライバのEMI低減のため、図１４に示すように、スロープを持たせることにより、特にハイサイドドライバ立下り時に電力損失 P_{dH} が増大する。
- [0012] ハイサイドドライバ用MOS１１とハイサイド電流検出回路１２の発熱に対する特性の差異により、電流検出する際に仮定していたハイサイドドライバ駆動電流 I_{outH} とハイサイド電流検出回路の出力電流 I_{curH} との関係に誤差が発生し、電流検出誤差が発生する。
- [0013] そこで、本発明は、ハイサイドドライバのEMI低減と電流検出機能の高精度化の両立を可能とする負荷駆動電流検出装置を提供する。

課題を解決するための手段

[0014] 上記課題を解決するために、本発明は、グラウンドに接続された電磁負荷に駆動電流を流すハイサイドドライバ用MOSと前記ハイサイドドライバ用MOSと電氣的に並列に接続したハイサイド電流検出回路と、前記電磁負荷に駆動電流を流し、かつ前記ハイサイドドライバ用MOSと電氣的に直列に接続されるローサイドドライバ用MOSと、前記ローサイドドライバ用MOSと電氣的に並列に接続したローサイド電流検出回路と、前記ハイサイド電流検出回路の出力電流を電圧値に変換する抵抗と、前記抵抗で変換した電圧値に対する電圧測定回路と、前記ローサイド電流検出回路の出力電流に基づいて前記ローサイドドライバ用MOSの駆動電流を検出する電流検出回路と、前記電流検出回路の電流検出信号に基づいて、前記ローサイドドライバ用MOSの還流電流を検出し、前記還流電流の開始までの期間は、イネーブル信号生成回路の出力信号であるイネーブル信号を用い、前記電圧測定回路による前記ハイサイド電流検出回路の出力電流に基づいた前記ハイサイドドライバ用MOSの駆動電流の検出を停止することを特徴とする負荷駆動電流検出装置を有する。

発明の効果

[0015] 本発明によれば、ハイサイドドライバのEMI低減と電流検出機能の高精度化の両立を可能とする負荷駆動電流検出装置を提供できる。

[0016] 上記した以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0017] [図1]本発明の第1の実施形態である負荷駆動電流検出装置の構成を示すブロック図である。

[図2(a)]図1に示す実施例の電磁負荷の例である。

[図2(b)]図1に示す実施例の電磁負荷の例である。

[図2(c)]図1に示す実施例の電磁負荷の例である。

[図3]図1に示す実施例の別形態による実施例である。

[図4]図 1 に示す実施例の別形態による実施例である。

[図5]図 1 に示す実施例の別形態による実施例である。

[図6]図 5 に示す負荷駆動電流検出装置を電磁負荷駆動に適用した実施例である。

[図7]図 6 に示す実施例のタイミングチャートの一例である。

[図8]図 6 に示す実施例のイネーブル信号生成回路の一例である。

[図9]図 6 に示す実施例の立下リエッジ検出回路の一例である。

[図10]図 6 に示す実施例のイネーブル信号 E N 生成のタイミングチャートの一例である。

[図11]本発明の第 2 の実施形態である負荷駆動電流検出装置の構成を示すブロック図である。

[図12]図 1 1 に示す負荷駆動電流検出装置を電磁負荷駆動に適用した実施例である

[図13]負荷駆動電流検出装置の従来例の構成を示すブロック図である。

[図14]図 1 3 に示す従来例のタイミングチャートの一例である。

発明を実施するための形態

[0018] 以下、図面を参照しつつ、本発明の実施の形態について説明する。なお、図面は簡略的なものであるから、この図面の記載を根拠として本発明の技術的範囲を狭く解釈してはならない。また、同一の要素には、同一の符号を付し、重複する説明は省略する。

実施例 1

[0019] 本発明の第 1 の実施形態では、ハイサイドドライバの E M I 低減と電流検出機能の高精度化の両立を可能とする負荷駆動電流検出装置の構成及び動作について説明する。

[0020] 図 5 は本発明の実施形態である負荷駆動電流検出装置の全体構成である。

[0021] 図 5 に示す負荷駆動電流検出装置 1 0 0 は、ハイサイドドライバ用 MOS 1 1 とローサイドドライバ用 MOS 2 1 とが同時に導通しないように PWM 信号に応じて、ハイサイドドライバ用 MOS 1 1 のゲート駆動信号 H G A T

Eと、ローサイドドライバ用MOS 21のゲート駆動信号LGATEを生成するプリドライバ回路9と、PWM信号の立下りエッジ検出回路10を備え、PWM信号の立下りエッジタイミングを検出し、電流検出回路6の電流検出信号DCURLに基づいて、ローサイドドライバ用MOS 21の還流電流を検出し、PWM信号の立下りエッジタイミングから還流電流の開始までの期間には、イネーブル信号生成回路7の出力信号であるイネーブル信号ENを用い、電圧測定回路5によるハイサイド電流検出回路12の出力電流I_{curH}に基づいたハイサイドドライバ用MOS 11の駆動電流I_{outH}の検出を停止することを特徴とする。

[0022] 図6では図5に示した実施例をリニアソレノイドドライバに適用した例として、ハイサイドドライバ1のドライバ用MOS 11と電流検出回路12と、ローサイドドライバ2のドライバ用MOS 12と電流検出回路22と、電流検出回路6と、イネーブル信号生成回路7と、プリドライバ回路9と、立下りエッジ検出回路10の具体的なブロック例または回路例を示し、図7および図10でそのタイミングチャートを用いて動作を説明する。

[0023] 図6に示すリニアソレノイドドライバは、電源VBと、電源VBより高電位を出力するVCP昇圧回路126と、グランドGNDとOUT端子の間に接続された駆動対象となる電磁負荷4と、電源VBと電磁負荷4の間に接続して電磁負荷4を駆動するハイサイドドライバ用MOS 11と、ハイサイドドライバ用MOS 11と並列に接続してハイサイドの駆動電流I_{outH}を検出するハイサイド電流検出回路12と、電磁負荷4とグランドGNDの間に接続して電磁負荷4を駆動するローサイドドライバ用MOS 21と、ローサイドドライバ用MOS 21と並列に接続してローサイドの駆動電流I_{outL}を検出するローサイド電流検出回路22と、ハイサイド電流検出回路12の出力電流I_{curH}を電圧に変換する検出抵抗3と、入力信号PWMからハイサイドドライブ用MOS 11と検出用MOS 121を駆動するためのゲート電圧HGATEと、入力信号PWMからローサイドドライブ用MOS 21と検出用MOS 221を駆動するためのゲート電圧LGATEとを

生成するローサイドプリドライバ回路 9 を備えている。

[0024] ハイサイド電流検出回路 12 は例えば、図 6 に示すように、ハイサイドドライバ用 MOS 11 とソース端子とゲート端子を共通として、ドレイン端子はハイサイドドライバ用 MOS 11 のドレイン端子とオペアンプ 122 と MOS 123 を用いた負帰還回路で等電位になるように接続されたハイサイド電流検出用 MOS 121 と、ハイサイド電流検出用 MOS 121 のドレイン電流 I_{sH} を入力としてグラウンドに入力に比例した電流 I_{curH} を出力する電流コピー回路 124 を備えている。電流コピー回路 124 は例えば、入力電流に対して一定の電流コピー比率 R_{cH} として、出力電流 = 入力電流 / R_{cH} 、すなわち、 $I_{curH} = I_{sH} / R_{cH}$ とする。

[0025] ローサイド電流検出回路 22 は例えば、図 6 に示すように、ローサイドドライバ用 MOS 21 とドレイン端子とゲート端子を共通としてソース端子はローサイドドライバ用 MOS 21 のソース端子とオペアンプ 222 と MOS 223 を用いた負帰還回路で等電位になるように接続された電流検出用 NMOS 221 と、ローサイド電流検出用 MOS 21 のソース電流 I_{sL} を入力としてグラウンドに入力に比例した電流 I_{curL} を出力する電流コピー回路 224 を備えている。電流コピー回路 224 として例えば、入力電流に対して一定の電流コピー比率 R_{cL} として、出力電流 = 入力電流 / R_{cL} 、すなわち、 $I_{curL} = I_{sL} / R_{cL}$ とする。

[0026] ハイサイドドライバ用 MOS 11 と検出用 MOS 121 は同一シリコン基板上の MOS であり、近傍に配置されることが好ましく、ゲート幅 / ゲート長の比率で駆動する電流の比率を決定する。例えば、ハイサイドドライバ用 MOS 11 と検出用 MOS 121 のゲート長が同じで、ハイサイドドライバ用 MOS 11 のゲート幅 / 検出用 MOS 121 のゲート幅 = NH ($NH > 1$) としたとき、ハイサイドドライバ用 MOS 11 の駆動電流 I_{mH} と検出用 MOS 121 の駆動電流 I_{sH} は

$$I_{mH} = NH \times I_{sH}$$

となり、ハイサイドドライバの出力電流 $I_{outH} = I_{sH} + I_{mH}$ であ

るので、検出用MOS 121の電流 I_{sH} は、

$$I_{sH} = I_{outH} / (NH + 1)$$

となる。検出用NMOS 121の電流 I_{sH} は電流コピー比率 R_{cH} の電流コピー回路123によりハイサイド電流検出回路12の出力電流 I_{curH} として出力される。すなわち、

$$I_{curH} = I_{sH} / R_{cH} = I_{outH} / ((NH + 1) \times R_{cH})$$

であり、ハイサイド電流検出回路12はハイサイドドライバの負荷電流 I_{outH} を $1 / ((NH + 1) \times R_{cH})$ 倍した電流を出力する。ここで、例えば、 $NH > 1$ かつ $R_{cH} > 1$ とすることで、 I_{curH} は I_{outH} に比べ小さな電流値とすることができる。

[0027] 電磁負荷4は例えば、図2(a)に示すように、OUT出力とグラウンドGND間に接続されたリニアソレノイドあるいはインダクタ41を備える。もしくは図2(b)に示すように、リニアソレノイドあるいはインダクタ41に加えて、コンデンサ42をOUT出力とグラウンドGND間に接続された構成でも良い。

[0028] 電圧測定回路5は例えば、ADコンバータ回路など電圧値を測定する機能を備える。ここで、電圧測定回路5はイネーブル信号ENがHのとき動作し、Lのとき停止することとする。

電流検出回路6は例えば、図6に示すように、コンパレータ61と、抵抗62と、基準電圧源63を備えている。これにより、ローサイド電流検出回路22の出力電流 I_{curL} を抵抗62により、電圧値に変換後、基準電圧源63の電圧レベル以上のとき、コンパレータ61の出力信号である電流検出信号DCURLはHレベルとなる。

[0029] イネーブル信号生成回路7は例えば、図8に示すように、リセット優先リセットセッターフリップフロップ、RS-FF71を備える。ここでリセット優先RS-FFはインバータゲート711と、NANDゲート712で構成できる。

[0030] 立下リエッジ検出回路10は例えば、図9に示すように、クロック信号C

L Kの立上リエッジトリガー型のフリップフロップ101と、インバータゲート102と、ANDゲート103で構成できる。図10に示すように、PWM信号に対応した信号であるINH0信号のH→Lの立下リエッジからクロック信号CLKの次ぎの立上リエッジまでの期間、立下リエッジ検出回路10の出力信号DETとして、Hパルス信号を生成できる。このHパルス幅を調整するために例えば、クロック信号CLKの周波数またはデューティまたはフリップフロップ101を複数個数珠つなぎとしても良い。図8に示したリセット優先RS-FF71により、図10に示すようにDET信号のL→Hの信号変化から電流検出回路6の出力信号である電流検出信号DURLのL→Hまでの期間、イネーブル信号ENをLレベルにすることができる。

[0031] プリドライバ回路9は例えば、図6に示すように、ゲート駆動信号発生回路91と、レベルシフト回路92と、ハイサイドプリドライバ93Hと、ローサイドドライバ93Lを備える。PWM入力信号に応じて、ゲート駆動信号生成回路91により、出力信号INH0と出力信号INLとの間に、図7に示すように、期間TA、TBを生成し、ハイサイドドライバ用MOS11とローサイドドライバ用MOS21とが同時に導通しないように、ハイサイドドライバ用MOS11のゲート駆動信号HGATEとローサイドドライバ用MOS21のゲート駆動信号LGATEとの間にデッドタイム期間THLとTLHを生成する。ここでデッドタイム期間とはハイサイドドライバ用MOS11とローサイドドライバ用MOS21のゲートがともにオフし、貫通電流が流れない期間のこととする。

[0032] 図7に、図6の実施例の負荷駆動電流検出装置のタイミングチャートの一例を示す。

[0033] PWM入力信号と、プリドライバ回路9におけるINH0、INH1、INL信号と、ハイサイドドライバ用MOS11及び電流検出用MOS121のゲート駆動信号HGATEと、ローサイドドライバ用MOS21及び電流検出用MOS221のゲート駆動信号LGATEと、電磁負荷4への出力端

子であるOUT端子の電圧と、ハイサイドドライブ用MOS 11の出力電流 I_{mH} と、ハイサイド電流検出回路12の出力電流 I_{curH} と、ハイサイドドライバ用MOS 11のドレインソース間電圧 V_{DSH} と、 $I_{mH} \times V_{DSH}$ で求まるハイサイドドライバ用MOS 11の電力損失 P_{dH} と、ローサイドドライブ用MOS 21の出力電流 I_{mL} と、ローサイド電流検出回路22の出力電流 I_{curL} と、ローサイドドライブ用MOS 21のドレインソース間電圧 V_{DSL} と、 $I_{mL} \times V_{DSL}$ で求まるローサイドドライバ用MOS 21の電力損失 P_{dL} と、電流検出回路6の出力信号である電流検出信号 $DCURL$ と、イネーブル生成回路7の出力信号であるイネーブル信号 EN とを図7に示す。

[0034] ハイサイドドライバのオン期間は、ハイサイドドライバ用MOS 11から電磁負荷4に出力電流 I_{out} を流すため、リーク電流の影響を無視すると、出力端子OUTは電源電圧 V_B から、ハイサイドドライバ用MOS 11のオン電圧 V_{onH} 分、電圧降下した電圧となる。ここで、オン電圧 V_{onH} はハイサイドドライバ用MOS 11のオン抵抗を R_{onH} 、駆動電流を I_{mH} とした時、 $V_{onH} = I_{mH} \times R_{onH}$ である。

[0035] ハイサイドドライバ用MOS 11のソース電圧はOUT端子電圧であるため、MOSの閾値電圧 V_{th} とすると、大電流を駆動するドライバ回路においてオン抵抗 R_{onH} は低抵抗であることが好ましく、 $I_{mH} \times R_{onH} < V_{th}$ となる。これより、ハイサイドドライバ用MOS 11をオンさせるために必要なHGATEの電圧は、

$$HGATE \text{ 電圧} = V_B - V_{onH} + V_{th} = V_B - I_{mH} \times R_{onH} + V_{th} > V_B$$

となる。よって、HGATE電圧は V_B 電圧以上であることが必要である。HGATE電圧を出力するブリドライバ93Hに供給するVCP電圧も V_B 電圧より高電位であることが必要である。

[0036] VCP電圧は、例えば、装置外部電源から端子経由で供給しても、 V_B 電源からチャージポンプやDCDCコンバータやブートストラップなどから生

成して構成してもよい。

[0037] ハイサイドドライバのオン期間からハイサイドドライバのオフ期間へ遷移するとき、ハイサイドドライバ用MOS 11がオフしたとき、電磁負荷4のフライバック電圧が発生し、ローサイドドライバ用MOS 21のボディダイオードによってグランドGNDから出力電流 I_{out} に流れる。このときリーク電流の影響を無視すると、出力端子OUTはグランドGNDからローサイドドライバ用MOS 21のボディダイオードの順方向電圧 V_{OFF} 電圧降下した電圧となる。このとき流れる電流を還流電流と呼ぶこととする。還流電流はローサイド電流検出回路22により、 I_{curH} 電流として、電流検出回路6の出力信号である電流検出信号DCURLがLからHとなることで検出する。

[0038] ハイサイドドライバのオン期間からハイサイドドライバのオフ期間への遷移開始の検出方法として、例えば、PWM入力信号の立下りもしくはPWM信号に対応した信号、図6及び図7に示すようなゲート駆動信号生成回路91の出力信号であるINH0の立下りエッジタイミングを立下りエッジ検出回路10を用いて検出する。

[0039] 立下りエッジ検出回路10により、立下りエッジを検出してから電流検出回路6による還流電流を検出するまでの期間を図7に示すように、イネーブル信号生成回路7により、イネーブル信号ENをLとすることで、ハイサイドドライバの立下り期間、電圧測定回路5を停止することができる。

[0040] ソレノイド駆動時のEMI低減のため、ハイサイドドライバの駆動電圧波形OUTに関して、スロープもしくは傾きを持たせることが有効である。しかしながら、図7に示すように、ハイサイドドライバ用MOS 11の電力損失 P_{dH} はハイサイドドライバの立下り期間に局所的、過渡的に増加し、ハイサイドドライバ用MOS 11での局所的、過渡的な発熱が発生する。このため、

$$I_{curH} = I_{sH} / R_{cH} = I_{outH} / ((NH + 1) \times R_{cH})$$

の比例関係を前提として、ハイサイドドライバのソレノイド駆動電流 I_{ou}

t Hの検出を行うと、ハイサイドドライバの駆動電圧波形OUTの立下り期間はハイサイドドライバ用MOS 1 1と検出用MOS 1 2 1との発熱に対する特性の差異により、電流検出する際に仮定していたハイサイドドライバ用MOS 1 1の電流I m Hと検出用MOS 1 2 1の電流I s Hの以下の関係において、

$$I m H = N H \times I s H$$

比例係数NHに誤差が発生する。比例係数NHが大きいほど、より大きな電流検出誤差が発生する。

[0041] ハイサイドドライバの立下り期間、イネーブル信号ENにより、電圧測定回路5を停止することにより、ハイサイドドライバの駆動電圧波形OUTの立下り期間におけるハイサイドドライバ用MOS 1 1の電力損失Pd Hによる局所的、過渡的な発熱によるハイサイドドライバ駆動電流の検出誤差をなくことができ、電流検出精度を向上することができる。

以上より、ハイサイドドライバのEMI低減と電流検出機能の高精度化の両立できる負荷駆動電流検出装置を可能とする。

[0042] 以上では、リニアソレノイドドライバに適用した例として、電磁負荷4として、図2 (a) または図2 (b) に示すように、OUT出力とグランドGND間に接続されたりニアソレノイドあるいはインダクタ4 1を備えた場合であったが、図2 (c) に示すように、OUT出力にインダクタ4 1とコンデンサ4 2が接続した、非絶縁型のDC-DCコンバータ構成でもよい。ここで、負荷4 3とはDC-DCコンバータが電力を供給する、例えば、ばハードディスクドライブHDD、ASIC (Application Specific Integrated Circuit)、FPGA (Field Programmable Gate Array)、拡張カード (PCI CARD)、メモリ (DDRメモリ、DRAM (Dynamic RAM)、フラッシュメモリ等)、CPU (Central Processing Unit) 等である。

[0043] 図5 および図6 の構成において、イネーブル信号ENを用いた電圧測定回

路 5 の停止期間の開始は図 5 および図 6 で示したブリドライバ回路 9、立下りエッジ検出回路 10 を用いたが、これに限定されることなく、以下、図 1 または図 3 または図 4 にて示す負荷駆動電流検出装置 100 の構成としても良い。

[0044] 図 1 は本発明の別実施形態である負荷駆動電流検出装置の全体構成である。

[0045] 図 1 に示す負荷駆動電流検出装置 100 はグラウンド GND に接続されたソレノイド、インダクタ等の電磁負荷 4 に駆動電流 I_{out} を流すハイサイドドライバ用 MOS 11 とハイサイドドライバ用 MOS 11 と電氣的に並列に接続したハイサイド電流検出回路 12 と、電磁負荷 4 に駆動電流 I_{out} を流し、かつハイサイドドライバ用 MOS 11 と電氣的に直列に接続されるローサイドドライバ用 MOS 21 と、ローサイドドライバ用 MOS 21 と電氣的に並列に接続したローサイド電流検出回路 22 と、ハイサイド電流検出回路 12 の出力電流 I_{curH} を電圧値に変換する抵抗 3 と、抵抗 3 で変換した電圧値に対する電圧測定回路 5 と、ローサイド電流検出回路 22 の出力電流 I_{curL} に基づいてローサイドドライバ用 MOS 21 の駆動電流 I_{outL} を検出する電流検出回路 6 と、電流検出回路 6 の電流検出信号 DCURL に基づいて、ローサイドドライバ用 MOS 21 の還流電流を検出し、還流電流の開始までの期間は、イネーブル信号生成回路 7 の出力信号であるイネーブル信号 EN を用い、電圧測定回路 5 によるハイサイド電流検出回路 12 の出力電流 I_{curH} に基づいたハイサイドドライバ用 MOS 11 の駆動電流 I_{outH} の検出を停止することを特徴とする。

[0046] 図 3 は本発明の別実施形態である負荷駆動電流検出装置の全体構成である。

[0047] 図 3 に示す負荷駆動電流検出装置 100 は、イネーブル信号 EN に対応して、電流測定回路 5 を停止させるのではなく、電流測定回路 5 は常時動作させるがその電流検出結果に対して、イネーブル信号 EN に対応して、ハイサイドドライバ用 MOS 11 の電力損失 PdH による局所的、過渡的な発熱に

よるハイサイドドライバ駆動電流の検出誤差分を予め反映して補正する電流値補正手段8を備えることを特徴とする。

[0048] 図4は本発明の別実施形態である負荷駆動電流検出装置の全体構成である。

[0049] 図4に示す負荷駆動電流検出装置100は、ハイサイド電流検出回路12の出力電流 I_{curH} とローサイド電流検出回路22の出力電流 I_{curL} 2との和となる和電流 I_{cur} を抵抗3により電圧に変換することを特徴とする。

[0050] これによりハイサイドドライバの駆動電流だけでなく、ローサイドドライバの駆動電流も電流測定回路5を用いて、検出することが可能となる。

実施例 2

[0051] 本発明の第2の実施形態では、ハイサイドドライバのEMI低減と電流検出機能の高精度化の両立に加え、ハイサイドドライバのオン期間からハイサイドドライバのオフ期間へ遷移するときのデッドタイム期間 T_{HL} を最適に制御できる負荷駆動電流検出装置の構成及び動作について説明する。

[0052] 図11は本発明の第2の実施形態の1形態であり、以下では実施例1の1形態である図5からの差分に関して説明する。図12でそのタイミングチャートを用いて動作を説明する。

[0053] 図11に示す負荷電流検出装置100は、図12のタイミングチャートに示すように、ハイサイドドライバ、オフによる還流電流発生は電流検出回路6の電流検出信号 $DCURL$ が $L \rightarrow H$ となることで検出でき、その後ローサイドドライバ2のゲート駆動信号 $LGATE$ をオンするようにプリドライバ回路9を制御することにより、デッドタイム期間 T_{HL} を短く、最適に制御することが可能となる。

[0054] なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構

成に置き換える事が可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について他の構成の追加・削除・置換をする事が可能である。

[0055] また、制御線や信号線は説明上必要と考えられるものを示しており、製品上必ずしも全ての制御線や信号線を示しているとは限らない。

符号の説明

[0056]	1	ハイサイドドライバ
	2	ローサイドドライバ
	3	抵抗
	4	電磁負荷
	5	電圧測定回路
	6	電流検出回路
	7	イネーブル信号生成回路
	8	電流値補正手段
	9	プリドライバ回路
	10	立下りエッジ検出回路
	100	負荷駆動電流検出装置
	H G A T E , L G A T E	ゲート駆動信号
	P W M	P W M信号
	D C U R L	電流検出信号
	E N	イネーブル信号
	D E T	立下りエッジ検出信号
	C L K	クロック信号
	V B	電源
	G N D	グランド

請求の範囲

- [請求項1] グランドに接続された電磁負荷に駆動電流を流すハイサイドドライバ用MOSと前記ハイサイドドライバ用MOSと電氣的に並列に接続したハイサイド電流検出回路と、前記電磁負荷に駆動電流を流し、かつ前記ハイサイドドライバ用MOSと電氣的に直列に接続されるローサイドドライバ用MOSと、前記ローサイドドライバ用MOSと電氣的に並列に接続したローサイド電流検出回路と、前記ハイサイド電流検出回路の出力電流を電圧値に変換する抵抗と、前記抵抗で変換した電圧値に対する電圧測定回路と、前記ローサイド電流検出回路の出力電流に基づいて前記ローサイドドライバ用MOSの駆動電流を検出する電流検出回路と、前記電流検出回路の電流検出信号に基づいて、前記ローサイドドライバ用MOSの還流電流を検出し、前記還流電流の開始までの期間は、イネーブル信号生成回路の出力信号であるイネーブル信号を用い、前記電圧測定回路による前記ハイサイド電流検出回路の出力電流に基づいた前記ハイサイドドライバ用MOSの駆動電流の検出を停止することを特徴とする負荷駆動電流検出装置。
- [請求項2] 請求項1に記載の負荷駆動電流検出装置において、前記イネーブル信号に応じて、前記電流測定回路の出力信号である電流検出結果に対して、電流値補正手段を適用することを特徴とする負荷駆動電流検出装置。
- [請求項3] 請求項1に記載の負荷駆動電流検出装置において、前記ハイサイドドライバ用MOSと前記ローサイドドライバ用MOSとが同時に導通しないようにPWM信号に応じて、前記ハイサイドドライバ用MOSのゲート駆動信号と、前記ローサイドMOSドライバ用のゲート駆動信号を生成するプリドライバ回路と、前記電流検出信号は、前記プリドライバ回路により生成される前記ゲート駆動信号と、前記ゲート駆動信号とのデッドタイム生成に用いることを特徴とする負荷駆動電流検出装置。

[請求項4] 請求項2に記載の負荷駆動電流検出装置において、前記ハイサイドドライバ用MOSと前記ローサイドドライバ用MOSとが同時に導通しないようにPWM信号に応じて、前記ハイサイドドライバ用MOSのゲート駆動信号と、前記ローサイドMOSドライバ用のゲート駆動信号を生成するプリドライバ回路と、前記電流検出信号は、前記プリドライバ回路により生成される前記ゲート駆動信号と、前記ゲート駆動信号とのデッドタイム生成に用いることを特徴とする負荷駆動電流検出装置。

[請求項5] 請求項3に記載の負荷駆動電流検出装置において、前記プリドライバ回路と、前記PWM信号もしくは前記PWM信号に対応した信号の立下りエッジ検出回路を備え、前記PWM信号もしくは前記PWM信号に対応した信号の立下りエッジタイミングを検出し、前記電流検出回路の電流検出信号に基づいて、前記ローサイドドライバ用MOSの還流電流を検出し、前記PWM信号もしくは前記PWM信号に対応した信号の立下りエッジタイミングから前記還流電流の開始までの期間には、イネーブル信号生成回路の出力信号であるイネーブル信号を用い、前記電圧測定回路による前記ハイサイド電流検出回路の出力電流に基づいた前記ハイサイドドライバ用MOSの駆動電流の検出を停止または前記電流検出結果に対して、前記電流値補正手段を適用することを特徴とする負荷駆動電流検出装置。

[請求項6] 請求項4に記載の負荷駆動電流検出装置において、前記プリドライバ回路と、前記PWM信号もしくは前記PWM信号に対応した信号の立下りエッジ検出回路を備え、前記PWM信号もしくは前記PWM信号に対応した信号の立下りエッジタイミングを検出し、前記電流検出回路の電流検出信号に基づいて、前記ローサイドドライバ用MOSの還流電流を検出し、前記PWM信号もしくは前記PWM信号に対応した信号の立下りエッジタイミングから前記還流電流の開始までの期間には、イネーブル信号生成回路の出力信号であるイネーブル信号を用

い、前記電圧測定回路による前記ハイサイド電流検出回路の出力電流に基づいた前記ハイサイドドライバ用MOSの駆動電流の検出を停止または前記電流検出結果に対して、前記電流値補正手段を適用することを特徴とする負荷駆動電流検出装置。

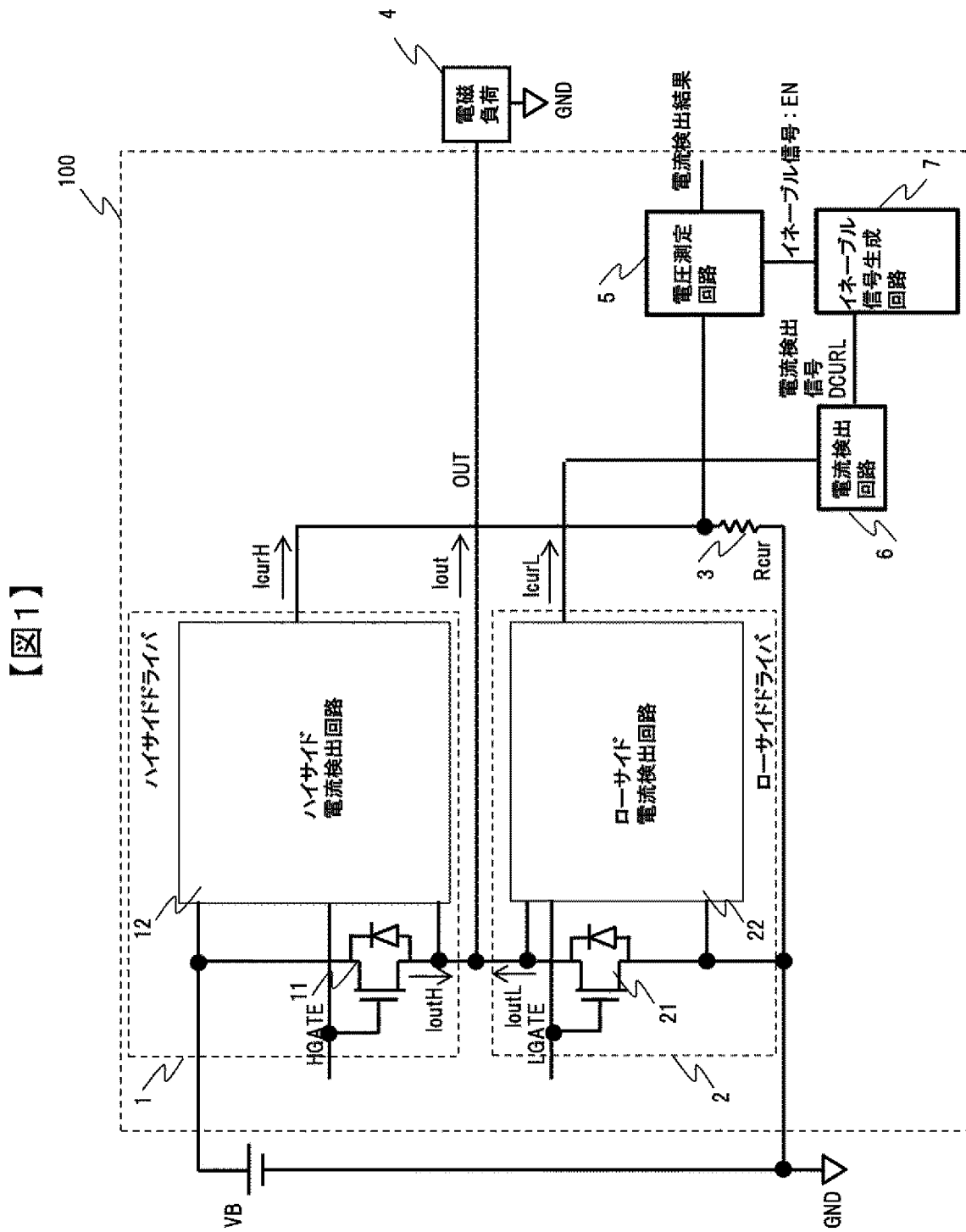
[請求項7] 請求項1に記載の負荷駆動電流検出装置において、前記ハイサイド電流検出回路の前記出力電流と前記ローサイド電流検出回路の出力電流との和となる和電流を前記抵抗により電圧に変換することを特徴とする負荷駆動電流検出装置。

[請求項8] 請求項1に記載の負荷駆動電流検出装置であって、前記ハイサイド電流検出回路は前記ハイサイドドライバ用MOSとソース端子とゲート端子を共通として、ドレイン端子は前記ハイサイドドライバ用MOSのドレイン端子とオペアンプを用いた負帰還回路で等電位になるように接続されたハイサイド用電流検出用MOSと、前記ハイサイド用電流検出用MOSのドレイン電流を入力としてグランドに入力に比例した電流を出力する電流コピー回路があり、前記ローサイド電流検出回路は前記ローサイドドライバ用MOSとドレイン端子とゲート端子を共通としてソース端子は前記ローサイドドライバ用MOSのソース端子とオペアンプを用いた負帰還回路で等電位になるように接続された電流検出用MOSと、前記ローサイド用電流検出用MOSのソース電流を入力としてグランドに入力に比例した電流を出力する電流コピー回路であることを特徴とする負荷駆動電流検出装置。

[請求項9] 請求項1に記載の負荷駆動電流検出装置であって、少なくとも前記ハイサイドドライバ用MOS及び前記ハイサイド電流検出回路の1ないし複数チャネル分を同一のシリコン基板上に形成することを特徴とした半導体集積回路を有する負荷駆動電流検出装置。

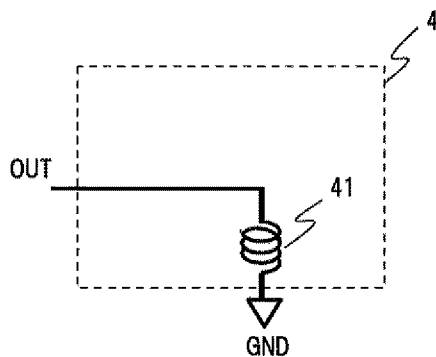
[請求項10] 請求項1に記載の負荷駆動電流検出装置であって、前記電磁負荷として、インダクタから、コンデンサ及び負荷を介して、グランドと接続していることを特徴とする負荷駆動電流検出装置。

【図1】



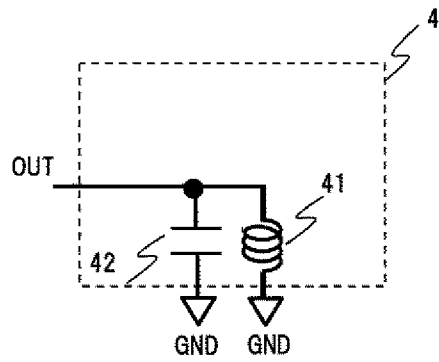
【図2(a)】

【図2(a)】



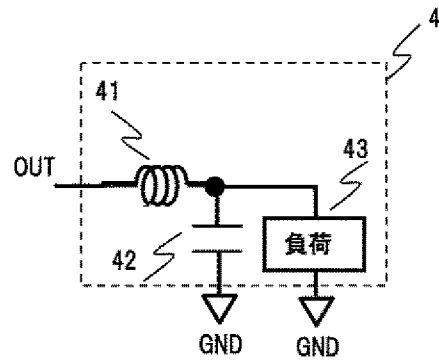
[図2(b)]

【図2(b)】

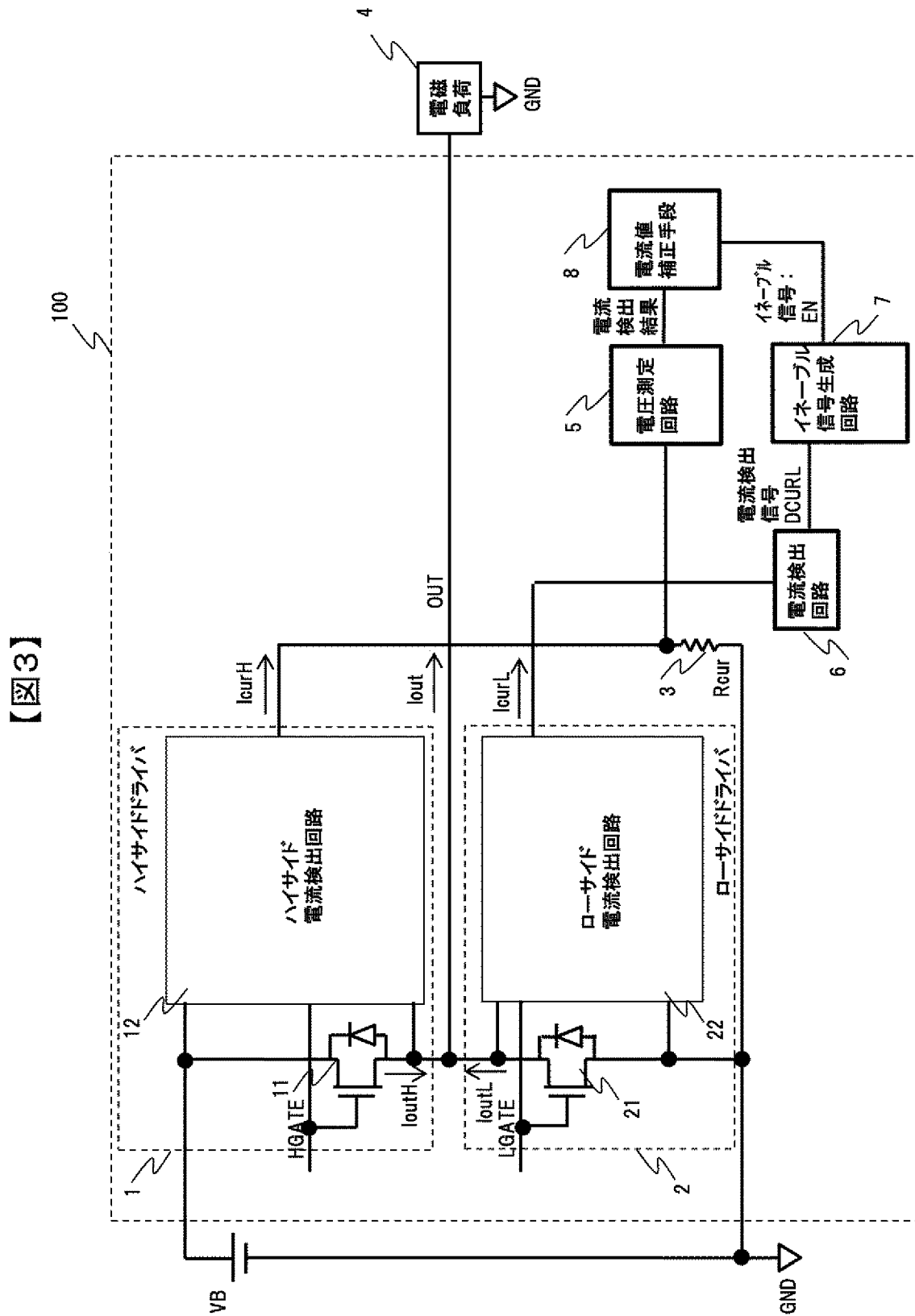


[図2(c)]

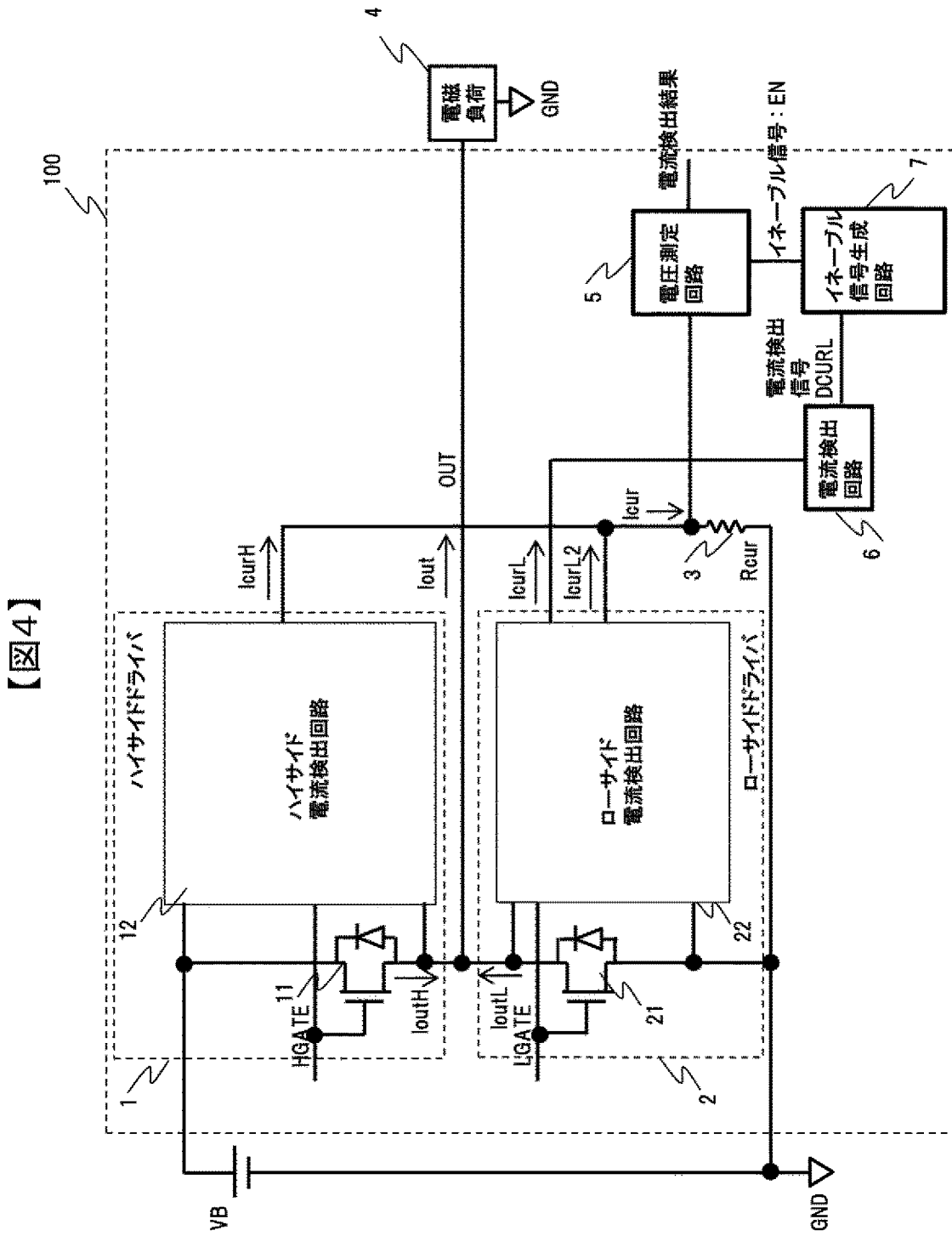
【図2(c)】



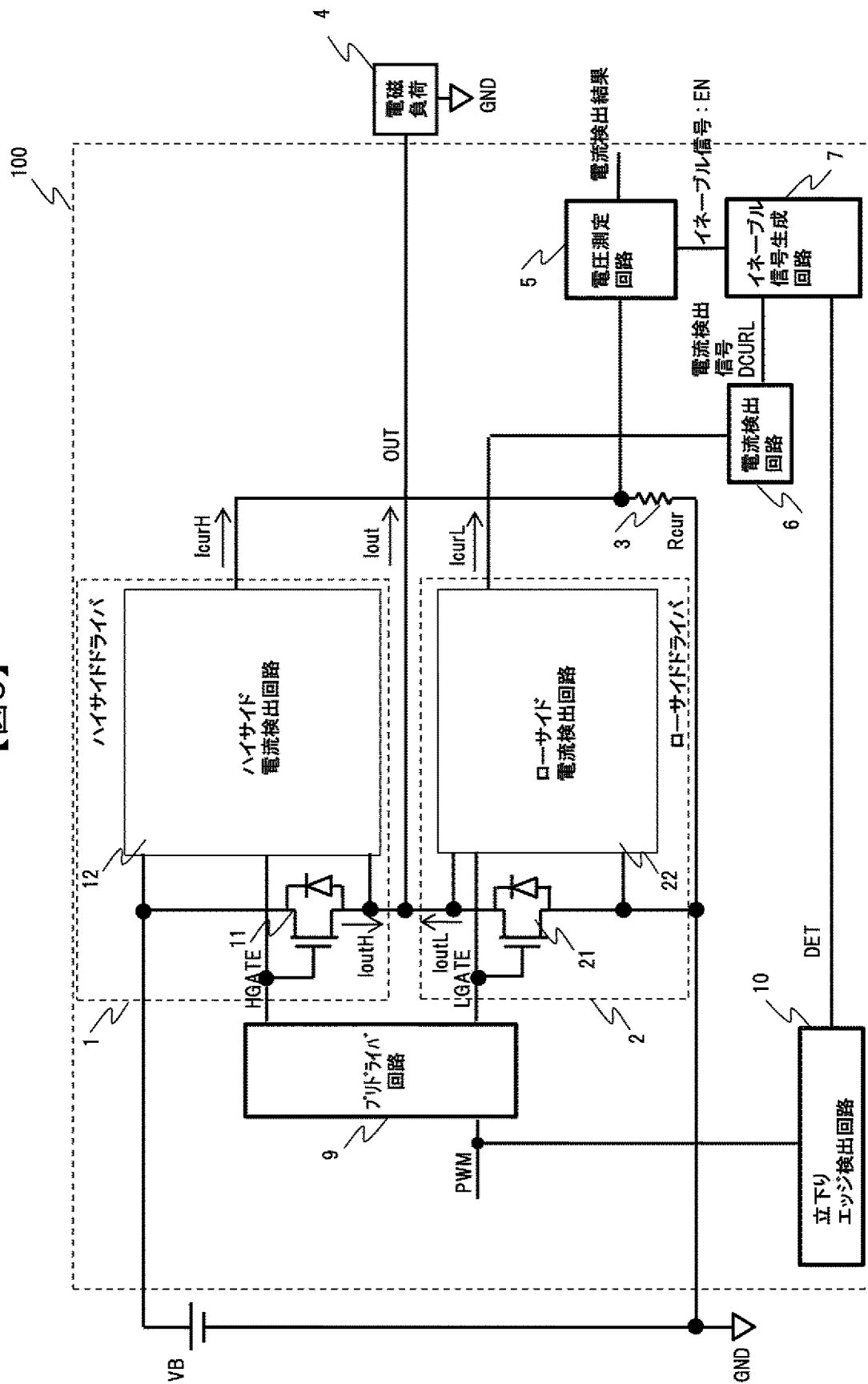
【図3】



【図4】

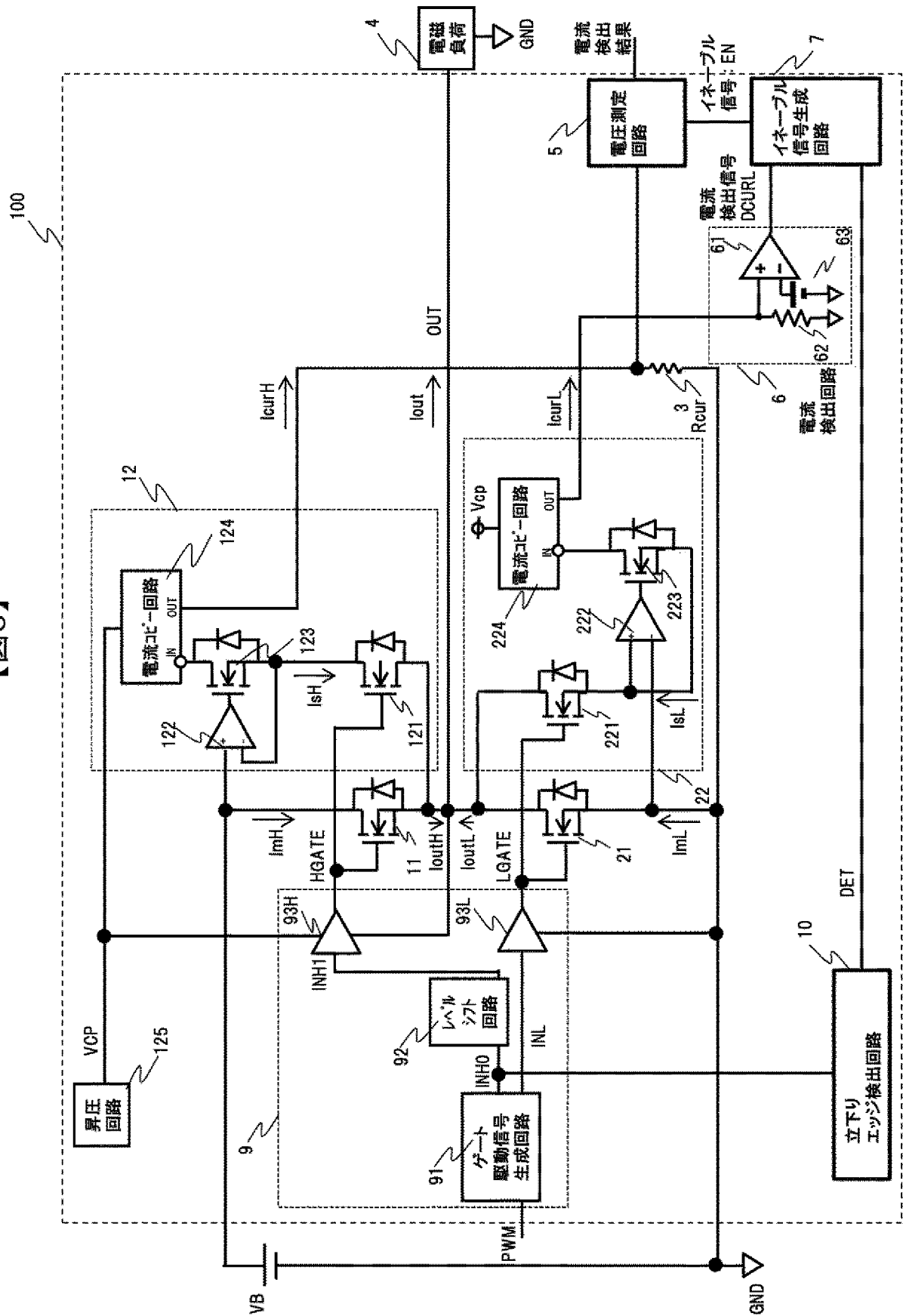


【5】

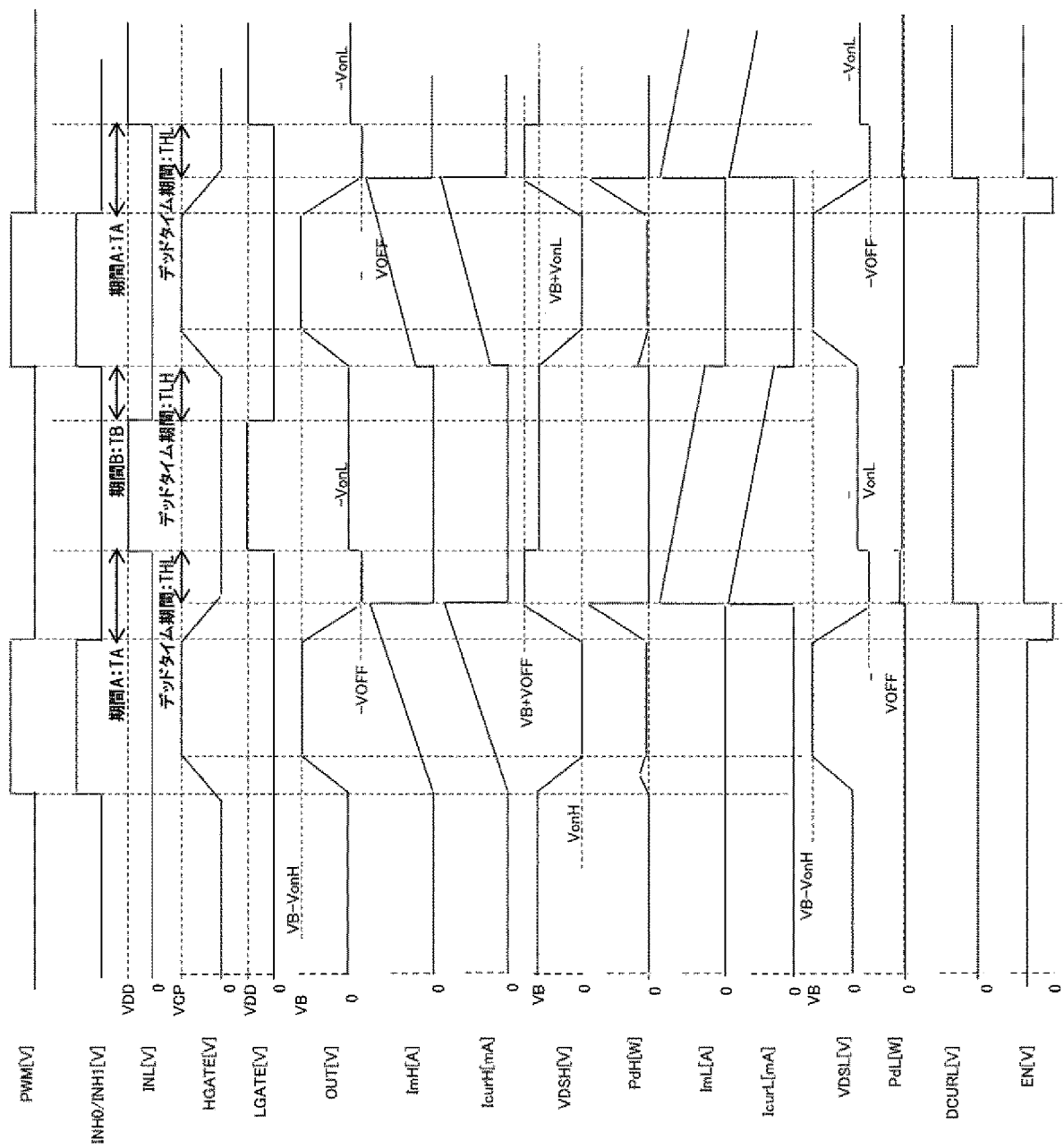


【図6】

【図6】

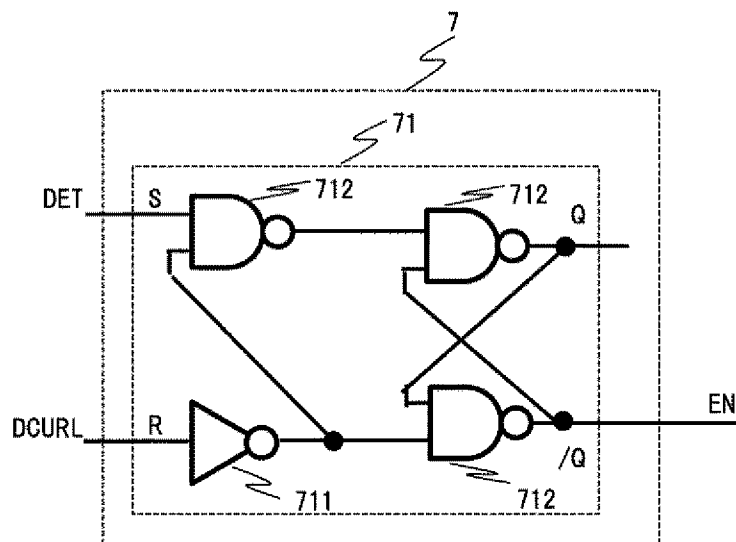


【7】



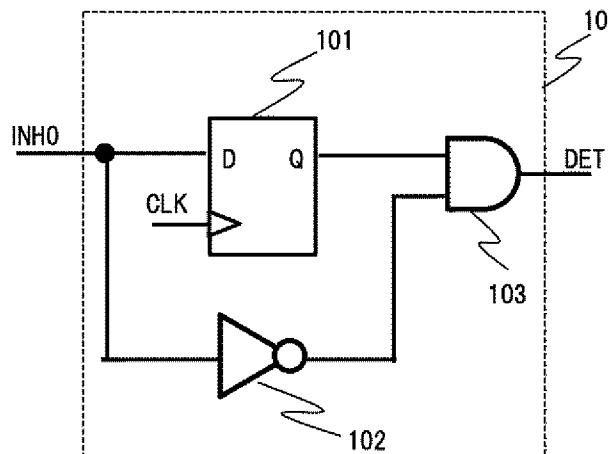
[図8]

【図8】



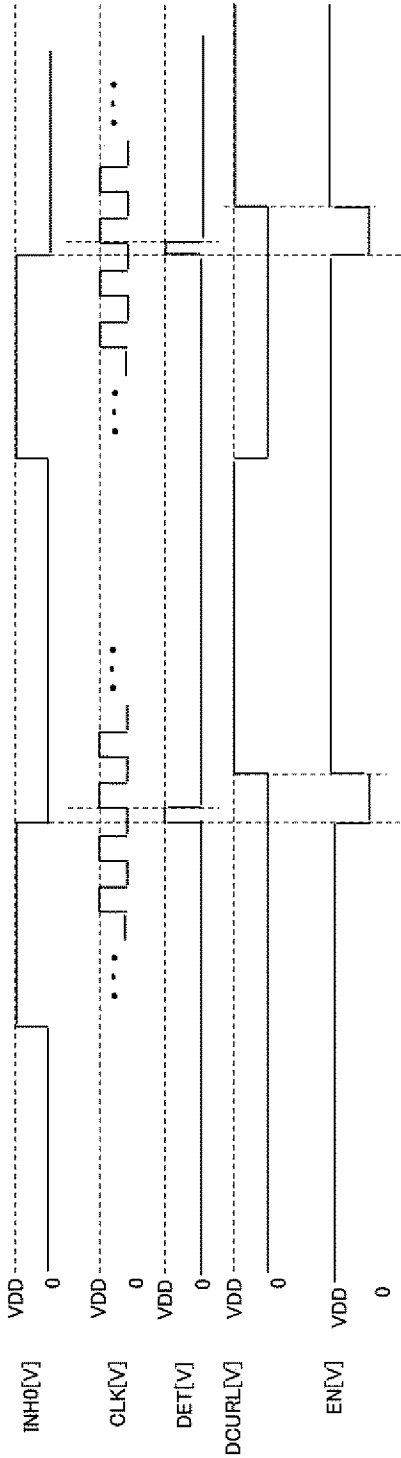
[図9]

【図9】

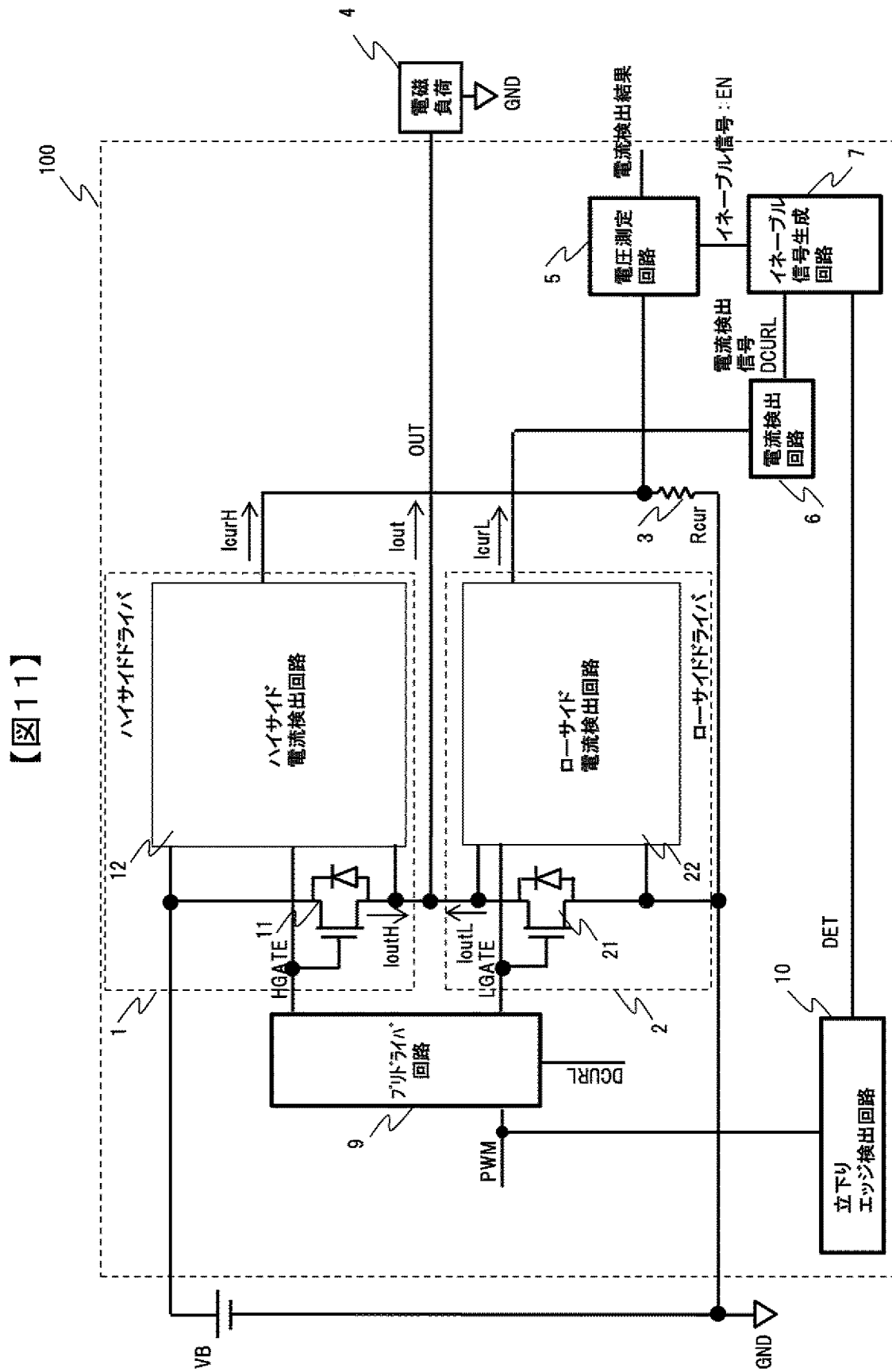


[図10]

【図10】

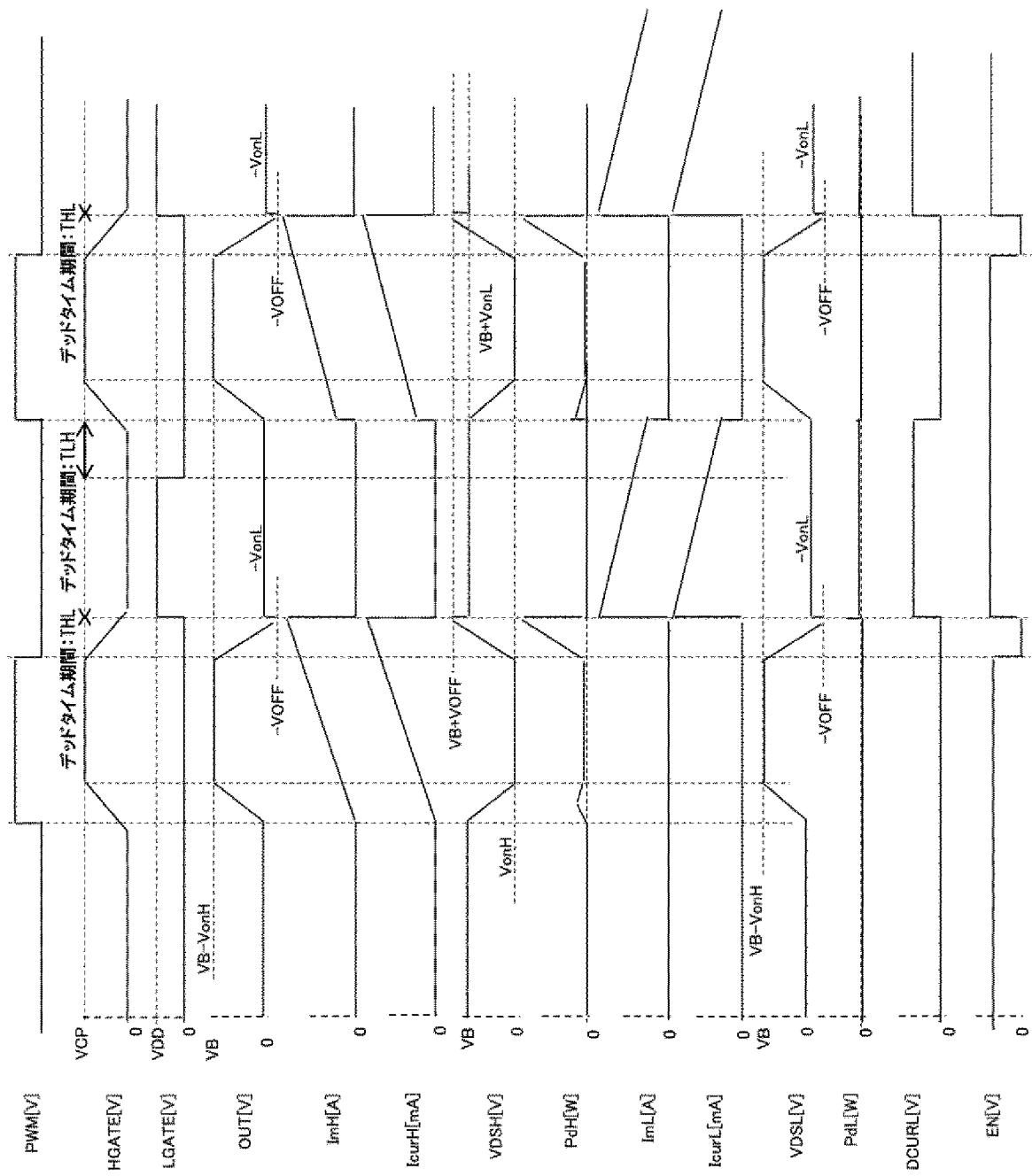


【図11】

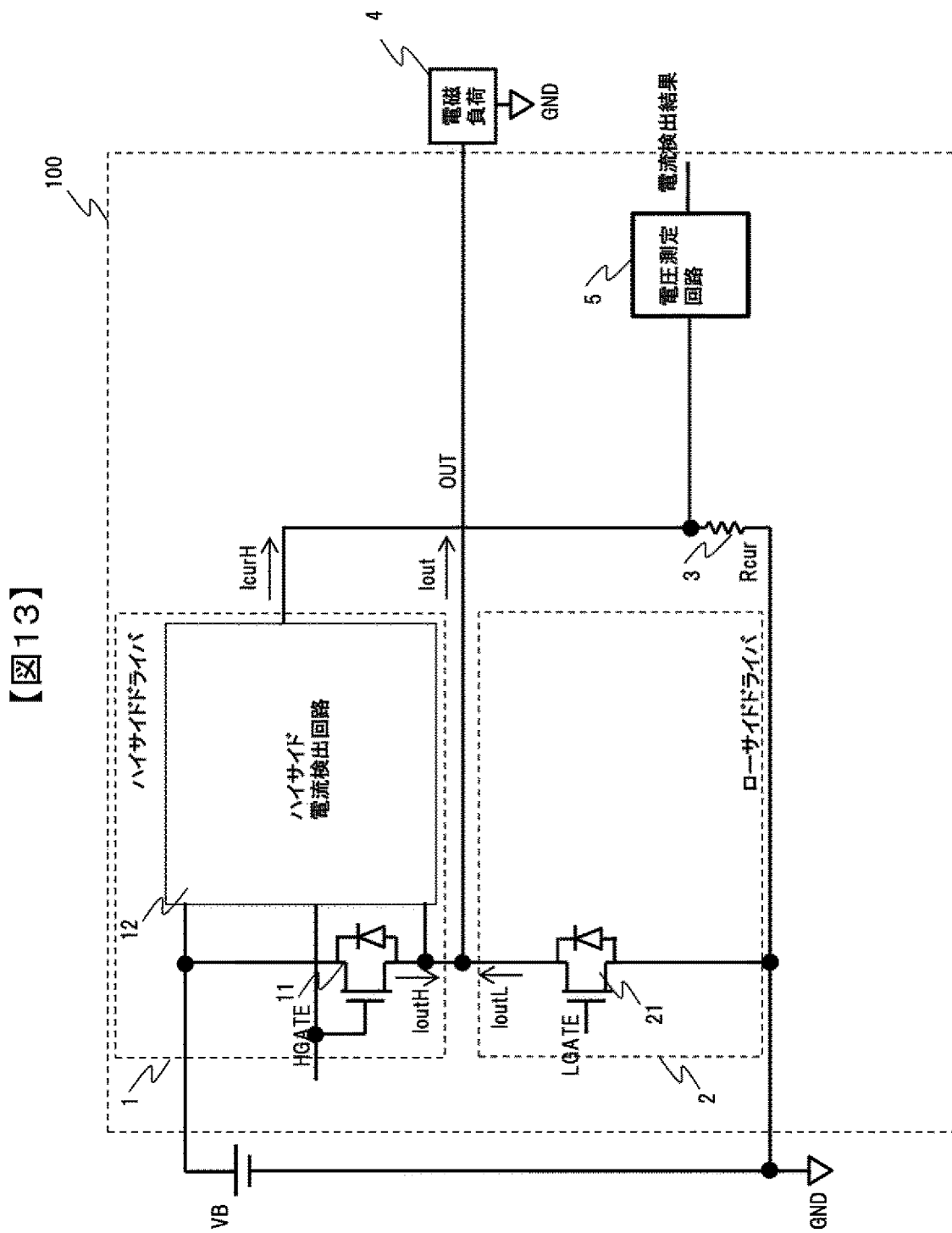


【図12】

【図12】

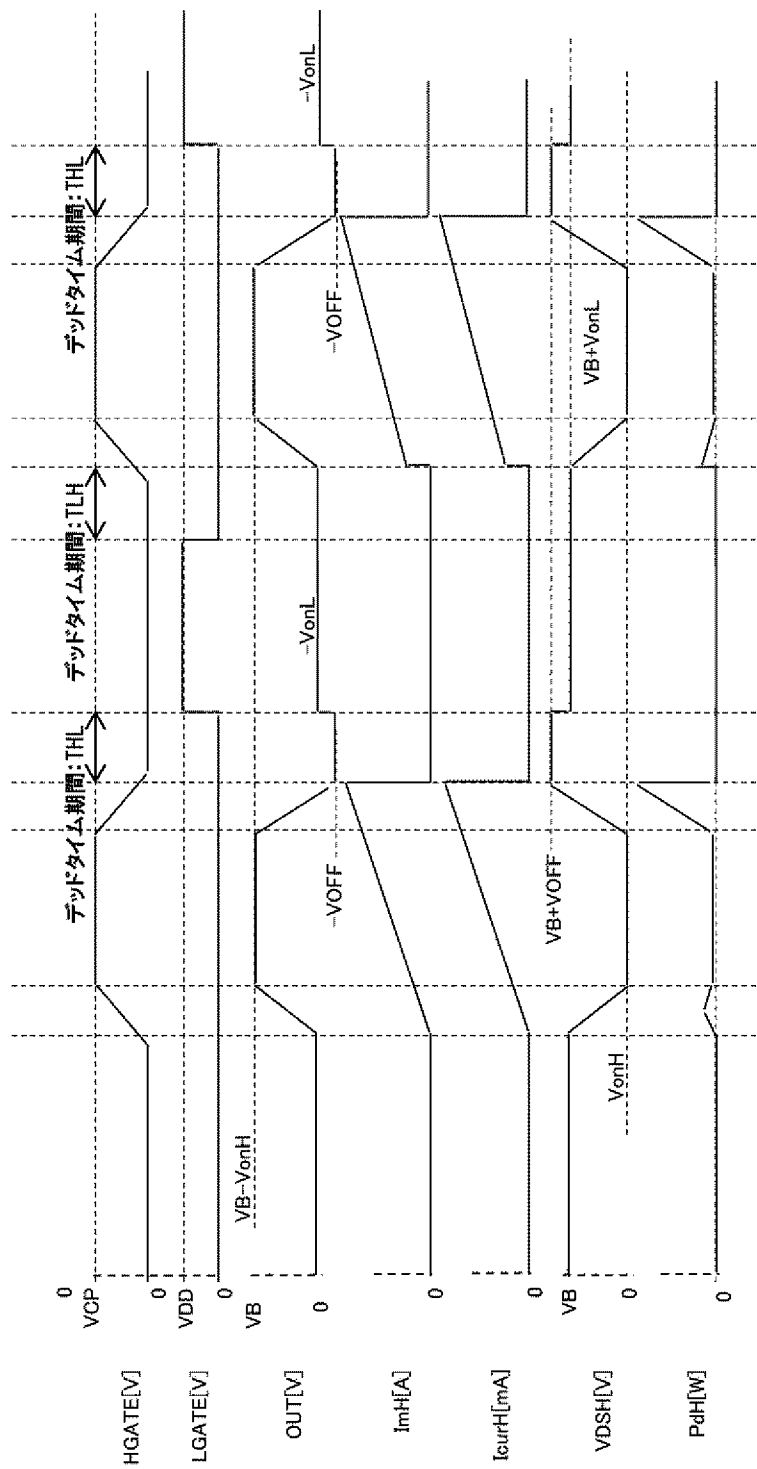


【図13】



【図14】

【図14】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/065837

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/16(2006.01)i, H03K17/14(2006.01)i, H03K17/687(2006.01)i,
H03K17/695(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-299363 A (Nissan Motor Co., Ltd.), 17 October 2003 (17.10.2003), paragraphs [0026] to [0027]; fig. 5 & US 2003/0184326 A1	1-10
A	JP 2006-203415 A (Toyota Motor Corp.), 03 August 2006 (03.08.2006), paragraphs [0023] to [0029]; fig. 3 (Family: none)	1-10
A	JP 2010-206699 A (Hitachi Automotive Systems, Ltd.), 16 September 2010 (16.09.2010), paragraphs [0069] to [0075]; fig. 10 (Family: none)	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 September, 2014 (05.09.14)

Date of mailing of the international search report
16 September, 2014 (16.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/065837

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-55620 A (Hitachi Automotive Systems, Ltd.), 21 March 2013 (21.03.2013), paragraphs [0016] to [0029]; fig. 1 & US 2013/0057245 A1 & EP 2568593 A2	1-10
P, A	JP 2014-49975 A (Hitachi Automotive Systems, Ltd.), 17 March 2014 (17.03.2014), entire text; all drawings (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H03K17/16(2006.01)i, H03K17/14(2006.01)i, H03K17/687(2006.01)i, H03K17/695(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H03K17/00-17/70			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 4 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 4 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 4 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2003-299363 A（日産自動車株式会社）2003.10.17, 【0026】－【0027】，図5 & US 2003/0184326 A1	1－10	
A	JP 2006-203415 A（トヨタ自動車株式会社）2006.08.03, 【0023】－【0029】，図3（ファミリーなし）	1－10	
A	JP 2010-206699 A（日立オートモティブシステムズ株式会社）2010.09.16, 【0069】－【0075】，図10（ファミリーなし）	1－10	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 0 5 . 0 9 . 2 0 1 4		国際調査報告の発送日 1 6 . 0 9 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 栗栖 正和 電話番号 03-3581-1101 内線 3596	5 X 3 9 8 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-55620 A (日立オートモティブシステムズ株式会社) 2013. 03. 21, 【0016】 - 【0029】, 図1 & US 2013/0057245 A1 & EP 2568593 A2	1-10
P, A	JP 2014-49975 A (日立オートモティブシステムズ株式会社) 2014. 03. 17, 全文, 全図 (ファミリーなし)	1-10