

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
23. Oktober 2014 (23.10.2014)



(10) Internationale Veröffentlichungsnummer
WO 2014/170211 A1

- (51) Internationale Patentklassifikation:
H01L 33/48 (2010.01) *H01L 33/44* (2010.01)
- (21) Internationales Aktenzeichen: PCT/EP2014/057300
- (22) Internationales Anmeldedatum:
10. April 2014 (10.04.2014)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
102013103760.7 15. April 2013 (15.04.2013) DE
- (71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).
- (72) Erfinder: **MOOSBURGER, Jürgen**; Reichsstr. 17, 93055 Regensburg (DE).
- (74) Anwalt: **EPPING HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH**;
Zusammenschluss Nr. 175, Schloßschmidstr. 5, 80639 München (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,

DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

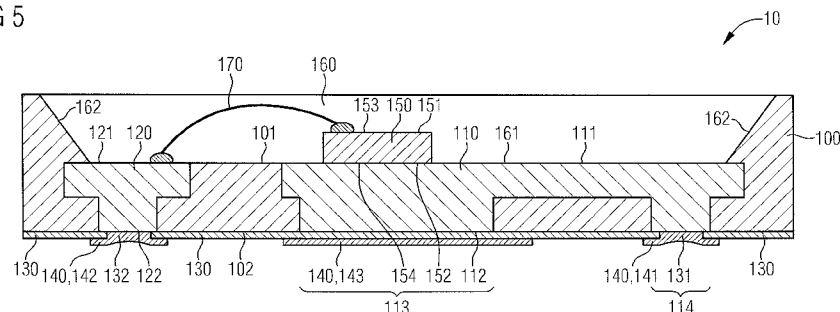
Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eingehen (Regel 48 Absatz 2 Buchstabe h)

(54) Title: OPTOELECTRONIC COMPONENT

(54) Bezeichnung : OPTOELEKTRONISCHES BAUELEMENT

FIG 5



(57) Abstract: The invention relates to a method for producing an optoelectronic component, comprising steps for providing a housing having a first surface and a second surface, wherein an electrically conductive chip carrier is embedded in the housing and is accessible on the first surface and on the second surface, and for creating an insulation layer on the second surface of the housing by means of aerosol deposition.

(57) Zusammenfassung: Ein Verfahren zum Herstellen eines optoelektronischen Bauelements umfasst Schritte zum Bereitstellen eines Gehäuses mit einer ersten Oberfläche und einer zweiten Oberfläche, wobei ein elektrisch leitender Chipträger in das Gehäuse eingebettet und an der ersten Oberfläche und an der zweiten Oberfläche zugänglich ist, und zum Anlegen einer Isolationsschicht an der zweiten Oberfläche des Gehäuses mittels Aerosolabscheidung.

WO 2014/170211 A1

Beschreibung

Optoelektronisches Bauelement

- 5 Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen eines optoelektronischen Bauelements gemäß Patentanspruch 1 sowie ein optoelektronisches Bauelement gemäß Patentanspruch 11.
- 10 Optoelektronische Bauelement mit hoher Leistungsaufnahme, beispielsweise Hochleistungs-Leuchtdioden, erzeugen bekanntermaßen hohe Abwärmeleistungen. Es ist üblich, derartige optoelektronische Bauelemente mit thermischen Kontaktflächen zu versehen, die zur Abfuhr der Abwärme dienen. Solche thermischen Kontaktflächen bestehen aus einem elektrisch leitenden Material und sind häufig elektrisch leitend mit einem Potential eines optoelektronischen Halbleiterchips des optoelektronischen Bauelements verbunden. Für viele Anwendungen wäre es jedoch günstiger, die thermische Kontaktfläche eines
- 15 optoelektronischen Bauelements potentialfrei auszubilden.
- 20

Es ist bekannt, optoelektronische Bauelemente mit keramischen Gehäusen auszubilden, um eine potentialfreie thermische Kontaktfläche bereitzustellen. Derartige keramische Gehäuse sind

25 allerdings mit hohen Kosten verbunden.

Aus dem Stand der Technik ist ein Verfahren zur Aerosolabscheidung von Keramik bekannt. Dabei wird Keramik in Form von Pulver mit Teilchengrößen von beispielsweise einigen Mikrometern in einem Gasstrom mit einer Partikelgeschwindigkeit von

30 beispielsweise 100 m/s bis 500 m/s aufgebracht.

Eine Aufgabe der vorliegenden Erfindung besteht darin, ein Verfahren zum Herstellen eines optoelektronischen Bauelements anzugeben. Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, ein optoelektronisches Bauelement bereitzustellen.

35

Bei einem Verfahren zum Herstellen eines optoelektronischen Bauelements werden Schritte ausgeführt zum Bereitstellen eines Gehäuses mit einer ersten Oberfläche und einer zweiten Oberfläche, wobei ein elektrisch leitender Chipträger in das Gehäuse eingebettet und an der ersten Oberfläche und an der zweiten Oberfläche zugänglich ist. Der Begriff „eingebettet“ kann hierbei und im Folgenden bedeuten, dass das Gehäuse eine Vertiefung aufweist, in welcher sich der elektrisch leitende Chipträger befindet. Mit anderen Worten, der elektrisch leitende Chipträger wird an zumindest zwei Seiten von dem Gehäuse umschlossen. Zudem kann der Begriff „zugänglich“ hierbei und im Folgenden bedeuten, dass die erste und die zweite Oberfläche jeweils zumindest stellenweise frei von einem elektrisch isolierenden Material zum Beispiel des Gehäuses sind. An diesen Stellen kann eine elektrische Kontaktierung der ersten und/oder der zweiten Oberfläche erfolgen.

Ferner werden Schritte zum Anlegen einer Isolationsschicht an der zweiten Oberfläche des Gehäuses mittels Aerosolabscheidung (englisch: aerosol deposition method) ausgeführt. Eine mittels Aerosolabscheidung aufgebrachte Schicht kann insbesondere ein elektrisch isolierendes Material aufweisen, das in Form von Partikeln abgeschieden wurde. Insbesondere kann es sich bei einer mittels Aerosolabscheidung aufgebrachten Schicht um eine hochdichte und gleichzeitig dünne Keramikschicht handeln. Mit einem Aerosolabscheidungs-Verfahren ist es somit möglich, eine dünne elektrisch isolierend ausgebildete Isolationsschicht bereitzustellen, welche aufgrund ihrer geringen Dicke der Wärmewiderstand des optoelektronischen Bauelements nur marginal erhöht.

Durch das Aerosolabscheideverfahren kann die Isolationsschicht durch gezielte Wahl des Materials oder der Materialien der Partikel, der Partikelgrößenverteilung sowie der Verfahrens-Bedingungen mit gewünschten Eigenschaften hergestellt werden. Im Vergleich zu üblichen Beschichtungsverfahren wie etwa Vakuumbedampfung, chemischer Gasphasenabscheidung, Sputtern oder Ionenplattieren ist mit dem Aerosolab-

scheideverfahren ein qualitativ und quantitativ effizientes Aufbringen des Materials der elektrisch isolierenden Isolationsschicht in Form einer unstrukturierten oder strukturierten Schicht möglich. Im Vergleich zu Sinterverfahren, bei denen
5 üblicherweise Dispersionsmittel-haltige Pasten mit den gewünschten Materialpartikeln aufgebracht werden, kann beim Aerosolabscheideverfahren auf die flüssigen Dispersionsmittel verzichtet werden. Das Aerosolabscheideverfahren kann somit eine höhere Effizienz sowie eine höhere Prozessverträglich-
10 keit zur Herstellung der elektrisch isolierenden Isolationsschicht im Vergleich zu in der Halbleitertechnik üblichen Verfahren bieten.

Vorteilhafterweise kann bei einem nach diesem Verfahren her-
15 gestellten optoelektronischen Bauelement eine thermische Kontaktfläche durch die Isolationsschicht elektrisch gegen den elektrisch leitenden Chipträger isoliert sein, wodurch die thermische Kontaktfläche potentialfrei ist. Die Isolationsschicht kann dabei vorteilhafterweise eine nur minimale Erhö-
20 hung eines Wärmewiderstands bewirken. Das Verfahren ist vorteilhafterweise kostengünstig durchführbar. Insbesondere kann das Anlegen der Isolationsschicht mittels der Aerosolabscheidung kostengünstig durchgeführt werden. Das Anlegen der Isolationsschicht kann vorteilhafterweise mit einer hohen Pro-
25 zessgeschwindigkeit erfolgen, was eine Massenproduktion ermöglicht.

In einer Ausführungsform des Verfahrens weist die Isolationsschicht eine Keramik auf. Vorteilhafterweise kann die Isolationsschicht dadurch mit hoher elektrischer Durchbruchfestig-
30 keit und guter thermischer Leitfähigkeit angelegt werden.

In einer Ausführungsform des Verfahrens weist die Isolationsschicht Al_2O_3 (Aluminiumoxid) auf. Vorteilhafterweise ist
35 Al_2O_3 kostengünstig erhältlich und weist günstige mechanische, thermische und elektrische Eigenschaften auf.

In einer Ausführungsform des Verfahrens wird beim Anlegen der Isolationsschicht eine Schattenmaske oder eine Schablone verwendet. Dadurch kann die Isolationsschicht vorteilhafterweise mit Öffnungen angelegt werden, die eine elektrische Kontaktierung der zweiten Oberfläche des Gehäuses des optoelektronischen Bauelements ermöglichen. Vorteilhafterweise sind zum Anlegen der Öffnungen keine weiteren Prozessschritte erforderlich, wodurch eine Durchführung des Verfahrens einfach und kostengünstig möglich ist.

In einer Ausführungsform des Verfahrens wird die Isolationsschicht mit einer Dicke zwischen 1 µm und 20 µm angelegt. Bevorzugt kann die Isolationsschicht eine Dicke von höchstens 10 µm aufweisen. Vorteilhafterweise weist die Isolationsschicht dann eine ausreichende Durchbruchfestigkeit auf. Ein weiterer Vorteil besteht darin, dass eine derart dünne Isolationsschicht innerhalb sehr kurzer Bearbeitungszeit angelegt werden kann. Ein weiterer Vorteil besteht darin, dass eine solch dünne Isolationsschicht nur eine geringe Erhöhung eines Wärmewiderstands bewirkt.

In einer Ausführungsform des Verfahrens umfasst dieses einen zusätzlichen Schritt zum Anlegen einer Metallisierung auf Abschnitten der Isolationsschicht und der zweiten Oberfläche. Die Metallisierung kann dabei zur Herstellung elektrischer und thermischer Kontaktflächen dienen. Vorteilhafterweise kann bei einem nach diesem Verfahren hergestellten optoelektronischen Bauelement eine durch einen Abschnitt der Metallisierung gebildete thermische Kontaktfläche durch die Isolationsschicht elektrisch gegen den elektrisch leitenden Chipträger isoliert sein, wodurch die thermische Kontaktfläche potentialfrei ist.

In einer Ausführungsform des Verfahrens wird zum Anlegen der Metallisierung eine Keimschicht auf der Isolationsschicht und der zweiten Oberfläche aufgebracht. Dann wird die Metallisierung galvanisch auf der Keimschicht abgeschieden. Vorteilhaft-

terweise erlaubt dies ein schnelles und kostengünstiges Anlegen der Metallisierung.

In einer Ausführungsform des Verfahrens wird die Metallisierung durch teilweises Entfernen der Metallisierung strukturiert. Vorteilhafterweise kann die Metallisierung dadurch in unterschiedliche Flächenabschnitte unterteilt werden, die elektrisch voneinander isoliert sind.

- 5 In einer Ausführungsform des Verfahrens umfasst dieses einen zusätzlichen Schritt zum Anordnen eines optoelektronischen Halbleiterchips auf der ersten Oberfläche des Gehäuses derart, dass eine elektrisch leitende Verbindung zwischen dem optoelektronischen Halbleiterchip und dem Chipträger besteht.
- 10 Vorteilhafterweise kann der auf der ersten Oberfläche angeordnete optoelektronische Halbleiterchip dann über den Chipträger elektrisch kontaktiert werden.

- In einer Ausführungsform des Verfahrens wird das Gehäuse mit einem in das Gehäuse eingebetteten elektrisch leitenden Kontakt bereitgestellt, der an der ersten Oberfläche und an der zweiten Oberfläche zugänglich ist. Vorteilhafterweise kann der in das Gehäuse eingebettete elektrisch leitende Kontakt dann eine weitere elektrisch leitende Verbindung zu dem optoelektronischen Halbleiterchip bereitstellen.
- 20
- 25

- In einer Ausführungsform des Verfahrens umfasst dieses einen zusätzlichen Schritt zum Herstellen einer elektrisch leitenden Verbindung zwischen dem optoelektronischen Halbleiterchip und dem Kontakt. Vorteilhafterweise kann der optoelektronische Halbleiterchip dann an der zweiten Oberfläche des Gehäuses des optoelektronischen Bauelements über den eingebetteten Kontakt elektrisch kontaktiert werden.
- 30

- 35 Ein optoelektronisches Bauelement umfasst ein Gehäuse mit einer ersten Oberfläche und einer zweiten Oberfläche. Dabei ist ein elektrisch leitender Chipträger in das Gehäuse eingebettet und an der ersten Oberfläche und an der zweiten Oberflä-

che zugänglich. Ein optoelektronischer Halbleiterchip ist auf der ersten Oberfläche des Gehäuses angeordnet. Zwischen dem optoelektronischen Halbleiterchip und dem Chipträger besteht eine elektrisch leitende Verbindung. An der zweiten Oberfläche des Gehäuses ist eine keramische Isolationsschicht angeordnet. Vorteilhafterweise kann bei diesem optoelektronischen Bauelement eine thermische Kontaktfläche durch die Isolationsschicht elektrisch gegen den in das Gehäuse eingebetteten Chipträger und damit auch gegen den elektrisch leitend mit dem Chipträger verbundenen optoelektronischen Halbleiterchip des optoelektronischen Bauelements isoliert sein. Dadurch ist die thermische Kontaktfläche potentialfrei. Die keramische Isolationsschicht kann aufgrund der hohen elektrischen Durchbruchsfestigkeit von Keramik vorteilhafterweise eine geringe Schichtdicke und dennoch eine ausreichend hohe elektrische Durchbruchsfestigkeit aufweisen. Dabei erhöht die keramische Isolationsschicht einen thermischen Widerstand nur in geringem Maße.

In einer Ausführungsform des optoelektronischen Bauelements weist die Isolationsschicht eine Dicke zwischen 1 μm und 20 μm auf. Bevorzugt kann die Isolationsschicht eine Dicke von höchstens 10 μm aufweisen. Vorteilhafterweise weist die Isolationsschicht dann eine hohe elektrische Durchbruchsfestigkeit und eine hohe thermische Leitfähigkeit auf.

In einer Ausführungsform des optoelektronischen Bauelements ist auf Abschnitten der Isolationsschicht und der zweiten Oberfläche eine Metallisierung angeordnet. Vorteilhafterweise kann bei diesem optoelektronischen Bauelement eine thermische Kontaktfläche durch einen Abschnitt der Metallisierung gebildet sein. Die thermische Kontaktfläche ist dabei durch die keramische Isolationsschicht elektrisch gegen den in das Gehäuse eingebetteten Chipträger und damit auch gegen den elektrisch leitend mit dem Chipträger verbundenen optoelektronischen Halbleiterchip des optoelektronischen Bauelements isoliert. Dadurch ist die in der Metallisierung gebildete thermische Kontaktfläche potentialfrei. Durch Abschnitte der

Metallisierung können außerdem auch elektrische Kontaktflächen des optoelektronischen Bauelements gebildet sein.

In einer Ausführungsform des optoelektronischen Bauelements steht ein erster Flächenabschnitt der Metallisierung in elektrisch leitender Verbindung mit dem Chipträger. Ein zweiter Flächenabschnitt der Metallisierung ist durch die Isolationsschicht gegen den Chipträger isoliert. Dabei sind der erste Flächenabschnitt und der zweite Flächenabschnitt elektrisch gegeneinander isoliert. Vorteilhafterweise kann der erste Flächenabschnitt der Metallisierung dann zur elektrischen Kontaktierung des optoelektronischen Halbleiterchips des optoelektronischen Bauelements dienen. Der zweite Flächenabschnitt der Metallisierung kann als thermische Kontaktfläche zur Abfuhr von durch den optoelektronischen Halbleiterchip produzierter Abwärme aus dem optoelektronischen Bauelement dienen. Die thermische Kontaktfläche ist dabei vorteilhafterweise potentialfrei.

In einer Ausführungsform des optoelektronischen Bauelements ist ein elektrisch leitender Kontakt in das Gehäuse eingebettet und an der ersten Oberfläche und an der zweiten Oberfläche zugänglich. Dabei besteht eine elektrisch leitende Verbindung zwischen dem optoelektronischen Halbleiterchip und dem Kontakt. Außerdem steht ein dritter Flächenabschnitt der Metallisierung in elektrisch leitender Verbindung mit dem Kontakt. Vorteilhafterweise kann der dritte Flächenabschnitt der Metallisierung dann ebenfalls zur elektrischen Kontaktierung des optoelektronischen Halbleiterchips des optoelektronischen Bauelements dienen.

In einer Ausführungsform des optoelektronischen Bauelements ist an der ersten Oberfläche des Gehäuses eine Vertiefung ausgebildet. Dabei ist der optoelektronische Halbleiterchip am Boden der Vertiefung angeordnet. Vorteilhafterweise ist der optoelektronische Halbleiterchip am Boden der Vertiefung vor einer mechanischen Beschädigung geschützt. Außerdem können Wände der Vertiefung vorteilhafterweise als optischer Re-

flektor des optoelektronischen Bauelements dienen. Die Vertiefung kann vorteilhafterweise auch zur Aufnahme eines Konvertermaterials zur Wellenlängenkonversion oder zur Befestigung einer optischen Linse dienen.

5

Die oben beschriebenen Eigenschaften, Merkmale und Vorteile dieser Erfindung sowie die Art und Weise, wie diese erreicht werden, werden klarer und deutlicher verständlich im Zusammenhang mit der folgenden Beschreibung der Ausführungsbeispiele, die im Zusammenhang mit den Zeichnungen näher erläutert werden. Dabei zeigen in jeweils schematisierter Darstellung:

10

Figur 1 einen Schnitt durch ein Gehäuse eines optoelektronischen Bauelements in einem ersten Bearbeitungsstand;

15

Figur 2 einen Schnitt durch das Gehäuse des optoelektronischen Bauelements in einem zweiten Bearbeitungsstand;

Figur 3 einen Schnitt durch das Gehäuse des optoelektronischen Bauelements in einem dritten Bearbeitungsstand;

20

Figur 4 einen Schnitt durch das Gehäuse des optoelektronischen Bauelements in einem vierten Bearbeitungsstand; und

25

Figur 5 einen Schnitt durch das optoelektronische Bauelements in einem fünften Bearbeitungsstand.

Figur 1 zeigt in schematisierter Schnittdarstellung ein Gehäuse 100 eines optoelektronischen Bauelements in einem ersten Bearbeitungsstand während einer Herstellung des optoelektronischen Bauelements. Das optoelektronische Bauelement kann beispielsweise ein Leuchtdiodenbauelement, insbesondere ein Hochleistungs-Leuchtdiodenbauelement, sein.

35

Das Gehäuse 100 weist eine erste Oberfläche 101 und eine der ersten Oberfläche 101 gegenüberliegende zweite Oberfläche 102 auf. Das Gehäuse 100 besteht zu einem Teil aus einem

elektrisch isolierenden Material, beispielsweise einem Mold-Material, etwa einem Epoxid. Das Gehäuse 100 wird bevorzugt durch Spritzgießen oder Spritzpressen oder einen anderen Mold-Prozess hergestellt.

5

In das Gehäuse 100 ist ein Chipträger 110 eingebettet. Der Chipträger 110 kann auch als erster Leadframe bezeichnet werden. Der Chipträger 110 weist ein elektrisch und thermisch gut leitendes Material auf, bevorzugt ein Metall. Beispielsweise kann der Chipträger 110 Kupfer aufweisen. Der Chipträger 110 weist eine Oberseite 111 und eine der Oberseite 111 gegenüberliegende Unterseite 112 auf. Der Chipträger 110 ist derart in das Gehäuse 100 eingebettet, dass die Oberseite 111 des Chipträgers 110 an der ersten Oberfläche 101 des Gehäuses 100 zugänglich ist. Gleichzeitig ist die Unterseite 112 des Chipträgers 110 an der zweiten Oberfläche 102 des Gehäuses 100 zugänglich. Das Einbetten des Chipträgers 110 in das Gehäuse 100 erfolgt bevorzugt bereits während der Herstellung des Gehäuses 100 durch Umspritzen oder Umgießen des Chipträgers 110 mit dem Material des Gehäuses 100.

Die Unterseite 112 des Chipträgers 110 weist einen ersten Abschnitt 113 und einen zweiten Abschnitt 114 auf. Der erste Abschnitt 113 und der zweite Abschnitt 114 liegen in lateraler Richtung nebeneinander. Der erste Abschnitt 113 und der zweite Abschnitt 114 können durch eine Strukturierung der Unterseite 112 des Chipträgers 110 derart gegeneinander abgegrenzt sein, dass zwischen dem ersten Abschnitt 113 und dem zweiten Abschnitt 114 ein Abschnitt des Materials des Gehäuses 100 angeordnet ist. Der erste Abschnitt 113 und der zweite Abschnitt 114 können jedoch auch unmittelbar flächig zusammenhängend ausgebildet sein. In jedem Fall sind der erste Abschnitt 113 und der zweite Abschnitt 114 durch weitere Teile des Chipträgers 110 elektrisch und thermisch leitend miteinander verbunden. Der Chipträger 110 kann insgesamt eine einfache zylindrische, etwas eine kreiszylindrische, Geometrie oder eine komplexere Geometrie aufweisen.

Ferner ist in das Gehäuse 100 ein Kontakt 120 eingebettet. Der Kontakt 120 kann auch als zweiter Leadframe bezeichnet werden. Der Kontakt 120 weist ein elektrisch leitendes Material auf. Der Kontakt 120 kann beispielsweise das gleiche Material aufweisen wie der Chipträger 110. Der Kontakt 120 weist eine Oberseite 121 und eine der Oberseite 121 gegenüberliegende Unterseite 122 auf. Der Kontakt 120 ist derart in das Gehäuse 100 eingebettet, dass die Oberseite 121 des Kontakts 120 an der ersten Oberfläche 101 des Gehäuses 100 zugänglich ist. Gleichzeitig ist die Unterseite 122 des Kontakts 120 an der zweiten Oberfläche 102 des Gehäuses 100 zugänglich. Das Einbetten des Kontakts 120 in das Gehäuse 100 erfolgt bevorzugt gleichzeitig mit dem Einbetten des Chipträgers 110 in das Gehäuse 100. Der Kontakt 120 kann eine zylindrische, etwa eine kreiszylindrische, Geometrie oder eine andere Geometrie aufweisen.

Das Gehäuse 100 weist an seiner ersten Oberfläche 101 eine Vertiefung 160 auf. Die Vertiefung 160 ist schüsselförmig bzw. kraterförmig ausgebildet. Die Vertiefung 160 weist in ihrem Mittenbereich einen im Wesentlichen ebenen Boden 161 auf, an dem die Oberseite 111 des Chipträgers 110 und die Oberseite 121 des Kontakts 120 zugänglich sind. Der Boden 161 der Vertiefung 160 wird außen durch eine umlaufende Wandung 162 begrenzt, die gegenüber dem Boden 161 erhaben ist. Die Wandung 162 kann derart abgeschrägt ausgebildet sein, dass sich die Vertiefung 160 vom Boden 161 her zunehmend aufweitet. In der Ebene der ersten Oberfläche 101 des Gehäuses 100 kann die Vertiefung 160 beispielsweise kreisscheibenförmig oder rechteckig ausgebildet sein.

Figur 2 zeigt eine schematische Schnittdarstellung des Gehäuses 100 in einem zweiten Bearbeitungsstand, der dem ersten Bearbeitungsstand der Figur 1 zeitlich nachfolgt.

Zum Erreichen des zweiten Bearbeitungsstands wird eine strukturierte Isolationsschicht 130 an der zweiten Oberfläche 102 des Gehäuses 100 angelegt. Die Isolationsschicht 130 ist flä-

chig ausgebildet und bedeckt die zweite Oberfläche 102 des Gehäuses 100 im Wesentlichen vollständig. Allerdings weist die Isolationsschicht 130 eine erste Öffnung 131 und eine zweite Öffnung 132 auf. Die erste Öffnung 131 der Isolations-
5 schicht 130 ist im Bereich des zweiten Abschnitts 114 der Unterseite 112 des in das Gehäuse 100 eingebetteten Chipträgers 110 angeordnet. Somit ist durch die erste Öffnung 131 der Isolationsschicht 130 der zweite Abschnitt 114 der Unterseite 112 des Chipträgers 110 zugänglich. Die zweite Öffnung 132
10 ist in dem Bereich der zweiten Oberfläche 102 des Gehäuses angeordnet, in dem die Unterseite 122 des Kontakts 120 zugänglich ist. Somit ist durch die zweite Öffnung 132 der Isolationsschicht 130 die Unterseite 122 des Kontakts 120 zugänglich. Der erste Abschnitt 113 der Unterseite 112 des
15 Chipträgers 110 ist durch die Isolationsschicht 130 bedeckt.

Die Isolationsschicht 130 weist eine Keramik auf, die elektrisch isolierend ist. Gleichzeitig weist das Material der Isolationsschicht 130 bevorzugt eine hohe thermische
20 Leitfähigkeit auf. Die Isolationsschicht 130 kann beispielsweise Al_2O_3 (Aluminiumoxid) aufweisen. Die Wärmeleitfähigkeit der Isolationsschicht 130 kann beispielsweise 25 W/mK betragen.

25 Die Isolationsschicht 130 wird mittels Aerosolabscheidung auf die zweite Oberfläche 102 des Gehäuses 100 aufgebracht. Dabei wird das Material der Isolationsschicht 130 in Form von Pulver mit einer durchschnittlichen Teilchengröße von beispielsweise 2 μm in einem Gasstrom mit einer Partikelgeschwindigkeit von beispielsweise 100 m/s bis 500 m/s aufgebracht. Das
30 Verfahren der Aerosolabscheidung erlaubt dabei Abscheideraten von mehreren $\mu\text{m}/\text{min}$. Das Verfahren der Aerosolabscheidung erlaubt die Abscheidung einer Schicht mit einer Dicke von bis zu 0,1 mm oder mehr.

35

Die Isolationsschicht 130 wird bevorzugt unter Verwendung einer Schattenmaske oder einer Schablone abgeschieden. Die Schattenmaske oder die Schablone schattet dabei diejenigen

Bereiche der zweiten Oberfläche 102 des Gehäuses 100 ab, in denen die erste Öffnung 131 und die zweite Öffnung 132 der Isolationsschicht 130 ausgebildet werden sollen. Dadurch wird die Isolationsschicht 130 in allen Bereichen der zweiten
5 Oberfläche 102 des Gehäuses 100, außer in den Bereichen der ersten Öffnung 131 und der zweiten Öffnung 132 angelegt.

Die Isolationsschicht 130 weist in Wachstumsrichtung, also in Richtung senkrecht zur zweiten Oberfläche 102, eine Dicke
10 zwischen 1 μm und 20 μm auf. Wegen der hohen elektrischen Durchbruchsfestigkeit des Keramikmaterials der Isolationsschicht 130 bewirkt die Isolationsschicht 130 bei dieser Dicke eine ausreichende elektrische Isolation. Die Isolationsschicht 130 weist wegen ihrer geringen Dicke zudem nur einen
15 geringen Wärmewiderstand auf.

Figur 3 zeigt eine schematische Schnittdarstellung des Gehäuses 100 in einem dritten Bearbeitungsstand, der dem zweiten Bearbeitungsstand der Figur 2 zeitlich nachfolgt.

20 Zum Erreichen des dritten Bearbeitungsstands wird eine Metallisierung 140 auf der Isolationsschicht 130 und den nicht durch die Isolationsschicht 130 bedeckten Teilen der zweiten Oberfläche 102 angelegt. Die nicht durch die Isolationsschicht 130 bedeckten Teile der zweiten Oberfläche 102 befinden sich im Bereich der ersten Öffnung 131 der Isolationsschicht 130 und der zweiten Öffnung 132 der Isolationsschicht 130.

30 Die Metallisierung 140 weist ein elektrisch leitendes Material auf, beispielsweise ein Metall. Bevorzugt weist die Metallisierung 140 ein Material auf, das sich gut zum Herstellen von Lötverbindungen eignet.

35 Zum Anlegen der Metallisierung kann zunächst eine Keimschicht auf der Isolationsschicht 130 und der zweiten Oberfläche 102 des Gehäuses 100 angelegt werden. Die Keimschicht kann beispielsweise durch das Verfahren der Kathodenzerstäubung

(Sputtern) angelegt werden. Anschließend kann die Keimschicht mittels galvanischer Abscheidung verdickt werden, um die Metallisierung 140 auszubilden. Die Metallisierung 140 kann jedoch auch nach einem anderen Verfahren angelegt werden.

5

Figur 4 zeigt eine schematische Schnittdarstellung des Gehäuses 100 in einem vierten Bearbeitungsstand, der dem dritten Bearbeitungsstand der Figur 3 zeitlich nachfolgt.

- 10 Zum Erreichen des vierten Bearbeitungsstands wird die Metallisierung 140 strukturiert. Die Strukturierung der Metallisierung kann beispielsweise durch lithografische Verfahren und Ätzprozesse erfolgen. Bei der Strukturierung der Metallisierung 140 werden Teile der Metallisierung 140 entfernt.
- 15 Hierdurch wird die Metallisierung 140 in lateral voneinander beabstandete Flächenabschnitte unterteilt. In den Trennbereichen zwischen den Flächenabschnitten wird die Metallisierung 140 entfernt.
- 20 Ein erster Abschnitt 141 der Metallisierung 140 verbleibt im Bereich des zweiten Abschnitts 114 der Unterseite 112 des Chipträgers 110. Der erste Abschnitt 141 der Metallisierung 140 ist im Bereich der ersten Öffnung 131 der Isolationsschicht 130 angeordnet. Der erste Abschnitt 141 der Metallisierung 140 steht in elektrisch leitender Verbindung mit dem
- 25 Chipträger 110. Ein zweiter Abschnitt 142 der Metallisierung 140 verbleibt im Bereich der Unterseite 122 des in das Gehäuse 100 eingebetteten Kontakts 120. Der zweite Abschnitt 142 der Metallisierung 140 ist im Bereich der zweiten Öffnung 132 der Isolationsschicht 130 angeordnet. Der zweite Abschnitt
- 30 142 der Metallisierung 140 steht in elektrisch leitender Verbindung mit dem Kontakt 120. Ein dritter Abschnitt 143 der Metallisierung 140 verbleibt im Bereich des Abschnitts 113 der Unterseite 112 des Chipträgers 110. Dabei ist zwischen
- 35 dem dritten Abschnitt 143 der Metallisierung 140 und der Unterseite 112 des Chipträgers 110 die Isolationsschicht 130 angeordnet, die eine elektrische Isolation des dritten Abschnitts 143 der Metallisierung 140 gegen den Chipträger 110

bewirkt. Der erste Abschnitt 141, der zweite Abschnitt 142 und der dritte Abschnitt 143 der Metallisierung 140 sind jeweils elektrisch gegeneinander isoliert.

- 5 Figur 5 zeigt eine schematische Schnittdarstellung des Gehäuses 100 in einem fünften Bearbeitungsstand, der dem vierten Bearbeitungsstand der Figur 4 zeitlich nachfolgt.

10 Zum Erreichen des in Figur 5 gezeigten fünften Bearbeitungsstands wird ein optoelektronischer Halbleiterchip 150 an der ersten Oberfläche 101 des Gehäuses 100 angeordnet. Das Gehäuse 100 und der optoelektronische Halbleiterchip 150 bilden gemeinsam ein optoelektronisches Bauelement 10. Bei dem optoelektronischen Halbleiterchip 150 kann es sich beispielsweise
15 um einen Leuchtdiodenchip (LED-Chip) handeln. Das optoelektronische Bauelement 10 ist dann ein Leuchtdiodenbauelement. Insbesondere kann es sich bei dem optoelektronischen Halbleiterchip 150 um einen LED-Chip mit hoher Leistungsaufnahme handeln. Das optoelektronische Bauelement 10 ist dann ein
20 Hochleistungs-Leuchtdiodenbauelement.

Der optoelektronische Halbleiterchip 150 weist eine erste Oberfläche 151 und eine der ersten Oberfläche 151 gegenüberliegende zweite Oberfläche 152 auf. An der ersten Oberfläche
25 151 des optoelektronischen Halbleiterchips 150 ist eine erste elektrische Kontaktfläche 153 angeordnet. An der zweiten Oberfläche 152 des optoelektronischen Halbleiterchips 150 ist eine zweite elektrische Kontaktfläche 154 angeordnet. Zwischen der ersten elektrischen Kontaktfläche 153 und der zweiten elektrischen Kontaktfläche 154 kann eine elektrische
30 Spannung an den optoelektronischen Halbleiterchip 150 angelegt werden, um den optoelektronischen Halbleiterchip 150 zu betreiben.

35 Falls es sich bei dem optoelektronischen Halbleiterchip 150 um einen LED-Chip handelt, so kann die erste Oberfläche 151 eine Strahlungsemissionsfläche des optoelektronischen Halbleiterchips 150 bilden. Wird zwischen der ersten elektrischen

Kontaktfläche 153 und der zweiten elektrischen Kontaktfläche 154 eine elektrische Spannung an den optoelektronischen Halbleiterchip 150 angelegt, so wird im optoelektronischen Halbleiterchip 150 elektromagnetische Strahlung, beispielsweise sichtbares Licht, erzeugt und durch die durch die erste Oberfläche 151 gebildete Strahlungsemissionsfläche emittiert.

Der optoelektronische Halbleiterchip 150 ist derart auf der ersten Oberfläche 101 des Gehäuses 100 angeordnet, dass die zweite Oberfläche 152 des optoelektronischen Halbleiterchips 150 der ersten Oberfläche 101 des Gehäuses 100 zugewandt ist. Dabei ist der optoelektronische Halbleiterchip 150 im Bereich der an der ersten Oberfläche 101 des Gehäuses 100 zugänglichen Oberseite 111 des Chipträgers 110 angeordnet, so dass eine elektrisch leitende Verbindung zwischen der an der zweiten Oberfläche 152 des optoelektronischen Halbleiterchips 150 angeordneten zweiten elektrischen Kontaktfläche 154 und dem Chipträger 110 besteht.

Zwischen der an der ersten Oberfläche 151 des optoelektronischen Halbleiterchips 150 angeordneten ersten elektrischen Kontaktfläche 153 und der Oberseite 121 des Kontakts 120 wird eine elektrisch leitende Verbindung 170 angelegt. Die elektrisch leitende Verbindung 170 kann beispielsweise eine Bondverbindung mittels eines dünnen Drahts (Bonddraht) sein.

Somit ist der erste Abschnitt 141 der Metallisierung 140 über den Chipträger 110 elektrisch leitend mit der zweiten elektrischen Kontaktfläche 154 des optoelektronischen Halbleiterchips 150 verbunden. Der zweite Abschnitt 142 der Metallisierung 140 ist über den Kontakt 120 und die elektrisch leitende Verbindung 170 elektrisch leitend mit der ersten elektrischen Kontaktfläche 153 des optoelektronischen Halbleiterchips 150 verbunden. Über den ersten Abschnitt 141 und den zweiten Abschnitt 142 der Metallisierung 140 an der Unterseite 102 des Gehäuses 100 kann der optoelektronische Halbleiterchip 150 mit Spannung beaufschlagt werden.

Wird der optoelektronische Halbleiterchip 150 durch Beaufschlagen mit elektrischer Spannung betrieben, so produziert der optoelektronische Halbleiterchip 150 Abwärme, die aus dem optoelektronischen Halbleiterchip 150 und den übrigen Teilen des optoelektronischen Bauelements 10 abgeführt werden muss. Die durch den optoelektronischen Halbleiterchip 150 produzierte Abwärme kann in den Chipträger 110 fließen und von diesem über die Isolationsschicht 130 in den dritten Abschnitt 143 der Metallisierung 140 geleitet werden. Vom dritten Abschnitt 143 der Metallisierung 140 kann die Abwärme des optoelektronischen Halbleiterchips 150 weiter abtransportiert werden.

Wegen ihrer geringen Dicke trägt die Isolationsschicht 130 zwischen dem Chipträger 110 und dem dritten Abschnitt 143 der Metallisierung 140 nur einen geringen Anteil zum Wärmewiderstand bei. Falls die Isolationsschicht 130 beispielsweise Al_2O_3 mit einer Wärmeleitfähigkeit von 25 W/mK und eine Dicke von 5 μm aufweist, so erhöht die Isolationsschicht 130 den Wärmewiderstand für einen optoelektronischen Halbleiterchip 150, dessen zweite Oberfläche 152 eine Kantenlänge von beispielhaft 1 mm aufweist, nur um etwa 0,2 K/W. Bei einer Dicke der Isolationsschicht 130 von 2,5 μm reduziert sich der additive Beitrag der Isolationsschicht 130 zum Wärmewiderstand auf etwa 0,1 K/W.

Der erste Abschnitt 141, der zweite Abschnitt 142 und der dritte Abschnitt 143 der Metallisierung 140 des optoelektronischen Bauelements 10 können beispielsweise mittels eines Lötverfahrens auf einem Träger befestigt werden. Beispielsweise können die Abschnitte 141, 142, 143 der Metallisierung 140 des optoelektronischen Bauelements 10 durch Wiederaufschmelzlöten (Reflow-Löten) nach einem Verfahren zur Oberflächenmontage (SMT-Verfahren) kontaktiert werden.

Wegen der zwischen dem dritten Abschnitt 143 der Metallisierung 140 und dem Chipträger 110 angeordneten Isolationsschicht 130 ist der dritte Abschnitt 143 der Metallisierung

140 elektrisch gegen den Chipträger 110 isoliert und liegt daher vorteilhafterweise nicht auf dem elektrischen Potential des Chipträgers 110.

5 Der optoelektronische Halbleiterchip 150 ist im Bereich des Bodens 161 der Vertiefung 160 an der Oberseite 101 des Gehäuses 100 angeordnet. Die Wandung 162 des Gehäuses 100 kann beispielsweise als optischer Reflektor des optoelektronischen Bauelements 10 dienen. In diesem Fall ist die Wandung 162 bevorzugt aus einem optisch reflektierenden Material ausgebildet oder mit einem solchen Material beschichtet. Die Wandung 162 der Vertiefung 160 kann dann dazu dienen, durch die erste Oberfläche 151 des optoelektronischen Halbleiterchips 150 in Richtung der Wandung 162 der Vertiefung 160 ausgesandte
10 Strahlung zu reflektieren und die durch den optoelektronischen Halbleiterchips 150 emittierte Strahlung dadurch zu bündeln.
15

Die Vertiefung 160 des optoelektronischen Bauelements 10 kann auch zur Aufnahme eines wellenlängenkonvertierenden Materials dienen, das dazu vorgesehen ist, eine Wellenlänge von durch den optoelektronischen Halbleiterchip 150 emittierter Strahlung zu konvertieren. Das wellenlängenkonvertierende Material kann beispielsweise in ein in der Vertiefung 160 angeordnetes Füllmaterial, etwa Silikon, eingebettet sein. Alternativ kann auch ein Füllmaterial ohne wellenlängenkonvertierendes Material in der Vertiefung 160 angeordnet sein.
20
25

Die Vertiefung 160 kann ferner dazu dienen, eine optische Linse am Gehäuse 100 des optoelektronischen Bauelements 10 zu befestigen.
30

In einer vereinfachten Variante des optoelektronischen Bauelements 10 und des erläuterten Verfahrens zu seiner Herstellung kann auf das Anlegen und Strukturieren der Metallisierung 140 verzichtet werden. In dieser Variante kann das optoelektronische Bauelement 10 auf einem Träger angeordnet werden, der thermische und elektrische Kontaktflächen aufweist.
35

Das optoelektronische Bauelement 10 wird dabei so auf dem Träger angeordnet, dass die thermische Kontaktfläche des Trägers im Bereich des ersten Abschnitts 113 des Chipträgers 110 in Kontakt mit der Isolationsschicht 130 kommt. Gleichzeitig
5 wird das optoelektronische Bauelement 10 so angeordnet, dass eine erste elektrische Kontaktfläche des Trägers durch die erste Öffnung 131 der Isolationsschicht 130 in elektrisch leitender Verbindung mit dem Chipträger 110 steht. Außerdem steht eine zweite elektrische Kontaktfläche des Trägers durch
10 die zweite Öffnung 132 der Isolationsschicht 130 in elektrisch leitender Verbindung mit dem Kontakt 120.

Die Erfindung wurde anhand der bevorzugten Ausführungsbeispiele näher illustriert und beschrieben. Dennoch ist die Erfindung nicht auf die offenbarten Beispiele eingeschränkt.
15 Vielmehr können hieraus andere Variationen vom Fachmann abgeleitet werden, ohne den Schutzzumfang der Erfindung zu verlassen.

20 Die vorliegende Anmeldung beansprucht die Priorität der deutschen Anmeldung DE 10 2013 103 760.7, deren Offenbarungsgesamt hiermit durch Rückbezug aufgenommen wird.

Patentansprüche

1. Verfahren zum Herstellen eines optoelektronischen Bauelements (10)
mit den folgenden Schritten:
 - Bereitstellen eines Gehäuses (100) mit einer ersten Oberfläche (101) und einer zweiten Oberfläche (102), wobei ein elektrisch leitender Chipträger (110) in das Gehäuse (100) eingebettet und an der ersten Oberfläche (101) und an der zweiten Oberfläche (102) zumindest stellenweise zugänglich ist;
 - Anlegen einer Isolationsschicht (130) an der zweiten Oberfläche (102) des Gehäuses (100) mittels Aerosolabscheidung.
2. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei die Isolationsschicht (130) eine Keramik aufweist.
3. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei die Isolationsschicht (130) Al_2O_3 aufweist.
4. Verfahren gemäß dem vorhergehenden Anspruch, wobei der Wärmewiderstand des optoelektronischen Bauelements durch die Isolationsschicht (130) um höchstens 0,2 K/W erhöht wird.
5. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei beim Anlegen der Isolationsschicht (130) eine Schattenmaske oder eine Schablone verwendet wird.
6. Verfahren gemäß einem der vorhergehenden Ansprüche, wobei das Verfahren den folgenden weiteren Schritt umfasst:
 - Anlegen einer Metallisierung (140) auf Abschnitten der Isolationsschicht (130) und der zweiten Oberfläche (102).

7. Verfahren gemäß dem vorhergehenden Anspruch,
wobei zum Anlegen der Metallisierung (140) eine Keim-
schicht auf der Isolationsschicht (130) und der zweiten
Oberfläche (102) aufgebracht wird,
5 wobei die Metallisierung (140) galvanisch auf der Keim-
schicht abgeschieden wird.
8. Verfahren gemäß einem der vorhergehenden Ansprüche,
wobei die Metallisierung (140) durch teilweises Entfernen
10 der Metallisierung (140) strukturiert wird.
9. Verfahren gemäß einem der vorhergehenden Ansprüche,
wobei das Verfahren den folgenden weiteren Schritt um-
fasst:
15 - Anordnen eines optoelektronischen Halbleiterchips (150)
auf der ersten Oberfläche (101) des Gehäuses (100) der-
art, dass eine elektrisch leitende Verbindung zwischen
dem optoelektronischen Halbleiterchip (150) und dem Chip-
träger (110) besteht.
20
10. Verfahren gemäß einem der vorhergehenden Ansprüche,
wobei das Gehäuse (100) mit einem in das Gehäuse (100)
eingebetteten elektrisch leitenden Kontakt (120) bereit-
gestellt wird, der an der ersten Oberfläche (101) und an
25 der zweiten Oberfläche (102) elektrisch kontaktiert wer-
den kann.
11. Verfahren gemäß einem der vorhergehenden Ansprüche,
wobei das Verfahren den folgenden weiteren Schritt um-
30 fasst:
- Herstellen einer elektrisch leitenden Verbindung (170)
zwischen dem optoelektronischen Halbleiterchip (150) und
dem Kontakt (120).
- 35 12. Optoelektronisches Bauelement (10)
mit einem Gehäuses (100) mit einer ersten Oberfläche
(101) und einer zweiten Oberfläche (102),
wobei ein elektrisch leitender Chipträger (110) in das

Gehäuse (100) eingebettet und an der ersten Oberfläche (101) zumindest stellenweise zugänglich ist, wobei der elektrisch leitende Chipträger (110) an der zweiten Oberfläche (102) von außen elektrisch kontaktierbar ist, wobei ein optoelektronischer Halbleiterchip (150) auf der ersten Oberfläche (101) des Gehäuses (100) angeordnet ist, wobei eine elektrisch leitende Verbindung zwischen dem optoelektronischen Halbleiterchip (150) und dem Chipträger (110) besteht, wobei eine keramische Isolationsschicht (130) an der zweiten Oberfläche (102) des Gehäuses (100) angeordnet ist.

13. Optoelektronisches Bauelement (10) gemäß Anspruch 11, wobei die Isolationsschicht (130) eine Dicke zwischen 1 μm und 20 μm aufweist.

14. Optoelektronisches Bauelement (10) gemäß einem der Ansprüche 11 und 12, wobei eine Metallisierung (140) auf Abschnitten der Isolationsschicht (130) und der zweiten Oberfläche (102) angeordnet ist.

15. Optoelektronisches Bauelement (10) gemäß Anspruch 13, wobei ein erster Flächenabschnitt (141) der Metallisierung (140) in elektrisch leitender Verbindung mit dem Chipträger steht, wobei ein zweiter Flächenabschnitt (143) der Metallisierung (140) durch die Isolationsschicht (130) gegen den Chipträger (110) isoliert ist, wobei der erste Flächenabschnitt (141) und der zweite Flächenabschnitt (143) elektrisch gegeneinander isoliert sind.

16. Optoelektronisches Bauelement (10) gemäß einem der Ansprüche 13 und 14,

wobei ein elektrisch leitender Kontakt (120) in das Gehäuse (100) eingebettet und an der ersten Oberfläche (101) und an der zweiten Oberfläche (102) elektrisch kontaktierbar ist,

5 wobei eine elektrisch leitende Verbindung (170) zwischen dem optoelektronischen Halbleiterchip (150) und dem Kontakt (120) besteht,
wobei ein dritter Flächenabschnitt (142) der Metallisierung (140) in elektrisch leitender Verbindung mit dem
10 Kontakt (120) steht.

17. Optoelektronisches Bauelement (10) gemäß einem der Ansprüche 11 bis 15,

wobei an der ersten Oberfläche (101) des Gehäuses (100)
15 eine Vertiefung (160) ausgebildet ist,
wobei der optoelektronische Halbleiterchip (150) am Boden (161) der Vertiefung (160) angeordnet ist.

FIG 1

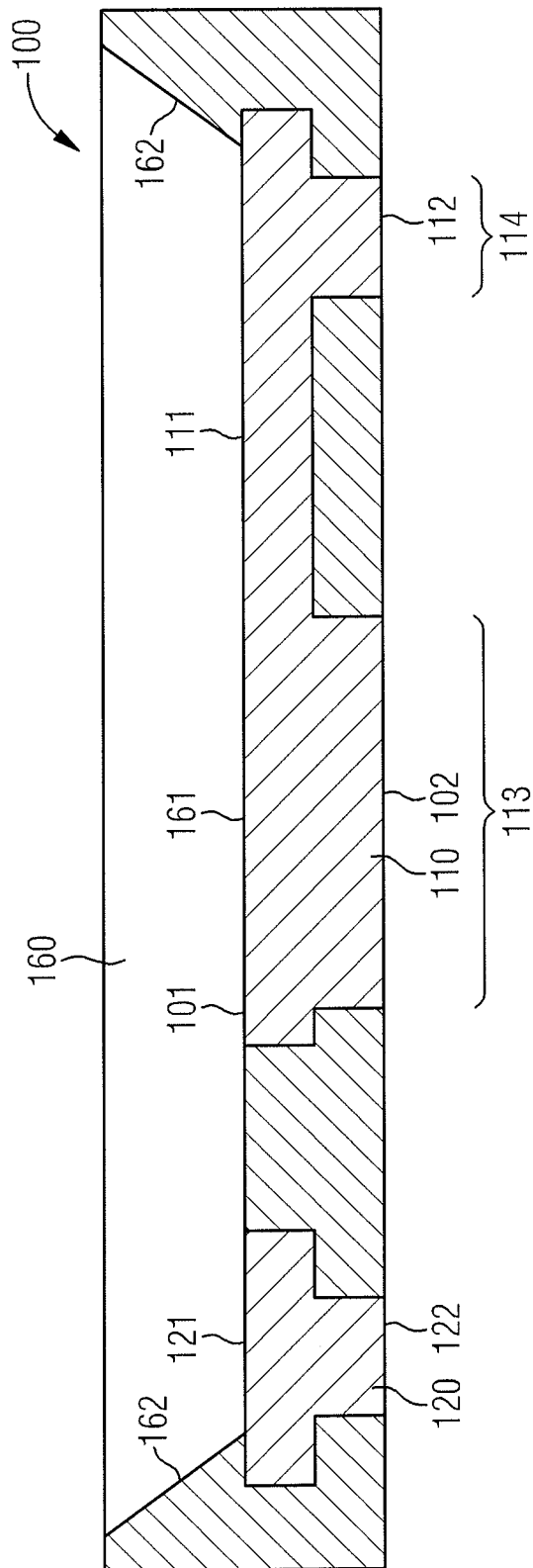


FIG 2

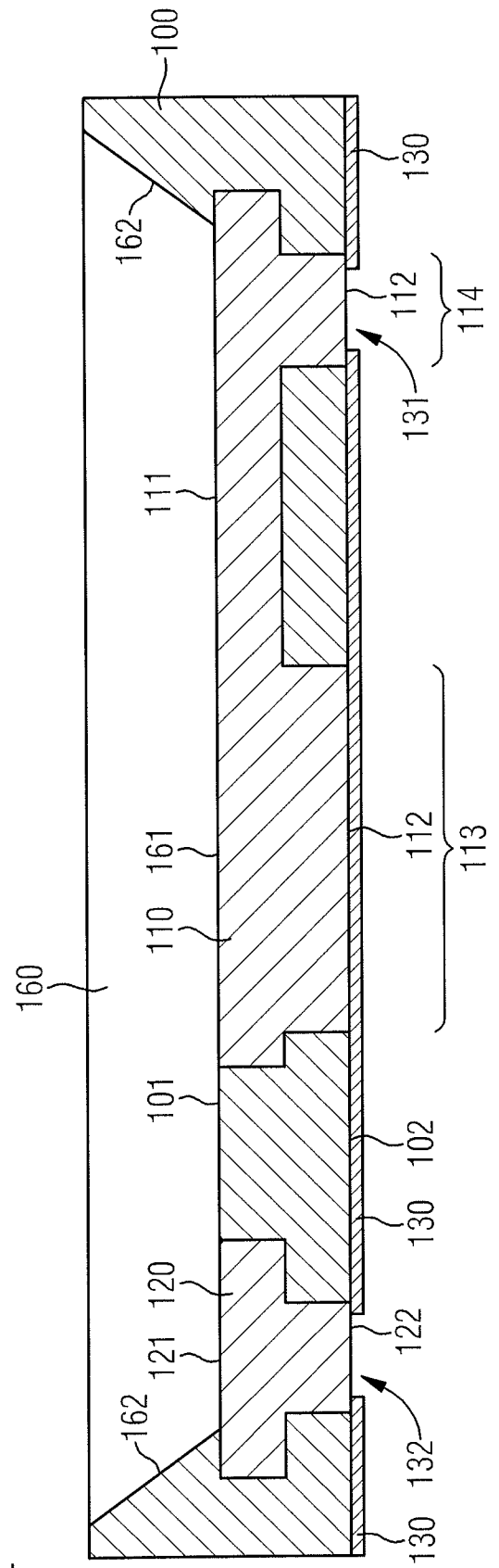


FIG 3

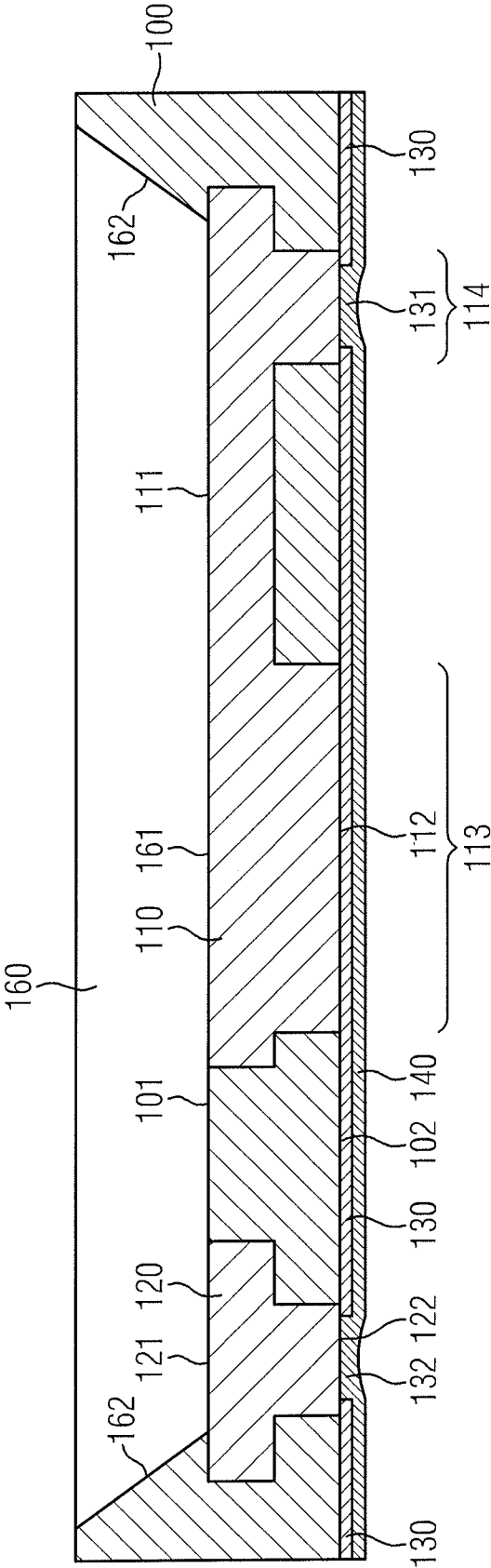


FIG 4

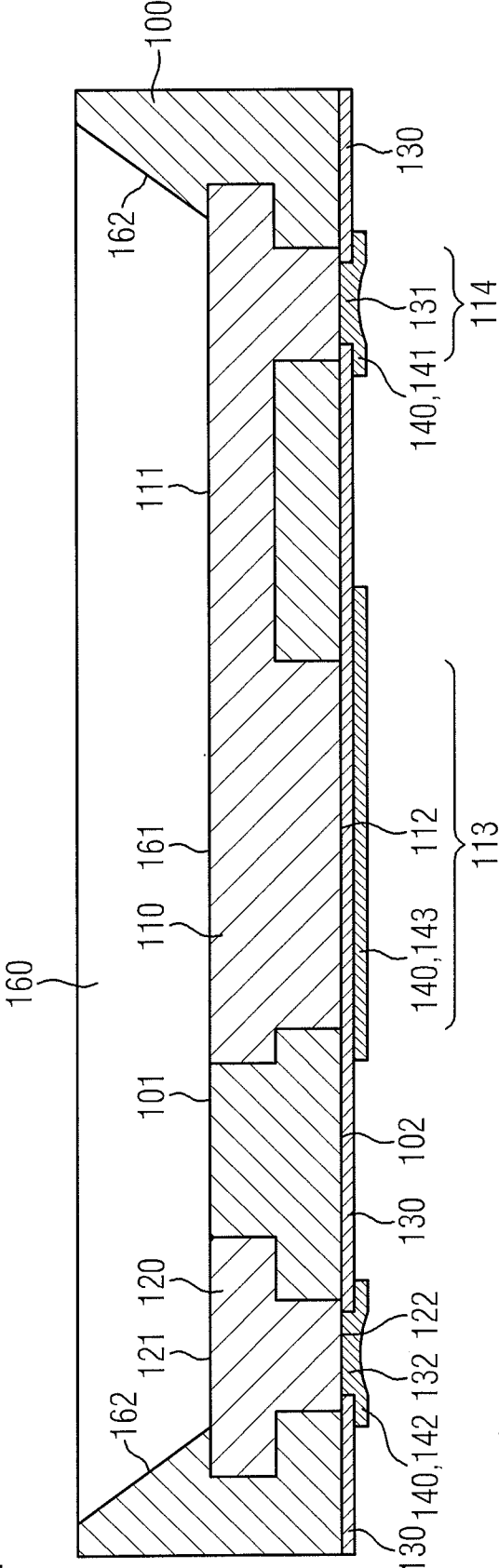
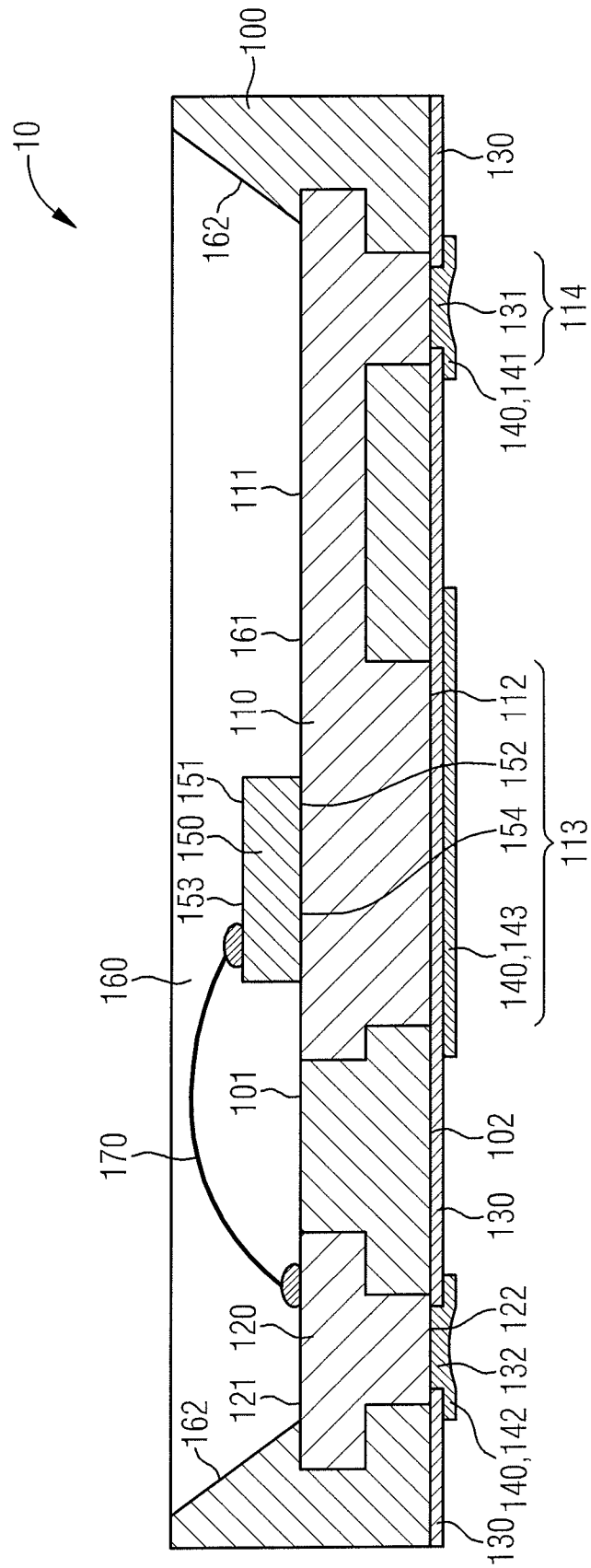


FIG 5



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2014/057300

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/48 H01L33/44
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/124953 A1 (NEGLEY GERALD H [US] ET AL) 15 June 2006 (2006-06-15) paragraphs [0041] - [0057]; figure 1 -----	1-5, 9-13,17
X	US 2004/079957 A1 (ANDREWS PETER SCOTT [US] ET AL ANDREWS PETER S [US] ET AL) 29 April 2004 (2004-04-29) paragraph [0066]; figure 7C -----	1,6-8, 12,14-16
A	KR 2011 0030257 A (POINT ENGINEERING CO LTD [KR]) 23 March 2011 (2011-03-23) paragraphs [0054] - [0057] -----	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

4 August 2014

Date of mailing of the international search report

11/08/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Aichmayr, Günther

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2014/057300

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 2006124953	A1	15-06-2006	CN	101120450 A	06-02-2008
			CN	101599524 A	09-12-2009
			DE	112005003083 T5	31-10-2007
			JP	2008523639 A	03-07-2008
			US	2006124953 A1	15-06-2006
			WO	2006065558 A2	22-06-2006

US 2004079957	A1	29-04-2004	AT	444568 T	15-10-2009
			CA	2549822 A1	12-05-2005
			CN	1871710 A	29-11-2006
			CN	102148316 A	10-08-2011
			EP	1680816 A1	19-07-2006
			EP	2139051 A1	30-12-2009
			JP	4602345 B2	22-12-2010
			JP	2007509505 A	12-04-2007
			KR	20070090071 A	05-09-2007
			KR	20110020950 A	03-03-2011
			KR	20120132567 A	05-12-2012
			KR	20130056339 A	29-05-2013
			TW	I392105 B	01-04-2013
			TW	201210061 A	01-03-2012
			TW	201210062 A	01-03-2012
			TW	201212297 A	16-03-2012
			TW	201320385 A	16-05-2013
			TW	201338194 A	16-09-2013
			US	2004079957 A1	29-04-2004
			US	2007200127 A1	30-08-2007
			US	2011121345 A1	26-05-2011
			US	2012235199 A1	20-09-2012
			WO	2005043627 A1	12-05-2005

KR 20110030257	A	23-03-2011	KR	20110030257 A	23-03-2011
			WO	2011034259 A1	24-03-2011

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H01L33/48 H01L33/44
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2006/124953 A1 (NEGLEY GERALD H [US] ET AL) 15. Juni 2006 (2006-06-15) Absätze [0041] - [0057]; Abbildung 1 -----	1-5, 9-13,17
X	US 2004/079957 A1 (ANDREWS PETER SCOTT [US] ET AL ANDREWS PETER S [US] ET AL) 29. April 2004 (2004-04-29) Absatz [0066]; Abbildung 7C -----	1,6-8, 12,14-16
A	KR 2011 0030257 A (POINT ENGINEERING CO LTD [KR]) 23. März 2011 (2011-03-23) Absätze [0054] - [0057] -----	1-17



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

4. August 2014

Absendedatum des internationalen Recherchenberichts

11/08/2014

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Aichmayr, Günther

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2014/057300

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2006124953	A1	15-06-2006	CN	101120450 A	06-02-2008
			CN	101599524 A	09-12-2009
			DE	112005003083 T5	31-10-2007
			JP	2008523639 A	03-07-2008
			US	2006124953 A1	15-06-2006
			WO	2006065558 A2	22-06-2006

US 2004079957	A1	29-04-2004	AT	444568 T	15-10-2009
			CA	2549822 A1	12-05-2005
			CN	1871710 A	29-11-2006
			CN	102148316 A	10-08-2011
			EP	1680816 A1	19-07-2006
			EP	2139051 A1	30-12-2009
			JP	4602345 B2	22-12-2010
			JP	2007509505 A	12-04-2007
			KR	20070090071 A	05-09-2007
			KR	20110020950 A	03-03-2011
			KR	20120132567 A	05-12-2012
			KR	20130056339 A	29-05-2013
			TW	I392105 B	01-04-2013
			TW	201210061 A	01-03-2012
			TW	201210062 A	01-03-2012
			TW	201212297 A	16-03-2012
			TW	201320385 A	16-05-2013
			TW	201338194 A	16-09-2013
			US	2004079957 A1	29-04-2004
			US	2007200127 A1	30-08-2007
			US	2011121345 A1	26-05-2011
			US	2012235199 A1	20-09-2012
			WO	2005043627 A1	12-05-2005

KR 20110030257	A	23-03-2011	KR	20110030257 A	23-03-2011
			WO	2011034259 A1	24-03-2011
