

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-139916

(P2024-139916A)

(43)公開日 令和6年10月10日(2024.10.10)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 29/786(2006.01)	H 0 1 L 29/78	6 1 8 B 2 H 1 9 2
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78	6 1 7 S 5 F 1 1 0
G 0 2 F 1/1368(2006.01)	H 0 1 L 29/78	6 1 9 A
	H 0 1 L 29/78	6 1 7 V
	H 0 1 L 29/78	6 1 7 J
審査請求 未請求 請求項の数 19 O L (全32頁) 最終頁に続く		

(21)出願番号	特願2023-50864(P2023-50864)	(71)出願人	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22)出願日	令和5年3月28日(2023.3.28)	(74)代理人	110000408 弁理士法人高橋・林アンドパートナーズ
		(72)発明者	渡部 将弘 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
		(72)発明者	渡壁 創 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
		(72)発明者	津吹 将志 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
		(72)発明者	佐々木 俊成
最終頁に続く			

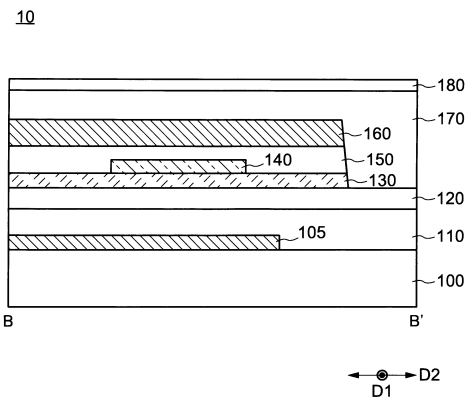
(54)【発明の名称】 半導体装置、表示装置、及び半導体装置の製造方法

(57)【要約】

【課題】酸化物半導体を含む半導体装置の電気特性を改善すること。

【解決手段】半導体装置は、絶縁表面上の金属酸化物層と、前記金属酸化物層の上の酸化物半導体層と、前記酸化物半導体層の上のゲート絶縁層と、前記ゲート絶縁層の上のゲート配線と、を含み、前記金属酸化物層は、前記ゲート配線及び前記酸化物半導体層と重畳する第1領域、前記酸化物半導体層と重畳するとともに前記ゲート配線と重畳しない第2領域、及び前記ゲート配線と重畳するとともに前記酸化物半導体層と重畳しない第3領域を有する。

【選択図】図2



10

【特許請求の範囲】**【請求項 1】**

絶縁表面の上の金属酸化物層と、
前記金属酸化物層の上の酸化物半導体層と、
前記酸化物半導体層の上のゲート絶縁層と、
前記ゲート絶縁層の上のゲート配線と、
を含み、

前記金属酸化物層は、前記ゲート配線及び前記酸化物半導体層と重畳する第 1 領域、前記酸化物半導体層と重畳するとともに前記ゲート配線と重畳しない第 2 領域、及び前記ゲート配線と重畳するとともに前記酸化物半導体層と重畳しない第 3 領域を有する、半導体装置。

10

【請求項 2】

平面視において、前記金属酸化物層は、前記ゲート配線のパターン形状及び前記酸化物半導体層のパターン形状の和集合と同一のパターン形状を有する、請求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート絶縁層は、前記ゲート配線と同一のパターン形状を有する、請求項 1 に記載の半導体装置。

【請求項 4】

前記ゲート配線の上の絶縁層をさらに含み、
前記第 1 領域は、前記絶縁層に接しておらず、
前記第 2 領域の側面及び前記第 3 領域の側面は、前記絶縁層に接する、請求項 1 に記載の半導体装置。

20

【請求項 5】

前記絶縁層は、前記ゲート配線、前記ゲート絶縁層、及び前記酸化物半導体層に接する、請求項 4 に記載の半導体装置。

【請求項 6】

前記絶縁層は、窒化シリコン層及び酸化シリコン層を含む積層構造を有する、請求項 4 に記載の半導体装置。

【請求項 7】

前記酸化物半導体層は、インジウムを含む 2 以上の金属を含み、前記 2 以上の金属におけるインジウムの比率は、50%以上である、請求項 1 に記載の半導体装置。

30

【請求項 8】

前記第 1 領域は、チャネル領域に接し、
前記第 2 領域は、ソース領域又はドレイン領域に接する、請求項 1 に記載の半導体装置。

【請求項 9】

前記チャネル領域と前記ソース領域又は前記ドレイン領域とは第 1 方向に連続し、
前記前記ソース領域又は前記ドレイン領域のうち前記ゲート絶縁層と接する部分の前記第 1 方向における幅は、1 μm 以下である、請求項 8 に記載の半導体装置。

40

【請求項 10】

前記第 1 方向において、前記ゲート配線の幅は、4 μm 以下である、請求項 9 に記載の半導体装置。

【請求項 11】

前記第 1 方向において、前記ゲート配線の幅は前記ソース領域又は前記ドレイン領域のうち前記ゲート絶縁層と接する部分の前記第 1 方向における幅の 2 倍より 1 μm 以上大きい、請求項 9 に記載の半導体装置。

【請求項 12】

請求項 1 ~ 11 のいずれか一項に記載の半導体装置を各画素に含む、表示装置。

【請求項 13】

50

絶縁表面の上に第 1 金属酸化物層を形成し、
前記第 1 金属酸化物層の上にパターン形状を有する酸化物半導体層を形成し、
前記酸化物半導体層の上にゲート絶縁層を形成し、
前記ゲート絶縁層の上にゲート配線を形成し、
前記ゲート配線をマスクとして前記ゲート絶縁層をエッチングし、
前記ゲート配線及び前記酸化物半導体層をマスクとして前記第 1 金属酸化物層をエッチングすることを含む、半導体装置の製造方法。

【請求項 14】

前記ゲート絶縁層のエッチングは、ドライエッチングにより行われ、
前記第 1 金属酸化物層のエッチングは、ウェットエッチングにより行われる、請求項 13 に記載の半導体装置の製造方法。 10

【請求項 15】

前記ゲート配線の形成及び前記ゲート絶縁層のエッチングは、ドライエッチングにより一括して行われる、請求項 13 に記載の半導体装置の製造方法。

【請求項 16】

前記酸化物半導体層を形成した後、第 1 アニール処理により前記酸化物半導体層を多結晶構造にすることを含む、請求項 13 に記載の半導体装置の製造方法。

【請求項 17】

前記第 1 金属酸化物層は、第 1 絶縁層の上に形成され、
前記第 1 金属酸化物層をエッチングした後、窒化シリコン層を含む第 2 絶縁層を形成することをさらに含む、請求項 16 に記載の半導体装置の製造方法。 20

【請求項 18】

前記ゲート絶縁層を形成した後、前記ゲート絶縁層の上に第 2 金属酸化物層を形成し、
前記第 2 金属酸化物層を形成した後、第 2 アニール処理を行い、
前記第 2 アニール処理の後、前記第 2 金属酸化物層を除去することを含む、請求項 17 に記載の半導体装置の製造方法。

【請求項 19】

前記第 1 絶縁層の形成、前記ゲート絶縁層の形成、前記第 2 絶縁層の形成、前記第 1 アニール処理、及び前記第 2 アニール処理は、250 以上 500 以下の温度下で行われる、請求項 18 に記載の半導体装置の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態の一つは、酸化物半導体を含む半導体装置及びその製造方法、並びに、酸化物半導体を含む半導体装置を用いた表示装置に関する。

【背景技術】

【0002】

近年、半導体装置を構成する材料として、アモルファスシリコン、ポリシリコン、及び単結晶シリコンに替わり、酸化物半導体が注目されている。特に、酸化物半導体を含む半導体装置として、酸化物半導体をチャンネルとして用いた薄膜トランジスタの開発が進められている（例えば、特許文献 1～6）。酸化物半導体をチャンネルとして用いた薄膜トランジスタは、アモルファスシリコンをチャンネルとして用いた半導体装置と同様に、単純な構造かつ低温プロセスで形成することができる。酸化物半導体をチャンネルとして用いた薄膜トランジスタは、アモルファスシリコンをチャンネルとして用いた薄膜トランジスタよりも高い電界効果移動度を有することが知られている。 40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2021 - 141338 号公報

【特許文献 2】特開 2014 - 099601 号公報 50

【特許文献3】特開2021-153196号公報

【特許文献4】特開2018-006730号公報

【特許文献5】特開2016-184771号公報

【特許文献6】特開2021-108405号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来の酸化物半導体を含む薄膜トランジスタは、チャネル長が小さくなるとスイッチング特性を示す閾値電圧が負の方向へシフトしたり、閾値電圧のばらつきが大きくなったりする場合があった。そのため、従来の酸化物半導体を含む薄膜トランジスタは、サイズを小型化するに当たりチャネル長の設計自由度が低く、用途が限定される場合があった。

10

【0005】

本発明の課題の一つは、酸化物半導体を含む半導体装置の電気特性を改善することにある。

【課題を解決するための手段】

【0006】

本発明の一実施形態に係る半導体装置は、絶縁表面の上の金属酸化物層と、前記金属酸化物層の上の酸化物半導体層と、前記酸化物半導体層の上のゲート絶縁層と、前記ゲート絶縁層の上のゲート配線と、を含み、前記金属酸化物層は、前記ゲート配線及び前記酸化物半導体層と重畳する第1領域、前記酸化物半導体層と重畳するとともに前記ゲート配線と重畳しない第2領域、及び前記ゲート配線と重畳するとともに前記酸化物半導体層と重畳しない第3領域を有する。

20

【0007】

本発明の一実施形態に係る半導体装置の製造方法は、絶縁表面の上に第1金属酸化物層を形成し、前記第1金属酸化物層の上にパターン形状を有する酸化物半導体層を形成し、前記酸化物半導体層の上にゲート絶縁層を形成し、前記ゲート絶縁層の上にゲート配線を形成し、前記ゲート配線をマスクとして前記ゲート絶縁層をエッチングし、前記ゲート配線及び前記酸化物半導体層をマスクとして前記第1金属酸化物層をエッチングすることを含む。

30

【図面の簡単な説明】

【0008】

【図1】本発明の一実施形態における半導体装置の構成を示す模式的な断面図である。

【図2】本発明の一実施形態における半導体装置の構成を示す模式的な断面図である。

【図3A】本発明の一実施形態における半導体装置の構成を示す模式的な平面図である。

【図3B】本発明の一実施形態の半導体装置における金属酸化物層の構成を示す模式的な平面図である。

【図4】本発明の一実施形態における半導体装置の製造方法を示すシーケンス図である。

【図5】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

40

【図7】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

【図8】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

【図9】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

【図10】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

【図11】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

【図12】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

【図13】本発明の一実施形態における半導体装置の製造方法を示す断面図である。

【図14】本発明の一実施形態における半導体装置の製造方法を示すシーケンス図である。

【図15】本発明の一実施形態における表示装置の概要を示す平面図である。

50

【図 1 6】本発明の一実施形態における表示装置の回路構成を示すブロック図である。

【図 1 7】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

【図 1 8】本発明の一実施形態に係る表示装置の概要を示す断面図である。

【図 1 9】本発明の一実施形態における表示装置の画素電極及び共通電極の平面図である。

【図 2 0】本発明の一実施形態における表示装置の画素回路を示す回路図である。

【図 2 1】本発明の一実施形態における表示装置の概要を示す断面図である。

【図 2 2 A】本発明の一実施形態における半導体装置の電気特性を示す図である。

【図 2 2 B】比較例における半導体装置の電気特性を示す図である。

【図 2 3】異なるゲート電圧 (V_g) について、トランジスタの設計チャンネル長 (レイアウト上のチャンネル長) (L_g) に対するチャンネル抵抗 (R) の関係を例示した図である。

【図 2 4 A】本発明の一実施形態の半導体装置における閾値電圧のチャンネル長に対する依存性を示す図である。

【図 2 4 B】比較例の半導体装置における閾値電圧のチャンネル長に対する依存性を示す図である。

【発明を実施するための形態】

【0009】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。以下の開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ、実施形態の構成を適宜変更することによって容易に想到し得る構成は、当然に本発明の範囲に含有される。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合がある。しかし、図示された形状はあくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0010】

本発明の各実施の形態において、基板から酸化物半導体層に向かう方向を上又は上方という。逆に、酸化物半導体層から基板に向かう方向を下又は下方という。このように、説明の便宜上、上方又は下方という語句を用いて説明するが、例えば、基板と酸化物半導体層との上下関係が図示と逆になるように配置されてもよい。以下の説明で、例えば基板上の酸化物半導体層という表現は、上記のように基板と酸化物半導体層との上下関係を説明しているに過ぎず、基板と酸化物半導体層との間に他の部材が配置されていてもよい。上方又は下方は、複数の層が積層された構造における積層順を意味するものであり、「トランジスタの上方の画素電極」と表現する場合、平面視において、トランジスタと画素電極とが重ならない位置関係であってもよい。一方、「トランジスタの鉛直上方の画素電極」と表現する場合は、平面視において、トランジスタと画素電極とが重なる位置関係を意味する。

【0011】

「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、又は表示セルに対して他の光学部材 (例えば、偏光部材、バックライト、タッチパネル等) を装着した構造体を指す場合もある。「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス (EL) 層、エレクトロクロミック (EC) 層、電気泳動層が含まれ得る。したがって、後述する実施形態について、表示装置として、液晶層を含む液晶表示装置、及び有機 EL 層を含む有機 EL 表示装置を例示して説明するが、本実施形態における構造は、上述した他の電気光学層を含む表示装置へ適用することができる。

【0012】

本明細書において「 \square は A、B 又は C を含む」、「 \square は A、B 及び C のいずれかを含む」、「 \square は A、B 及び C からなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、 \square が A ~ C の複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、 \square が他の要素を含む場合も排除しない。

10

20

30

40

50

【 0 0 1 3 】

本明細書において、「同一」とは、完全に同一である場合に加えて、実質的に同一である場合をも含む。「実質的に同一」とは、完全に同一ではないが同一とみなせる程度の微差の範囲内に収まる場合を指し、例えば、 $\pm 5\%$ （好ましくは $\pm 3\%$ ）の誤差の範囲内に収まる場合を指す。

【 0 0 1 4 】

第 1 実施形態

図 1 ~ 図 1 3 を用いて、本発明の一実施形態の半導体装置について、薄膜トランジスタを例示して説明する。以下に示す実施形態の半導体装置は、表示装置に用いられる薄膜トランジスタの他に、例えば、マイクロプロセッサ (Micro-Processing Unit: MPU) などの集積回路 (Integrated Circuit: IC)、又はメモリ回路に用いられる薄膜トランジスタであってもよい。

10

【 0 0 1 5 】

[半導体装置の構成]

本発明の一実施形態における半導体装置 1 0 の構成について説明する。図 1 及び図 2 は、本発明の一実施形態における半導体装置 1 0 の構成を示す模式的な断面図である。図 3 A は、本発明の一実施形態における半導体装置 1 0 の構成を示す模式的な平面図である。図 3 B は、本発明の一実施形態の半導体装置 1 0 における金属酸化物層 1 3 0 の構成を示す模式的な平面図である。なお、図 1 は、図 3 に示した A - A ' で示される一点鎖線に沿って切断された断面図に対応する。図 2 は、図 3 に示した B - B ' で示される一点鎖線に沿って切断された断面図に対応する。

20

【 0 0 1 6 】

図 1 及び図 2 に示すように、半導体装置 1 0 は、基板 1 0 0 の上方に設けられている。半導体装置 1 0 は、導電層 1 0 5、絶縁層 1 1 0 及び 1 2 0、金属酸化物層 1 3 0、酸化物半導体層 1 4 0、ゲート絶縁層 1 5 0、ゲート配線 1 6 0、絶縁層 1 7 0 及び 1 8 0、ソース電極 2 0 1、及びドレイン電極 2 0 3 を含む。

【 0 0 1 7 】

ゲート配線は、ゲート電極を含む。具体的には、ゲート配線のうち半導体装置 1 0 のゲートとして機能する部分をゲート電極と呼ぶ場合がある。ソース電極 2 0 1 及びドレイン電極 2 0 3 を特に区別しない場合、これらを併せてソース・ドレイン電極 2 0 0 と呼ぶ場合がある。

30

【 0 0 1 8 】

なお、図 3 A において、第 1 方向は、ソース電極 2 0 1 とドレイン電極 2 0 3 とを結ぶ方向であり、キャリアが移動する方向に対応する。酸化物半導体層 1 4 0 のうちチャネル領域 C H の第 1 方向 (D 1 方向) の長さがチャネル長 (L) であり、当該チャネル領域 C H の第 2 方向 (D 2 方向) の幅がチャネル幅 (W) である。

【 0 0 1 9 】

導電層 1 0 5 は、基板 1 0 0 の上に設けられている。導電層 1 0 5 は、酸化物半導体層 1 4 0 に対する遮光膜としての機能を備える。図 1 及び図 3 A に示すように、第 1 方向 (D 1 方向) において、導電層 1 0 5 の幅は、ゲート配線 1 6 0 の幅より大きい。このような構成とする理由は、チャネル領域 C H への外光の侵入を効果的に防ぐためである。

40

【 0 0 2 0 】

絶縁層 1 1 0 及び 1 2 0 は、基板 1 0 0 及び導電層 1 0 5 の上に設けられている。絶縁層 1 1 0 は、基板 1 0 0 から酸化物半導体層 1 4 0 に向かって拡散する不純物を遮蔽するバリア膜としての機能を備える。

【 0 0 2 1 】

金属酸化物層 1 3 0 は、絶縁層 1 2 0 の上に設けられている。金属酸化物層 1 3 0 は、絶縁層 1 2 0 に接している。金属酸化物層 1 3 0 は、アルミニウムを主成分とする酸化金属を含む層であり、酸素や水素などのガスを遮蔽するガスバリア膜としての機能を備える。

50

【 0 0 2 2 】

酸化物半導体層 1 4 0 は、金属酸化物層 1 3 0 の上に設けられている。酸化物半導体層 1 4 0 は、金属酸化物層 1 3 0 に接している。酸化物半導体層 1 4 0 の主面のうち、金属酸化物層 1 3 0 に接する面を下面 1 4 2 という。本実施形態では、金属酸化物層 1 3 0 が絶縁層 1 2 0 に接し、酸化物半導体層 1 4 0 が金属酸化物層 1 3 0 に接している構成が例示されているが、この構成に限定されない。金属酸化物層 1 3 0 と酸化物半導体層 1 4 0 との間には、他の層が設けられていてもよい。

【 0 0 2 3 】

図 1 に示すように、第 1 方向 (D 1 方向) において、金属酸化物層 1 3 0 と酸化物半導体層 1 4 0 の端部は、略一致している。図 1 では、金属酸化物層 1 3 0 の側面と酸化物半導体層 1 4 0 の側面とがほぼ直線上に並んでいるが、この構成に限定されない。基板 1 0 0 の主面に対する金属酸化物層 1 3 0 の側面の角度が酸化物半導体層 1 4 0 の側面 1 4 3 の角度と異なってもよい。また、金属酸化物層 1 3 0 及び酸化物半導体層 1 4 0 の少なくともいずれか一方の側面の断面形状が湾曲していてもよい。図 2 に示すように、第 2 方向 (D 2 方向) において、金属酸化物層 1 3 0 と酸化物半導体層 1 4 0 の端部は、一致していない。他方、第 2 方向において、金属酸化物層 1 3 0 の端部は、ゲート絶縁層 1 5 0 及びゲート配線 1 6 0 の端部と略一致している。金属酸化物層 1 3 0 のさらに具体的な構成は後述する。

【 0 0 2 4 】

ゲート絶縁層 1 5 0 は、酸化物半導体層 1 4 0 の上に設けられている。ゲート絶縁層 1 5 0 は、ゲート配線 1 6 0 と同一の形状にパターンニングされている。すなわち、ゲート絶縁層 1 5 0 とゲート配線 1 6 0 とは、同一のパターン形状を有する。そのため、酸化物半導体層 1 4 0 の一部 (ゲート配線 1 6 0 と重畳しない領域) は、ゲート絶縁層 1 5 0 に覆われていない。換言すれば、酸化物半導体層 1 4 0 の一部は、ゲート絶縁層 1 5 0 から露出している。ゲート絶縁層 1 5 0 は、トップゲート (ゲート配線 1 6 0) に対するゲート絶縁層としての機能を備える。また、ゲート絶縁層 1 5 0 は、製造プロセスにおける熱処理によって酸素を放出する機能を備える。

【 0 0 2 5 】

ゲート配線 1 6 0 は、ゲート絶縁層 1 5 0 を介して酸化物半導体層 1 4 0 に対向している。ゲート配線 1 6 0 のうちゲート絶縁層 1 5 0 を介して酸化物半導体層 1 4 0 に対向している部分がゲート電極として機能する。ゲート絶縁層 1 5 0 は、酸化物半導体層 1 4 0 とゲート配線 1 6 0 との間に設けられている。ゲート絶縁層 1 5 0 は、酸化物半導体層 1 4 0 に接している。酸化物半導体層 1 4 0 の主面のうち、ゲート絶縁層 1 5 0 に接する面を上面 1 4 1 という。上面 1 4 1 と下面 1 4 2 との間の面を側面 1 4 3 という。ゲート配線 1 6 0 は、半導体装置 1 0 のトップゲート及び酸化物半導体層 1 4 0 に対する遮光膜としての機能を備える。

【 0 0 2 6 】

絶縁層 1 7 0 及び 1 8 0 は、ゲート絶縁層 1 5 0 及びゲート配線 1 6 0 の上に設けられている。本実施形態では、絶縁層 1 7 0 及び 1 8 0 で構成される積層構造をパッシベーション層と呼ぶ場合がある。絶縁層 1 7 0 及び 1 8 0 は、ゲート配線 1 6 0 とソース・ドレイン電極 2 0 0 とを絶縁する。絶縁層 1 7 0 及び 1 8 0 を設けることにより、ゲート配線 1 6 0 とソース・ドレイン電極 2 0 0 との間の寄生容量を低減することができる。

【 0 0 2 7 】

本実施形態では、絶縁層 1 7 0 として酸化シリコン層を用い、絶縁層 1 8 0 として窒化シリコン層を用いる。絶縁層 1 7 0 及び 1 8 0 を構成する材料は、この例に限られないが、後述するように、少なくとも 1 層の水素を含む絶縁層を有することが望ましい。図 1 に示すように、パッシベーション層の一部を構成する絶縁層 1 7 0 は、ゲート配線 1 6 0 、ゲート絶縁層 1 5 0 (具体的には、ゲート絶縁層 1 5 0 の側面) 、及び酸化物半導体層 1 4 0 に接する。また、絶縁層 1 7 0 及び 1 8 0 には、酸化物半導体層 1 4 0 に達する開口 1 7 1 、 1 7 3 が設けられている。

10

20

30

40

50

【 0 0 2 8 】

ソース電極 2 0 1 は、絶縁層 1 7 0 及び 1 8 0 に設けられた開口 1 7 1 の内部に設けられている。ソース電極 2 0 1 は、開口 1 7 1 の底部で酸化物半導体層 1 4 0 に接している。ドレイン電極 2 0 3 は、絶縁層 1 7 0 及び 1 8 0 に設けられた開口 1 7 3 の内部に設けられている。ドレイン電極 2 0 3 は、開口 1 7 3 の底部で酸化物半導体層 1 4 0 に接している。

【 0 0 2 9 】

図 3 では、平面視において、ソース・ドレイン電極 2 0 0 が導電層 1 0 5 及びゲート配線 1 6 0 と重ならない構成が例示されているが、この構成に限定されない。例えば、平面視において、ソース・ドレイン電極 2 0 0 が導電層 1 0 5 及びゲート配線 1 6 0 の少なくともいずれか一方と重なっていてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

10

【 0 0 3 0 】

半導体装置 1 0 の動作は、主にゲート配線 1 6 0 に供給されるゲート電圧によって制御される。導電層 1 0 5 には、補助的な電圧が供給されてもよい。つまり、導電層 1 0 5 は、補助的な電圧を供給することによりゲート電極として機能させてもよい。しかし、この例に限らず、導電層 1 0 5 は、単なる遮光膜として用いてもよい。導電層 1 0 5 を単に遮光膜として用いる場合、導電層 1 0 5 は、特定の電圧を供給せずにフローティング状態としてもよい。

【 0 0 3 1 】

本実施形態では、半導体装置 1 0 として、酸化物半導体層 1 4 0 の上方にゲート配線 1 6 0 (つまり、ゲート電極) が設けられたトップゲート型トランジスタを例示するが、この構成に限定されない。例えば、半導体装置 1 0 として、ゲート配線 1 6 0 に加えて、導電層 1 0 5 をゲート電極として用いるデュアルゲート型トランジスタであってもよい。導電層 1 0 5 をゲート電極として用いる場合、絶縁層 1 1 0 及び 1 2 0 がゲート絶縁層として機能する。ただし、上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

20

【 0 0 3 2 】

[半導体装置の各層の材質]

基板 1 0 0 は、半導体装置 1 0 を構成する各層を支持することができる。基板 1 0 0 として、例えば、ガラス基板、石英基板、またはサファイア基板などの透光性を有する剛性基板を用いることができる。また、基板として、シリコン基板などの透光性を有しない剛性基板を用いることもできる。さらに、基板として、ポリイミド樹脂基板、アクリル樹脂基板、シロキサン樹脂基板、またはフッ素樹脂基板などの透光性を有する可撓性基板を用いることができる。基板 1 0 0 の耐熱性を向上させるために、上記の樹脂基板に不純物を導入してもよい。なお、上述した剛性基板または可撓性基板の上に酸化シリコン膜または窒化シリコン膜が成膜された基板を、基板 1 0 0 として用いることもできる。

30

【 0 0 3 3 】

導電層 1 0 5 は、外光を反射または吸収することができる。上述したように、導電層 1 0 5 は、酸化物半導体層 1 4 0 のチャネル領域 C H よりも大きい面積を有するため、チャネル領域 C H に入射する外光を遮光することができる。導電層 1 0 5 として、例えば、アルミニウム (A l)、銅 (C u)、チタン (T i)、モリブデン (M o)、もしくはタングステン (W)、またはこれらの合金もしくは化合物などを用いることができる。また、導電性が不要である場合には、導電層 1 0 5 に代えて、黒色樹脂等で構成される樹脂層を用いることもできる。導電層 1 0 5 は、単層構造であってもよく、積層構造であってもよい。

40

【 0 0 3 4 】

絶縁層 1 1 0、1 2 0、1 7 0 及び 1 8 0 は、酸化物半導体層 1 4 0 への不純物の拡散を防止する役割を有する。絶縁層 1 1 0、1 2 0、1 7 0 及び 1 8 0 は、単層構造であっても積層構造であってもよい。絶縁層 1 1 0、1 2 0、1 7 0 及び 1 8 0 としては、例え

50

ば、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、窒化シリコン (SiN_x)、窒化酸化シリコン (SiN_xO_y)、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、窒化アルミニウム (AlN_x) などを用いることができる。ここで、酸化窒化シリコン (SiO_xN_y) および酸化窒化アルミニウム (AlO_xN_y) は、それぞれ、酸素 (O) よりも少ない比率 ($x > y$) の窒素 (N) を含有するシリコン化合物およびアルミニウム化合物である。また、窒化酸化シリコン (SiN_xO_y) および窒化酸化アルミニウム (AlN_xO_y) は、窒素よりも少ない比率 ($x > y$) の酸素を含有するシリコン化合物およびアルミニウム化合物である。本実施形態では、絶縁層 110 及び 180 として窒化シリコン (SiN_x) を用い、絶縁層 120 及び 170 として、酸化シリコン (SiO_x) を用いる。

10

【0035】

金属酸化物層 130 として、アルミニウムを主成分とする酸化金属が用いられる。例えば、金属酸化物層 130 として、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、窒化アルミニウム (AlN_x) などの無機絶縁層が用いられる。「アルミニウムを主成分とする金属酸化物層」とは、金属酸化物層 130 に含まれるアルミニウムの比率が、金属酸化物層 130 全体の 1% 以上であることを意味する。金属酸化物層 130 に含まれるアルミニウムの比率は、金属酸化物層 130 全体の 5% 以上 70% 以下、10% 以上 60% 以下、又は 30% 以上 50% 以下であってもよい。上記の比率は、質量比であってもよく、重量比であってもよい。

【0036】

本実施形態において、酸化物半導体層 140 は多結晶構造を有する。すなわち、本実施形態の酸化物半導体層 140 は、Poly-OS 技術を用いて形成された酸化物半導体で構成される。Poly-OS 技術とは、多結晶構造を有する酸化物半導体層を形成する技術を指す。酸化物半導体層 140 として、半導体の特性を有する金属酸化物を用いることができる。例えば、酸化物半導体層 140 として、インジウム (In) を含む 2 以上の金属を含む酸化物半導体が用いられる。酸化物半導体層 140 の全体に対するインジウムの比率は 50% 以上である。酸化物半導体層 140 として、インジウムに加えて、ガリウム (Ga)、亜鉛 (Zn)、アルミニウム (Al)、ハフニウム (Hf)、イットリウム (Y)、ジルコニア (Zr)、ランタノイドが用いられる。酸化物半導体層 140 として、上記以外の元素が用いられてもよい。

20

30

【0037】

本実施形態の酸化物半導体層 140 は、インジウムの比率が 50% 以上であるため、酸素欠損が形成されやすい。他方、結晶性を有する酸化物半導体は、アモルファスの酸化物半導体に比べて酸素欠損が形成されにくい。したがって、酸化物半導体層 140 は、インジウムの比率が 50% 以上であるにもかかわらず、酸素欠損が形成されにくいという利点を有する。

【0038】

ゲート絶縁層 150 は、絶縁性を有する酸化物を含む。具体的には、ゲート絶縁層 150 として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y) などを用いることができる。ゲート絶縁層 150 は、化学量論比に近い組成を有することが好ましい。また、ゲート絶縁層 150 は、欠陥が少ないことが好ましい。例えば、ゲート絶縁層 150 として、電子スピン共鳴法 (ESR) で評価したときに欠陥が観測されない酸化物が用いられてもよい。

40

【0039】

ゲート配線 160、ソース電極 201 及びドレイン電極 203 は、導電性を有する。ゲート配線 160、ソース電極 201 及びドレイン電極 203 の各々として、例えば、銅 (Cu)、アルミニウム (Al)、チタン (Ti)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、モリブデン (Mo)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、もしくはビスマス (Bi)、またはこれらの合金もしくは化合物を用い

50

ることができる。ゲート配線 160、ソース電極 201 及びドレイン電極 203 の各々は、単層構造であってもよく、積層構造であってもよい。

【0040】

(金属酸化物層の構成)

図 1 及び図 3 A において、金属酸化物層 130 は、酸化物半導体層 140 の下面 142 の全体と接している。換言すれば、平面視において、金属酸化物層 130 は、酸化物半導体層 140 の全体と重畳している。ただし、この例に限るものではなく、金属酸化物層 130 は、酸化物半導体層 140 の下面 142 の全体又は一部と接していなくてもよい。例えば、金属酸化物層 130 がチャンネル領域 CH に接し、かつソース領域 S 及びドレイン領域 D とは接していない構成であってもよいし、逆に、金属酸化物層 130 がソース領域 S 及びドレイン領域 D に接し、かつチャンネル領域 CH とは接していない構成であってもよい

10

【0041】

また、図 2 及び図 3 A において、金属酸化物層 130 は、ゲート絶縁層 150 及びゲート配線 160 と重畳している。具体的には、金属酸化物層 130、ゲート絶縁層 150、及びゲート配線 160 の端部は、それぞれ略一致している。換言すれば、平面視において、金属酸化物層 130 は、ゲート配線 160 の全体と重畳している。

【0042】

後述するように、本実施形態の半導体装置 10 の製造方法は、金属酸化物層 130 に対して、ゲート配線 160 及び酸化物半導体層 140 をマスクとしてエッチングを行うプロセスを含む。そのため、金属酸化物層 130 は、ゲート配線 160 及び酸化物半導体層 140 をマスクとして自己整合的にパターンニングされる。その結果、金属酸化物層 130 は、ゲート配線 160 のパターン形状及び酸化物半導体層 140 のパターン形状の和集合と同一のパターン形状を有する。なお、ゲート配線 160 のパターン形状及び酸化物半導体層 140 のパターン形状の和集合とは、図 3 B に示すように、ゲート配線 160 のパターン形状に由来するパターン 130 a と酸化物半導体層 140 のパターン形状に由来するパターン 130 b とを一体化したパターン形状を指す。

20

【0043】

図 1、図 2、図 3 A 及び図 3 B から明らかなように、金属酸化物層 130 は、ゲート配線 160 及び酸化物半導体層 140 と重畳する第 1 領域、酸化物半導体層 140 と重畳するとともにゲート配線 160 と重畳しない第 2 領域、及びゲート配線 160 と重畳するとともに酸化物半導体層 140 と重畳しない第 3 領域を有する。具体的には、図 1 及び図 3 A において、第 1 領域は、チャンネル領域 CH 及び後述する 2 つの重畳領域 OL に接する領域に相当する。図 1 及び図 3 A において、第 2 領域は、ソース領域 S から当該ソース領域 S に近い側の重畳領域 OL を差し引いた領域と、ドレイン領域 D から当該ドレイン領域 D に近い側の重畳領域 OL を差し引いた領域とに接する領域に相当する。第 3 領域は、図 2 及び図 3 A において、ゲート配線 160 の直下に位置する領域に相当する。

30

【0044】

図 1 に示すように、絶縁層 170 は、金属酸化物層 130 における第 2 領域の側面に接する。また、図 2 に示すように、絶縁層 170 は、金属酸化物層 130 における第 3 領域の側面に接する。さらに、図 1 及び図 2 から明らかなように、絶縁層 170 は、金属酸化物層 130 における第 1 領域には接していない。

40

【0045】

(酸化物半導体層の構成)

酸化物半導体層 140 は、ソース領域 S、ドレイン領域 D、及びチャンネル領域 CH に区分される。チャンネル領域 CH は、酸化物半導体層 140 のうちゲート配線 160 の鉛直下方に位置し、ゲート絶縁層 150 に接する領域である。ソース領域 S は、酸化物半導体層 140 のうち絶縁層 170 に接する領域であって、チャンネル領域 CH よりもソース電極 201 に近い側の領域である。ドレイン領域 D は、酸化物半導体層 140 のうち絶縁層 170 に接する領域であって、チャンネル領域 CH よりもドレイン電極 203 に近い側の領域である。ソース領域 S 及びドレイン領域 D は、酸化物半導体層で構成されたパターンの一部

50

を低抵抗化することにより形成される。つまり、図3Aに示す第1方向(D1方向)において、チャンネル領域CHとソース領域S及びドレイン領域Dとは互いに連続している。

【0046】

チャンネル領域CHにおける酸化物半導体層140は、半導体としての物性を備えている。ソース領域S及びドレイン領域Dにおける酸化物半導体層140は、導電体としての物性を備えている。すなわち、ソース領域S及びドレイン領域Dは、チャンネル領域CHよりも抵抗の低い領域とも言える。換言すれば、ソース領域S及びドレイン領域Dの電気伝導度は、チャンネル領域CHの電気伝導度よりも大きい。ソース電極201及びドレイン電極203は、それぞれ、ソース領域S及びドレイン領域Dと接しており、酸化物半導体層140と電氣的に接続されている。酸化物半導体層140は、単層構造であってもよく、積層構造であってもよい。

10

【0047】

図1に示すように、本実施形態の半導体装置10は、ソース領域S及びドレイン領域Dの一部がゲート配線160と重畳する。具体的には、ソース領域Sのうちチャンネル領域CHに近い側の端部と、ドレイン領域Dのうちチャンネル領域CHに近い側の端部とがゲート配線160と重畳する。換言すれば、ソース領域Sのうちチャンネル領域CHに近い側の端部と、ドレイン領域Dのうちチャンネル領域CHに近い側の端部とは、それぞれゲート絶縁層150に接する。つまり、ソース領域S及びドレイン領域Dは、ゲート絶縁層150と絶縁層170の両方に接する。ここで、ソース領域S(又はドレイン領域D)とゲート配線160とが重畳した領域を「重畳領域OL」と呼ぶ。図1に示すように、第1方向における重畳領域OLの幅を $L/2$ で表す。

20

【0048】

本実施形態の半導体装置10は、第1方向(D1方向)において対称な構造を有し、ソース領域S及びドレイン領域Dの両方がゲート配線160の下方に侵入した構造となっている。そのため、第1方向におけるチャンネル領域CHの端部は、ゲート配線160の端部と一致しない。具体的には、ソース領域Sと接するチャンネル領域CHの端部と、ドレイン領域Dと接するチャンネル領域CHの端部は、それぞれゲート配線160の直下に位置する。つまり、第1方向において、チャンネル領域CHの幅は、ゲート配線160の幅よりも狭くなっている。このことは、設計上のチャンネル長(以下「設計チャンネル長」という)が、設計値よりも重畳領域OLが存在する分だけ狭くなっていることを意味する。

30

【0049】

一般的に、トップゲート型トランジスタにおける設計チャンネル長は、半導体層と重畳するゲート電極の幅で決まる。つまり、本実施形態の半導体装置10の場合、第1方向におけるゲート配線160の幅が、設計チャンネル長に相当する。しかしながら、図1に示すように、チャンネル領域CHの幅は、ゲート配線160の幅よりも狭い。すなわち、チャンネル領域CHの幅に相当する実効的なチャンネル長(以下「実効チャンネル長」という)は、ゲート配線160の幅に相当する設計チャンネル長よりも短い。具体的には、設計チャンネル長(L_g)と実効チャンネル長(L_{eff})との間には、 $L_{eff} = L_g - L$ の関係が成り立つ。

【0050】

本実施形態では、ソース領域S及びドレイン領域Dを形成するにあたり、絶縁層170及び180から酸化物半導体層140への水素の拡散を利用する。この場合、構造上、水素がゲート配線160の直下の酸化物半導体層140にも拡散するため、重畳領域OLが形成される。重畳領域OLは、ゲート配線160の直下に位置する酸化物半導体層140に対して水素が侵入することによって形成される領域である。しかしながら、本実施形態では、ゲート配線160の直下に拡散する水素の量を低減することにより重畳領域OLの形成される範囲を抑制することができる。具体的には、本実施形態の半導体装置10は、重畳領域OLの幅($L/2$)が $1\mu\text{m}$ 以下となるように制御されている。

40

【0051】

重畳領域OLの幅が $1\mu\text{m}$ 以下であるということは、例えば、設計チャンネル長が $4\mu\text{m}$

50

であっても、少なくとも $2\ \mu\text{m}$ の実効チャネル長を確保できることを意味する。本実施形態によれば、半導体装置 10 の設計チャネル長（第 1 方向におけるゲート配線の幅）を $4\ \mu\text{m}$ 以下（好ましくは $3\ \mu\text{m}$ 以下）とすることが可能である。ただし、少なくとも $1\ \mu\text{m}$ 以上の実効チャネル長を確保するためには、半導体装置 10 の設計チャネル長は、重畳領域 OL の幅の 2 倍（ $2 \times L / 2 = L$ ）より $1\ \mu\text{m}$ 以上大きくすることが好ましい。

【0052】

以上のように、本実施形態の半導体装置 10 は、ゲート絶縁層 150 がゲート配線 160 と同一のパターン形状を有しているため、酸化物半導体層 140 の一部が絶縁層 170 に接している。そのため、半導体装置 10 は、絶縁層 170 及び 180 から拡散した水素の影響により、ソース領域 S 及びドレイン領域 D の一部がゲート配線 160 の下方に延在した構造となる。しかしながら、本実施形態によれば、ソース領域 S 及びドレイン領域 D とゲート配線 160 とが重畳する重畳領域 OL の幅を $1\ \mu\text{m}$ 以下に抑えることができるため、設計チャネル長と実効チャネル長との乖離を抑制することができる。

10

【0053】

[半導体装置の製造方法]

図 4 ~ 図 13 を用いて、本発明の一実施形態における半導体装置 10 の製造方法について説明する。図 4 は、本発明の一実施形態における半導体装置 10 の製造方法を示すシーケンス図である。図 5 ~ 図 13 は、本発明の一実施形態における半導体装置 10 の製造方法を示す断面図である。

【0054】

図 4 及び図 5 に示すように、基板 100 の上に遮光層として導電層 105 が形成され、導電層 105 の上に絶縁層 110 及び 120 が形成される（図 4 のステップ S1001）。絶縁層 110 として、例えば、窒化シリコンが形成される。絶縁層 120 として、例えば、酸化シリコンが形成される。絶縁層 110 及び 120 は CVD (Chemical Vapor Deposition) 法によって形成される。本明細書では、基板上にスパッタリング法や CVD 法等の手法により成膜を行うことを「薄膜を形成する」と表現しているが、「薄膜を成膜する」という表現と同じ意味で用いている。

20

【0055】

絶縁層 110 として窒化シリコンが用いられることで、絶縁層 110 は、例えば基板 100 側から酸化物半導体層 140 に向かって拡散する不純物をブロックすることができる。絶縁層 120 として用いられる酸化シリコンは、熱処理によって酸素を放出する物性を有する酸化シリコンである。

30

【0056】

本実施形態では、絶縁層 110 及び 120 を形成するにあたって成膜温度を 350 に設定している。特に、絶縁層 120（すなわち酸化シリコン層）は、成膜温度を比較的低めに設定することにより、含有酸素量を増やすことができる。後述するように、絶縁層 120 に含まれる酸素量を増やすことにより、酸化物半導体層 140 に拡散する水素の量を低減することができる。なお、絶縁層 110 及び 120 の成膜温度は、 250 以上 500 以下（好ましくは 300 以上 450 以下、さらに好ましくは 325 以上 400 以下）に設定すればよい。

40

【0057】

次に、図 4 及び図 6 に示すように、絶縁層 120 の上に金属酸化物層 130 及び酸化物半導体層 140 を形成する（図 4 のステップ S1002）。本実施形態において、金属酸化物層 130 及び酸化物半導体層 140 は、スパッタリング法によって形成される。特に、酸化物半導体層 140 は、結晶性を有する酸化物半導体で形成されたターゲットを用いたスパッタリングにより形成される。

【0058】

金属酸化物層 130 の厚さは、例えば、 $1\ \text{nm}$ 以上 $10\ \text{nm}$ 以下、 $1\ \text{nm}$ 以上 $4\ \text{nm}$ 以下、又は $1\ \text{nm}$ 以上 $3\ \text{nm}$ 以下である。本実施形態では、金属酸化物層 130 の厚さを $3\ \text{nm}$ とする。本実施形態では、金属酸化物層 130 として、アルミニウムを主成分とする

50

酸化物（具体的には、酸化アルミニウム）を用いる。酸化アルミニウムは、ガスに対する高いバリア性を備えている。

【0059】

本実施形態において、金属酸化物層130として用いられた酸化アルミニウムは、絶縁層120から放出された水素及び酸素をブロックし、放出された水素及び酸素が酸化物半導体層140に到達することを抑制する。

【0060】

本実施形態の酸化物半導体層140は、上記のようにインジウムの比率が50%以上であるため、高移動度の半導体装置10を実現できる反面、酸素が還元されやすく、層の中に酸素欠損が形成されやすい。そのため、金属酸化物層130によって絶縁層120から放出された水素をブロックすることは、酸化物半導体層140の還元を抑制する上で好ましい。

10

【0061】

また、酸化物半導体層140を形成した後、様々な製造プロセス（パターニング工程又はエッチング工程）を経る過程において、酸化物半導体層140の上層側には、下層側よりも多くの酸素欠損が形成される。つまり、酸化物半導体層140の中の酸素欠損は、厚さ方向に不均一な分布で存在している。この場合、酸化物半導体層140の上層側に形成された酸素欠損を修復するために十分な量の酸素を供給すると、酸化物半導体層140の下層側には、過剰に酸素が供給されてしまう。その結果、過剰に供給された酸素によって酸素欠損とは異なる欠陥準位が形成され、信頼性試験における特性変動又は電界効果移動度の低下などの現象を招く場合がある。したがって、金属酸化物層130によって絶縁層120から放出された酸素をブロックすることも、酸化物半導体層140の下層側への過剰な酸素供給を抑制する上で好ましいと言える。

20

【0062】

酸化物半導体層140の厚さは、例えば、10nm以上100nm以下、15nm以上70nm以下、又は15nm以上40nm以下である。後述する加熱処理（OSアニール）前の酸化物半導体層140はアモルファスである。

【0063】

後述するOSアニールによって、酸化物半導体層140を結晶化する際、スパッタリング法による形成からOSアニールの実施前における酸化物半導体層140は、アモルファス（酸化物半導体の結晶成分が少ない状態）であることが好ましい。つまり、酸化物半導体層140の形成条件は、形成直後の酸化物半導体層140が可能な限り結晶化しない条件であることが好ましい。例えば、スパッタリング法によって酸化物半導体層140を形成する場合、被形成対象物（基板100及びその上に形成された構造物を含む。）の温度を制御しながら酸化物半導体層140を形成することが望ましい。なお、実際に温度制御がなされる対象は、被形成対象物であるが、基板100の上に形成された構造物は非常に薄いため、実質的に基板100の温度を制御しているとみなしてよい。したがって、以下の説明では、被形成対象物を単に「基板」と呼ぶ場合がある。

30

【0064】

スパッタリング法によって基板に対して薄膜形成（成膜）を行うと、プラズマ中で発生したイオン及びスパッタリングターゲットによって反跳した原子が被形成対象物（具体的には、基板100の上に形成された構造物）に衝突するため、薄膜の形成過程において基板の温度が上昇する。薄膜の形成過程において基板の温度が上昇すると、形成直後の状態で酸化物半導体層140に微結晶が含まれ、その後のOSアニールによる結晶化が阻害される。

40

【0065】

酸化物半導体層140を形成する際の基板の温度（すなわち、成膜温度）を制御するためには、例えば、基板を冷却しながら薄膜形成を行ってもよい。例えば、成膜温度が100以下、70以下、50以下、又は30以下になるように、基板を被形成面の反対側の面から冷却することができる。特に、本実施形態の酸化物半導体層140の成膜温

50

度は、50以下であることが好ましい。本実施形態では、酸化物半導体層140の形成を50以下の成膜温度で行い、後述するOSアニールを400以上の加熱温度で行う。このように、本実施形態では、酸化物半導体層140を形成する際の温度と酸化物半導体層140に対してOSアニールを行う際の温度との差分が350以上であることが好ましい。基板を冷却しながら酸化物半導体層140の形成を行うことで、形成直後の状態で結晶成分が少ない酸化物半導体層140を得ることができる。

【0066】

次に、図4及び図7に示すように、酸化物半導体層140で構成されるパターン(OSパターン)を形成する(図4のステップS1003)。図示は省略するが、酸化物半導体層140の上にレジストマスクを形成し、フォトリソグラフィによりパターンニングしたレジストマスクを用いて、酸化物半導体層140をエッチングする。酸化物半導体層140のエッチングは、ウェットエッチングを用いてもよいし、ドライエッチングを用いてもよい。ウェットエッチングでは、例えば、酸性のエッチャントを用いることができる。具体的には、エッチャントとして、シュウ酸又はフッ酸を用いることができる。

10

【0067】

酸化物半導体層140のパターン形成の後に酸化物半導体層140に対して加熱処理(OSアニール)が行われる(図4のステップS1004)。OSアニールでは、酸化物半導体層140に対して、大気雰囲気中において250以上500以下(好ましくは300以上500以下、さらに好ましくは350以上450以下)の温度で加熱処理を行うことにより、アモルファス状態の酸化物半導体層140を結晶化させる。加熱雰囲気は、大気雰囲気に限られるものではないが、酸化性雰囲気(酸素を含む雰囲気)であることが好ましい。また、酸化性雰囲気は、湿潤な雰囲気(具体的には、湿潤な大気雰囲気)であることがより好ましい。また、加熱処理の処理時間は、所定温度到達後、15分以上120分以下、又は30分以上60分以下である。本実施形態では、OSアニールの温度を350に設定する。

20

【0068】

本実施形態では、あらかじめ設定温度(250以上500以下、本実施形態では、350)に維持された加熱媒体(例えば、支持プレート)を有する加熱炉の中に、パターン形成された酸化物半導体層140が形成された基板を投入する。加熱媒体としての支持プレートは、基板を支持する役割と、基板及び当該基板上に形成された被膜(酸化物半導体層140を含む)を加熱する役割を有する。支持プレート上に酸化物半導体層140が形成された基板を設置すると、酸化物半導体層140は急速に加熱される。基板を加熱炉の中に設置する際、支持プレートの温度低下を設定温度の15%以内、10%以内、又は5%以内に抑えることが望ましい。つまり、酸化物半導体層140が極力短時間で設定温度に到達するように支持プレートの温度制御を行うことが好ましい。

30

【0069】

なお、本実施形態では、OSパターンを形成した後にOSアニールを行う例を示したが、この例に限らず、OSパターンを形成する前の酸化物半導体層140に対してOSアニールを行ってもよい。この場合、結晶化した酸化物半導体層140をエッチングしてOSパターンを形成することになるため、エッチング処理はドライエッチングを用いることが好ましい。

40

【0070】

次に、図4及び図8に示すように、ゲート絶縁層150を形成する(図4のステップS1005)。ゲート絶縁層150として、例えば、酸化シリコン層が形成される。ゲート絶縁層150はCVD法によって形成される。ゲート絶縁層150としては、できるだけ欠陥が少ない絶縁層を形成することが望ましい。本実施形態では、ゲート絶縁層150の成膜温度を350とする。ゲート絶縁層150の厚さは、例えば、50nm以上300nm以下、60nm以上200nm以下、又は70nm以上150nm以下である。

【0071】

次に、本実施形態では、ゲート絶縁層150を形成した後、ゲート絶縁層150の上に

50

金属酸化物層 190 を形成する（図 4 のステップ S 1006）。金属酸化物層 190 は、スパッタリング法によって形成される。金属酸化物層 190 の成膜にスパッタリング法を用いることにより、金属酸化物層 190 を形成する際にゲート絶縁層 150 に対して酸素が打ち込まれる。そのため、金属酸化物層 190 を形成した後のゲート絶縁層 150 には多くの酸素が含まれている。

【0072】

金属酸化物層 190 の厚さは、例えば、5 nm 以上 100 nm 以下、5 nm 以上 50 nm 以下、5 nm 以上 30 nm 以下、又は 7 nm 以上 15 nm 以下である。本実施形態では、金属酸化物層 190 として酸化アルミニウムが用いられる。前述のとおり、酸化アルミニウムはガスに対する高いバリア性を備えているため、後述する加熱処理の際、ゲート絶縁層 150 に打ち込まれた酸素が上方へ拡散することを抑制することができる。

10

【0073】

金属酸化物層 190 をスパッタリング法で形成した場合、金属酸化物層 190 の膜中にはスパッタリングで用いられたプロセスガスが残存する。例えば、スパッタリングのプロセスガスとして Ar が用いられた場合、金属酸化物層 190 の膜中には Ar が残存する場合がある。残存した Ar は金属酸化物層 190 に対する SIMS (Secondary Ion Mass Spectrometry) 分析等で検出することができる。

【0074】

次に、ゲート絶縁層 150 の上に金属酸化物層 190 が形成された状態で、酸化物半導体層 140 へ酸素を供給するための加熱処理（酸化アニール）が行われる（図 4 のステップ S 1007）。換言すると、パターンニングされた金属酸化物層 130 及び酸化物半導体層 140 に対して加熱処理（酸化アニール）が行われる。酸化物半導体層 140 が形成されてから酸化物半導体層 140 の上にゲート絶縁層 150 が形成されるまでの間の工程で、酸化物半導体層 140 の上面 141 及び側面 143 には酸素欠損が発生し得る。酸化アニールによって、絶縁層 120 及びゲート絶縁層 150 から放出された酸素が酸化物半導体層 140 に供給され、酸素欠損が修復される。酸化アニールは、250 以上 500 以下（好ましくは 300 以上 500 以下、さらに好ましくは 350 以上 450 以下）の温度で行えばよい。本実施形態では、酸化アニールを 350 の温度で行う。

20

【0075】

酸化アニールによって、絶縁層 120 から放出された酸素は、金属酸化物層 130 によってブロックされるため、酸化物半導体層 140 の下面 142 には酸素が供給されにくい。絶縁層 120 から放出された酸素は、金属酸化物層 130 が形成されていない領域からゲート絶縁層 150 に拡散し、ゲート絶縁層 150 を介して酸化物半導体層 140 に到達する。その結果、絶縁層 120 から放出された酸素は、酸化物半導体層 140 の下面 142 には供給されにくく、主に酸化物半導体層 140 の側面 143 及び上面 141 に供給される。さらに、酸化アニールによって、ゲート絶縁層 150 から放出された酸素が酸化物半導体層 140 の上面 141 及び側面 143 に供給される。上記の酸化アニールによって、絶縁層 110 から水素が放出される場合がある。しかしながら、当該水素は、酸化物半導体層 140 に到達する前に、絶縁層 120 に含まれる酸素に捕獲されたり金属酸化物層 130 によってブロックされる。

30

40

【0076】

上記のように、酸化アニールによって、酸素欠損の量が少ない酸化物半導体層 140 の下面 142 への酸素の供給を抑制しつつ、相対的に酸素欠損の量が多い酸化物半導体層 140 の上面 141 及び側面 143 への酸素供給を行うことができる。同様に、酸化アニールの際、ゲート絶縁層 150 に打ち込まれた酸素の上方への拡散は、金属酸化物層 190 によってブロックされるため、大気中に放出されることが抑制される。したがって、酸化アニールの際、酸素を効率よく酸化物半導体層 140 に供給することができる。

【0077】

次に、図 4 及び図 9 に示すように、酸化アニールの後に、金属酸化物層 190 をエッチングして除去する（図 4 のステップ S 1008）。金属酸化物層 190 のエッチングは、

50

ウェットエッチングであってもよいし、ドライエッチングであってもよい。ウェットエッチングでは、例えば希釈フッ酸（DHF）が用いられる。ステップS1008のエッチング処理によって、金属酸化物層190の全体が除去される。

【0078】

次に、図4及び図10に示すように、ゲート絶縁層150の上にゲート配線160を形成した後、ゲート絶縁層150をエッチングする（図4のステップS1009）。ゲート配線160は、スパッタリング法又は原子層堆積法によって形成された金属層に対してパターンニングを施した後、ドライエッチングを行うことにより形成される。ゲート絶縁層150は、ゲート配線160を形成した後、さらにドライエッチングを継続することによりエッチングされる。つまり、ゲート絶縁層150は、ゲート配線160をマスクとしてエッチングされる。このように、本実施形態では、金属層とゲート絶縁層150とを一括してエッチングすることにより、パターンニングされたゲート絶縁層150及びゲート配線160を形成する。

10

【0079】

本実施形態では、ゲート配線160をマスクとしてゲート絶縁層150をエッチングすることにより、酸化物半導体層140の一部（後述するソース領域S及びドレイン領域Dになる領域）が露出する。また、ゲート配線160をマスクとしてエッチング処理を行うため、ゲート絶縁層150とゲート配線160とは同一のパターン形状となる。

【0080】

図10に示すように、酸化物半導体層140が露出するまでゲート絶縁層150をエッチングすると、酸化物半導体層140の上面141だけでなく、酸化物半導体層140の側面143及び金属酸化物層130の上面も露出する。このとき、本実施形態では、金属酸化物層130がパターンニングされていないため、金属酸化物層130の下方に設けられた絶縁層120は、露出していない。つまり、絶縁層120は、ゲート絶縁層150をエッチングする環境下に晒されないで済む。

20

【0081】

絶縁層120は、ゲート絶縁層150と同様に酸化シリコン層で構成されているため、ゲート絶縁層150をエッチングする環境下に晒されるとほぼ同等の速度でエッチングされてしまう。すなわち、仮に、金属酸化物層130から絶縁層120が露出していると、オーバーエッチングを行った場合に絶縁層120が深くエッチングされ、金属酸化物層130の端部（又は酸化物半導体層140の端部）と絶縁層120の上面との間に大きな段差が生じる虞がある。このような段差は、半導体装置10の電気特性に悪影響（例えば、リーク電流の増大など）を及ぼす場合がある。逆に、エッチング時間が不足すると、酸化物半導体層140の上にゲート絶縁層150が残存した状態となり、半導体装置10の電気特性に悪影響（例えば、閾値電圧のマイナス方向へのシフトなど）を及ぼす場合がある。

30

【0082】

このように、金属酸化物層130から絶縁層120が露出している場合、酸化物半導体層140の上面が露出するまでに要するエッチング時間を正確に把握し、オーバーエッチングを最小限に施すといったエッチング制御が必要となる。これに対し、本実施形態の製造方法によれば、金属酸化物層130がゲート絶縁層150をエッチングする際のエッチングストッパーとして機能するため、オーバーエッチングを行っても絶縁層120がエッチングされることがない。つまり、本実施形態の製造方法によれば、ゲート絶縁層150をエッチングする際のプロセスマージンを大幅に向上させることができる。

40

【0083】

次に、図4及び図11に示すように、金属酸化物層130で構成されるパターン（A10×パターン）を形成する（図4のステップS1010）。結晶化した酸化物半導体層140は、フッ酸に対するエッチング耐性を有する。そのため、本実施形態の金属酸化物層130は、パターンニングされた酸化物半導体層140をマスクとしてエッチングされる。金属酸化物層130のエッチングは、ウェットエッチングを用いてもよいし、ドライエ

50

チングを用いてもよい。ウェットエッチングでは、例えば希釈フッ酸（DHF）が用いられる。酸化物半導体層140をマスクとして金属酸化物層130をエッチングすることで、フォトリソグラフィ工程を省略することができる。

【0084】

次に、図4及び図12に示すように、ゲート絶縁層150及びゲート配線160の上に、パッシベーション層として絶縁層170及び180を形成する（図4のステップS1011）。絶縁層170及び180はCVD法によって形成される。本実施形態では、絶縁層170として酸化シリコン層が形成され、絶縁層180として窒化シリコン層が形成される。絶縁層170及び180の成膜温度は、250以上500以下（好ましくは300以上450以下、さらに好ましくは325以上400以下）に設定することが好ましい。本実施形態では、絶縁層170及び180の成膜温度を350に設定する。また、絶縁層170及び180の厚さは、50nm以上500nm以下とすればよい。本実施形態では、絶縁層170の厚さを100nmとし、絶縁層180の厚さを300nmとしている。

10

【0085】

絶縁層170及び180は、外部からガスや水分が侵入しないようにするためのパッシベーション層（保護層）として機能する。また、上述のように、ゲート配線160とソース・ドレイン電極200とを絶縁分離する役割も有する。さらに、本実施形態では、絶縁層170及び180（特に、絶縁層180）が形成されることにより、酸化物半導体層140にソース領域S及びドレイン領域Dが形成される。

20

【0086】

本実施形態の絶縁層180は、窒化シリコンで構成される。CVD法により絶縁層180を形成する際、原料ガスとしてアンモニアを用いるため、絶縁層180は、多くの水素を含む。そのため、絶縁層180を形成する際及び絶縁層180を形成した後、絶縁層180が加熱されることにより、絶縁層180から水素が拡散する。拡散した水素は、絶縁層170を介して酸化物半導体層140に到達する。このとき、酸化物半導体層140のうち、絶縁層170に接する領域に含まれる酸素が還元され、酸素欠損が形成される。形成された酸素欠損には、水素がトラップされ、ドナー準位を形成する。これにより、水素が供給された酸化物半導体層140の一部は、低抵抗化され、ソース領域S及びドレイン領域Dとして機能する。これに対し、ゲート配線160の直下に位置する酸化物半導体層140は、水素が到達しないため低抵抗化されず、チャンネル領域CHとして機能する。

30

【0087】

本実施形態の半導体装置10は、ゲート絶縁層150がゲート配線160と同一のパターン形状になっているため、ゲート絶縁層150から露出した酸化物半導体層140は、絶縁層170と直接的に接する。したがって、ゲート絶縁層150によって酸化物半導体層140が覆われた構造に比べて、ゲート配線160の下方にも水素が拡散しやすい構造となっている。そのため、図12に示すように、ゲート配線160の下方に拡散した水素によって、本来チャンネル領域CHであるべき領域も低抵抗化される。つまり、ソース領域S及びドレイン領域Dがチャンネル領域CHに向かって延長され、重畳領域OLが形成される。

40

【0088】

前述したとおり、本実施形態では、第1方向（チャンネル長方向）における重畳領域OLの幅（L）を1 μ m以下に抑えることができる。重畳領域OLの幅を1 μ m以下に抑えることにより、設計チャンネル長と実効チャンネル長との乖離を抑制することができる。その結果、本実施形態の半導体装置10は、チャンネル長が4 μ m以下であっても安定した電気特性を得ることができる。

【0089】

重畳領域OLの幅（L）を1 μ m以下に抑えることができる理由として、酸化物半導体層140の下方に設けられた絶縁層120（本実施形態では、酸化シリコン層）に多くの酸素が含まれていることが挙げられる。

50

【0090】

平面視において、酸化物半導体層140の周囲では、酸素を多く含んだ絶縁層120と絶縁層170とが直接的に接している。そのため、絶縁層170及び180から拡散した水素の多くは、絶縁層120に捕獲され、酸化物半導体層140に向かって拡散する水素量が抑制される。このとき、酸化物半導体層140のソース領域S及びドレイン領域Dは、絶縁層170に直接的に接しているため、拡散する水素量が少なくても十分に低抵抗化されるが、ゲート配線160の下方に向かって拡散する水素の量は少なくなる。その結果として、本実施形態では、重畳領域OLの幅（すなわち、水素の拡散長）が短くなると考えられる。

【0091】

絶縁層120の含有酸素量を増やすためには、例えば、絶縁層120の成膜温度を比較的低めに設定することが好ましい。本実施形態では、350に設定しているが、250以上500以下（好ましくは300以上500以下、さらに好ましくは350以上450以下）の範囲内であればよい。

【0092】

また、本実施形態では、絶縁層120の上に、金属酸化物層130を形成するプロセスを含むが、このプロセスも絶縁層120の含有酸素量を増やすことに寄与している。具体的には、金属酸化物層130として酸化アルミニウムをスパッタリング法により形成する際、絶縁層120に酸素が打ち込まれる。これにより、上述の成膜温度で含有酸素量が多くなっている絶縁層120に対して、さらに酸素が打ち込まれるため、絶縁層120の中の酸素の総量を多くすることができる。

【0093】

以上のように、本実施形態の半導体装置10は、ゲート絶縁層150がゲート配線160と同一のパターン形状に加工されることにより、酸化物半導体層140と絶縁層170とが直接的に接した構造となっている。これにより、絶縁層170及び180から拡散する水素を用いて酸化物半導体層140の一部を低抵抗化し、ソース領域S及びドレイン領域Dを形成することができる。また、その際、酸化物半導体層140の下地となっている絶縁層120に多くの酸素が含まれているため、酸化物半導体層140の低抵抗化に利用される水素量を低減できる。その結果、ゲート配線160の直下への水素拡散を抑制して、重畳領域OLの幅を短くすることができる。

【0094】

次に、図4及び図13に示すように、絶縁層170及び180に開口171、173を形成する（図4のステップS1012）。開口171は、ソース領域Sの酸化物半導体層140を露出させる。開口173は、ドレイン領域Dの酸化物半導体層140を露出させる。開口171、173によって露出した酸化物半導体層140の上及び絶縁層180の上にソース・ドレイン電極200を形成することで（図4のステップS1013）、図1に示す半導体装置10が完成する。

【0095】

本実施形態の製造方法で作成した半導体装置10では、チャネル領域CHのチャネル長Lが2 μm 以上4 μm 以下、かつ、チャネル領域CHのチャネル幅が2 μm 以上25 μm 以下の範囲において、電界効果移動度が30 cm^2/Vs 以上、35 cm^2/Vs 以上、又は40 cm^2/Vs 以上の電気特性を得ることができる。本実施形態における「電界効果移動度」とは、半導体装置10の飽和領域における電界効果移動度であって、ソース電極とドレイン電極との間の電位差（ V_d ）が、ゲート配線に供給される電圧（ V_g ）から半導体装置10の閾値電圧（ V_{th} ）を引いた値（ $V_g - V_{th}$ ）より大きい領域における電界効果移動度の最大値を意味する。

【0096】

第2実施形態

本実施形態では、第1実施形態とは異なる方法で製造された半導体装置について説明する。本実施形態の半導体装置10の構造は、外観としては第1実施形態で説明した半導体

10

20

30

40

50

装置 10 と同一である。本実施形態では、第 1 実施形態と異なる点に着目して説明する。

【 0 0 9 7 】

図 1 4 は、本発明の一実施形態における半導体装置 10 の製造方法を示すシーケンス図である。図 1 4 に示すように、本実施形態では、図 4 に示したステップ S 1 0 0 6 (A 1 O x 形成) 及び S 1 0 0 8 (A 1 O x 除去) の 2 つの工程が省略されている。すなわち、本実施形態では、ゲート絶縁層 1 5 0 を形成した後、そのままの状態酸化アニールを行う。この酸化アニールにより、ゲート絶縁層 1 5 0 から放出された酸素が酸化物半導体層 1 4 0 へと供給され、酸化物半導体層 1 4 0 に含まれる酸素欠損が修復される。その際における金属酸化物層 1 3 0 の役割は、第 1 実施形態と同様であるため、ここでの説明は省略する。

10

【 0 0 9 8 】

本実施形態の製造方法で作成した半導体装置 10 では、チャンネル領域 C H のチャンネル長 L が $2 \mu\text{m}$ 以上 $4 \mu\text{m}$ 以下、かつ、チャンネル領域 C H のチャンネル幅 W が $2 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下の範囲において、移動度が $30 \text{cm}^2 / \text{Vs}$ 以上、 $35 \text{cm}^2 / \text{Vs}$ 以上、又は $40 \text{cm}^2 / \text{Vs}$ 以上の電気特性を得ることができる。本実施形態における電界効果移動度の定義は、第 1 実施形態と同様である。

【 0 0 9 9 】

第 3 実施形態

図 1 5 ~ 図 1 9 を用いて、本発明の一実施形態の半導体装置を用いた表示装置について説明する。以下に示す実施形態では、第 1 実施形態及び第 2 実施形態で説明した各半導体装置が液晶表示装置の回路に適用された構成について説明する。

20

【 0 1 0 0 】

[表示装置の概要]

図 1 5 は、本発明の一実施形態における表示装置 20 の概要を示す平面図である。図 1 5 に示すように、表示装置 20 は、アレイ基板 3 0 0、シール部 3 1 0、対向基板 3 2 0、フレキシブルプリント回路基板 3 3 0 (F P C 3 3 0)、及び I C チップ 3 4 0 を有する。アレイ基板 3 0 0 及び対向基板 3 2 0 は、シール部 3 1 0 によって貼り合わせられている。シール部 3 1 0 に囲まれた液晶領域 2 2 には、複数の画素回路 3 0 1 がマトリクス状に配置されている。液晶領域 2 2 は、後述する液晶素子 3 1 1 と平面視において重なる領域である。

30

【 0 1 0 1 】

シール部 3 1 0 が設けられたシール領域 2 4 は、液晶領域 2 2 の周囲の領域である。F P C 3 3 0 は端子領域 2 6 に設けられている。端子領域 2 6 はアレイ基板 3 0 0 のうち対向基板 3 2 0 から露出した領域であり、シール領域 2 4 の外側に設けられている。シール領域 2 4 の外側とは、シール部 3 1 0 が設けられた領域及びシール部 3 1 0 によって囲まれた領域の外側を意味する。I C チップ 3 4 0 は、F P C 3 3 0 上に設けられている。I C チップ 3 4 0 は、各画素回路 3 0 1 を駆動させるための信号を供給する。

【 0 1 0 2 】

[表示装置の回路構成]

図 1 6 は、本発明の一実施形態における表示装置 20 の回路構成を示すブロック図である。図 1 6 に示すように、画素回路 3 0 1 が配置された液晶領域 2 2 に対して Y 方向 (列方向) に隣接する位置にはソースドライバ回路 3 0 2 が設けられている。また、液晶領域 2 2 に対して X 方向 (行方向) に隣接する位置にはゲートドライバ回路 3 0 3 が設けられている。ソースドライバ回路 3 0 2 及びゲートドライバ回路 3 0 3 は、上記のシール領域 2 4 に設けられている。ただし、ソースドライバ回路 3 0 2 及びゲートドライバ回路 3 0 3 が設けられる領域は、シール領域 2 4 に限定されず、画素回路 3 0 1 が設けられた領域の外側であれば、どの領域でもよい。

40

【 0 1 0 3 】

ソースドライバ回路 3 0 2 からソース配線 3 0 4 が Y 方向に延びており、Y 方向に配列された複数の画素回路 3 0 1 に接続されている。ゲートドライバ回路 3 0 3 からゲート配

50

線 3 0 5 が X 方向に延びており、X 方向に配列された複数の画素回路 3 0 1 に接続されている。

【 0 1 0 4 】

端子領域 2 6 には、端子部 3 0 6 が設けられている。端子部 3 0 6 とソースドライバ回路 3 0 2 とは、接続配線 3 0 7 で接続されている。同様に、端子部 3 0 6 とゲートドライバ回路 3 0 3 とは、接続配線 3 0 8 で接続されている。F P C 3 3 0 が端子部 3 0 6 に接続されることで、F P C 3 3 0 を介して外部機器と表示装置 2 0 とが接続される。表示装置 2 0 に設けられた各画素回路 3 0 1 は、F P C 3 3 0 を介して入力された外部機器からの信号によって駆動される。

【 0 1 0 5 】

第 1 実施形態及び第 2 実施形態に示した半導体装置 1 0 は、画素回路 3 0 1、ソースドライバ回路 3 0 2、及びゲートドライバ回路 3 0 3 に含まれるトランジスタとして用いられる。

【 0 1 0 6 】

[表示装置の画素回路]

図 1 7 は、本発明の一実施形態における表示装置 2 0 の画素回路 3 0 1 を示す回路図である。図 1 7 に示すように、画素回路 3 0 1 は、半導体装置 1 0、保持容量 3 5 0、及び液晶素子 3 1 1 などの素子を含む。

【 0 1 0 7 】

半導体装置 1 0 は、ゲート配線 1 6 0、ソース電極 2 0 1、及びドレイン電極 2 0 3 を有する。ゲート配線 1 6 0 は、ゲート配線 3 0 5 に接続されている。ソース電極 2 0 1 は、ソース配線 3 0 4 に接続されている。ドレイン電極 2 0 3 は、保持容量 3 5 0 及び液晶素子 3 1 1 に接続されている。なお、ソース電極 2 0 1 及びドレイン電極 2 0 3 は、ソース配線 3 0 4 に供給されている電圧と保持容量 3 5 0 に蓄積されている電圧との関係によって役割が入れ替わる場合がある。すなわち、ソース電極 2 0 1 がドレイン電極として機能し、ドレイン電極 2 0 3 がソース電極として機能する場合がある。

【 0 1 0 8 】

[表示装置の断面構造]

図 1 8 は、本発明の一実施形態における表示装置 2 0 の概要を示す断面図である。図 1 8 に示すように、表示装置 2 0 は、半導体装置 1 0 が用いられた表示装置である。本実施形態では、半導体装置 1 0 が画素回路 3 0 1 に用いられた構成を例示するが、半導体装置 1 0 がソースドライバ回路 3 0 2 及びゲートドライバ回路 3 0 3 を含む周辺回路に用いられてもよい。以下の説明において、半導体装置 1 0 の構成は、図 1 に示した半導体装置 1 0 と同様なので、詳細な説明を省略する。

【 0 1 0 9 】

ソース電極 2 0 1 及びドレイン電極 2 0 3 の上に絶縁層 3 6 0 が設けられている。絶縁層 3 6 0 の上に、複数の画素に共通して設けられる共通電極 3 7 0 が設けられている。共通電極 3 7 0 の上に絶縁層 3 8 0 が設けられている。絶縁層 3 6 0 及び 3 8 0 には、開口 3 8 1 が設けられている。絶縁層 3 8 0 の上及び開口 3 8 1 の内部には、画素電極 3 9 0 が設けられている。画素電極 3 9 0 は、ドレイン電極 2 0 3 に接続されている。

【 0 1 1 0 】

図 1 9 は、本発明の一実施形態における表示装置 2 0 の画素電極 3 9 0 及び共通電極 3 7 0 の平面図である。図 1 9 に示すように、共通電極 3 7 0 は、平板状の導電層で構成されている。画素電極 3 9 0 は、X 方向に延在する部分と、Y 方向に延在する部分とが組み合わさった歯状の導電層で構成されている。Y 方向に延在する部分は、複数本の線状電極で構成され、それぞれ X 方向に延在する部分に接続されている。

【 0 1 1 1 】

共通電極 3 7 0 は、平面視で画素電極 3 9 0 と重なる重畳領域と、画素電極 3 9 0 と重ならない非重畳領域とを有する。画素電極 3 9 0 と共通電極 3 7 0 との間に電圧を供給すると、重畳領域の画素電極 3 9 0 から非重畳領域の共通電極 3 7 0 に向かって横方向の電

10

20

30

40

50

界が形成される。この横方向の電界によって液晶素子 3 1 1 に含まれる液晶分子が動作することで、画素の階調が決定される。

【 0 1 1 2 】

第 4 実施形態

図 2 0 及び図 2 1 を用いて、本発明の一実施形態における半導体装置を用いた表示装置について説明する。以下に示す実施形態では、上記の第 1 実施形態及び第 2 実施形態で説明した各半導体装置が有機 E L 表示装置の回路に適用された構成について説明する。表示装置 2 0 a の概要及び回路構成は、図 1 5 及び図 1 6 に示したものと同様なので、ここでの説明を省略する。

【 0 1 1 3 】

[表示装置の画素回路]

図 2 0 は、本発明の一実施形態における表示装置 2 0 a の画素回路 3 0 1 a を示す回路図である。図 2 0 に示すように、画素回路 3 0 1 a は、駆動トランジスタ 1 1、選択トランジスタ 1 2、保持容量 2 1 0、及び発光素子 D O などの素子を含む。

【 0 1 1 4 】

駆動トランジスタ 1 1 及び選択トランジスタ 1 2 は、半導体装置 1 0 と同様の構成を備えている。選択トランジスタ 1 2 のソース電極は、信号線 2 1 1 に接続され、選択トランジスタ 1 2 のゲート配線は、ゲート線 2 1 2 に接続されている。駆動トランジスタ 1 1 のソース電極は、アノード電源線 2 1 3 に接続され、駆動トランジスタ 1 1 のドレイン電極は、発光素子 D O の一端に接続されている。発光素子 D O の他端は、カソード電源線 2 1 4 に接続されている。駆動トランジスタ 1 1 のゲート配線は、選択トランジスタ 1 2 のドレイン電極に接続されている。保持容量 2 1 0 は、駆動トランジスタ 1 1 のゲート配線及びドレイン電極に接続されている。信号線 2 1 1 には、発光素子 D O の発光強度を決める階調信号が供給される。ゲート線 2 1 2 には、上記の階調信号を書き込む画素行を選択する信号が供給される。

【 0 1 1 5 】

[表示装置の断面構造]

図 2 1 は、本発明の一実施形態における表示装置 2 0 a の概要を示す断面図である。図 2 1 に示す表示装置 2 0 a の構成は、図 1 8 に示した表示装置 2 0 と類似しているが、表示装置 2 0 と表示装置 2 0 a とでは、絶縁層 3 6 0 よりも上方の構造が相違する。以下、図 2 1 に示す表示装置 2 0 a の構成のうち、図 1 8 に示した表示装置 2 0 と同様の構成については説明を省略し、両者の相違点について説明する。

【 0 1 1 6 】

図 2 1 に示すように、表示装置 2 0 a は、絶縁層 3 6 0 の上方に画素電極 3 9 0、発光層 3 9 2、及び共通電極 3 9 4 を有する。発光素子 D O は、画素電極 3 9 0、発光層 3 9 2 及び共通電極 3 9 4 によって構成される。画素電極 3 9 0 は、絶縁層 3 6 0 の上及び開口 3 8 1 の内部に設けられている。ここで、絶縁層 3 6 2 は、バンク、リブ等と呼ばれ、発光領域を定義する役割を有する。絶縁層 3 6 2 は、画素電極 3 9 0 の上に設けられている。絶縁層 3 6 2 には、開口 3 6 3 が設けられている。開口 3 6 3 は、発光領域に対応する。開口 3 6 3 によって露出した画素電極 3 9 0 の上に発光層 3 9 2 及び共通電極 3 9 4 が設けられている。画素電極 3 9 0 及び発光層 3 9 2 は、各画素に対して個別に設けられている。一方、共通電極 3 9 4 は、複数の画素に共通して設けられている。発光層 3 9 2 は、画素の表示色に応じて異なる材料が用いられる。

【 0 1 1 7 】

第 3 実施形態及び第 4 実施形態では、第 1 実施形態及び第 2 実施形態で説明した半導体装置を、それぞれ液晶表示装置及び有機 E L 表示装置に適用した構成について例示した。しかしながら、第 1 実施形態及び第 2 実施形態で説明した半導体装置は、これらの表示装置以外の表示装置(例えば、有機 E L 表示装置以外の自発光型表示装置又は電子ペーパー型表示装置)に適用してもよい。また、中小型の表示装置から大型の表示装置まで、特に限定することなく上記各半導体装置の適用が可能である。

10

20

30

40

50

【 0 1 1 8 】

実施例

[半導体装置の電気特性]

図 2 2 A は、本発明の一実施形態における半導体装置 1 0 の電気特性を示す図である。図 2 2 B は、比較例における半導体装置の電気特性を示す図である。具体的には、図 2 2 B は、図 1 に示した半導体装置 1 0 において、金属酸化物層 1 3 0 を省略した構造を有する半導体装置の電気特性に対応する。なお、図 2 2 A 及び図 2 2 B は、それぞれ複数個の半導体装置を測定して得た複数の電気特性を示している。

【 0 1 1 9 】

図 2 2 A 及び図 2 2 B に示す電気特性の測定条件は以下の通りである。

- ・チャネル領域 C H のサイズ： $W / L = 4 . 5 \mu m / 3 . 0 \mu m$
- ・ソース・ドレイン間電圧： $0 . 1 V$ 、 $1 0 V$
- ・ゲート電圧： $- 1 5 V \sim + 1 5 V$
- ・測定環境：室温、暗室

10

【 0 1 2 0 】

図 2 2 A 及び図 2 2 B では、半導体装置の電気特性として、 $I d - V g$ 特性、及び飽和領域における電界効果移動度 (μ_{sat}) が示されている。図 2 2 A 及び図 2 2 B のグラフ中に矢印で示されているように、ドレイン電流 ($I d$) を示す縦軸は、グラフの左側に示されている。また、ドレイン電流から計算された電界効果移動度を示す縦軸は、グラフの右側に示されている。横軸は、各半導体装置に供給したゲート電圧である。

20

【 0 1 2 1 】

図 2 2 A に示すように、第 1 実施形態の半導体装置 1 0 における $I d - V g$ 特性は、ゲート電圧 $V g$ がほぼ $0 V$ のときドレイン電流 $I d$ が流れ始める、いわゆるノーマリオフの特性を示している。ドレイン電流は、ソース・ドレイン間電圧が $0 . 1 V$ であっても $1 0 V$ であってもばらつきが少なく、非常に安定している。複数の $I d - V g$ 特性から得た閾値電圧 (V_{th}) の平均値は、 $0 . 1 6 V$ であった。また、複数の $I d - V g$ 特性から得た真性移動度の平均値は、 $2 4 . 8 cm^2 / Vs$ であり、電界効果移動度の平均値は、 $3 9 . 3 cm^2 / Vs$ であった。

【 0 1 2 2 】

これに対し、図 2 2 B に示すように、比較例の半導体装置の $I d - V g$ 特性は、閾値電圧がマイナス方向にシフトしており、ゲート電圧 $V g$ が $0 V$ 以下のときドレイン電流 $I d$ が流れ始める、いわゆるノーマリオンの特性を示していた。複数の $I d - V g$ 特性から得た閾値電圧の平均値は、 $- 3 . 5 9 V$ であった。また、ドレイン電流は、若干のばらつきが見られるものの平均的に高い値を示しており、スイッチング特性に大きな問題は見られなかった。複数の $I d - V g$ 特性から得た真性移動度の平均値は、 $1 9 . 5 cm^2 / Vs$ であり、電界効果移動度の平均値は、 $3 0 . 8 cm^2 / Vs$ であった。

30

【 0 1 2 3 】

ここで、第 1 実施形態の半導体装置 1 0 における重畳領域 O L の幅 ($L / 2$) の平均値は、 $0 . 8 2 \mu m$ であり、比較例の半導体装置における重畳領域 O L の幅の平均値は、 $1 . 5 0 \mu m$ であった。つまり、図 1 に示した金属酸化物層 1 3 0 の有無によって、重畳領域 O L の幅に 2 倍近くの差が生じることが分かった。すなわち、重畳領域 O L の幅を低減する上で、金属酸化物層 1 3 0 を設けることが非常に有効であることが分かった。

40

【 0 1 2 4 】

なお、比較例の半導体装置は、設計チャネル長が $3 . 0 \mu m$ であり、重畳領域 O L の幅が $1 . 5 \mu m$ であるため、計算上は、チャネル領域 C H が存在しないようにも見える。しかしながら、実際には、設計チャネル長には誤差があり、上述の重畳領域 O L の幅は、あくまで平均値であるため、実際には、チャネル領域 C H が完全に消失しているわけではない。

【 0 1 2 5 】

重畳領域 O L の幅は、様々な方法で求めることができる。本実施形態では、異なるゲート

50

ト電圧を印加した際におけるトランジスタの設計チャンネル長とチャンネル抵抗 R との関係から重畳領域 OL を求める例を示す。

【0126】

図23は、異なるゲート電圧 (V_g) について、トランジスタの設計チャンネル長 (レイアウト上のチャンネル長) (L_g) に対するチャンネル抵抗 (R) の関係を例示した図である。具体的には、図23において、横軸は、設計チャンネル長 (L_g) であり、縦軸は、チャンネル抵抗 (R) である。図23では、設計チャンネル長 (L_g) が L_1 、 L_2 、又は L_3 である各トランジスタに対し、ゲート電圧 (V_g) として $1V$ 、 $2V$ 、又は $3V$ を印加した場合における各チャンネル抵抗 (R) を示している。図23に示すように、各ゲート電圧 (V_g) において、設計チャンネル長 (L_g) とチャンネル抵抗 (R) とは線形関係にある。

10

【0127】

ここで、各線形関係を示す直線を L_g が小さくなる方向に外挿した場合、各外挿線が交差する点が現れる。この交差点は、測定したトランジスタの系において、実効チャンネル長 (L_{eff}) がゼロとなる点である。このとき、交差点の X 座標を L 、 Y 座標を R_0 とすると、 L は重畳領域 OL の幅に相当し、 R_0 は重畳領域 OL によって生じる直列抵抗に相当する。実効チャンネル長 (L_{eff}) と設計チャンネル長 (L_g) との間には、 $L_{eff} = L_g - L$ の関係が成立する。図1に示したように、トランジスタが第1方向 ($D1$ 方向) に対称である場合、ソース側の重畳領域 OL_S とドレイン側の重畳領域 OL_D との合計が L となる。つまり、ソース側の重畳領域 OL_S とドレイン側の重畳領域 OL_D との間には、 $OL_S = OL_D = L/2$ の関係が成り立つ。

20

【0128】

次に、図24Aは、本発明の一実施形態の半導体装置10における閾値電圧のチャンネル長に対する依存性を示す図である。図24Bは、上述した比較例の半導体装置における閾値電圧のチャンネル長に対する依存性を示す図である。ここで、各半導体装置のチャンネル幅 (W) は、 $4.5\mu m$ とした。

【0129】

図24Aに示すように、本実施形態の半導体装置10は、チャンネル長が $4\mu m$ 以上 $20\mu m$ 以下の範囲で閾値電圧がほとんど変化せず、安定したスイッチング特性を示すことが分かった。また、チャンネル長が $4\mu m$ 以下 (例えば $2.5\mu m$ 以上 $4\mu m$ 以下) の範囲であっても、 $-0.4V$ 以上の閾値電圧を確保できることが分かった。すなわち、本実施形態の半導体装置10は、チャンネル長に依存せず安定した閾値電圧が得られるとともに、チャンネル長が $4\mu m$ 以下になっても、閾値電圧が大きくマイナス方向にシフトすることはなかった。これに対し、図24Bに示すように、比較例の半導体装置は、チャンネル長が $10\mu m$ 以下の範囲では閾値電圧のマイナス方向へのシフトが見られた。

30

【0130】

図24A及び図24Bに見られる電気特性の差異は、重畳領域 OL の幅 ($L/2$) に起因するものと考えられる。すなわち、本実施形態の半導体装置10は、重畳領域 OL の幅を $1\mu m$ 以下に抑えることができるため、設計チャンネル長 (L_g) と実効チャンネル (L_{eff}) の乖離が小さい。そのため、閾値電圧のチャンネル長への依存性は、閾値電圧の設計チャンネル長への依存性に近い傾向を示す。他方、比較例の半導体装置は、重畳領域 OL の幅が本実施形態に比べて長いため、設計チャンネル長が短くなるほど重畳領域 OL の幅による影響が顕在化する。

40

【0131】

以上のように、重畳領域 OL の幅を $1\mu m$ 以下とすることは、半導体装置の電気特性の劣化、特に閾値電圧のマイナス方向へのシフトを抑制する上で重要であると言える。そして、重畳領域 OL の幅を $1\mu m$ 以下に抑制するためには、酸化物半導体層140の下地となる層、すなわち絶縁層120の含有酸素量を増やすことが有効である。また、絶縁層120の含有酸素量を増やすことに加えて、さらに絶縁層120と酸化物半導体層140との間に金属酸化物層130を設けることが望ましい。

【0132】

50

本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

【0133】

上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

【符号の説明】

【0134】

10、10a...半導体装置、11...駆動トランジスタ、12...選択トランジスタ、20、20a...表示装置、22...液晶領域、24...シール領域、26...端子領域、100...基板、105...導電層、110...絶縁層、120...絶縁層、130...金属酸化物層、140...酸化半導体層、141...上面、142...下面、143...側面、150...ゲート絶縁層、160...ゲート配線、170...絶縁層、171、173...開口、180...絶縁層、190...金属酸化物層、200...ソース・ドレイン電極、201...ソース電極、203...ドレイン電極、210...保持容量、211...信号線、212...ゲート線、213...アノード電源線、214...カソード電源線、300...アレイ基板、301、301a...画素回路、302...ソースドライバ回路、303...ゲートドライバ回路、304...ソース配線、305...ゲート配線、306...端子部、307、308...接続配線、310...シール部、311...液晶素子、320...対向基板、330...フレキシブルプリント回路基板、340...チップ、350...保持容量、360...絶縁層、362...絶縁層、363...開口、370...共通電極、380...絶縁層、381...開口、390...画素電極、392...発光層、394...共通電極

10

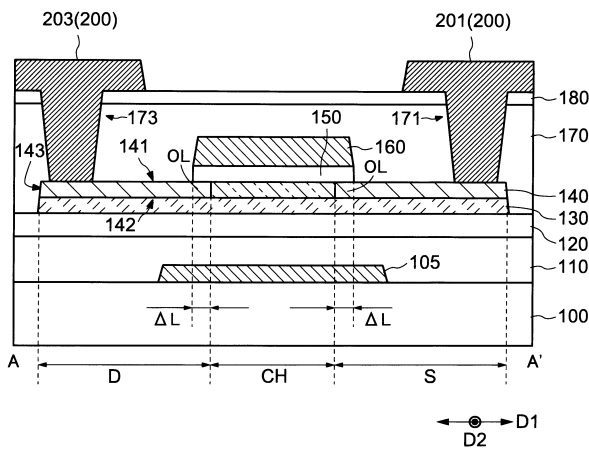
20

【図面】

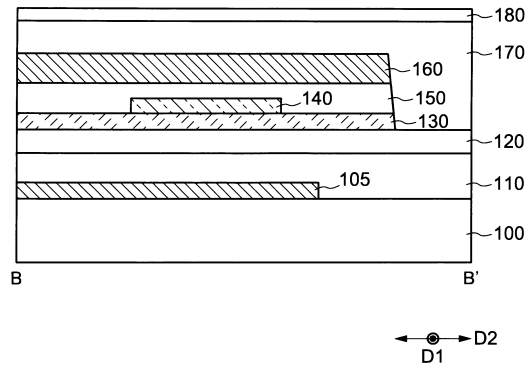
【図1】

【図2】

10



10

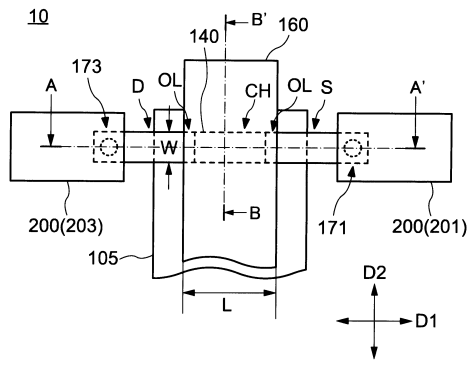


30

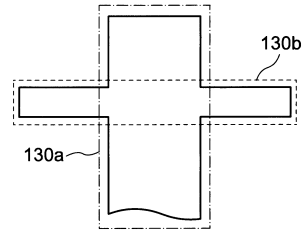
40

50

【 図 3 A 】

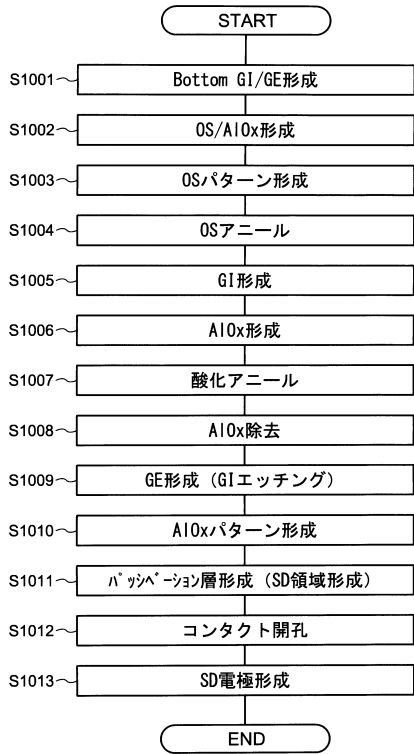


【 図 3 B 】

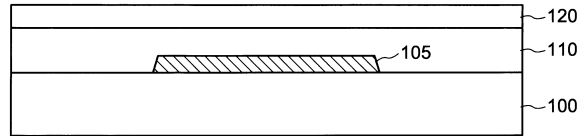


10

【 図 4 】



【 図 5 】



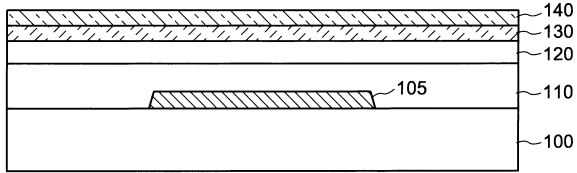
20

30

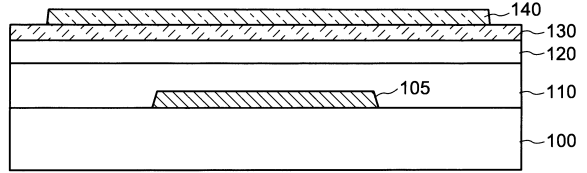
40

50

【 図 6 】

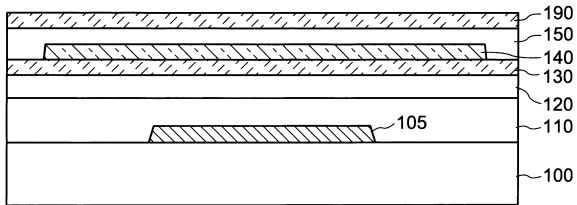


【 図 7 】

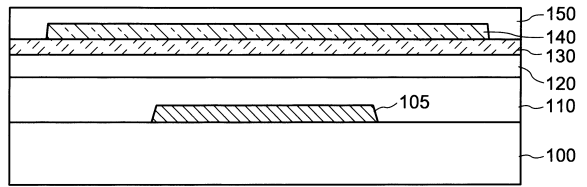


10

【 図 8 】



【 図 9 】



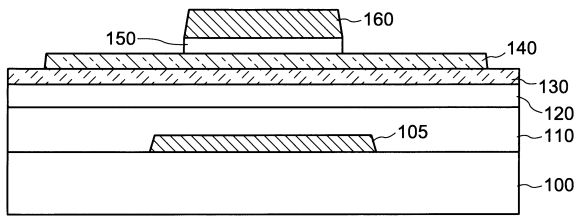
20

30

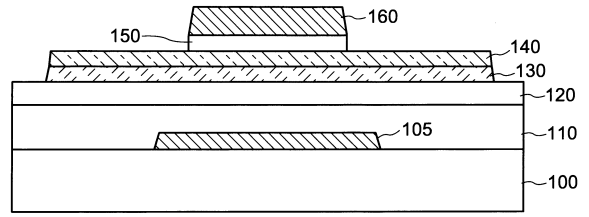
40

50

【図 10】



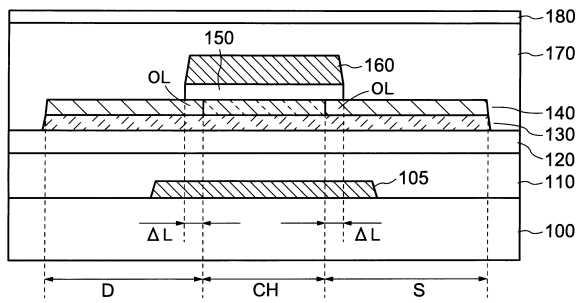
【図 11】



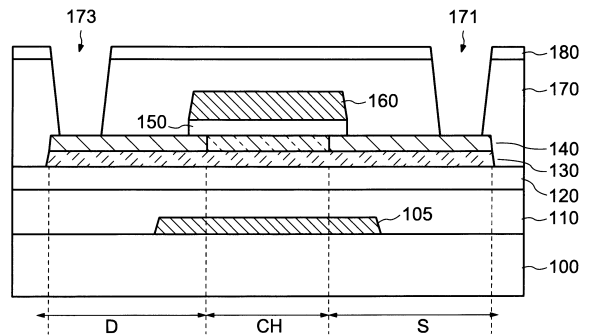
10

20

【図 12】



【図 13】

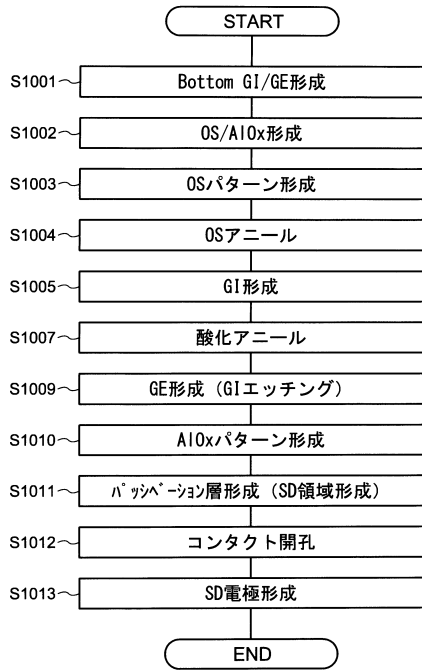


30

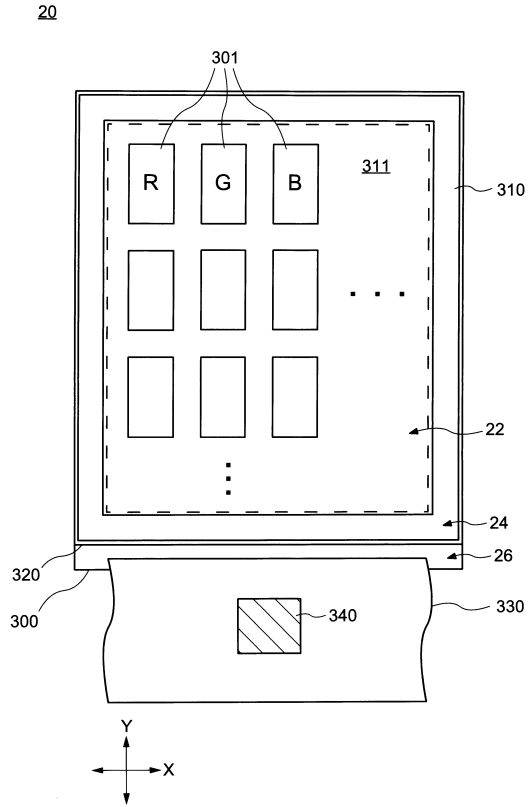
40

50

【 図 1 4 】



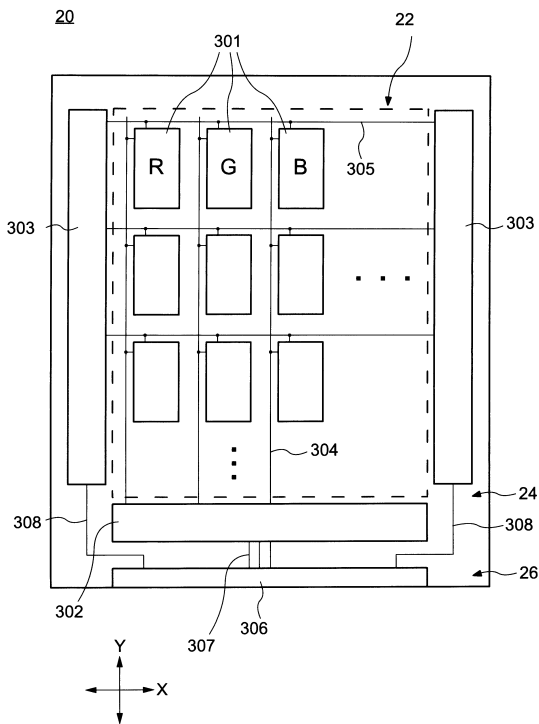
【 図 1 5 】



10

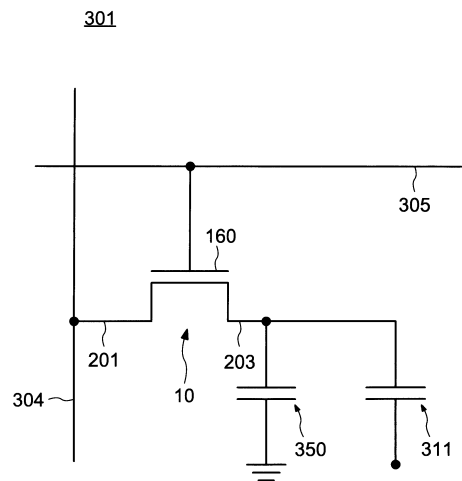
20

【 図 1 6 】



30

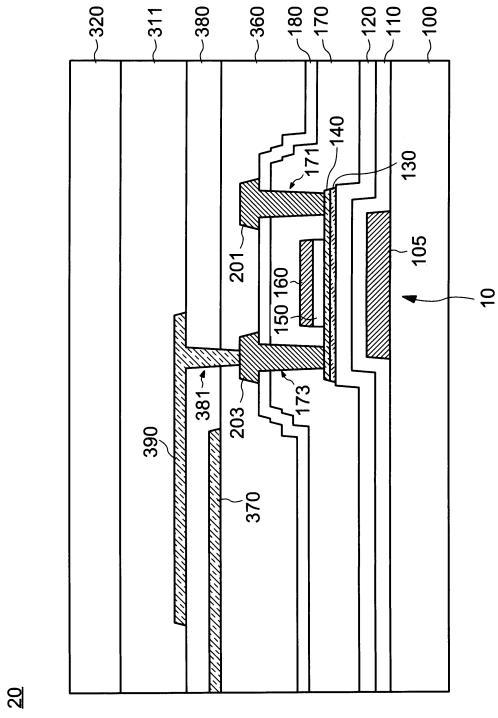
【 図 1 7 】



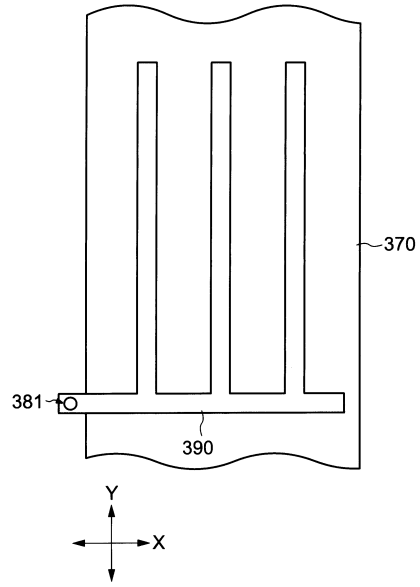
40

50

【図 18】



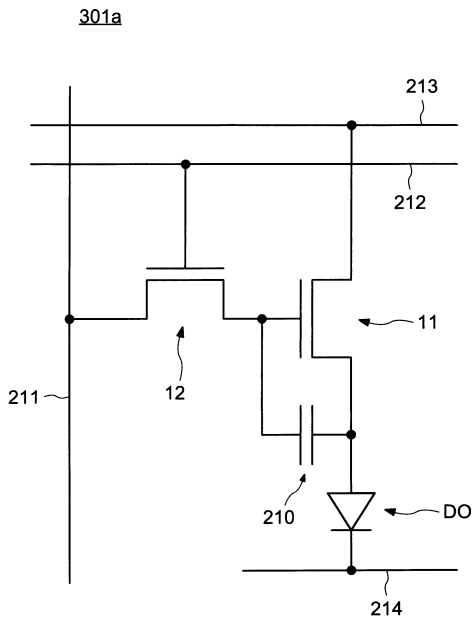
【図 19】



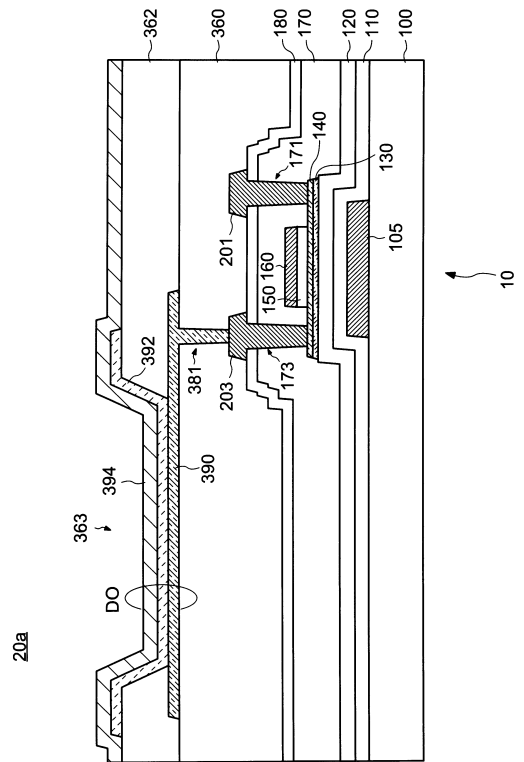
10

20

【図 20】



【図 21】

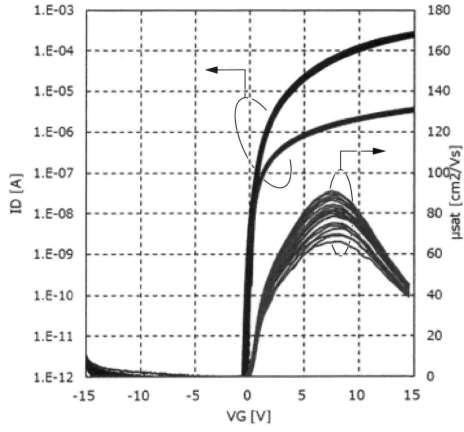


30

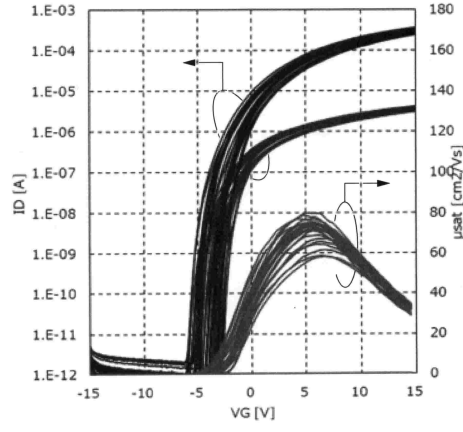
40

50

【 図 2 2 A 】

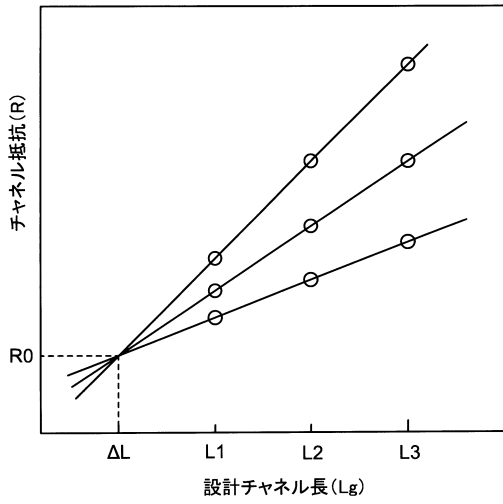


【 図 2 2 B 】

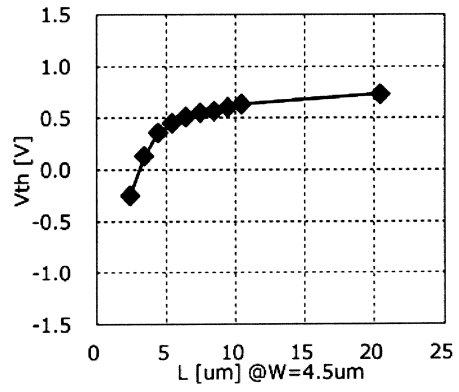


10

【 図 2 3 】



【 図 2 4 A 】



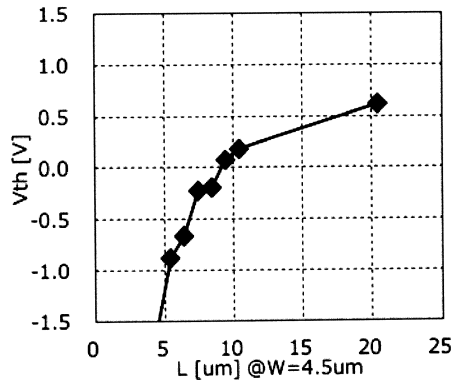
20

30

40

50

【 2 4 B 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I
G 0 2 F 1/1368

テーマコード (参考)

(72)発明者 望月 真里奈
東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内(72)発明者 田丸 尊也
東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内(72)発明者 小野寺 涼
東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内(72)発明者 小野寺 涼
東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内(72)発明者 小野寺 涼
東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内(72)発明者 小野寺 涼
東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内

F ターム (参考) 2H192 AA24 BB13 CB02 CB08 CB37 CB83 DA32 EA15

5F110 AA08 BB01 BB11 CC02 DD01 DD02 DD03 DD04 DD05 DD13

DD14 EE02 EE03 EE04 EE06 EE14 EE25 EE30 EE44 EE45 FF01

FF02 FF03 FF04 FF28 FF29 GG01 GG26 GG28 GG29 GG43 GG44

GG58 HK02 HK03 HK04 HK06 HK21 HK33 HK34 HL02 HL03 HL04

HL06 HL11 HL23 HL24 HM14 HM18 NN03 NN24 NN34 NN35 NN71

NN73 PP10 QQ04 QQ05 QQ11