

公告本

申請日期	88.5.7
案 號	88107439
類 別	G11C 1/407

A4
C4

425552

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有差動位元線之半導體記憶體
	英 文	Semiconductor-memory with Differential Bit-lines
二、發明 人	姓 名	1. 史特凡戴特里契 (Dr. Stefan Dietrich) 2. 湯姆士希恩 (Thomas Hein) 3. 麥克馬克特 (Michael Markert) 4. 西羅馬克斯 (Thilo Marx) 5. 慕薩沙格拉姆 (Musa Saglam) 6. 沙比恩史寇尼格爾 (Sabine Schoniger) 7. 彼得史克羅格麥爾 (Peter Schroegmeier)
	國 籍	1. 德國 2. 德國 3. 奧地利 4. 德國 5. 土耳其 6. 德國 7. 奧地利
三、申請人	住、居所	1. 德國圖肯菲德 D-82299 安姆爾西街 4 號 2. 德國慕尼黑 D-81667 史坦街 8 號 3. 德國奧格斯伯格 D-86152 史特芬格爾伯格 7 號 4. 德國慕尼黑 D-80997 史特瑞伯街 6 號 5. 德國慕尼黑 D-81549 史克萬西街 46 號 6. 德國慕尼黑 D-81737 努比伯格街 13 號 7. 德國慕尼黑 D-81547 佛羅慕德街 31 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

425552

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
德

1998年5月20日 19822750.7

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

-2a-

五、發明說明()

本發明係關於一種具有反相-和非反相位元線之半導體記憶體，其另具有一些匯流排以及連接這些導線之切換電晶體。

如 US4875192 中所述，半導體記憶體含有一種由記憶體單胞所構成之規則性矩陣式配置以便儲存二進位資料。記憶體單胞基本上含有一種介入電晶體以及一種記憶體電容器且儲存一個資訊位元。許多記憶體單胞連接至一條位元線。經由此條位元線可將資訊寫入記憶體單胞中或由單胞中讀出資訊。經由字線則可選取所期望之記憶體單胞。讀出放大器在讀出過程中可放大此種由記憶體單胞所讀出之信號。在放大過程之後位元線經由切換電晶體而與匯流排相連接，匯流排連通至半導體記憶體之輸出端。

讀出放大器是以差動放大器製成，在此種差動放大器之差動輸入端分別連接一條位元線。在記憶體單胞中儲存此種待儲存之資訊位元本身或其反相之資料值，這和此種配屬於記憶體單胞之位元線是連接於哪一個輸入端有關。在一條位元線上，只存在一種記憶體單胞（其中資料資訊是以非反相方式儲存）。或只存在另一種記憶體單胞（其中資料資訊是以反相方式儲存）。相對應之位元線因此稱為反相或非反相位元線。在 US4875192 中所示之配置中反相和非反相位元線交替地相鄰配置著。

在 US5280443 中描述一種半導體記憶體，其中各條位元線形成交叉狀，以便在存取記憶體時防止位元線有不對

五、發明說明(>)

稱之電容性負載。在位元線之讀出放大器側之末端分別相鄰地存在二條反相-和二條非反相之位元線。這些位元線可經由切換電晶體而連接至反相或非反相之匯流排。反相和非反相之位元線於是可連接至相同之匯流排。

本發明之目的是提供一種半導體記憶體，其使用較小之矽面積即可製成。

依據本發明，此種目的是由具有申請專利範圍第1項特徵之半導體記憶體來達成。

在本發明之半導體記憶體中，每二條反相位元線及每二條非反相位元線直接相鄰地配置著，即，不需其它位於中間之位元線。和目前之記憶體結構比較時，位元線之次序就其分佈而言須加以改變以便儲存反相或非反相之資訊。這樣所造成之結果是：每二個至位元線接點之接觸區在空間上相鄰地處於相同之匯流排上。這些接觸區亦可適當地組合成一種唯一之接觸區。此外，使各切換電晶體（其使位元線接通至匯流排）之摻雜區組合成一種唯一之摻雜區是有利的。這樣就可產生一種面積上之增益（gain）。相對應之切換電晶體之摻雜區連接至匯流排是與US4875192不同的，這些摻雜區是交替地與反相-或非反相之匯流排相接觸。各切換電晶體之閘極電極有利的是具有一種彎曲之外形。在匯流排方向中之面積增益因此在保持電晶體有效之幾何形狀下轉換成一種垂直於匯流排之在位元線之方向中有效之面積增益。半導體晶片之整個佔用面積因此可減少。

五、發明說明()

本發明以下將依據圖式作詳述。圖式簡單說明如下：

第1圖 半導體記憶體之電路原理圖

第2圖 二個切換電晶體之佈局(layout)之俯視圖，此切換電晶體將位元線與匯流排資料線相連接。

第3圖 與彎曲外形之閘極電極相對應之佈局的俯視圖。

在第1圖中顯示半導體記憶體之記憶體單胞陣列的一部分，其具有記憶體單胞1,...,6。每一記憶體單胞含有一個電容器111，其一端是與參考電位(例如，接地)相連接且另一端是與MOS電晶體112之級極-源極區段相連接。MOS電晶體112之另一端點是與位元線BL0相連接。為了讀入或讀出此種可儲存在或以儲存在電容器111中之資料資訊，則電晶體112藉由一適當之控制信號而導電性地連接至字線WL0，使電容器111導電性地與位元線BL0相連接。其它記憶體單胞2,...,6以相對應之方式構成。位元線bBL0直接配置在位元線BL0旁側。記憶體單胞4是與位元線bBL0相連接，其選擇電晶體可經由另一條字線WL1而被控制。

此二條位元線BL0, bBL0在輸入側及輸出側是與讀出放大器20相連接。在由記憶體單胞1或4讀出資料資訊時，相對應之信號由記憶體電容器施加至各別之位元線BL0或bBL0且藉由讀出放大器20而放大。讀出放大器20是以差動放大器構成。在記憶體單胞1中以非反相之方式儲存所儲存之資訊位元，這是因為位元線BL0是與讀出放大

五、發明說明(4)

器 20 之非反相之放大輸入端相連接。記憶體單胞 4 中所儲存之資訊位元是以反相方式儲存,這是因為位元線 bBL0 是與讀出放大器 20 之反相放大輸入端相連接。記憶體單胞之連接至反相之位元線 bBL1,記憶體單胞 5 連接至非反相之位元線 BL1。此二條位元線 BL1, bBL1 在輸入側與讀出放大器 21 相連接。在繼續使用此種原理之情況下,記憶體單胞 3 是與非反相之位元線 BL2 相連接,記憶體單胞 6 是與反相之位元線 bBL2 相連接。位元線 bBL2 是與讀出放大器 22 在輸入側相連接。記憶體單胞 2, 3 是由字線 WL0 所選取,記憶體單胞 4, 5, 6 是由另一條字線 WL1 所選取。各條位元線互相平行而延伸,所考慮之在垂直於位元線之方向中,第二反相位元線(例如, bBL0, bBL1)跟隨著第一反相位元線;第一非反相位元線(例如, bBL1, BL1)跟隨著第二反相位元線;第二非反相位元線(例如, BL1, BL2)跟隨著第一非反相位元線;然後又跟隨第一反相位元線(例如, bBL2)且此種非反相和反相位元線間之互相跟隨又繼續重複。於是持續地恰巧有二條反相和二條非反相之位元線在所考慮之垂直於位元線之方向中直接相鄰地存在著,即,不會有介於其間之其它位元線。

在讀出時於放大過程之後,此種施加於位元線之資料在二條匯流排 LDQ, bLDQ 上被讀出。非反相之匯流排 LDQ 接收非反相位元線 BL0, BL1, BL2 之信號。以相對應之方式,則反相之匯流排 bLDQ 又使反相之位元線 bBL0, bBL1, bBL2 之已讀出之資料資訊導通。位元線經由相對應之切

五、發明說明(5)

換電晶體 7, ..., 12 而與各所屬之匯流排相連接。所讀出之資料位元在積體半導體記憶體之輸出方向中又經由匯流排而導通。這些切換電晶體(其配置於互相鄰接之連接至同一讀出放大器之位元線)是由共同之控制信號 CSL0, CSL1 或 CSL2 所控制。整體而言在讀出過程中即將讀出之資料資訊是以單端(single-ended)之方式饋送至讀出放大器 20 之中。但在輸出側是作為差動之資料信號且以差動之方式傳送至匯流排。

二條直接相鄰而配置之同樣形式(即,二條反相或二條非反相)之資料線中之資料會發送至相同之匯流排 bLDQ 或 LDQ。這樣所產生之結果是:相關之切換電晶體之各遠離位元線之摻雜區連接至相同之匯流排。在二條直接相鄰之 bBL0, bBL1 之情況中,切換電晶體 8, 9 具有一個共同之端點 13, 此端點是與匯流排 bLDQ 相接觸。接觸區 13 最好是以唯一之共同之接觸區構成。這樣即可使佈局(layout)簡化。電晶體 8, 9 之摻雜區以共同之摻雜區構成是有利的(例如第 2 圖中所詳細顯示者)。由於此種簡化作用,則在匯流排 bLDQ, LDQ 方向中可產生一種面積增益(gain)。

相對應之特性發生於相同型式(即,二個反相或二個非反相)之所有其它相鄰之位元線。例如,位元線 BL1, BL2 經由電晶體 10, 11(其具有共同之接觸區)而連接至匯流排 LDQ。相對應之情況適用於含有電晶體 7, 12 之各個切換電晶體對(pair)。

五、發明說明 (b)

第1圖中在電晶體8,9之周圍中以虛線所示之區域在第2圖中是以佈局之俯視圖來詳細表示。相對應之元件是以相同之參考符號來表示。電晶體8,9具有一個共同之摻雜區131。摻雜區131經由接觸區132而與反相匯流排bLDQ相連接。反相位元線bBL0,bBL1經由接觸區133,134而連接至其它形成電晶體之摻雜區140,141。此二個電晶體8,9之各別之閘極電極135,136在共同之摻雜區131之邊緣延伸。在閘極電極下方在操作時須形成MOS電晶體之通道。

閘極電極135,136之間距至少須等於此種製程之校準正確度(accuracy),因此,至少須等於閘極之最小長度。反之,在藉由相隔離之摻雜區而以傳統方式來製成相對應之電晶體時,則相對應之閘極電極之間所具有之最小間距是閘極最小長度之三倍,這對各相隔離之摻雜區而言是需要的且對摻雜區本身相互之間的間距而言亦是需要的。在匯流排之方向中因此可得到至少二倍於閘極最小長度之面積增益。在目前可製成之電容器所形成之半導體記憶體中需要許多電晶體對(pair)時,製成此種終端電晶體(位元線經由此種電晶體而與匯流排相接觸)而言可在面積需求上得到一種顯著之降低。就像一般情況一樣,位元線BL0,bBL0,BL1,BL2,dbl2是在第一金屬平面中延伸,而匯流排bLDQ,LDQ則在通常是位於第一金屬平面上方之第二金屬平面中延伸。相同平面之各條導線因此須避免交叉。

五、發明說明(7)

閘極電極 135, 136 在第 2 圖中沿著其對電晶體功能而言是有作用之區段而垂直地(亦即平行於位元線之方向)延伸。使閘極電極之外形在位元線之方向中彎曲地延伸是有利的。即, 在共同之摻雜區上方之閘極電極之外形在位元線之方向中以及與位元線相垂直之方向中都含有一些組件。於是在保持相同之電晶體功能(例如, W/L-比例)時可在位元線之方向中比較小之深度(因此較狹窄)來製成電晶體。這需要在垂直於位元線之方向(即, 沿著匯流排方向)中擴展上述之摻雜區。但在此方向中存在一種空間可供使用, 此種空間是由至匯流排之共同接觸區所獲得或另外由共同構成之摻雜區所獲得。於是這些匯流排 bLDQ, LDQ 可互相鄰近地設置在記憶體單胞陣列中。含有半導體記憶體之此種半導體晶片之面積因此可變小。

在第 3 圖中顯示此種切換電晶體 8, 9 之閘極電極之在位元線方向中以彎曲形式製成之例子的佈局。和第 2 圖比較時相對應之元件是以相同之參考符號來表示。此種配置顯示了此種具有共同摻雜區 131 之電晶體 8, 9。電晶體 8, 9 之主電流路徑之另一摻雜區是以 140 或 141 來表示。一些(未顯示之)位元線經由接觸區 133, 134 而連接至參雜區 140 或 141。接觸區 132 使共同之摻雜區 131 連接至(未顯示之)匯流排 bLDQ。為了節省空間, 則接觸區 132 須設置在閘極電極 135, 136 之間。匯流排可適當地直接在第二金屬平面中之接觸區 132 上方延伸。連接至另一條匯流排 LDQ 之另一種方式可藉由位置 132 上之接觸區來達成

五、發明說明 (8)

。匯流排亦可在此種由電晶體 8,9 所佔用之面積外部延伸，其中接觸區 132 或 132' 至相對應之匯流排之連接是藉由第一佈線平面中之其它金屬導電軌來達成。

為了使電晶體 8,9 在位元線之方向中可達成一種較低之深度，則閘極電極 135,136 在摻雜區 140,131,141 之間需以彎曲方式構成，其中恰巧成直線之各區段（例如，136a,136b）在垂直方向中及水平方向中都具有方向組件。在原理上亦可考慮的是：條形之閘極電極之外形具有多次之方向上之改變及彎曲。

符號之說明

- 1...6.....記憶體單胞
- 7...12.....切換電晶體
- 13,133,134.....接觸區
- 20,21.....讀出放大器
- 111.....電容器
- 112.....MOS電晶體
- 131,132,140,141.....摻雜區
- 135,136.....閘極電極
- bBL0,bBL1,bBL2,BL0,BL1,BL2.....位元線
- bLDQ,LDQ.....匯流排

四、中文發明摘要(發明之名稱：)

具有差動位元線之半導體記憶體

在一種半導體記憶體中須配置一些位元線(BL0, bBL0, bBL1, BL1, BL2, bBL2), 使每二條反相位元線和每二條非反相位元線(bBL0, bBL1; BL1, BL2)相鄰。相鄰之切換電晶體(8,9)是用來使位元線(bBL0, bBL1)連接至反相-或非反相匯流排(bLDQ, LDQ), 切換電晶體(8,9)因此是以共同之接觸區(13;132)而連接至相對應之匯流排(bLDQ)。這樣就可在面積上獲得其它優點, 使上述二個切換電晶體(8,9)具有一種共同之摻雜區(131)。

英文發明摘要(發明之名稱： Semiconductor-memory with Differential Bit-lines)

In a semiconductor-memory are arranged some bit-lines (BL0, bBL0, bBL1, BL1, BL2, bBL2), so that each two inverted and two non-inverted bit-lines (bBL0, bBL1; BL1, BL2) are adjacently located. Adjacent switch-transistors (8,9), which are used to connect the bit-lines (bBL0, bBL1) to an inverted or a non-inverted bus (bLDQ, LDQ), are thus connected to the corresponding bus (bLDQ) by means of a common contact (13; 132). Other advantage in area is that said two switch-transistors (8,9) have a common dope-area (131).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體記憶體，其特徵為包括：

- 複數條相鄰配置之傳送資訊（其是由記憶體單胞（1，...，6）所讀出者）用之反相位元線（bBL0，bBL1，bBL2），這些位元線是與此種記憶體單胞（4，2，6）（其以反相方式儲存一些可儲存之資訊）相連接；另包括複數條非反相之位元線（BL0，BL1，BL2），這些位元線是與此種記憶體單胞（1，5，3）（其以非反相方式儲存一些可儲存之資訊）相連接，其中每二條反相之位元線（bBL0，bBL1）或每二條非反相之位元線（BL1，BL2）不需一種介於其間之另一條位元線而相鄰地配置著，
- 一些配屬於位元線之切換電晶體（7，...，12）以及一條反相-和一條非反相之匯流排（bLDQ，LDQ），其中相關之位元線可經由切換電晶體而與匯流排中之一條相連接且所有反相之位元線（bBL0，bBL1，bBL2）都可和反相之匯流排（bLDQ）相連接且所有非反相之位元線（BL0，BL1，BL2）都可和非反相之匯流排（LDQ）相連接。

2. 如申請專利範圍第1項之半導體記憶體，其中此種配屬於二條相鄰之位元線之切換電晶體（8，9；10，11）具有一種共同之摻雜區（131）。

3. 如申請專利範圍第2項之半導體記憶體，其中共同之摻雜區（131）是與匯流排（bLDQ）中之一條相接觸。

4. 如申請專利範圍第2或第3項之半導體記憶體，其中在共同之摻雜區（131）上於邊緣側配置各個電極（135，

另有修正來頁
88年8月9日

六、申請專利範圍

136), 在各極上可施加一種可控制各別電晶體之切換功能之切換信號(CSL0, CSL1)。

5. 如申請專利範圍第4項之半導體記憶體, 其中閘極電極(131)之彎曲式外形是沿著摻雜區而分佈。

6. 如申請專利範圍第1至5項中任一項之半導體記憶體, 其中每一反相之位元線(bBL0)相相鄰配置之非反相之位元線(BL0)是連接至讀出放大器(20)(其包含一個差動放大器)之輸入端及輸出端。

7. 如申請專利範圍第1至6項中任一項之半導體記憶體, 其中與反相位元線(bBL0)相鄰地配置另一條反相位元線(bBL1), 與此條反相位元線(bBL1)相鄰地配置一條非反相位元線(BL1), 與此條非反相位元線(BL1)相鄰地配置另一條非反相位元線(BL2), 其中相鄰之位元線之間都不需其它位元線。

8. 如申請專利範圍第1至7項中任一項之半導體記憶體, 其中位元線(bBL0, bBL1, bBL2, BL0, BL1, BL2)是在第一金屬面中延伸而匯流排(bLDQ, LDQ)是在第二金屬面中延伸。

另有修正本頁
88年8月19日

六、申請專利範圍

(88年8月19日修正)

1. 一種半導體記憶體，其特徵為包括：

- 複數條相鄰配置之傳送資訊（其是由記憶體單胞（1，...，6）所讀出者）用之反相位元線（bBL0，bBL1，bBL2），這些位元線是與此種記憶體單胞（4，2，6）（其以反相方式儲存一些可儲存之資訊）相連接；另包括複數條非反相之位元線（BL0，BL1，BL2），這些位元線是與此種記憶體單胞（1，5，3）（其以非反相方式儲存一些可儲存之資訊）相連接，其中每二條反相之位元線（bBL0，bBL1）或每二條非反相之位元線（BL1，BL2）不需一種介於其間之另一條位元線而相鄰地配置著，
- 一些配屬於位元線之切換電晶體（7，...，12）以及一條反相-和一條非反相之匯流排（bLDQ，LDQ），其中相關之位元線可經由切換電晶體而與匯流排中之一條相連接且所有反相之位元線（bBL0，bBL1，bBL2）都可和反相之匯流排（bLDQ）相連接且所有非反相之位元線（BL0，BL1，BL2）都可和非反相之匯流排（LDQ）相連接。

2. 如申請專利範圍第1項之半導體記憶體，其中此種配屬於二條相鄰之位元線之切換電晶體（8，9；10，11）具有一種共同之摻雜區（131）。

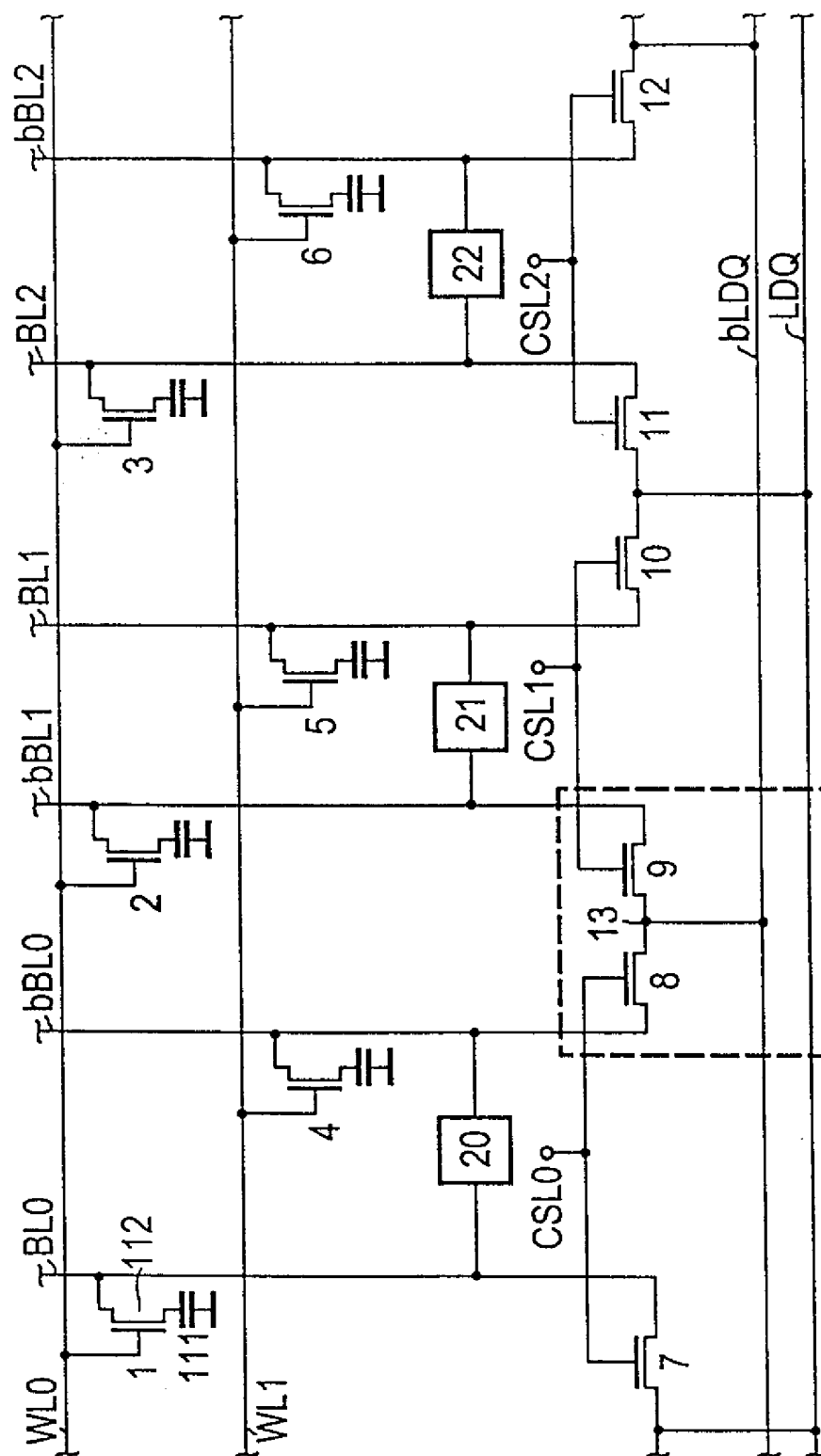
3. 如申請專利範圍第2項之半導體記憶體，其中共同之摻雜區（131）是與匯流排（bLDQ）中之一條相接觸。

4. 如申請專利範圍第2或第3項之半導體記憶體，其中在共同之摻雜區（131）上於邊緣側配置各個電極（135，

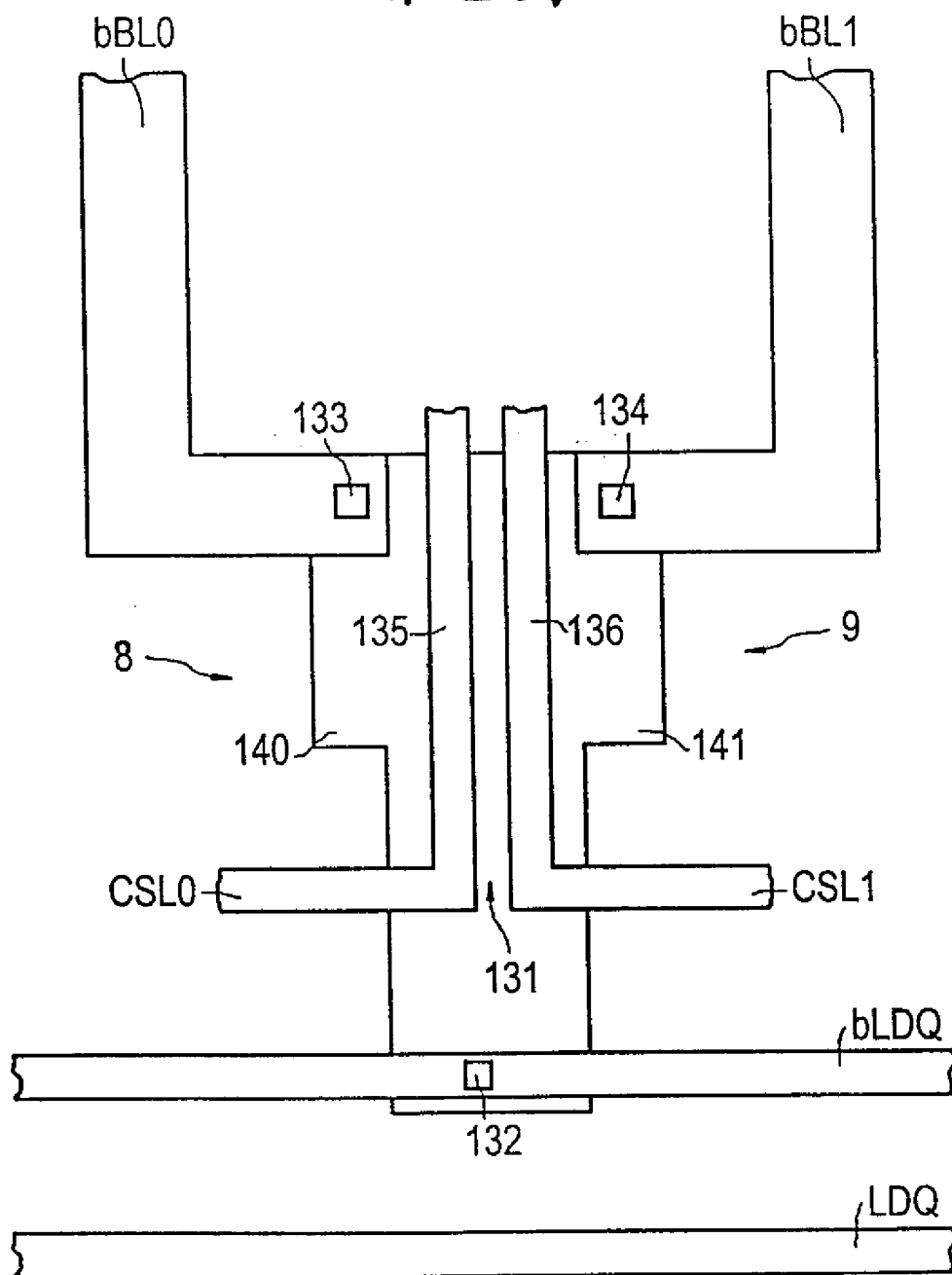
六、申請專利範圍

- 136), 在各極上可施加一種可控制各別電晶體之切換功能之切換信號(CSL0, CSL1)。
- 5.如申請專利範圍第4項之半導體記憶體, 其中閘極電極(131)之彎曲式外形是沿著摻雜區而分佈。
- 6.如申請專利範圍第1項之半導體記憶體, 其中每一反相之位元線(bBL0)相相鄰配置之非反相之位元線(BL0)是連接至讀出放大器(20)(其包含一個差動放大器)之輸入端及輸出端。
- 7.如申請專利範圍第1或第6項之半導體記憶體, 其中與反相位元線(bBL0)相鄰地配置另一條反相位元線(bBL1), 與此條反相位元線(bBL1)相鄰地配置一條非反相位元線(BL1), 與此條非反相位元線(bL1)相鄰地配置另一條非反相位元線(NL2), 其中相鄰之位元線之間都不需其它位元線。
- 8.如申請專利範圍第1, 3或6項之半導體記憶體, 其中位元線(bBL0, bBL1, bBL2, BL0, BL1, BL2)是在第一金屬面中延伸而匯流排(bLDQ, LDQ)是在第二金屬面中延伸。
- 9.如申請專利範圍第7項之半導體記憶體, 其中位元線(bBL0, bBL1, bBL2, BL0, BL1, BL2)是在第一金屬面中延伸而匯流排(bLDQ, LDQ)是在第二金屬面中延伸。

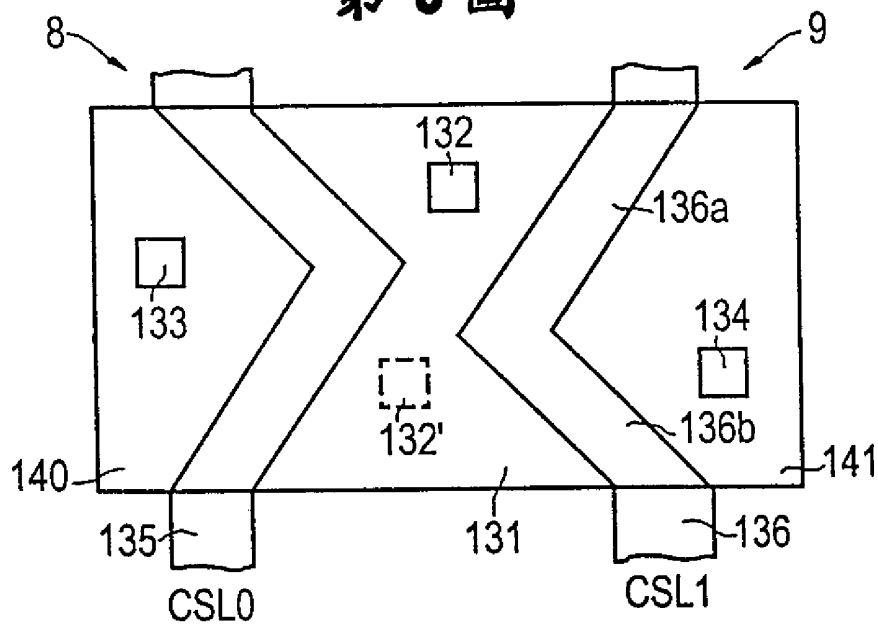
圖一



第 2 圖



第 3 圖



六、申請專利範圍

1. 一種半導體記憶體，其特徵為包括：

- 複數條相鄰配置之傳送資訊（其是由記憶體單胞（1，...，6）所讀出者）用之反相位元線（bBL0，bBL1，bBL2），這些位元線是與此種記憶體單胞（4，2，6）（其以反相方式儲存一些可儲存之資訊）相連接；另包括複數條非反相之位元線（BL0，BL1，BL2），這些位元線是與此種記憶體單胞（1，5，3）（其以非反相方式儲存一些可儲存之資訊）相連接，其中每二條反相之位元線（bBL0，bBL1）或每二條非反相之位元線（BL1，BL2）不需一種介於其間之另一條位元線而相鄰地配置著，
- 一些配屬於位元線之切換電晶體（7，...，12）以及一條反相-和一條非反相之匯流排（bLDQ，LDQ），其中相關之位元線可經由切換電晶體而與匯流排中之一條相連接且所有反相之位元線（bBL0，bBL1，bBL2）都可和反相之匯流排（bLDQ）相連接且所有非反相之位元線（BL0，BL1，BL2）都可和非反相之匯流排（LDQ）相連接。

2. 如申請專利範圍第1項之半導體記憶體，其中此種配屬於二條相鄰之位元線之切換電晶體（8，9；10，11）具有一種共同之摻雜區（131）。

3. 如申請專利範圍第2項之半導體記憶體，其中共同之摻雜區（131）是與匯流排（bLDQ）中之一條相接觸。

4. 如申請專利範圍第2或第3項之半導體記憶體，其中在共同之摻雜區（131）上於邊緣側配置各個電極（135，

另有修正來頁
88年8月9日

六、申請專利範圍

136), 在各極上可施加一種可控制各別電晶體之切換功能之切換信號(CSL0, CSL1)。

5. 如申請專利範圍第4項之半導體記憶體, 其中閘極電極(131)之彎曲式外形是沿著摻雜區而分佈。

6. 如申請專利範圍第1至5項中任一項之半導體記憶體, 其中每一反相之位元線(bBL0)相相鄰配置之非反相之位元線(BL0)是連接至讀出放大器(20)(其包含一個差動放大器)之輸入端及輸出端。

7. 如申請專利範圍第1至6項中任一項之半導體記憶體, 其中與反相位元線(bBL0)相鄰地配置另一條反相位元線(bBL1), 與此條反相位元線(bBL1)相鄰地配置一條非反相位元線(BL1), 與此條非反相位元線(BL1)相鄰地配置另一條非反相位元線(BL2), 其中相鄰之位元線之間都不需其它位元線。

8. 如申請專利範圍第1至7項中任一項之半導體記憶體, 其中位元線(bBL0, bBL1, bBL2, BL0, BL1, BL2)是在第一金屬面中延伸而匯流排(bLDQ, LDQ)是在第二金屬面中延伸。

另有修正本頁
88年8月19日

六、申請專利範圍

(88年8月19日修正)

1. 一種半導體記憶體，其特徵為包括：

- 複數條相鄰配置之傳送資訊（其是由記憶體單胞（1，...，6）所讀出者）用之反相位元線（bBL0，bBL1，bBL2），這些位元線是與此種記憶體單胞（4，2，6）（其以反相方式儲存一些可儲存之資訊）相連接；另包括複數條非反相之位元線（BL0，BL1，BL2），這些位元線是與此種記憶體單胞（1，5，3）（其以非反相方式儲存一些可儲存之資訊）相連接，其中每二條反相之位元線（bBL0，bBL1）或每二條非反相之位元線（BL1，BL2）不需一種介於其間之另一條位元線而相鄰地配置著，
- 一些配屬於位元線之切換電晶體（7，...，12）以及一條反相-和一條非反相之匯流排（bLDQ，LDQ），其中相關之位元線可經由切換電晶體而與匯流排中之一條相連接且所有反相之位元線（bBL0，bBL1，bBL2）都可和反相之匯流排（bLDQ）相連接且所有非反相之位元線（BL0，BL1，BL2）都可和非反相之匯流排（LDQ）相連接。

2. 如申請專利範圍第1項之半導體記憶體，其中此種配屬於二條相鄰之位元線之切換電晶體（8，9；10，11）具有一種共同之摻雜區（131）。

3. 如申請專利範圍第2項之半導體記憶體，其中共同之摻雜區（131）是與匯流排（bLDQ）中之一條相接觸。

4. 如申請專利範圍第2或第3項之半導體記憶體，其中在共同之摻雜區（131）上於邊緣側配置各個電極（135，