



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년07월07일
(11) 등록번호 10-2830796
(24) 등록일자 2025년07월02일

- (51) 국제특허분류(Int. Cl.)
H10D 64/23 (2025.01) H10D 30/67 (2025.01)
H10D 48/00 (2025.01) H10D 62/13 (2025.01)
H10D 64/27 (2025.01)
- (52) CPC특허분류
H10D 30/6729 (2025.01)
H10D 30/673 (2025.01)
- (21) 출원번호 10-2021-7006924
- (22) 출원일자(국제) 2019년08월29일
심사청구일자 2022년08월16일
- (85) 번역문제출일자 2021년03월08일
- (65) 공개번호 10-2021-0052462
- (43) 공개일자 2021년05월10일
- (86) 국제출원번호 PCT/IB2019/057266
- (87) 국제공개번호 WO 2020/049420
국제공개일자 2020년03월12일
- (30) 우선권주장
JP-P-2018-167632 2018년09월07일 일본(JP)
- (56) 선행기술조사문헌
JP2018133404 A*
US20180212062 A1
US20160247928 A1
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
타카하시 마사히로
일본국 가나가와켄 아쓰기시 하세 398 가부시킴가이샤 한도오따이 에네루기 켄큐쇼 나이
오쿠노 나오키
일본국 가나가와켄 아쓰기시 하세 398 가부시킴가이샤 한도오따이 에네루기 켄큐쇼 나이
(뒷면에 계속)
- (74) 대리인
이화익

전체 청구항 수 : 총 8 항

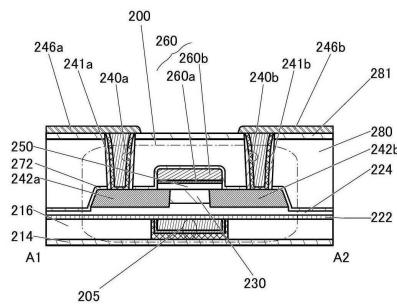
심사관 : 권철순

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제작 방법

(57) 요약

전기 특성이 양호하고 신뢰성이 높은 반도체 장치를 제공한다. 제 1 절연체와, 제 1 절연체 위의 제 1 도전체 및 제 2 도전체와, 제 1 도전체와 제 2 도전체 사이에 배치된 산화물과, 제 1 도전체 위, 제 2 도전체 위, 및 산화물 위의 제 2 절연체와, 제 2 절연체 위의 제 3 도전체를 가지고, 제 1 도전체의 측면은 산화물의 한쪽의 측면과 접하는 영역을 가지고, 제 2 도전체의 측면은 산화물의 다른 쪽의 측면과 접하는 영역을 가지고, 제 1 도전체의 상면의 높이, 제 2 도전체의 상면의 높이, 및 산화물의 상면의 높이는 각각 대략 동등하고, 제 1 도전체의 도전율은 산화물보다 높고, 제 2 도전체의 도전율은 산화물보다 높다.

대표도



(52) CPC특허분류

H10D 30/6734 (2025.01)

H10D 30/6755 (2025.01)

H10D 62/151 (2025.01)

H10D 99/00 (2025.01)

(72) 발명자

카나가와 토모사토

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오따이 에네루기 켄큐쇼 나이

미즈카미 쇼타

일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오따이 에네루기 켄큐쇼 나이

명세서

청구범위

청구항 1

반도체 장치로서,
 제 1 절연체와,
 상기 제 1 절연체 위의 제 1 도전체 및 제 2 도전체와,
 상기 제 1 도전체와 상기 제 2 도전체 사이에 배치된 산화물과,
 상기 제 1 도전체 위, 상기 제 2 도전체 위, 및 상기 산화물 위의 제 2 절연체와,
 상기 제 2 절연체 위의 제 3 도전체와,
 상기 제 3 도전체 위의 제 3 절연체를 가지고,
 상기 제 1 도전체의 측면은 상기 산화물의 한쪽의 측면과 접하는 영역을 가지고,
 상기 제 2 도전체의 측면은 상기 산화물의 다른 쪽의 측면과 접하는 영역을 가지고,
 상기 제 1 도전체의 상면의 높이, 상기 제 2 도전체의 상면의 높이, 및 상기 산화물의 상면의 높이는 동등하고,
 상기 제 1 도전체의 도전율은 상기 산화물보다 높고,
 상기 제 2 도전체의 도전율은 상기 산화물보다 높고,
 상기 제 3 절연체는 상기 제 1 절연체의 상면과 접하는, 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 도전체 및 상기 제 2 도전체는 각각 In과, Sn, W, Ti, 및 Si 중 어느 하나 또는 복수를 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,
 상기 제 1 도전체 및 상기 제 2 도전체는 각각 Zn, Ti, Ga, 및 Nb 중 어느 하나 또는 복수를 포함하는, 반도체 장치.

청구항 4

제 1 항에 있어서,
 상기 산화물은 In과, 원소 M(M은 Al, Ga, Y, 또는 Sn)과, Zn을 포함하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 1 도전체 및 상기 제 2 도전체의 캐리어 밀도는 상기 산화물의 캐리어 밀도보다 높은, 반도체 장치.

청구항 6

반도체 장치의 제작 방법으로서,
 기판 위에 제 1 절연체를 형성하고,
 상기 제 1 절연체 위에 산화막을 성막하고,
 리소그래피법으로 상기 산화막 위에 마스크를 형성하고,
 상기 마스크와 중첩되지 않는 상기 산화막을 제거함으로써 산화물을 형성하고,
 상기 마스크 및 상기 산화물을 덮어 도전막을 성막하고,
 상기 도전막의 일부를 등방성 에칭함으로써 상기 마스크의 측면을 노출시키고,
 상기 마스크를 제거함으로써 상기 마스크 위의 상기 도전막을 리프트 오프하는, 반도체 장치의 제작 방법.

청구항 7

제 6 항에 있어서,
 상기 도전막은 스퍼터링법으로 성막되는, 반도체 장치의 제작 방법.

청구항 8

제 6 항에 있어서,
 상기 도전막의 수직 방향의 성막 속도보다 수평 방향의 성막 속도가 느린, 반도체 장치의 제작 방법.

발명의 설명

기술 분야

- [0001] 본 발명의 일 형태는 반도체 장치, 그리고 반도체 장치의 제작 방법에 관한 것이다. 또는, 본 발명의 일 형태는 반도체 웨이퍼, 모듈, 및 전자 기기에 관한 것이다.
- [0002] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는, 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 활상 장치, 및 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.
- [0003] 또한, 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

배경 기술

- [0004] 반도체 소자를 사용한 집적 회로(Integrated Circuit: IC)의 개발이 진행되고 있다. CPU나 메모리의 개발 및 제조에는, 집적도가 더욱 높은 IC로 이루어지는 LSI나 초LSI의 기술이 사용되고 있다. 이와 같은 IC는 회로 기판, 예를 들어 인쇄 배선판에 실장되고, 컴퓨터, 정보 단말, 표시 장치, 자동차 등을 구성하는 다양한 전자 기기의 부품 중 하나로서 사용된다. 또한, 이들을 인공 지능(AI) 시스템에 사용하는 연구도 진행되고 있다.
- [0005] 컴퓨터나 정보 단말로서, 데스크톱형 컴퓨터, 랩톱형 컴퓨터, 태블릿형 컴퓨터, 스마트폰, 휴대 전화 등이 알려져 있다.

[0006] 반도체 소자에 사용되는 반도체 재료로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목을 받고 있다.

[0007] 또한, 산화물 반도체를 사용한 트랜지스터는, 비도통 상태에서 누설 전류가 매우 작은 것이 알려져 있다. 예를 들어, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮은 특성을 응용한 저소비전력의 CPU 등이 개시되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호

발명의 내용

해결하려는 과제

[0009] 본 발명의 일 형태는 양호한 전기 특성을 가지는 반도체 장치, 및 그 제작 방법을 제공하는 것을 과제의 하나로 한다. 또한, 본 발명의 일 형태는 신뢰성이 높은 반도체 장치 및 그 제작 방법을 제공하는 것을 과제의 하나로 한다. 또한, 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치 및 그 제작 방법을 제공하는 것을 과제의 하나로 한다. 또한, 본 발명의 일 형태는 생산성이 높은 반도체 장치 및 그 제작 방법을 제공하는 것을 과제의 하나로 한다.

[0010] 또한, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에 있어서, 전기 특성의 변동을 억제하면서, 신뢰성을 향상시키는 것을 과제의 하나로 한다. 또한, 온 전류가 큰 산화물 반도체를 가지는 트랜지스터를 제공하는 것을 과제의 하나로 한다. 또한, 오프 전류가 작은 산화물 반도체를 가지는 트랜지스터를 제공하는 것을 과제의 하나로 한다. 또한, 소비전력이 저감된 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또한, 동작 주파수가 향상된 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0011] 또한, 신규 반도체 장치를 제공하는 것을 과제의 하나로 한다. 또한, 상기 반도체 장치를 가지는 모듈을 제공하는 것을 과제의 하나로 한다. 또한, 상기 반도체 장치, 또는 상기 모듈을 가지는 전자 기기를 제공하는 것을 과제의 하나로 한다.

[0012] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0013] 본 발명의 일 형태는 제 1 절연체와, 상기 제 1 절연체 위의 제 1 도전체 및 제 2 도전체와, 상기 제 1 도전체와 상기 제 2 도전체 사이에 배치된 산화물과, 상기 제 1 도전체 위, 상기 제 2 도전체 위, 및 상기 산화물 위의 제 2 절연체와, 상기 제 2 절연체 위의 제 3 도전체와, 상기 제 3 도전체 위의 제 3 절연체를 가지고, 상기 제 1 도전체의 측면은 상기 산화물의 한쪽의 측면과 접하는 영역을 가지고, 상기 제 2 도전체의 측면은 상기 산화물의 다른 쪽의 측면과 접하는 영역을 가지고, 상기 제 1 도전체의 상면의 높이, 상기 제 2 도전체의 상면의 높이, 및 상기 산화물의 상면의 높이는 동등하고, 상기 제 1 도전체의 도전율은 상기 산화물보다 높고, 상기 제 2 도전체의 도전율은 상기 산화물보다 높고, 상기 제 3 절연체는 상기 제 1 절연체의 상면과 접하는 반도체 장치이다.

[0014] 또한, 제 1 도전체 및 제 2 도전체는 각각 In과, Sn, W, Ti, 및 Si 중 어느 하나 또는 복수를 포함하는 것이 바람직하다.

[0015] 또한, 제 1 도전체 및 제 2 도전체는 각각 Zn, Ti, Ga, 및 Nb 중 어느 하나 또는 복수를 포함하여도 좋다.

[0016] 또한, 산화물은 In과, 원소 M(M은 Al, Ga, Y, 또는 Sn)과, Zn을 포함하는 것이 바람직하다.

[0017] 또한, 제 1 도전체 및 제 2 도전체의 캐리어 밀도는 산화물의 캐리어 밀도보다 높은 것이 바람직하다.

[0018] 또한, 본 발명의 일 형태는 기판 위에 제 1 절연체를 형성하고, 상기 제 1 절연체 위에 산화막을 성막하고, 리소그래피법으로 상기 산화막 위에 마스크를 형성하고, 상기 마스크와 중첩되지 않는 상기 산화막을 제거함으로써 산화물을 형성하고, 상기 마스크 및 상기 산화물을 덮어 도전막을 성막하고, 상기 도전막의 일부를 등방성 에칭함으로써 상기 마스크의 측면을 노출시키고, 상기 마스크를 제거함으로써 상기 마스크 위의 상기 도전막을 리프트 오프하는, 반도체 장치의 제작 방법이다.

[0019] 또한, 도전막은 스퍼터링법으로 성막하는 것이 바람직하다.

[0020] 또한, 도전막의 수직 방향의 성막 속도보다 수평 방향의 성막 속도가 느린 성막 방법을 사용하는 것이 바람직하다.

발명의 효과

[0021] 본 발명의 일 형태에 의하여 양호한 전기 특성을 가지는 반도체 장치, 및 그 제작 방법을 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여 신뢰성이 높은 반도체 장치 및 그 제작 방법을 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치 및 그 제작 방법을 제공할 수 있다. 또한, 본 발명의 일 형태에 의하여 생산성이 높은 반도체 장치 및 그 제작 방법을 제공할 수 있다.

[0022] 또한, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에 있어서, 전기 특성의 변동을 억제하면서, 신뢰성을 향상시킬 수 있다. 또한 온 전류가 큰 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또한 오프 전류가 작은 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또한 소비전력이 저감된 반도체 장치를 제공할 수 있다. 또한, 동작 주파수가 향상된 반도체 장치를 제공할 수 있다.

[0023] 또는, 신규 반도체 장치를 제공할 수 있다. 또는, 상기 반도체 장치를 가지는 모듈을 제공할 수 있다. 또는, 상기 반도체 장치 또는 상기 모듈을 가지는 전자 기기를 제공할 수 있다.

[0024] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한, 이들 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

- [0025] 도 1의 (A)는 반도체 장치를 나타낸 상면도이다. 도 1의 (B), (C)는 반도체 장치를 나타낸 단면도이다.
- 도 2의 (A)는 반도체 장치를 나타낸 상면도이다. 도 2의 (B), (C)는 반도체 장치를 나타낸 단면도이다.
- 도 3의 (A)는 반도체 장치를 나타낸 상면도이다. 도 3의 (B), (C)는 반도체 장치를 나타낸 단면도이다.
- 도 4의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 4의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.
- 도 5의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 5의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.
- 도 6의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 6의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.
- 도 7의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 7의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.
- 도 8의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 8의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.
- 도 9의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 9의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.
- 도 10의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 10의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.
- 도 11의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 11의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 12의 (A)는 반도체 장치의 제작 방법을 나타낸 상면도이다. 도 12의 (B), (C)는 반도체 장치의 제작 방법을 나타낸 단면도이다.

도 13은 산화물 반도체의 에너지 밴드 구조를 설명하는 도면이다.

도 14는 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도이다.

도 15의 (A)는 기억 장치의 구성예를 나타낸 블록도이다. 도 15의 (B)는 기억 장치의 구성예를 나타낸 모식도이다.

도 16의 (A) 내지 (H)는 기억 장치의 구성예를 나타낸 회로도이다.

도 17의 (A)는 반도체 장치의 블록도이다. 도 17의 (B)는 반도체 장치의 모식도이다.

도 18의 (A) 내지 (E)는 기억 장치의 모식도이다.

도 19의 (A) 내지 (F)는 전자 기기를 나타낸 도면이다.

도 20은 인듐 주석 산화물의 시트 저항값의 가열 처리 시간 의존성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하에서, 실시형태에 대하여 도면을 참조하면서 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0027] 또한 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어, 실제의 제조 공정에서 에칭 등의 처리에 의하여 층이나 레지스트 마스크 등이 의도하지 않게 감소되는 경우가 있으나, 이해를 쉽게 하기 위하여 이를 도면에 반영하지 않은 경우가 있다. 또한 도면에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략하는 경우가 있다. 또한, 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0028] 또한, 특히 상면도('평면도'라고도 함)나 사시도 등에서, 발명의 이해를 용이하게 하기 위하여, 일부의 구성 요소의 기재를 생략하는 경우가 있다. 또한, 일부의 숨은선 등의 기재를 생략하는 경우가 있다.

[0029] 또한 본 명세서 등에서, 제 1, 제 2 등으로 붙여지는 서수사는 편의상 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 따라서 예를 들어, '제 1'을 '제 2' 또는 '제 3' 등으로 적절히 바꿔 설명할 수 있다. 또한, 본 명세서 등에 기재되어 있는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.

[0030] 또한 본 명세서에서 '위에', '아래에' 등의 배치를 나타내는 말은 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 또한, 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화되는 것이다. 그러므로 명세서에서 설명한 말에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.

[0031] 예를 들어, 본 명세서 등에서, X와 Y가 접속된다고 명시적으로 기재된 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 도면 또는 문장에 기재되어 있는 것으로 한다.

[0032] 여기서, X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0033] X와 Y가 직접 접속되는 경우의 일례로서는, X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 접속되지 않은 경우이며, X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)를 통하지 않고, X와 Y가 접속되는 경우이다.

[0034] X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y를 전기적으로 접속할 수 있는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나

이상 접속되는 경우를 들 수 있다. 또한 스위치는 온 오프가 제어되는 기능을 가진다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어, 전류를 흘릴지 여부를 제어하는 기능을 가진다. 또는 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 가진다. 또한 X와 Y가 전기적으로 접속되는 경우에는, X와 Y가 직접 접속되는 경우를 포함하는 것으로 한다.

[0035] X와 Y가 기능적으로 접속되는 경우의 일례로서는, X와 Y를 기능적으로 접속할 수 있는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되는 경우를 들 수 있다. 또한 일례로서, X와 Y 사이에 다른 회로를 개재(在)하여도 X로부터 출력된 신호가 Y로 전달되는 경우는 X와 Y는 기능적으로 접속되는 것으로 한다. 또한 X와 Y가 기능적으로 접속되는 경우에는, X와 Y가 직접 접속되는 경우와, X와 Y가 전기적으로 접속되는 경우를 포함하는 것으로 한다.

[0036] 또한 본 명세서 등에서 트랜지스터란 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이다. 그리고, 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 형성 영역을 가지고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한 본 명세서 등에서 채널 형성 영역이란 전류가 주로 흐르는 영역을 말한다.

[0037] 또한, 소스나 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 그러므로, 본 명세서 등에서는, 소스나 드레인의 용어는 바꾸어 사용할 수 있는 경우가 있다.

[0038] 또한, 채널 길이란, 예를 들어 트랜지스터의 상면도에서, 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트가 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인 사이의 거리를 말한다. 또한 하나의 트랜지스터에서, 채널 길이가 모든 영역에서 같은 값을 취한다고 할 수는 없다. 즉 하나의 트랜지스터의 채널 길이는 하나의 값으로 정해지지 않는 경우가 있다. 따라서 본 명세서에서 채널 길이는 채널이 형성되는 영역에서의 어느 하나의 값, 최댓값, 최솟값, 또는 평균값으로 한다.

[0039] 채널 폭이란, 예를 들어 반도체(또는 트랜지스터가 온 상태일 때 반도체 내에서 전류가 흐르는 부분)와 게이트가 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 대향하는 부분의 길이를 말한다. 또한 하나의 트랜지스터에서, 채널 폭이 모든 영역에서 같은 값을 취한다고 할 수는 없다. 즉 하나의 트랜지스터의 채널 폭은 하나의 값으로 정해지지 않는 경우가 있다. 따라서 본 명세서에서 채널 폭은 채널이 형성되는 영역에서의 어느 하나의 값, 최댓값, 최솟값, 또는 평균값으로 한다.

[0040] 또한, 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역에서의 채널 폭(이하, '실효적인 채널 폭'이라고도 함)과, 트랜지스터의 상면도에서 도시된 채널 폭(이하, '외관상 채널 폭'이라고도 함)이 상이한 경우가 있다. 예를 들어, 게이트가 반도체의 측면을 덮는 경우, 실효적인 채널 폭이 외관상 채널 폭보다 크고, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 미세하고 게이트가 반도체의 측면을 덮는 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 큰 경우가 있다. 이 경우에는 외관상 채널 폭보다 실효적인 채널 폭이 커진다.

[0041] 이러한 경우, 실효적인 채널 폭을 실측에 의하여 어렵잡기 어려워지는 경우가 있다. 예를 들어, 설계값으로부터 실효적인 채널 폭을 어렵잡기 위해서는, 반도체의 형상이 미리 알려져 있다는 가정이 필요하다. 따라서, 반도체의 형상을 정확하게 알 수 없는 경우에는 실효적인 채널 폭을 정확하게 측정하기 어렵다.

[0042] 따라서 본 명세서에서는 외관상 채널 폭을 '둘러싸인 채널 폭(SCW: Surrounded Channel Width)'이라고 부르는 경우가 있다. 또한 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 둘러싸인 채널 폭 또는 외관상 채널 폭을 가리키는 경우가 있다. 또는, 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는, 실효적인 채널 폭을 가리키는 경우가 있다. 또한 채널 길이, 채널 폭, 실효적인 채널 폭, 외관상 채널 폭, 둘러싸인 채널 폭 등은 단면 TEM 이미지 등의 해석 등에 의하여 값을 결정할 수 있다.

[0043] 또한, 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 DOS(Density of States)가 높아지거나, 결정성의 저하 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 및 산

화물 반도체의 주성분 외의 전이 금속(transition metal) 등이 있고, 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체의 경우, 물도 불순물로서 기능하는 경우가 있다. 또한, 산화물 반도체의 경우, 예를 들어 불순물의 혼입으로 인하여 산소 결손이 형성되는 경우가 있다. 또한, 반도체가 실리콘인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 및 15족 원소 등이 있다.

[0044] 또한, 본 명세서 등에서, 산화질화 실리콘막이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것이다. 예를 들어, 바람직하게는 산소가 55atomic% 이상 65atomic% 이하, 질소가 1atomic% 이상 20atomic% 이하, 실리콘이 25atomic% 이상 35atomic% 이하, 수소가 0.1atomic% 이상 10atomic% 이하인 농도 범위에서 포함되는 것을 말한다. 또한, 질화산화 실리콘막이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것이다. 예를 들어, 바람직하게는 질소가 55atomic% 이상 65atomic% 이하, 산소가 1atomic% 이상 20atomic% 이하, 실리콘이 25atomic% 이상 35atomic% 이하, 수소가 0.1atomic% 이상 10atomic% 이하의 농도 범위에서 포함되는 것을 말한다.

[0045] 또한 본 명세서 등에서, '막'이라는 용어와 '층'이라는 용어를 서로 바꿀 수 있다. 예를 들어, '도전층'이라는 용어를 '도전막'이라는 용어로 바꿀 수 있는 경우가 있다. 또는 예를 들어 '절연막'이라는 용어를 '절연층'이라는 용어로 변경할 수 있는 경우가 있다.

[0046] 또한, 본 명세서 등에서, '절연체'라는 용어를 절연막 또는 절연층이라고 환언할 수 있다. 또한, '도전체'라는 용어를 도전막 또는 도전층이라고 환언할 수 있다. 또한, '반도체'라는 용어를 반도체막 또는 반도체층이라고 환언할 수 있다.

[0047] 또한, 본 명세서 등에 나타내는 트랜지스터는, 명시되어 있는 경우를 제외하고, 전계 효과 트랜지스터로 한다. 또한 본 명세서 등에 나타내는 트랜지스터는 명시되어 있는 경우를 제외하고, n채널형 트랜지스터로 한다. 따라서, 그 문턱 전압('Vth'라고도 함)은 명시되어 있는 경우를 제외하고, 0V보다 큰 것으로 한다.

[0048] 또한 본 명세서 등에서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 '실질적으로 평행'이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한 '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 '실질적으로 수직'이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.

[0049] 또한, 본 명세서에서, 결정이 삼방정계 및 능면체정계인 경우에는, 육방정계에 포함되어 있는 것으로 한다.

[0050] 또한, 본 명세서에서, 배리어막이란, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 막이고, 상기 배리어막이 도전성을 가지는 경우에는, 도전성 배리어막이라고 부르는 경우가 있다.

[0051] 본 명세서 등에서, 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉, OS FET라고 기재하는 경우에는, 산화물 또는 산화물 반도체를 가지는 트랜지스터라고 바꿔 말할 수 있다.

[0052] (실시형태 1)

[0053] <반도체 장치의 구성예 1>

[0054] 도 1의 (A), (B), 및 (C)는 본 발명의 일 형태에 따른 트랜지스터(200) 및 트랜지스터(200) 주변의 상면도 및 단면도이다.

[0055] 도 1의 (A)는 트랜지스터(200)를 가지는 반도체 장치의 상면도이다. 또한, 도 1의 (B) 및 (C)는 상기 반도체 장치의 단면도이다. 여기서, 도 1의 (B)는 도 1의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한, 도 1의 (C)는 도 1의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 도 1의 (A)의 상면도에 서는 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0056] 본 발명의 일 형태의 반도체 장치는 기판(도시하지 않았음) 위의 절연체(214)와, 절연체(214) 위의 트랜지스터(200)와, 트랜지스터(200) 위의 절연체(280)와, 절연체(280) 위의 절연체(281)를 가진다. 절연체(214), 절연체(280), 및 절연체(281)는 층간막으로서 기능한다. 또한 트랜지스터(200)에 전기적으로 접속되고 플러그로서 기

능하는 도전체(240)(도전체(240a) 및 도전체(240b))를 가진다. 또한, 플러그로서 기능하는 도전체(240)의 측면에 접하여 절연체(241)(절연체(241a) 및 절연체(241b))가 제공된다. 또한 절연체(281) 위 및 도전체(240) 위에는 도전체(240)에 전기적으로 접속되고 배선으로서 기능하는 도전체(246)(도전체(246a) 및 도전체(246b))가 제공된다.

[0057] 또한, 절연체(272), 절연체(280), 및 절연체(281)의 개구의 내벽에 접하여 절연체(241a)가 제공되고, 그 측면에 접하여 도전체(240a)의 제 1 도전체가 제공되고, 더 내측에 도전체(240a)의 제 2 도전체가 제공되어 있다. 또한, 절연체(272), 절연체(280), 및 절연체(281)의 개구의 내벽에 접하여 절연체(241b)가 제공되고, 그 측면에 접하여 도전체(240b)의 제 1 도전체가 제공되고, 더 내측에 도전체(240b)의 제 2 도전체가 제공되어 있다. 여기서, 도전체(240)의 상면의 높이와 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다. 또한 트랜지스터(200)에서 도전체(240)의 제 1 도전체와 도전체(240)의 제 2 도전체를 적층시키는 구성을 나타내었지만, 본 발명은 이에 한정되는 것은 아니다. 예를 들어, 도전체(240)를 단층, 또는 3층 이상의 적층 구조로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순으로 서수를 붙여 구별하는 경우가 있다.

[0058] [트랜지스터(200)]

[0059] 도 1에 도시된 바와 같이, 트랜지스터(200)는 절연체(214) 위의 절연체(216)와, 절연체(216)에 매립되도록 배치된 도전체(205)와, 절연체(216) 위 및 도전체(205) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 도전체(242a) 및 도전체(242b)와, 도전체(242a)와 도전체(242b) 사이에 배치된 산화물(230)과, 도전체(242a), 도전체(242b), 및 산화물(230) 위의 절연체(250)와, 절연체(250) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다. 또한, 도전체(242a)의 측면은 산화물(230)의 한쪽의 측면과 접하는 영역을 가지고, 도전체(242b)의 측면은 산화물(230)의 다른 쪽의 측면과 접하는 영역을 가진다. 또한, 도전체(242a)의 상면의 높이, 도전체(242b)의 상면의 높이, 및 산화물(230)의 상면의 높이는 각각 대략 동등하다.

[0060] 또한, 절연체(222), 절연체(272), 및 절연체(281)는 수소(예를 들어, 수소 원자, 수소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 또한, 절연체(222), 절연체(272), 및 절연체(281)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 것이 바람직하다. 예를 들어, 절연체(222), 절연체(272), 및 절연체(281)는 각각 절연체(224)보다 산소 및 수소 중 한쪽 또는 양쪽의 투과성이 낮은 것이 바람직하다. 절연체(222), 절연체(272), 및 절연체(281)는 각각 절연체(250)보다 산소 및 수소 중 한쪽 또는 양쪽의 투과성이 낮은 것이 바람직하다. 절연체(222), 절연체(272), 및 절연체(281)는 각각 절연체(280)보다 산소 및 수소 중 한쪽 또는 양쪽의 투과성이 낮은 것이 바람직하다.

[0061] 도 1의 (B) 및 (C)에 도시된 바와 같이, 절연체(272)는 도전체(260)의 상면과 측면, 절연체(250)의 측면, 도전체(242a)의 상면과 측면, 도전체(242b)의 상면과 측면, 그리고 절연체(224)의 상면에 접하는 것이 바람직하다. 이로써, 절연체(280)는 절연체(272)에 의하여 절연체(224) 및 산화물(230)과 이격된다. 또한, 절연체(272)에 의하여 절연체(280)로부터 도전체(260)로의 산소 및 수소 중 한쪽 또는 양쪽의 투과를 억제함으로써, 도전체(260)의 산화를 억제할 수 있다.

[0062] 또한, 트랜지스터(200)에서는, 채널 형성 영역과 그 근방에 있어서, 산화물(230)의 단층 구조로 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 2층 구조 또는 3층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한 트랜지스터(200)에서는 도전체(260)를 2층 구조로 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 도전체(260)는 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

[0063] 여기서, 도전체(260)는 트랜지스터(200)의 게이트로서 기능하고, 도전체(242a) 및 도전체(242b)는 각각 소스 또는 드레인으로서 기능한다. 또한, 트랜지스터(200)는 채널 형성 영역을 포함하는 산화물(230)에 산화물 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.

[0064] 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터(200)는 비도통 상태에서 누설 전류(오프 전류)가 매우 작기 때문에, 저소비전력의 반도체 장치를 제공할 수 있다. 또한, 산화물 반도체는 스퍼터링법 등을 사용하여 성막할 수 있기 때문에, 고집적형 반도체 장치를 구성하는 트랜지스터(200)에 사용할 수 있다.

[0065] 예를 들어, 산화물(230)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브덴, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하면 좋다. 특히, 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석을 사용하면 좋다. 또한, 산화물(230)로서 In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다.

- [0066] 또한, 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널이 형성되는 영역에 불순물 및 산소 결손이 존재하면, 전기 특성이 변동되기 쉬워 신뢰성이 떨어지는 경우가 있다. 또한, 산화물 반도체 내의 채널이 형성되는 영역에 산소 결손이 포함되면 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 따라서 채널이 형성되는 영역 내의 산소 결손은 가능한 한 저감되어 있는 것이 바람직하다. 이로써 전기 특성의 변동이 억제되고, 안정된 전기 특성을 가지면서, 신뢰성이 향상된 트랜지스터를 제공할 수 있다.
- [0067] 또한, 산화물(230)의 양쪽 측면에 접하도록 제공되고, 소스 또는 드레인으로서 기능하는 도전체(242)(도전체(242a) 및 도전체(242b))로서는 도전성 산화물을 사용하는 것이 바람직하다. 특히, 캐리어의 생성이 산소 결손에만 의존하는 것이 아니라, 치환형 불순물 도너에 의하여 캐리어를 생성하는 도전성 산화물인 것이 바람직하다. 즉, 도전체(242) 내의 산소 결손이 과잉 산소에 의하여 수복(修復)되어도, 도전체(242) 내의 캐리어 밀도의 저하를 억제할 수 있다. 따라서, 도전성 산화물은 산소 결손이 적은 상태에서도 캐리어가 생성되는 것으로 생각되기 때문에, 온 특성이 높은 트랜지스터로 할 수 있다. 도전체(242)로서는 주석, 텅스텐, 타이타늄, 및 실리콘 중 어느 하나 또는 복수와, 인듐을 포함하는 것이 바람직하다. 예를 들어, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다.
- [0068] 또는, 갈륨을 첨가한 산화 아연, 나이오븀을 첨가한 산화 타이타늄을 사용하여도 좋다.
- [0069] 또한, 도전체(242)의 도전율은 산화물(230)의 도전율보다 높은 것이 바람직하다. 또한, 도전체(242)의 캐리어 밀도는 산화물(230)의 캐리어 밀도보다 높은 것이 바람직하다. 이와 같은 구성으로 함으로써, 산화물(230)은 채널 형성 영역으로서 기능하고, 도전체(242)는 소스 또는 드레인으로서 기능할 수 있다.
- [0070] 본 발명의 일 형태인 트랜지스터(200)는, 도 1의 (B)에 도시된 바와 같이, 채널 형성 영역으로서 기능하는 산화물(230)의 양쪽 측면을 소스 또는 드레인으로서 기능하는 도전체(242)로 끼우는 구성이 되어 있다. 또한, 도전체(242)의 상면의 높이 및 산화물(230)의 상면의 높이는 대략 동등하다. 이와 같은 구성으로 함으로써, 산화물(230)의 채널 형성 영역의 상면과 게이트로서 기능하는 도전체(260)의 최단 거리가 도전체(242)와 도전체(260)의 최단 거리와 대략 동등하게 되기 때문에, 기생 용량이 작은 트랜지스터를 제공할 수 있다. 또한, 산화물(230)의 채널 형성 영역과 도전체(260) 사이에는 단차가 형성되지 않거나, 또는 매우 작으므로, 산화물(230)의 채널 형성 영역 위 및 도전체(242) 위의 절연체(250)는 단차를 거의 넘어가지 않게 제공할 수 있기 때문에, 절연체(250)의 피복성이 양호해지고 절연체(250)의 절연 내압이 향상되어 바람직하다.
- [0071] 또한, 도 1의 (C)에 도시된 바와 같이, 게이트로서 기능하는 도전체(260)가 채널 형성 영역의 산화물(230)의 측면 및 상면을 절연체(250)를 개재하여 덮는 구성이 되어 있어, 도전체(260)의 전계를 채널 형성 영역의 산화물(230) 전체에 작용시키기 쉬워진다. 따라서, 트랜지스터(200)의 온 전류를 증대시켜, 주파수 특성을 향상시킬 수 있다.
- [0072] 이상으로부터, 온 전류가 큰 트랜지스터를 가지는 반도체 장치를 제공할 수 있다. 또는, 높은 주파수 특성을 가지는 트랜지스터를 가지는 반도체 장치를 제공할 수 있다. 또는 전기 특성의 변동이 억제되어 안정적인 전기 특성을 가지면서 신뢰성이 향상된 반도체 장치를 제공할 수 있다. 또는, 오프 전류가 작은 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.
- [0073] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터(200)를 가지는 반도체 장치의 자세한 구성에 대하여 설명한다.
- [0074] 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 또한, 도전체(205)는 절연체(216)에 매립되어 제공되는 것이 바람직하다.
- [0075] 여기서, 도전체(260)는 제 1 게이트(톱 게이트라고도 함)로서 기능하는 경우가 있다. 또한, 도전체(205)는 제 2 게이트(보텀 게이트라고도 함)로서 기능하는 경우가 있다. 이 경우, 도전체(205)에 인가하는 전위를 도전체(260)에 인가하는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의 V_{th} 를 제어할 수 있다. 특히, 도전체(205)에 음의 전위를 인가함으로써 트랜지스터(200)의 V_{th} 를 0V보다 크게 하고, 오프 전류를 저감할 수 있게 된다. 따라서, 도전체(205)에 음의 전위를 인가하는 것이, 인가하지 않은 경우보다 도전체(260)에 인가하는 전위가 0V일 때의 드레인 전류를 더 작게 할 수 있다.
- [0076] 또한, 도전체(205)는 도 1의 (A)에 도시된 바와 같이 산화물(230)의 크기보다 크게 제공하는 것이 좋다. 특히,

도 1의 (C)에 도시된 바와 같이, 도전체(205)는 산화물(230)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서도 연장되어 있는 것이 바람직하다. 즉, 산화물(230)의 채널 폭 방향에서의 측면의 외측에서 도전체(205)와 도전체(260)는 절연체를 개재하여 중첩되어 있는 것이 바람직하다. 또는, 도전체(205)를 크게 제공함으로써, 도전체(205) 형성 이후의 제작 공정의 플라즈마를 사용한 처리에서, 국소적인 차징(charging)(차지 업(charge up)이라고 함)을 완화할 수 있는 경우가 있다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다. 도전체(205)는 적어도 도전체(242a)와 도전체(242b) 사이에 위치하는 산화물(230)과 중첩되면 좋다.

[0077] 상기 구성을 가짐으로써, 제 1 게이트로서의 기능을 가지는 도전체(260)의 전계와, 제 2 게이트로서의 기능을 가지는 도전체(205)의 전계에 의하여 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 본 명세서에서는, 제 1 게이트 및 제 2 게이트의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.

[0078] 도전체(205)는 절연체(216)의 개구의 내벽에 접하여 도전체(205)의 하층막이 형성되고, 도전체(205)의 하층막의 내측에 도전체(205)의 상층막이 형성되어 있다. 여기서, 도전체(205)의 상면의 높이와 절연체(216)의 상면의 높이는 같은 정도로 할 수 있다.

[0079] 여기서, 도전체(205)의 하층막에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한 본 명세서에서, 불순물 또는 산소의 확산을 억제하는 기능이란, 상기 불순물 및 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능으로 한다. 본 명세서 중, 이와 같은 기능을 가지는 도전체를, 도전성 배리어막이라고 하는 경우가 있다.

[0080] 도전체(205)의 하층막이 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(205)의 상층막이 산화되어 도전율이 저하하는 것을 방지할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 따라서, 도전체(205)의 하층막으로서, 상기 도전성 재료를 단층 또는 적층으로 하면 좋다. 이로써, 수소, 물 등의 불순물이 도전체(205)를 통하여 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 본 실시형태에서는, 도전체(205a)로서 질화 탄탈럼 및 질화 타이타늄을 사용한다.

[0081] 또한, 도전체(205)의 상층막에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 본 실시형태에서는, 도전체(205)의 상층막으로서 텅스텐을 사용한다.

[0082] 여기서 산화물 반도체와, 산화물 반도체의 아래층에 위치하는 절연체 또는 도전체와, 산화물 반도체의 위층에 위치하는 절연체 또는 도전체로서, 상이한 종류의 막을 대기 개방을 하지 않고 연속적으로 성막함으로써, 불순물(특히 수소, 물)의 농도가 저감된, 실질적으로 고순도 진성인 산화물 반도체막으로 할 수 있어 바람직하다.

[0083] 예를 들어, 복수의 처리 체임버를 가지는 성막 장치를 사용하여 절연체(216) 및 도전체(205) 위에 배치되는 절연체(222), 절연체(224), 및 산화물(230)이 되는 산화막을 순차적으로 연속 성막하면 좋다.

[0084] 절연체(214), 절연체(272), 및 절연체(281)는 물 또는 수소 등의 불순물이 기판 측으로부터 또는 위쪽으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서 절연체(214), 절연체(272), 및 절연체(281)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.

[0085] 예를 들어, 절연체(214) 및 절연체(281)로서 질화 실리콘 등을 사용하는 것이 바람직하다. 이로써, 물 또는 수소 등의 불순물이 절연체(214)보다 기판 측으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는, 절연체(224) 등에 포함되는 산소가 절연체(214)보다 기판 측으로 확산되는 것을 억제할 수 있다.

[0086] 또한, 예를 들어 절연체(272)로서 산화 알루미늄 등을 사용할 수 있다. 이로써, 물 또는 수소 등의 불순물이 절연체(272)보다 위쪽에 배치되어 있는 절연체(280) 또는/및 도전체(246) 등으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다.

- [0087] 또한, 절연체(214) 및 절연체(281)는 적층 구조이어도 좋다. 예를 들어, 산화 알루미늄막과 질화 실리콘막의 적층 구조를 절연체(214) 및 절연체(281)에 사용하면 적합하다. 산화 알루미늄막에 의하여 절연체(214)의 아래쪽에 산소를 공급할 수 있다. 또한 질화 실리콘막에 의하여 기판 측으로부터 트랜지스터(200) 측으로 확산되는 수소, 물 등의 불순물의 확산을 억제할 수 있다. 또한, 절연체(281)의 아래쪽에 산소를 공급할 수 있다. 또한, 질화 실리콘막에 의하여 외부로부터 트랜지스터(200) 측으로 확산되는 수소, 물 등의 불순물의 확산을 억제할 수 있다.
- [0088] 또한, 절연체(216) 및 절연체(280)는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 예를 들어, 절연체(216) 및 절연체(280)로서, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공(空孔)을 가지는 산화 실리콘 등을 적절히 사용하면 좋다.
- [0089] 절연체(222) 및 절연체(224)는 게이트 절연체로서의 기능을 가진다.
- [0090] 여기서, 산화물(230)과 접하는 절연체(224)는 가열에 의하여 산소가 이탈되는 것이 바람직하다. 본 명세서에서는, 가열에 의하여 이탈되는 산소를 과잉 산소라고 부르는 경우가 있다. 예를 들어, 절연체(224)에는 산화 실리콘 또는 산화질화 실리콘 등을 적절히 사용하면 좋다. 산소를 포함한 절연체를 산화물(230)에 접하여 제공함으로써, 산화물(230) 내의 산소 결손을 저감하여, 트랜지스터(200)의 신뢰성을 향상시킬 수 있다.
- [0091] 절연체(224)로서, 구체적으로는 가열에 의하여 일부의 산소가 이탈되는 산화물 재료를 사용하는 것이 바람직하다. 가열에 의하여 산소가 이탈되는 산화물이란, TDS(Thermal Desorption Spectroscopy) 분석에서 산소 분자의 이탈량이 1.0×10^{18} molecules/cm³ 이상, 바람직하게는 1.0×10^{19} molecules/cm³ 이상, 더 바람직하게는 2.0×10^{19} molecules/cm³ 이상 또는 3.0×10^{20} molecules/cm³ 이상인 산화물막이다. 또한, 상기 TDS 분석 시에서의 막의 표면 온도로서는 100℃ 이상 700℃ 이하, 또는 100℃ 이상 400℃ 이하의 범위가 바람직하다.
- [0092] 절연체(222)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 예를 들어, 절연체(222)는 절연체(224)보다 수소 투과성이 낮은 것이 바람직하다. 절연체(222) 및 절연체(272)로 절연체(224) 및 산화물(230) 등을 둘러싸므로써, 외부로부터 물 또는 수소 등의 불순물이 트랜지스터(200)로 침입하는 것을 억제할 수 있다.
- [0093] 또한, 절연체(222)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 산소 투과성이 낮은 것이 바람직하다. 절연체(222)가 산소나 불순물의 확산을 억제하는 기능을 가지면, 산화물(230)에 포함되는 산소가 절연체(222)보다 아래쪽으로 확산되는 것을 저감할 수 있기 때문에 바람직하다. 또한 절연체(224)나 산화물(230)이 가지는 산소와 도전체(205)가 반응하는 것을 억제할 수 있다.
- [0094] 절연체(222)에는 절연성 재료인 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물(230)로부터의 산소의 방출이나, 트랜지스터(200)의 주변부로부터 산화물(230)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.
- [0095] 또는, 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.
- [0096] 또한 절연체(222)에는, 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬(SrTiO3), 또는 (Ba,Sr)TiO3(BST) 등 소위 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능하게 된다.
- [0097] 또한, 절연체(222) 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다.

- [0098] 산화물(230)에는 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상의 것을 사용하는 것이 바람직하다. 이와 같이 에너지 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다. 이와 같은 트랜지스터를 사용함으로써, 저소비전력의 반도체 장치를 제공할 수 있다.
- [0099] 전자 친화력 또는 전도대 하단의 에너지 준위 E_c 는 도 13에 도시된 바와 같이, 진공 준위 E_{vac} 와 가전자대 상단의 에너지 E_v 의 차인 이온화 퍼텐셜 I_p 와, 에너지 갭 E_g 로부터 구할 수 있다. 이온화 퍼텐셜 I_p 는 예를 들어 자외선 광전자 분광 분석(UPS: Ultraviolet Photoelectron Spectroscopy) 장치를 사용하여 측정할 수 있다. 에너지 갭 E_g 는 예를 들어 분광 엘립소미터를 사용하여 측정할 수 있다.
- [0100] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 산화물(230c)의 상면에 접하여 배치하는 것이 바람직하다. 절연체(250)는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.
- [0101] 절연체(224)와 마찬가지로 절연체(250)는 가열에 의하여 산소가 방출되는 절연체를 사용하여 형성되는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체를 절연체(250)로서 산화물(230c)의 상면과 접하여 제공함으로써, 산화물(230b)의 채널 형성 영역에 산소를 효과적으로 공급할 수 있다. 또한, 절연체(224)와 마찬가지로, 절연체(250) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는, 1nm 이상 20nm 이하로 하는 것이 바람직하다.
- [0102] 또한 절연체(250)와 도전체(260) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(250)로부터 도전체(260)로의 산소 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(250)로부터 도전체(260)로의 산소의 확산이 억제된다. 즉 산화물(230)에 공급하는 산소량의 감소를 억제할 수 있다. 또한 절연체(250)의 산소로 인한 도전체(260)의 산화를 억제할 수 있다.
- [0103] 또한, 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서, 절연체(250)에 산화 실리콘이나 산화질화 실리콘 등을 사용하는 경우, 상기 금속 산화물에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(250)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이며 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위의 저감화가 가능하게 된다. 또한, 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 저감이 가능하게 된다.
- [0104] 구체적으로는, 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 또는 마그네슘 등 중에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히, 알루미늄 또는 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다.
- [0105] 또는, 상기 금속 산화물은 게이트의 일부로서의 기능을 가지는 경우가 있다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.
- [0106] 특히, 게이트로서 기능하는 도전체로서, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한, 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한, 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는, 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.
- [0107] 도전체(260a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(N_2O , NO , NO_2 등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0108] 또한 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250)에 포함되는 산소로 인하여 도전

체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다.

[0109] 또한, 도전체(260b)는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(260)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한 도전체(260b)는 적층 구조를 가져도 좋고, 예를 들어 타이타늄 또는 질화 타이타늄과 상기 도전성 재료의 적층 구조를 가져도 좋다.

[0110] 절연체(280)는, 예를 들어 절연체(280)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘 등을 가지는 것이 바람직하다. 특히, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히, 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함한 영역을 용이하게 형성할 수 있어 바람직하다.

[0111] 절연체(280) 내의 물 또는 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 또한 절연체(280)의 상면은 평탄화되어도 좋다.

[0112] 절연체(281)는 물 또는 수소 등의 불순물이 위쪽으로부터 절연체(280)에 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 절연체(281)로서는, 예를 들어 산화 알루미늄, 질화 실리콘, 또는 질화산화 실리콘 등의 절연체를 사용하면 좋다.

[0113] 도전체(240a) 및 도전체(240b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(240a) 및 도전체(240b)는 적층 구조로 하여도 좋다.

[0114] 또한, 도전체(240)를 적층 구조로 하는 경우, 절연체(281), 절연체(280), 및 절연체(272)와 접하는 도전체에는 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어, 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한, 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료는, 단층 또는 적층으로 사용하여도 좋다. 상기 도전성 재료를 사용함으로써 절연체(280)에 첨가된 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다. 또한, 절연체(281)보다 위층으로부터 물 또는 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다.

[0115] 절연체(241a) 및 절연체(241b)로서는 예를 들어 산화 알루미늄, 질화 실리콘, 또는 질화산화 실리콘 등의 절연체를 사용하면 좋다. 절연체(241a) 및 절연체(241b)는 절연체(272)에 접하여 제공되기 때문에, 절연체(280)으로부터 물 또는 수소 등의 불순물이 도전체(240a) 및 도전체(240b)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 또한, 절연체(280)에 포함되는 산소가 도전체(240a) 및 도전체(240b)에 흡수되는 것을 방지할 수 있다.

[0116] 또한 도전체(240a)의 상면 및 도전체(240b)의 상면과 접하여 배선으로서 기능하는 도전체(246)(도전체(246a) 및 도전체(246b))를 배치하여도 좋다. 도전체(246)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄, 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 또한, 상기 도전체는 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.

[0117] <반도체 장치의 구성 예 2>

[0118] 여기서, 트랜지스터(200)와 상이한 구성의 트랜지스터(201)를 가지는 반도체 장치의 일례에 대하여 설명한다. 도 2의 (A), (B), 및 (C)는 본 발명의 일 형태에 따른 트랜지스터(201) 및 트랜지스터(201) 주변의 상면도 및 단면도이다.

[0119] 도 2의 (A)는 트랜지스터(201)를 가지는 반도체 장치의 상면도이다. 또한, 도 2의 (B) 및 (C)는 상기 반도체 장치의 단면도이다. 여기서, 도 2의 (B)는 도 2의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이고, 트랜지스터(201)의 채널 길이 방향의 단면도이기도 하다. 또한, 도 2의 (C)는 도 2의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이고, 트랜지스터(201)의 채널 폭 방향의 단면도이기도 하다. 또한, 도 2의 (A)의 상면도에 서는 도면의 명료화를 위하여 일부 요소를 생략하였다.

- [0120] [트랜지스터(201)]
- [0121] 도 2에 도시된 바와 같이, 트랜지스터(201)는 절연체(214) 위의 절연체(216)와, 절연체(216)에 매립되도록 배치된 도전체(205)와, 절연체(216) 위 및 도전체(205) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 도전체(242a) 및 도전체(242b)와, 도전체(242a)와 도전체(242b) 사이에 배치된 산화물(230a)과, 산화물(230a) 위에 있고 도전체(242a)와 도전체(242b) 사이에 배치된 산화물(230b)과, 도전체(242a), 도전체(242b), 및 산화물(230b) 위의 산화물(230c)과, 산화물(230c) 위의 절연체(250)와, 절연체(250) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다. 또한, 도전체(242a)의 측면은 산화물(230a) 및 산화물(230b)의 한쪽의 측면과 접하는 영역을 가지고, 도전체(242b)의 측면은 산화물(230a) 및 산화물(230b)의 다른 쪽의 측면과 접하는 영역을 가진다. 또한, 도전체(242a)의 상면의 높이, 도전체(242b)의 상면의 높이, 및 산화물(230b)의 상면의 높이는 각각 대략 동등하다.
- [0122] 예를 들어, 산화물(230a), 산화물(230b), 및 산화물(230c)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하면 좋다. 특히, 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석을 사용하면 좋다. 또한, 산화물(230)로서 In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다.
- [0123] 또한, 산화물 반도체를 사용한 트랜지스터는, 산화물 반도체 내의 채널이 형성되는 영역에 불순물 및 산소 결손이 존재하면, 전기 특성이 변동되기 쉬워 신뢰성이 떨어지는 경우가 있다. 또한, 산화물 반도체 내의 채널이 형성되는 영역에 산소 결손이 포함되면 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 따라서 채널이 형성되는 영역 내의 산소 결손은 가능한 한 저감되어 있는 것이 바람직하다. 이로써 전기 특성의 변동이 억제되고, 안정된 전기 특성을 가지면서, 신뢰성이 향상된 트랜지스터를 제공할 수 있다.
- [0124] 또한, 산화물(230a) 및 산화물(230b)의 양쪽 측면에 접하도록 제공되고, 소스나 드레인으로서 기능하는 도전체(242)(도전체(242a) 및 도전체(242b))로서는 도전성 산화물을 사용하는 것이 바람직하다. 특히, 캐리어의 생성이 산소 결손에만 의존하는 것이 아니라, 치환형 불순물 도너에 의하여 캐리어를 생성하는 도전성 산화물인 것이 바람직하다. 즉, 도전체(242) 내의 산소 결손이 과잉 산소에 의하여 수복되어도, 도전체(242) 내의 캐리어 밀도의 저하를 억제할 수 있다. 따라서, 도전성 산화물은 산소 결손이 적은 상태에서도 캐리어가 생성되는 것으로 생각되기 때문에, 온 특성이 높은 트랜지스터로 할 수 있다. 도전체(242)로서는 주석, 텅스텐, 타이타늄, 및 실리콘 중 어느 하나 또는 복수와, 인듐을 포함하는 것이 바람직하다. 예를 들어, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다.
- [0125] 또는, 갈륨을 첨가한 산화 아연, 나이오븀을 첨가한 산화 타이타늄을 사용하여도 좋다.
- [0126] 또한, 도전체(242)의 도전율은 산화물(230a) 및 산화물(230b)의 도전율보다 높은 것이 바람직하다. 또한, 도전체(242)의 캐리어 밀도는 산화물(230a) 및 산화물(230b)의 캐리어 밀도보다 높은 것이 바람직하다. 이와 같은 구성으로 함으로써, 산화물(230a) 및 산화물(230b)은 채널 형성 영역으로서 기능하고, 도전체(242)는 소스 또는 드레인으로서 기능할 수 있다.
- [0127] 본 발명의 일 형태인 트랜지스터(201)는, 도 2의 (B)에 도시된 바와 같이, 채널 형성 영역으로서 기능하는 산화물(230b)의 양쪽 측면을 소스 또는 드레인으로서 기능하는 도전체(242)로 끼우는 구성이 되어 있다. 또한, 도전체(242)의 상면의 높이 및 산화물(230b)의 상면의 높이는 대략 동등하다. 이와 같은 구성으로 함으로써, 산화물(230b)의 채널 형성 영역의 상면과 게이트로서 기능하는 도전체(260)의 최단 거리가 도전체(242)와 도전체(260)의 최단 거리와 대략 동등하게 되기 때문에, 기생 용량이 작은 트랜지스터를 제공할 수 있다. 또한, 산화물(230b)의 채널 형성 영역과 도전체(260) 사이에는 단차가 형성되지 않거나, 또는 매우 작으므로, 산화물(230b)의 채널 형성 영역 위 및 도전체(242) 위의 절연체(250)는 단차를 거의 넘어가지 않게 제공할 수 있기 때문에, 절연체(250)의 피복성이 양호해지고 절연체(250)의 절연 내압이 향상되어 바람직하다.
- [0128] 또한, 도 2의 (C)에 도시된 바와 같이, 절연체(224)의 저면을 기준으로 하여, 산화물(230a) 및 산화물(230b)과 도전체(260)가 중첩되지 않는 영역에서의 도전체(260)의 저면의 높이는 산화물(230b)의 저면의 높이보다 낮은 위치에 배치되어 있는 것이 바람직하다. 또한, 산화물(230b)과 도전체(260)가 중첩되지 않는 영역에서의 도전체(260)의 밑면의 높이와, 산화물(230b)의 밑면의 높이의 차이는 0nm 이상 100nm 이하, 바람직하게는 3nm 이상

50nm 이하, 더 바람직하게는 5nm 이상 20nm 이하로 한다.

- [0129] 또한, 도 2의 (C)에 도시된 바와 같이, 게이트로서 기능하는 도전체(260)가 채널 형성 영역의 산화물(230a) 및 산화물(230b)의 측면 및 산화물(230b)의 상면을 절연체(250)를 개재하여 덮는 구성이 되어 있어, 도전체(260)의 전계를 채널 형성 영역의 산화물(230a) 및 산화물(230b) 전체에 작용시키기 쉬워진다. 따라서, 트랜지스터(201)의 온 전류를 증대시켜, 주파수 특성을 향상시킬 수 있다.
- [0130] 이상으로부터, 온 전류가 큰 트랜지스터를 가지는 반도체 장치를 제공할 수 있다. 또는, 높은 주파수 특성을 가지는 트랜지스터를 가지는 반도체 장치를 제공할 수 있다. 또는 전기 특성의 변동이 억제되어 안정적인 전기 특성을 가지면서 신뢰성이 향상된 반도체 장치를 제공할 수 있다. 또는, 오프 전류가 작은 트랜지스터를 가지는 반도체 장치를 제공할 수 있다.
- [0131] 산화물(230)은 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위의 산화물(230c)을 가진다. 산화물(230b) 아래에 산화물(230a)을 가짐으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다. 또한, 산화물(230b) 위에 산화물(230c)을 가짐으로써, 산화물(230c)보다 위쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다.
- [0132] 또한, 산화물(230)은, 각 금속 원자의 원자수비가 상이한 산화물로 이루어지는 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(230a)에 사용하는 금속 산화물에서 구성 원소 중의 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230c)은 산화물(230a) 또는 산화물(230b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.
- [0133] 또한, 산화물(230b)은 결정성을 가지는 것이 바람직하다. 예를 들어, 후술하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다. CAAC-OS 등의 결정성을 가지는 산화물은 불순물이나 결함(산소 결손 등)이 적고 결정성이 높은 치밀한 구조를 가진다. 따라서, 소스 또는 드레인에 의한 산화물(230b)로부터의 산소 추출을 억제할 수 있다. 이에 의하여, 열처리를 수행한 경우에도 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(201)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.
- [0134] 또한, 산화물(230a) 및 산화물(230c)의 전도대 하단의 에너지가 산화물(230b)의 전도대 하단의 에너지보다 높아지는 것이 바람직하다. 또한, 환언하면 산화물(230a) 및 산화물(230c)의 전자 친화력이 산화물(230b)의 전자 친화력보다 작은 것이 바람직하다.
- [0135] 여기서, 산화물(230a), 산화물(230b), 및 산화물(230c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화된다. 환언하면, 산화물(230a), 산화물(230b), 및 산화물(230c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 산화물(230a)과 산화물(230b)의 계면 및 산화물(230b)과 산화물(230c)의 계면에서 형성되는 혼합층의 결함 준위 밀도를 낮추는 것이 좋다.
- [0136] 구체적으로는, 산화물(230a)로서 In:Ga:Zn=1:3:4[원자수비] 또는 1:1:0.5[원자수비]의 금속 산화물을 사용하면 좋다. 또한, 산화물(230b)로서 In:Ga:Zn=4:2:3[원자수비] 또는 3:1:2[원자수비]의 금속 산화물을 사용하면 좋다. 또한, 산화물(230c)로서 In:Ga:Zn=1:3:4[원자수비], In:Ga:Zn=4:2:3[원자수비], Ga:Zn=2:1[원자수비], 또는 Ga:Zn=2:5[원자수비]의 금속 산화물을 사용하면 좋다. 또한, 산화물(230c)을 적층 구조로 하는 경우의 구체적인 예로서는, In:Ga:Zn=4:2:3[원자수비]과 Ga:Zn=2:1[원자수비]의 적층 구조, In:Ga:Zn=4:2:3[원자수비]과 Ga:Zn=2:5[원자수비]의 적층 구조, In:Ga:Zn=4:2:3[원자수비]과 산화 갈륨의 적층 구조 등을 들 수 있다.
- [0137] 이때, 캐리어의 주된 경로는 산화물(230b)이다. 산화물(230a), 산화물(230c)을 상술한 구성으로 함으로써, 산화물(230a)과 산화물(230b)의 계면, 및 산화물(230b)과 산화물(230c)의 계면에서의 결함 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도에 대한 영향이 작아지고, 트랜지스터(201)는 높은 온 전류 및 높은 주파수 특성을 얻을 수 있다. 또한, 산화물(230c)을 적층 구조로 한 경우, 상술한 산화물(230b)과 산화물(230c)의 계면에서의 결함 준위 밀도를 낮추는 효과에 더하여, 산화물(230c)이 가지는 구성 원소가 절연체(250) 측으로 확산되는 것을 억제하는 것이 기대된다. 더 구체적으로는, 산화물(230c)을 적층 구조로 하고, 적

층 구조의 위쪽에 In을 포함하지 않는 산화물을 위치하게 하기 때문에 절연체(250) 측으로 확산될 수 있는 In을 억제할 수 있다. 절연체(250)는 게이트 절연체로서 기능하기 때문에, In이 확산된 경우 트랜지스터의 특성 불량 이 된다. 따라서, 산화물(230c)을 적층 구조로 함으로써, 신뢰성이 높은 반도체 장치를 제공할 수 있게 된다. 또한, 그 외의 트랜지스터(201)의 구성 및 효과 등에 대해서는, 트랜지스터(200)를 참조할 수 있다.

[0138] <반도체 장치의 구성 재료>

[0139] 이하에서는, 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0140] <기판>

[0141] 트랜지스터(200) 및 트랜지스터(201)를 형성하는 기판으로서, 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서, 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 반도체 기판으로서, 예를 들어 실리콘, 저마늄을 재료로 한 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한, 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서, 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는, 금속의 질화물을 가지는 기판, 금속의 산화물을 가지는 기판 등이 있다. 또한, 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는, 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는, 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0142] <절연체>

[0143] 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0144] 예를 들어, 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 저전압화가 가능하게 된다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서, 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0145] 또한 비유전율이 높은 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화질화물, 또는 실리콘 및 하프늄을 가지는 질화물 등이 있다.

[0146] 또한 비유전율이 낮은 절연체로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0147] 또한, 산화물 반도체를 사용한 트랜지스터는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연체를 단층 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물, 질화 알루미늄, 질화 알루미늄 타이타늄, 질화 타이타늄, 질화산화 실리콘 또는 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0148] 또한, 게이트 절연체로서 기능하는 절연체는, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 절연체인 것이 바람직하다. 예를 들어, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 산화 실리콘 또는 산화질화 실리콘을 산화물(230)과 접촉하는 구조로 함으로써, 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

[0149] <도전체>

[0150] 도전체로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄,

바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 질화 텅스텐, 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물 등을 사용하는 것이 바람직하다. 또한, 질화 탄탈럼, 질화 타이타늄, 질화 타이타늄과 알루미늄을 포함한 질화물, 탄탈럼과 알루미늄을 포함한 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함한 산화물, 란타넘과 니켈을 포함한 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한, 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0151] 또한, 상기 재료로 형성되는 도전층을 복수 적층하여 사용하여도 좋다. 예를 들어, 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 상술한 금속 원소를 포함한 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 상술한 금속 원소를 포함한 재료와, 산소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0152] 또한, 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우, 게이트로서 기능하는 도전체에는 상술한 금속 원소를 포함한 재료와 산소를 포함한 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함한 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.

[0153] 특히, 게이트로서 기능하는 도전체로서, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함한 도전성 재료를 사용하는 것이 바람직하다. 또한, 상술한 금속 원소 및 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어, 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함한 도전성 재료를 사용하여도 좋다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한, 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있는 경우가 있다. 또는, 외부의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

[0154] <금속 산화물>

[0155] 산화물(230)로서는 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 이하에서는, 본 발명에 따른 산화물(230)에 적용 가능한 금속 산화물에 대하여 설명한다.

[0156] 금속 산화물은, 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 또는 주석 등이 포함되는 것이 바람직하다. 또한, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류가 포함되어 있어도 좋다.

[0157] 여기서는, 금속 산화물이 인듐, 원소 M, 및 아연을 가지는 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석 등으로 한다. 그 외의 원소 M에 적용 가능한 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등이 있다. 다만, 원소 M으로서 상술한 원소를 복수 조합하여도 되는 경우가 있다.

[0158] 또한, 본 명세서 등에서, 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한, 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.

[0159] [금속 산화물의 구조]

[0160] 산화물 반도체(금속 산화물)는 단결정 산화물 반도체와 이 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는 예를 들어 CAAC-OS, 다결정 산화물 반도체, nc-OS, a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.

[0161] CAAC-OS는 c축 배향성을 가지며 a-b면 방향에서 복수의 나노 결정이 연결되어 변형을 가지는 결정 구조가 되어 있다. 또한, 변형이란, 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되어 있는 부분을 가리킨다.

[0162] 나노 결정은 기본적으로 육각형이지만, 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한, 변형에서

오각형 및 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한, CAAC-OS에서 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인하는 것은 어렵다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이다.

[0163] 또한, CAAC-OS는 인듐 및 산소를 가지는 층(이하, In층)과 원소 M, 아연, 및 산소를 가지는 층(이하, (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한 In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.

[0164] CAAC-OS는 결정성이 높은 금속 산화물이다. 한편, CAAC-OS는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 금속 산화물의 결정성은 불순물의 혼입이나 결합의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물이나 결합(산소 결손(VO: oxygen vacancy라고도 함) 등)이 적은 금속 산화물이라고도 할 수 있다. 따라서, CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로, CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.

[0165] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다.

[0166] 또한, 인듐과, 갈륨과, 아연을 가지는 금속 산화물의 1종류인 인듐-갈륨-아연 산화물(이하, IGZO)은 상술한 나노 결정으로 함으로써 안정적인 구조를 취하는 경우가 있다. 특히, IGZO는 대기 중에서는 결정 성장이 어려운 경향이 있기 때문에 큰 결정(여기서는, 수mm의 결정 또는 수cm의 결정)보다 작은 결정(예를 들어 상술한 나노 결정)으로 하는 것이 구조적으로 더 안정되는 경우가 있다.

[0167] a-like OS는, nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 금속 산화물이다. a-like OS는, 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다.

[0168] 산화물 반도체(금속 산화물)는 다양한 구조를 취하며, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.

[0169] [불순물]

[0170] 여기서, 금속 산화물 내에서의 각 불순물의 영향에 대하여 설명한다.

[0171] 또한, 금속 산화물에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결합 준위를 형성하여 캐리어를 생성하는 경우가 있다. 따라서, 알칼리 금속 또는 알칼리 토금속이 포함되어 있는 금속 산화물을 채널 형성 영역에 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 그러므로, 금속 산화물 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 구체적으로는 SIMS에 의하여 얻어지는 금속 산화물 내의 알칼리 금속 또는 알칼리 토금속의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하로 한다.

[0172] 또한, 금속 산화물에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함된 금속 산화물을 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다.

[0173] 그러므로, 금속 산화물 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 금속 산화물에서 SIMS에 의하여 얻어지는 수소 농도를 1×10^{20} atoms/cm³ 미만, 바람직하게는 1×10^{19} atoms/cm³ 미만, 더 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만으로 한다. 불순물이 충분히 저감된 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0174] 트랜지스터의 반도체에 사용하는 금속 산화물로서, 결정성이 높은 박막을 사용하는 것이 바람직하다. 상기 박막을 사용함으로써, 트랜지스터의 안정성 또는 신뢰성을 향상시킬 수 있다. 상기 박막으로서는, 예를 들어 단결정 금속 산화물의 박막 또는 다결정 금속 산화물의 박막이 있다. 그러나 단결정 금속 산화물의 박막 또는 다

결정 금속 산화물의 박막을 기판 위에 형성하기 위해서는, 고온 또는 레이저 가열의 공정이 필요하다. 따라서, 제조 공정의 비용이 증가하고, 또한, 스루풋도 저하된다.

- [0175] <반도체 장치의 제작 방법>
- [0176] 다음으로, 도 2에 도시된 본 발명에 따른 트랜지스터(201)를 가지는 반도체 장치에 대하여, 제작 방법을 도 4 내지 도 12를 사용하여 설명한다. 또한, 도 4 내지 도 12에서 각 도면의 (A)는 상면도를 도시한 것이다. 또한, 각 도면의 (B)는 (A)에서 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(201)의 채널 길이 방향의 단면도이기도 하다. 또한, 각 도면의 (C)는 (A)에서 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(201)의 채널 폭 방향의 단면도이기도 하다. 또한, 각 도면의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0177] 우선, 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(214)를 성막한다. 절연체(214)의 성막은 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 또는 ALD(Atomic Layer Deposition)법 등을 사용하여 수행할 수 있다.
- [0178] 또한, CVD법은 플라즈마를 이용하는 플라즈마 CVD(PECVD: Plasma Enhanced CVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한, 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 나눌 수 있다.
- [0179] 플라즈마 CVD법은 비교적 저온에서 고품질의 막을 얻을 수 있다. 또한, 열 CVD법은 플라즈마를 사용하지 않기 때문에, 피처리물에 대한 플라즈마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어, 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라즈마로부터 전하를 받음으로써 차지 업하는 경우가 있다. 이때, 축적된 전하에 의하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라즈마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라즈마 대미지가 생기지 않기 때문에, 반도체 장치의 수율을 높일 수 있다. 또한, 열 CVD법에서는 성막 중의 플라즈마 대미지가 생기지 않기 때문에 결함이 적은 막을 얻을 수 있다.
- [0180] 또한, ALD법은 원자의 성질인 자기 제어성을 이용하여, 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막이 가능하고, 종횡비가 높은 구조로의 성막이 가능하고, 편향 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 그리고 저온에서의 성막이 가능하다는 등의 효과가 있다. 또한, ALD법에는 플라즈마를 이용한 성막 방법인 PEALD(Plasma Enhanced ALD)법도 포함된다. 플라즈마를 이용함으로써, 더 저온에서의 성막이 가능하게 되어 바람직한 경우가 있다. 또한, ALD법에서 사용하는 전구체에는 탄소 등의 불순물을 포함하는 것이 있다. 그러므로, ALD법으로 제공된 막은, 다른 성막법으로 제공된 막과 비교하여 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한, 불순물의 정량은 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)을 사용하여 수행할 수 있다.
- [0181] CVD법 및 ALD법은 타겟 등으로부터 방출되는 입자가 퇴적되는 성막 방법과 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서, 피처리물의 형상의 영향을 받기 어렵고, 양호한 단차 피복성을 가지는 성막 방법이다. 특히, ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만, ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다.
- [0182] CVD법 및 ALD법은 원료 가스의 유량비에 의하여, 얻어지는 막의 조성을 제어할 수 있다. 예를 들어, CVD법 및 ALD법에서는 원료 가스의 유량비에 따라 임의의 조성의 막을 성막할 수 있다. 또한, 예를 들어 CVD법 및 ALD법에서는 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반송이나 압력 조절에 걸리는 시간이 불필요한 만큼, 성막에 걸리는 시간을 짧게 할 수 있다. 따라서, 반도체 장치의 생산성을 높일 수 있는 경우가 있다.
- [0183] 본 실시형태에서는, 절연체(214)로서 CVD법으로 질화 실리콘을 성막한다. 이와 같이, 절연체(214)로서 질화 실리콘 등 구리가 투과하기 어려운 절연체를 사용함으로써, 절연체(214)보다 아래층(도시하지 않았음)의 도전체에 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 절연체(214)를 통하여 위층으로 확산되는 것을 억제할 수 있다. 또한, 질화 실리콘과 같이 물 또는 수소 등의 불순물이 투과하기 어려운 절연체를 사용함으로써 절연체(214)보다 아래층으로부터의 물 또는 수소 등의 불순물의 확산을 억제할 수 있다.

- [0184] 또한, 절연체(214)는 2층 구조로 하여도 좋다. 예를 들어, 질화 실리콘 위에 산화 알루미늄을 성막하여도 좋다.
- [0185] 다음으로, 절연체(214) 위에 절연체(216)를 성막한다. 절연체(216)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0186] 다음으로, 절연체(216)에, 절연체(214)에 도달하는 개구를 형성한다. 개구란, 예를 들어 홈이나 슬릿 등도 포함된다. 또한, 개구가 형성된 영역을 가리키고 개구부라고 하는 경우가 있다. 개구의 형성에는 웨트 에칭을 사용하여도 좋지만, 드라이 에칭을 사용하는 것이 미세 가공을 하기 위해서는 더 바람직하다. 또한 절연체(214)로서는 절연체(216)를 에칭하여 홈을 형성하는 경우의 에칭 스톱퍼막으로서 기능하는 절연체를 선택하는 것이 바람직하다. 예를 들어 홈을 형성하는 절연체(216)에 산화 실리콘막을 사용한 경우에는 절연체(214)로서 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막을 사용하면 좋다.
- [0187] 개구의 형성 후에, 도전체(205)가 되는 도전막을 성막한다. 상기 도전막은 산소의 투과를 억제하는 기능을 가지는 도전체를 포함하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 텅스텐, 질화 타이타늄 등을 사용할 수 있다. 또는 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금과의 적층막으로 할 수 있다. 도전체(205)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0188] 본 실시형태에서 도전체(205)가 되는 도전막은 다층 구조로 한다. 우선, 스퍼터링법으로 질화 탄탈럼을 성막하고, 상기 질화 탄탈럼 위에 질화 타이타늄을 적층한다. 이러한 금속 질화물을 도전체(205)가 되는 도전막의 아래층에 사용함으로써, 후술하는 도전체(205)가 되는 도전막의 위층의 도전막으로서 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 도전체(205)로부터 밖으로 확산되는 것을 방지할 수 있다.
- [0189] 다음으로, 도전체(205)가 되는 도전막의 위층의 도전막을 성막한다. 상기 도전막의 성막은 도금법, 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는 도전체(205)가 되는 도전막의 위층의 도전막으로서 구리 등의 저저항 도전성 재료를 성막한다.
- [0190] 다음으로, CMP 처리(Chemical Mechanical Polishing)를 수행함으로써, 도전체(205)가 되는 도전막의 위층 및 도전체(205)가 되는 도전막의 아래층의 일부를 제거하여 절연체(216)를 노출시킨다. 그 결과, 개구부에만 도전체(205)가 되는 도전막이 잔존한다. 이로써, 상면이 평탄한 도전체(205)를 형성할 수 있다(도 4 참조). 또한, 상기 CMP 처리에 의하여 절연체(216)의 일부가 제거되는 경우가 있다.
- [0191] 여기서부터는, 상기와 다른 도전체(205)의 형성 방법에 대하여 이하에서 설명한다.
- [0192] 절연체(214) 위에 도전체(205)가 되는 도전막을 성막한다. 도전체(205)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 또한, 도전체(205)가 되는 도전막은 다층막으로 할 수 있다. 본 실시형태에서는, 도전체(205)가 되는 도전막으로서 텅스텐을 성막한다.
- [0193] 다음으로, 리소그래피법을 사용하여 도전체(205)가 되는 도전막을 가공하여 도전체(205)를 형성한다.
- [0194] 또한, 리소그래피법에서는, 우선 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 다음으로, 상기 레지스트 마스크를 통하여 에칭 처리함으로써 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어, KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet) 광 등을 사용하여, 레지스트를 노광함으로써 레지스트 마스크를 형성하면 좋다. 또한, 기관과 투영 렌즈 사이에 액체(예를 들어 물)를 채워 노광하는, 액침 기술을 사용하여도 좋다. 또한, 상술한 광 대신에, 전자 빔이나 이온 빔을 사용하여도 좋다. 또한, 전자 빔이나 이온 빔을 사용하는 경우에는 마스크는 불필요하다. 또한, 레지스트 마스크의 제거에는, 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 또는 웨트 에칭 처리 후에 드라이 에칭 처리를 수행할 수 있다.
- [0195] 또한, 레지스트 마스크 대신에 절연체나 도전체로 이루어지는 하드 마스크를 사용하여도 좋다. 하드 마스크를 사용하는 경우, 도전체(205)가 되는 도전막 위에 하드 마스크 재료가 되는 절연막이나 도전막을 형성하고, 그 위에 레지스트 마스크를 형성하고, 하드 마스크 재료를 에칭함으로써 원하는 형상의 하드 마스크를 형성할 수 있다. 도전체(205)가 되는 도전막의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고, 레지스트 마스크를 남긴 채 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크가 소실되는 경우가 있다. 도전체(205)가 되는 도전막의 에칭 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다. 한편, 하드 마스크의 재료가 후

공정에 영향을 주지 않거나, 또는 후공정에서 이용할 수 있는 경우, 반드시 하드 마스크를 제거할 필요는 없다.

- [0196] 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라즈마 에칭 장치는 평행 평판형 전극의 한쪽의 전극에 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극의 한쪽의 전극에 복수의 상이한 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 각각에 같은 주파수의 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 각각에 주파수가 상이한 고주파 전원을 인가하는 구성이어도 좋다. 또는 고밀도 플라즈마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라즈마원을 가지는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다.
- [0197] 다음으로, 절연체(214) 위, 도전체(205) 위에 절연체(216)가 되는 절연막을 성막한다. 절연체(216)가 되는 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 절연체(216)가 되는 절연막으로서, CVD법으로 산화 실리콘을 성막한다.
- [0198] 여기서, 절연체(216)가 되는 절연막의 막 두께는 도전체(205)의 막 두께 이상으로 하는 것이 바람직하다. 예를 들어, 도전체(205)의 막 두께를 1로 하면 절연체(216)가 되는 절연막의 막 두께는 1 이상 3 이하로 한다. 본 실시형태에서는, 도전체(205)의 막 두께를 150nm로 하고, 절연체(216)가 되는 절연막의 막 두께를 350nm로 한다.
- [0199] 다음으로, 절연체(216)가 되는 절연막에 CMP 처리를 수행함으로써, 절연체(216)가 되는 절연막의 일부를 제거하고 도전체(205)의 표면을 노출시킨다. 이로써 상면이 평탄한 도전체(205)와 절연체(216)를 형성할 수 있다. 이상이 도전체(205)의 다른 형성 방법이다.
- [0200] 다음으로, 절연체(216) 및 도전체(205) 위에 절연체(222)를 성막한다. 절연체(222)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체를 성막하는 것이 좋다. 또한, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함한 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함한 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연체(222)가 수소 및 물에 대한 배리어성을 가짐으로써, 트랜지스터(201) 주변에 제공된 구조체에 포함되는 수소 및 물이 절연체(222)를 통하여 트랜지스터(201)의 내측으로 확산되는 것이 억제되고, 산화물(230a), 산화물(230b), 및 산화물(230c)의 산소 결손의 생성을 억제할 수 있다.
- [0201] 절연체(222)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0202] 다음으로, 절연체(222) 위에 절연체(224)를 성막한다. 절연체(224)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0203] 이어서 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다. 또한, 가열 처리는, 질소 또는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 또한, 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 가열 처리는 질소 또는 불활성 가스 분위기에서 가열 처리한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.
- [0204] 본 실시형태에서는, 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한 후에, 연속적으로 산소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여, 절연체(224)에 포함되는 물, 수소 등의 불순물을 제거할 수 있다.
- [0205] 또한 가열 처리는 절연체(222)의 성막 후에 수행하여도 좋다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다.
- [0206] 여기서, 절연체(224)에 과잉 산소 영역을 형성하기 위하여, 감압 상태에서 산소를 포함한 플라즈마 처리를 수행하여도 좋다. 산소를 포함한 플라즈마 처리에는, 예를 들어 마이크로파를 사용한 고밀도 플라즈마를 발생시키는 전원을 가지는 장치를 사용하는 것이 바람직하다. 또는, 기관 측에 RF(Radio Frequency)를 인가하는 전원을 가져도 좋다. 고밀도 플라즈마를 사용함으로써 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써 고밀도 플라즈마에 의하여 생성된 산소 라디칼을 절연체(224) 내에 효율적으로 도입할 수 있다.

또는, 이 장치를 사용하여 불활성 가스를 포함한 플라즈마 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산소를 포함한 플라즈마 처리를 수행하여도 좋다. 또한, 상기 플라즈마 처리의 조건을 적절히 선택함으로써, 절연체(224)에 포함되는 물, 수소 등의 불순물을 제거할 수 있다. 그 경우, 가열 처리는 수행하지 않아도 된다.

[0207] 여기서, 절연체(224) 위에 예를 들어 스퍼터링법으로 산화 알루미늄을 성막하고, 절연체(224)에 도달할 때까지 상기 산화 알루미늄에 대하여 CMP를 수행하여도 좋다. 상기 CMP를 수행함으로써, 절연체(224)의 표면의 평탄화 및 절연체(224)의 표면의 평활화를 수행할 수 있다. 상기 산화 알루미늄을 절연체(224) 위에 배치하고 CMP를 수행함으로써, CMP의 종점 검출이 용이해진다. 또한 CMP에 의하여 절연체(224)의 일부가 연마되어 절연체(224)의 막 두께가 얇아지는 경우가 있지만, 절연체(224)의 성막 시에 막 두께를 조정하면 좋다. 절연체(224)의 표면의 평탄화 및 평활화를 수행함으로써, 나중에 성막하는 산화물의 피복물의 악화를 방지하고, 반도체 장치의 수율 저하를 방지할 수 있는 경우가 있다. 또한 절연체(224) 위에 스퍼터링법으로 산화 알루미늄을 성막함으로써, 절연체(224)에 산소를 첨가할 수 있어 바람직하다.

[0208] 다음으로, 절연체(224) 위에 산화막(230A1), 산화막(230B1)을 순차적으로 성막한다(도 4 참조). 또한, 상기 산화막은 대기 환경에 노출시키지 않고 연속적으로 성막하는 것이 바람직하다. 대기 개방을 하지 않고 성막함으로써, 산화막(230A1) 및 산화막(230B1) 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있고, 산화막(230A1)과 산화막(230B1)의 계면 근방을 청정하게 유지할 수 있다.

[0209] 산화막(230A1) 및 산화막(230B1)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.

[0210] 예를 들어, 산화막(230A1) 및 산화막(230B1)을 스퍼터링법으로 성막하는 경우에는, 스퍼터링 가스로서 산소, 또는 산소와 희가스의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 과잉 산소를 증가시킬 수 있다. 또한, 상기 산화막을 스퍼터링법으로 성막하는 경우에는 상기 In-M-Zn 산화물 타깃을 사용할 수 있다.

[0211] 특히, 산화막(230A1)의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연체(224)에 공급되는 경우가 있다. 따라서, 산화막(230A1)의 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.

[0212] 또한, 산화막(230B1)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 1% 이상 30% 이하, 바람직하게는 5% 이상 20% 이하로 하여 성막하면, 산소 결핍형 산화물 반도체가 형성된다. 산소 결핍형 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터는, 비교적 높은 전계 효과 이동도를 얻을 수 있다. 또는, 스퍼터링 가스에 포함되는 산소의 비율을 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하여 성막하여도 좋다. 이 경우, 스퍼터링 가스에 포함되는 산소의 일부가 산화막(230A1)에 공급되는 경우가 있으므로 바람직하다.

[0213] 본 실시형태에서는, 산화막(230A1)으로서, 스퍼터링법으로, In:Ga:Zn=1:1:0.5[원자수비](2:2:1[원자수비]) 또는 1:3:4[원자수비]의 타깃을 사용하여 성막한다. 또한, 산화막(230B1)으로서, 스퍼터링법으로, In:Ga:Zn=4:2:4.1[원자수비] 또는 1:1:1[원자수비]의 타깃을 사용하여 성막한다. 또한, 산화막(230A1) 및 산화막(230B1)은 성막 조건 및 원자수비를 적절히 선택함으로써, 산화물(230a) 및 산화물(230b)에 요구되는 특성에 맞추어 형성하는 것이 좋다.

[0214] 다음으로, 가열 처리를 수행하여도 좋다. 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다. 가열 처리에 의하여, 산화막(230A1) 및 산화막(230B1) 내의 물, 수소 등의 불순물을 제거할 수 있다. 본 실시형태에서는, 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한 후에, 연속적으로 산소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한다.

[0215] 다음으로, 하드 마스크(244)가 되는 막을 성막한다. 하드 마스크(244)가 되는 막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 하드 마스크(244)가 되는 막으로서, 이후의 공정에서 산화막(230A1) 및 산화막(230B1)을 가공할 때, 하드 마스크(244)가 에칭되기 어려운 막이 바람직하다. 예를 들어, 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화 하프늄, 텅스텐, 몰리브데넘, 알루미늄, 타이타늄, 질화 타이타늄, 탄탈럼, 질화 탄탈럼 등을 사용할 수 있다.

[0216] 다음으로, 리소그래피법으로, 하드 마스크(244)가 되는 막을 가공하여 하드 마스크(244)를 형성한다. 다음으로, 하드 마스크(244)를 에칭 마스크로 하여 산화막(230A1) 및 산화막(230B1)을 가공하여, 산화물(230A2)

및 산화물(230B2)을 형성한다. 또한, 상기 공정에서, 절연체(224)의 산화막(230A2)과 중첩되지 않는 영역의 막 두께가 얇아지는 경우가 있다(도 5 참조).

[0217] 다음으로, 절연체(224) 및 하드 마스크(244)를 덮도록 도전막(242A)을 성막한다(도 6 참조). 도전막(242A)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 도전막(242A)의 성막은 수직 방향의 성막 속도보다 수평 방향의 성막 속도가 느린 것이 바람직하다. 수직 방향의 성막 속도를 1로 하면 수평 방향의 성막 속도는 0.5 이하가 바람직하다. 도전막(242A)의 성막에는, 예를 들어 기관에 전위를 인가 하면서 성막하는 바이어스 스퍼터링법, 기관과 타겟 사이에 구멍이 뚫린 실드판(콜리메이터)을 삽입하여 성막 방향을 제어하는 콜리메이트 스퍼터링법, 또는 기관과 타겟과의 거리가 긴 롱 쏘로우 스퍼터링(Long Throw Supettering)법 등을 사용할 수 있다.

[0218] 또한, 도전막(242A)으로서는 주석, 텅스텐, 타이타늄, 및 실리콘 중 어느 하나 또는 복수와, 인듐을 포함하는 것이 바람직하다. 예를 들어, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또는, 갈륨을 첨가한 산화 아연, 나이오븀을 첨가한 산화 타이타늄을 사용하여도 좋다. 본 실시형태에서는, 인듐 주석 산화물을 사용한다.

[0219] 다음으로, 도전막(242A)의 일부를 등방적으로 에칭(등방성 에칭)한다. 본 에칭은 도전체(242B)의 상면과 산화물(232B2)의 상면이 대략 같은 높이가 되고, 하드 마스크(244)의 측면의 도전막(242A)은 제거되도록 수행한다. 이에 의하여, 절연체(224) 위에 도전체(242B)가 형성되고, 하드 마스크(244) 위에 도전체(242C)가 형성된다(도 7 참조). 본 에칭으로서, 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다.

[0220] 다음으로, 하드 마스크(244)를 측면 방향으로부터 에칭한다. 본 에칭은 하드 마스크(244)의 에칭 속도와 비교하여 도전체(242B)가 거의 에칭되지 않을 정도로 도전체(242B)의 에칭 속도가 낮은 조건인 것이 바람직하다. 도 8에 하드 마스크(244)의 에칭 과정을 나타내었다. 다음으로, 하드 마스크(244)를 모두 에칭함으로써, 하드 마스크 위의 도전체(242C)는 리프트 오프된다. 또한, 산화물(230B2)의 상면의 높이와 도전체(242B)의 상면의 높이는 대략 동등하다(도 9 참조).

[0221] 다음으로, 리소그래피법으로 산화물(230A2), 산화물(230B2), 및 도전체(242B)를 가공하여, 산화물(230a), 산화물(230c), 도전체(242a), 및 도전체(242b)를 형성한다. 여기서, 산화물(230a), 산화물(230b), 도전체(242a), 및 도전체(242b)는 적어도 일부가 도전체(205)와 중첩되도록 형성한다. 또한, 상기 공정에서, 절연체(224)의 산화물(230a)과 중첩되지 않는 영역의 막 두께가 얇아지는 경우가 있다. 또한, 절연체(224)의 산화물(230a), 도전체(242a), 및 도전체(242b)와 중첩되지 않는 영역의 막 두께가 얇아지는 경우가 있다(도 10 참조).

[0222] 다음으로, 제 1 가열 처리를 수행하여도 좋다. 제 1 가열 처리는 산소를 포함하는 분위기하에서 수행하면 적합하다. 또는, 제 1 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속적으로 산화물(230c)이 되는 산화막을 성막하여도 좋다. 이러한 처리를 수행함으로써, 산화물(230b)의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물(230a) 및 산화물(230b) 내의 수분 농도 및 수소 농도를 저감할 수 있다. 제 1 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하고, 150℃ 이상 350℃ 이하가 더 바람직하다. 본 실시형태에서는, 제 1 가열 처리의 온도를 200℃로 하고, 감압하에서 수행한다.

[0223] 다음으로, 산화물(230c)이 되는 산화막을 성막한다(도 11 참조). 산화물(230c)이 되는 산화막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 산화물(230c)이 되는 산화막으로서, In에 대한 Ga의 원자수비가, 산화물(230b)의 In에 대한 Ga의 원자수비보다 큰 것이 바람직하다. 본 실시형태에서는, 산화물(230c)이 되는 산화막으로서, 스퍼터링법으로, In:Ga:Zn=1:3:4[원자수비]의 타겟을 사용하여 성막한다.

[0224] 또한, 산화물(230c)이 되는 산화막은 적층으로 하여도 좋다. 예를 들어, 스퍼터링법으로, In:Ga:Zn=4:2:4.1[원자수비]의 타겟을 사용하여 성막하고, 연속하여 In:Ga:Zn=1:3:4[원자수비]의 타겟을 사용하여 성막하여도 좋다.

[0225] 특히, 산화물(230c)이 되는 산화막의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 산화물(230a) 및 산화물(230b)에 공급되는 경우가 있다. 따라서, 산화물(230c)이 되는 산화막의 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.

[0226] 다음으로, 제 2 가열 처리를 수행하여도 좋다. 제 2 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 연속적으로 절연체(250)가 되는 절연막을 성막하여도 좋다. 이와 같은 처리를 수행함으로써, 산화물(230c)이 되는 산화막의 표면 등에 흡착된 수분 및 수소를 제거하고, 또한 산화물(230a), 산화물(230b), 및 산화물

(230c)이 되는 산화막 내의 수분 농도 및 수소 농도를 저감시킬 수 있다. 제 2 가열 처리의 온도는 100℃ 이상 400℃ 이하가 바람직하다. 본 실시형태에서는 제 2 가열 처리의 온도를 200℃로 한다.

- [0227] 다음으로, 절연체(250)가 되는 절연막을 성막한다(도 11 참조). 절연체(250)가 되는 절연막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 성막할 수 있다. 절연체(250)가 되는 절연막으로서, CVD법으로 산화질화 실리콘을 성막하는 것이 바람직하다. 또한, 절연체(250)가 되는 절연막을 성막할 때의 성막 온도는 250℃ 이상 450℃ 미만, 특히 350℃ 전후로 하는 것이 바람직하다. 절연체(250)가 되는 절연막을 350℃에서 성막함으로써, 불순물이 적은 절연체를 성막할 수 있다.
- [0228] 다음으로, 도전체(260a) 및 도전체(260b)가 되는 도전막을 성막한다. 도전체(260a) 및 도전체(260b)가 되는 도전막의 성막은, 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 예를 들어, CVD법을 사용하는 것이 바람직하다. 본 실시형태에서는, ALD법을 사용하여, 도전체(260a)가 되는 도전막을 성막하고, CVD법을 사용하여 도전체(260b)가 되는 도전막을 성막한다(도 11 참조).
- [0229] 다음으로, 리소그래피법으로 산화물(230c)이 되는 산화막, 절연체(250)가 되는 절연막, 도전체(260a)가 되는 도전막, 및 도전체(260b)가 되는 도전막을 가공하여, 산화물(230c), 절연체(250), 도전체(260)(도전체(260a) 및 도전체(260b))를 형성한다. 여기서, 도전체(260)는 적어도 일부가 도전체(205)와 중첩되도록 형성한다(도 11 참조).
- [0230] 다음으로, 제 3 가열 처리를 수행하여도 좋다. 제 3 가열 처리는 질소 분위기 또는 산소가 포함되는 분위기에서 수행할 수 있다. 바람직하게는, 제 3 가열 처리로서, 질소와 산소가 포함되는 분위기하에서 수행하면 적합하다. 질소와 산소가 포함되는 분위기하에서 수행하는 경우, 산소의 비율은 질소와 산소의 합계의 5% 이상 20% 이하로 하는 것이 바람직하다. 또한, 제 3 가열 처리의 온도는, 바람직하게는 300℃ 이상 450℃ 이하, 더 바람직하게는 300℃ 이상 400℃ 이하이다. 대표적으로는, 350℃ 또는 그 근방의 온도가 적합하다. 또한, 가열 처리 시간은 100시간 이하, 바람직하게는 1시간 이상 48시간 이하이다. 대표적으로는, 24시간 또는 그 근방의 처리 시간이 적합하다. 상기 가열 처리를 수행함으로써, 산화물(230), 절연체(250), 및 절연체(280) 내의 수분 농도 및 수소 농도를 저감시켜, 산화물(230)의 채널 형성 영역의 캐리어 밀도를 저감할 수 있다. 본 실시형태에서는, 질소 분위기에 있어서 350℃의 온도에서 24시간의 가열 처리를 한다. 또한, 제 3 가열 처리에 의하여, 도전체(260)가 산화되지 않는 조건으로 실시하는 것이 바람직하다.
- [0231] 다음으로, 절연체(224), 산화물(230a), 산화물(230b), 도전체(242a), 도전체(242b), 및 도전체(260)를 덮어 절연체(272)를 성막한다(도 11 참조).
- [0232] 절연체(272)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 절연체(272)에는 산소의 투과를 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어 스퍼터링법 또는 ALD법으로 산화 알루미늄, 질화 실리콘, 산화 실리콘, 또는 산화 갈륨을 성막하여도 좋다. 절연체(272)는 2층 구조로 하여도 좋다. 예를 들어, 스퍼터링법으로 산화 알루미늄을 성막하고, 다음으로 ALD법으로 산화 알루미늄을 성막하여도 좋다. 이와 같은 구성으로 함으로써, 스퍼터링법으로 성막된 산화 알루미늄에 핀홀 또는 공동 등의 결함이 발생하여도, 피복성이 우수한 ALD법으로 성막된 산화 알루미늄에 의하여 결함을 틀어막을 수 있어 바람직하다.
- [0233] 다음으로, 절연체(272) 위에, 절연체(280)가 되는 절연막을 성막한다. 절연체(280)가 되는 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 다음으로, 절연체(280)가 되는 절연막에 CMP 처리를 수행하여, 상면이 평탄한 절연체(280)를 형성한다(도 12 참조).
- [0234] 다음으로, 제 4 가열 처리를 수행하여도 좋다. 제 4 가열 처리는 감압하에서 수행하고, 대기에 노출시키지 않고 절연체(280) 위에 절연체(281)가 되는 절연막을 형성하는 것이 바람직하다. 이와 같은 처리를 수행함으로써, 절연체(280) 표면 등에 흡착된 수분 및 수소를 제거할 수 있기 때문에 바람직하다. 절연체(281)가 되는 절연막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 절연체(281)가 되는 절연막으로서, 예를 들어 스퍼터링법으로 산화 알루미늄을 성막하는 것이 바람직하다. 또한, 절연체(281)는 2층 구조로 하여도 좋다. 예를 들어, 스퍼터링법으로 산화 알루미늄을 성막하고, 다음으로 스퍼터링법으로 질화 실리콘을 성막하여도 좋다. 이와 같이 절연체(281)를 배치함으로써, 외부로부터 물 또는 수소 등의 불순물이 절연체(281)를 통하여 트랜지스터(201)로 확산되는 것을 억제할 수 있다(도 12 참조).
- [0235] 다음으로, 제 5 가열 처리를 수행하여도 좋다. 본 실시형태에서는 질소 분위기에 있어서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여, 절연체(281)의 성막에 의하여 첨가된 산소를 절연체(280)에

주입할 수 있다. 또한, 상기 산소는 산화물(230c)을 통하여 산화물(230a) 및 산화물(230b)에 주입할 수 있다.

- [0236] 다음으로, 절연체(272), 절연체(280), 및 절연체(281)에 도전체(242a) 및 도전체(242b)에 도달하는 개구를 형성한다(도 2 참조). 상기 개구의 형성은 리소그래피법을 사용하여 수행하면 좋다.
- [0237] 다음으로, 절연체(241)가 되는 절연막을 성막하고, 상기 절연막을 이방성 에칭하여 절연체(241)를 형성한다(도 2 참조). 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 절연체(241)가 되는 절연막으로서는, 산소의 투과를 억제하는 기능을 가지는 절연막을 사용하는 것이 바람직하다. 예를 들어 ALD법으로 산화 알루미늄 또는 질화 실리콘을 성막하는 것이 바람직하다. 또한, 이방성 에칭은, 예를 들어 드라이 에칭법 등을 수행하면 좋다. 개구의 측면부를 이와 같은 구성으로 함으로써, 외부로부터의 산소의 투과를 억제하고, 다음으로 형성하는 도전체(240a) 및 도전체(240b)의 산화를 방지할 수 있다. 또한, 도전체(240a) 및 도전체(240b)로부터, 물, 수소 등의 불순물이 외부로 확산되는 것을 방지할 수 있다.
- [0238] 다음으로, 도전체(240a) 및 도전체(240b)가 되는 도전막을 성막한다. 도전체(240a) 및 도전체(240b)가 되는 도전막은 물, 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전체를 포함한 적층 구조를 가지는 것이 바람직하다. 예를 들어, 질화 탄탈럼, 질화 타이타늄 등과, 텅스텐, 몰리브덴, 구리 등과 적층으로 할 수 있다. 도전체(240)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0239] 다음으로, CMP 처리를 수행함으로써, 도전체(240a) 및 도전체(240b)가 되는 도전막의 일부를 제거하여 절연체(281)를 노출시킨다. 그 결과, 상기 개구에만, 상기 도전막이 잔존함으로써 상면이 평탄한 도전체(240a) 및 도전체(240b)를 형성할 수 있다(도 2 참조). 또한, 상기 CMP 처리에 의하여 절연체(281)의 일부가 제거되는 경우가 있다.
- [0240] 다음으로, 도전체(246)가 되는 도전막을 성막한다. 도전체(246)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0241] 다음으로, 도전체(246)가 되는 도전막을 리소그래피법으로 가공하여, 도전체(240a)의 상면과 접하는 도전체(246a) 및 도전체(240b)의 상면과 접하는 도전체(246b)를 형성한다(도 2 참조).
- [0242] 이상에 의하여, 도 2에 도시된 트랜지스터(201)를 가지는 반도체 장치를 제작할 수 있다.
- [0243] <반도체 장치의 변형예>
- [0244] 이하에서는, 도 3을 사용하여 앞의 <반도체 장치의 구성예 1>에서 나타난 것과 상이한, 본 발명의 일 형태에 따른 트랜지스터(200)를 가지는 반도체 장치의 일례에 대하여 설명한다.
- [0245] 도 3의 (A)는 트랜지스터(200)를 가지는 반도체 장치의 상면도이다. 또한, 도 3의 (B) 및 (C)는 상기 반도체 장치의 단면도이다. 여기서, 도 3의 (B)는 도 3의 (A)에서 일점쇄선 A1-A2로 나타난 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한, 도 3의 (C)는 도 3의 (A)에서 일점쇄선 A3-A4로 나타난 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 도 3의 (A)의 상면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.
- [0246] 또한, 도 3에 도시된 반도체 장치에서, <반도체 장치의 구성예 1>에 나타난 반도체 장치(도 1 참조)를 구성하는 구조와 같은 기능을 가지는 구조에는, 같은 부호를 부기한다.
- [0247] 트랜지스터(200)의 구성에 대하여 각각 도 3을 사용하여 아래에서 설명한다. 또한, 본 항목에서도 트랜지스터(200)의 구성 재료에 대해서는 <반도체 장치의 구성예 1>에서 자세히 설명한 재료를 사용할 수 있다.
- [0248] [트랜지스터(200)]
- [0249] 도 3에 도시된 바와 같이, 트랜지스터(200)는 절연체(214) 위의 절연체(216)와, 절연체(216)에 매립되도록 배치된 도전체(205)와, 절연체(216) 위 및 도전체(205) 위의 절연체(222)와, 절연체(222) 위의 절연체(224)와, 절연체(224) 위의 산화물(230)과, 산화물(230) 위의 도전체(242a) 및 도전체(242b)와, 도전체(242a), 도전체(242b), 및 산화물(230) 위의 절연체(250)와, 절연체(250) 위의 도전체(260)(도전체(260a) 및 도전체(260b))를 가진다. 또한, 도전체(242a)의 측면 및 도전체(242a)의 저면은 산화물(230)과 접하는 영역을 가지고, 도전체(242b)의 측면 및 도전체(242b)의 저면은 산화물(230)과 접하는 영역을 가진다. 또한, 도전체(242a)의 상면의 높이, 도전체(242b)의 상면의 높이, 및 산화물(230)의 상면의 높이는 각각 대략 동등하다.

- [0250] 도 3에 도시된 반도체 장치는 <반도체 장치의 구성에 1>에서 나타낸 반도체 장치(도 1 참조)와 산화물(230)의 형상이 상이하다. 산화물(230)이 되는 산화막을 리소그래피법으로 형성하는 공정에서, 산화물(230)이 되는 산화막을 완전히 제거하지 않고 하프 에칭으로 함으로써, 이와 같은 형상의 산화물(230)을 형성할 수 있다. 이와 같이, 소스 또는 드레인으로서 기능하는 도전체(242)의 저면이 산화물(230)과 접하는 구성으로 함으로써, 트랜지스터(200)의 단채널 효과를 억제할 수 있는 경우가 있기 때문에 바람직하다. 그 외의 구성, 효과에 대해서는 도 1에 도시된 반도체 장치를 참조할 수 있다.
- [0251] 이상, 본 실시형태에 나타내는 구성, 구조, 방법 등은 다른 실시형태 및 다른 실시예에 나타내는 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0252] (실시형태 2)
- [0253] 본 실시형태에서는, 반도체 장치의 일 형태를 도 14를 사용하여 설명한다.
- [0254] [기억 장치]
- [0255] 본 발명의 일 형태인 반도체 장치(기억 장치)의 일례를 도 14에 도시하였다. 본 발명의 일 형태의 반도체 장치는 트랜지스터(200), 트랜지스터(300), 및 용량 소자(100)를 가지고, 트랜지스터(200)는 트랜지스터(300)의 위쪽에 제공되고, 용량 소자(100)는 트랜지스터(300) 및 트랜지스터(200)의 위쪽에 제공되어 있다. 또한, 트랜지스터(200)로서, 앞의 실시형태에서 설명한 트랜지스터(200) 및 트랜지스터(201)를 사용할 수 있다.
- [0256] 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는 오프 전류가 작기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프래시 동작이 불필요하거나, 또는 리프래시 동작의 빈도가 매우 적기 때문에, 기억 장치의 소비전력을 충분히 저감할 수 있다.
- [0257] 도 14에 도시된 반도체 장치에서, 배선(1001)은 트랜지스터(300)의 소스와 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인과 전기적으로 접속되어 있다. 또한, 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 제 1 게이트와 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 제 2 게이트와 전기적으로 접속되어 있다. 그리고, 트랜지스터(300)의 게이트 및 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 용량 소자(100)의 전극의 한쪽과 전기적으로 접속되고, 배선(1005)은 용량 소자(100)의 전극의 다른 쪽과 전기적으로 접속되어 있다.
- [0258] 또한, 도 14에 도시된 기억 장치는 매트릭스상으로 배치함으로써, 메모리 셀 어레이를 구성할 수 있다.
- [0259] <트랜지스터(300)>
- [0260] 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316)와, 게이트 절연체로서 기능하는 절연체(315)와, 기판(311)의 일부로 이루어지는 반도체 영역(313)과, 소스 또는 드레인으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 및 n채널형 중 어느 것이어도 좋다.
- [0261] 여기서, 도 14에 도시된 트랜지스터(300)는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 블록 형상을 가진다. 또한, 반도체 영역(313)의 측면 및 상면을 절연체(315)를 개재하여 도전체(316)가 덮도록 제공되어 있다. 또한, 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 블록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한, 블록부의 상부에 접하여 블록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한, 여기서는 반도체 기판의 일부를 가공하여 블록부를 형성하는 경우를 도시하였지만, SOI 기판을 가공하여 블록 형상을 가지는 반도체막을 형성하여도 좋다.
- [0262] 또한, 도 14에 도시된 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0263] <용량 소자(100)>
- [0264] 용량 소자(100)는 트랜지스터(200)의 위쪽에 제공된다. 용량 소자(100)는 제 1 전극으로서 기능하는 도전체(110), 제 2 전극으로서 기능하는 도전체(120), 및 유전체로서 기능하는 절연체(130)를 가진다.
- [0265] 또한, 예를 들어 도전체(246) 위에 제공된 도전체(112)와 도전체(110)는 동시에 형성할 수 있다. 또한, 도전체(112)는 용량 소자(100), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다.

- [0266] 도 14에서는 도전체(112) 및 도전체(110)를 단층 구조로 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조이어도 좋다. 예를 들어, 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.
- [0267] 또한, 절연체(130)는, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 질화산화 하프늄, 질화 하프늄 등을 사용하면 좋고, 적층 또는 단층으로 제공할 수 있다.
- [0268] 예를 들어, 절연체(130)에는 산화질화 실리콘 등의 절연 내력이 큰 재료와 고유전율(high-k) 재료의 적층 구조를 사용하는 것이 바람직하다. 상기 구성에 의하여, 용량 소자(100)는 고유전율(high-k)의 절연체를 가짐으로써 충분한 용량을 확보할 수 있고, 절연 내력이 큰 절연체를 가짐으로써 절연 내력이 향상되고, 용량 소자(100)의 정전 파괴를 억제할 수 있다.
- [0269] 또한, 고유전율(high-k) 재료(비유전율이 높은 재료)의 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화질화물, 또는 실리콘 및 하프늄을 가지는 질화물 등이 있다.
- [0270] 한편, 절연 내력이 큰 재료(비유전율이 낮은 재료)로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.
- [0271] <배선층>
- [0272] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어 있어도 좋다. 또한, 배선층은 설계에 따라 복수층 제공할 수 있다. 여기서, 플러그 또는 배선으로서의 기능을 가지는 도전체는 복수의 구조를 통틀어 동일한 부호를 부여하는 경우가 있다. 또한, 본 명세서 등에서, 배선과, 배선과 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0273] 예를 들어, 트랜지스터(300) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다. 또한, 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(100) 또는 트랜지스터(200)와 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한, 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다.
- [0274] 또한, 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어, 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.
- [0275] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어, 도 14에서 절연체(350), 절연체(352), 및 절연체(354)가 순차적으로 적층되어 제공되어 있다. 또한, 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다.
- [0276] 마찬가지로, 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에는 도전체(218) 및 트랜지스터(200)를 구성하는 도전체(도전체(205)) 등이 매립되어 있다. 또한, 도전체(218)는 용량 소자(100) 또는 트랜지스터(300)와 전기적으로 접속하는 플러그 또는 배선으로서의 기능을 가진다. 또한, 도전체(120) 및 절연체(130) 위에는 절연체(150)가 제공되어 있다.
- [0277] 층간막으로서 사용할 수 있는 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.
- [0278] 예를 들어, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서, 절연체의 기능에 따라 재료를 선택하는 것이 좋다.
- [0279] 예를 들어, 절연체(150), 절연체(212), 절연체(352), 및 절연체(354) 등은 비유전율이 낮은 절연체를 가지는 것이 바람직하다. 예를 들어, 상기 절연체는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 또는, 상기 절연체는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를

첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘과, 수지의 적층 구조를 가지는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 수지와 조합함으로써 열적으로 안정적이며 비유전율이 낮은 적층 구조로 할 수 있다. 수지로서는, 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 또는 아크릴 등이 있다.

[0280] 또한, 산화물 반도체를 사용한 트랜지스터는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸이므로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 따라서, 절연체(210) 및 절연체(350) 등에는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하면 좋다.

[0281] 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함한 절연체를 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨 등의 금속 산화물, 질화산화 실리콘, 또는 질화 실리콘 등을 사용할 수 있다.

[0282] 배선, 플러그에 사용할 수 있는 도전체로서는, 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈륨, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬 등에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한, 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0283] 예를 들어, 도전체(328), 도전체(330), 도전체(356), 도전체(218), 및 도전체(112) 등으로서, 상기 재료로 형성되는 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는, 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.

[0284] <산화물 반도체가 제공된 층의 배선 또는 플러그>

[0285] 또한, 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 산화물 반도체의 근방에 과잉 산소 영역을 가지는 절연체가 제공되는 경우가 있다. 그 경우, 상기 과잉 산소 영역을 가지는 절연체와 상기 과잉 산소 영역을 가지는 절연체에 제공하는 도전체 사이에 배리어성을 가지는 절연체를 제공하는 것이 바람직하다.

[0286] 예를 들어, 도 14에서는 과잉 산소를 가지는 절연체(224)와 도전체(245) 사이에 절연체(276)를 제공하는 것이 좋다. 절연체(276)와, 절연체(222) 및 절연체(272)가 접하여 제공됨으로써, 절연체(224) 및 트랜지스터(200)는 배리어성을 가지는 절연체에 의하여 밀봉되는 구조로 할 수 있다. 또한, 절연체(276)는 절연체(280)의 일부와도 접하는 것이 바람직하다. 절연체(276)가 절연체(280)까지 연장되어 있으므로, 산소나 불순물의 확산을 억제할 수 있다.

[0287] 즉 절연체(276)를 제공함으로써, 절연체(224)에 포함되는 과잉 산소가 도전체(245)에 흡수되는 것을 억제할 수 있다. 또한 절연체(276)를 가짐으로써, 불순물인 수소가 도전체(245)를 통하여 트랜지스터(200)로 확산되는 것을 억제할 수 있다.

[0288] 또한 절연체(276)로서는 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연성 재료를 사용하면 좋다. 예를 들어, 산화 알루미늄 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 또한, 이 외에도, 예를 들어 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 또는 산화 탄탈륨 등의 금속 산화물, 질화산화 실리콘 또는 질화 실리콘 등을 사용할 수 있다.

[0289] 이상이 구성예에 대한 설명이다. 본 구성을 사용함으로써, 산화물 반도체를 가지는 트랜지스터를 사용한 반도체 장치에서 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다. 또는, 온 전류가 큰 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또는, 오프 전류가 작은 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또는, 소비전력이 저감된 반도체 장치를 제공할 수 있다.

[0290] 본 실시형태는 다른 실시형태 및 실시예 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0291] (실시형태 3)

- [0292] 본 실시형태에서는, 도 15 및 도 16을 사용하여 본 발명의 일 형태에 따른 산화물을 반도체에 사용한 트랜지스터(이하, OS 트랜지스터라고 부르는 경우가 있음) 및 용량 소자가 적용되어 있는 기억 장치(이하, OS 메모리 장치라고 부르는 경우가 있음)에 대하여 설명한다. OS 메모리 장치는 적어도 용량 소자와 용량 소자의 증방전을 제어하는 OS 트랜지스터를 가지는 기억 장치이다. OS 트랜지스터의 오프 전류는 매우 작기 때문에, OS 메모리 장치는 우수한 유지 특성을 가지고, 비휘발성 메모리로서 기능시킬 수 있다.
- [0293] <기억 장치의 구성예>
- [0294] 도 15의 (A)에 OS 메모리 장치의 구성의 일례를 나타내었다. 기억 장치(1400)는 주변 회로(1411) 및 메모리 셀 어레이(1470)를 가진다. 주변 회로(1411)는 행 회로(1420), 열 회로(1430), 출력 회로(1440), 컨트롤 로직 회로(1460)를 가진다.
- [0295] 열 회로(1430)는, 예를 들어 열 디코더, 프리차지 회로, 감지 증폭기, 및 기록 회로 등을 가진다. 프리차지 회로는 배선을 프리차지하는 기능을 가진다. 감지 증폭기는 메모리 셀로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 또한, 상기 배선은 메모리 셀 어레이(1470)가 가지는 메모리 셀에 접속되어 있는 배선이고, 자세한 내용은 후술한다. 증폭된 데이터 신호는 출력 회로(1440)를 통하여 데이터 신호(RDATA)로서 기억 장치(1400)의 외부로 출력된다. 또한, 행 회로(1420)는, 예를 들어 행 디코더, 워드선 드라이버 회로 등을 가지고, 액세스하는 행을 선택할 수 있다.
- [0296] 기억 장치(1400)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(1411)용 고전원 전압(VDD), 메모리 셀 어레이(1470)용 고전원 전압(VIL)이 공급된다. 또한, 기억 장치(1400)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더 및 열 디코더에 입력되고, WDATA는 기록 회로에 입력된다.
- [0297] 컨트롤 로직 회로(1460)는 외부로부터의 입력 신호(CE, WE, RE)를 처리하여, 행 디코더, 열 디코더의 제어 신호를 생성한다. CE는 칩 인에이블 신호이고, WE는 기록 인에이블 신호이고, RE는 판독 인에이블 신호이다. 컨트롤 로직 회로(1460)가 처리하는 신호는, 이에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다.
- [0298] 메모리 셀 어레이(1470)는 매트릭스상으로 배치된 복수개의 메모리 셀(MC)과 복수의 배선을 가진다. 또한, 메모리 셀 어레이(1470)와 행 회로(1420)를 접속하는 배선의 개수는 메모리 셀(MC)의 구성, 1열에 가지는 메모리 셀(MC)의 개수 등에 따라 결정된다. 또한, 메모리 셀 어레이(1470)와 열 회로(1430)를 접속시키는 배선의 개수는 메모리 셀(MC)의 구성, 1행에 가지는 메모리 셀(MC)의 개수 등에 따라 결정된다.
- [0299] 또한, 도 15의 (A)에서, 주변 회로(1411)와 메모리 셀 어레이(1470)를 동일 평면 위에 형성하는 예에 대하여 나타내었지만, 본 실시형태는 이에 한정되는 것이 아니다. 예를 들어, 도 15의 (B)에 도시된 바와 같이, 주변 회로(1411)의 일부 위에 메모리 셀 어레이(1470)가 중첩되도록 제공되어도 좋다. 예를 들어, 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하여도 좋다.
- [0300] 도 16에 도시된 메모리 셀(MC)에 적용할 수 있는 메모리 셀의 구성예에 대하여 설명한다.
- [0301] [DOSRAM]
- [0302] 도 16의 (A) 내지 (C)에 DRAM의 메모리 셀의 회로 구성예를 나타내었다. 본 명세서 등에서, 1 OS 트랜지스터 1 용량 소자형 메모리 셀을 사용한 DRAM을 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)이라고 부르는 경우가 있다. 도 16의 (A)에 도시된 메모리 셀(1471)은 트랜지스터(M1)와 용량 소자(CA)를 가진다. 또한, 트랜지스터(M1)는 게이트(프린트 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다.
- [0303] 트랜지스터(M1)의 제 1 단자는 용량 소자(CA)의 제 1 단자와 접속되고, 트랜지스터(M1)의 제 2 단자는 배선(BIL)과 접속되고, 트랜지스터(M1)의 게이트는 배선(WOL)과 접속되고, 트랜지스터(M1)의 백 게이트는 배선(BGL)과 접속되어 있다. 용량 소자(CA)의 제 2 단자는 배선(CAL)과 접속되어 있다.
- [0304] 배선(BIL)은 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CA)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시 및 판독 시에서, 배선(CAL)에는 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M1)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M1)의 문턱 전압을 증감시킬 수 있다.
- [0305] 또한, 메모리 셀(MC)은 메모리 셀(1471)에 한정되지 않고, 회로 구성의 변경을 수행할 수 있다. 예를 들어, 메

메모리 셀(MC)은 도 16의 (B)에 도시된 메모리 셀(1472)과 같이, 트랜지스터(M1)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)과 접속되는 구성으로 하여도 좋다. 또한, 예를 들어 메모리 셀(MC)은 도 16의 (C)에 도시된 메모리 셀(1473)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M1)로 구성된 메모리 셀로 하여도 좋다.

[0306] 상기 실시형태에 나타난 반도체 장치를 메모리 셀(1471) 등에 사용하는 경우, 트랜지스터(M1)로서 트랜지스터(200)를 사용하고, 용량 소자(CA)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M1)의 누설 전류를 매우 낮게 할 수 있다. 즉, 기록한 데이터가 트랜지스터(M1)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프래시의 빈도를 적게 할 수 있다. 또한, 메모리 셀의 리프래시 동작을 불필요하게 할 수 있다. 또한, 누설 전류가 매우 낮기 때문에, 메모리 셀(1471), 메모리 셀(1472), 메모리 셀(1473)에 대하여 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다.

[0307] 또한, DOSRAM에서, 상술한 바와 같이, 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하면, 비트선을 짧게 할 수 있다. 이로써, 비트선 용량이 작아지고 메모리 셀의 유지 용량을 저감할 수 있다.

[0308] [NOSRAM]

[0309] 도 16의 (D) 내지 (H)에 2 트랜지스터 1 용량 소자의 개인 셀형 메모리 셀의 회로 구성예를 나타내었다. 도 16의 (D)에 도시된 메모리 셀(1474)은 트랜지스터(M2)와, 트랜지스터(M3)와, 용량 소자(CB)를 가진다. 또한, 트랜지스터(M2)는 프론트 게이트(단순히 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다. 본 명세서 등에서, 트랜지스터(M2)에 OS 트랜지스터를 사용한 개인 셀형 메모리 셀을 가지는 기억 장치를 NOSRAM(Nonvolatile Oxide Semiconductor RAM)이라고 부르는 경우가 있다.

[0310] 트랜지스터(M2)의 제 1 단자는 용량 소자(CB)의 제 1 단자와 접속되고, 트랜지스터(M2)의 제 2 단자는 배선(WBL)과 접속되고, 트랜지스터(M2)의 게이트는 배선(WOL)과 접속되고, 트랜지스터(M2)의 백 게이트는 배선(BGL)과 접속되어 있다. 용량 소자(CB)의 제 2 단자는 배선(CAL)과 접속되어 있다. 트랜지스터(M3)의 제 1 단자는 배선(RBL)과 접속되고, 트랜지스터(M3)의 제 2 단자는 배선(SL)과 접속되고, 트랜지스터(M3)의 게이트는 용량 소자(CB)의 제 1 단자와 접속되어 있다.

[0311] 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CB)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시, 데이터 유지 중, 데이터의 판독 시에서, 배선(CAL)에는 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M2)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M2)의 문턱 전압을 증감시킬 수 있다.

[0312] 또한, 메모리 셀(MC)은 메모리 셀(1474)에 한정되지 않고, 회로의 구성을 적절히 변경할 수 있다. 예를 들어, 메모리 셀(MC)은 도 16의 (E)에 도시된 메모리 셀(1475)과 같이, 트랜지스터(M2)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)과 접속되는 구성으로 하여도 좋다. 또한, 예를 들어 메모리 셀(MC)은 도 16의 (F)에 도시된 메모리 셀(1476)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않는 트랜지스터(M2)로 구성된 메모리 셀로 하여도 좋다. 또한, 예를 들어 메모리 셀(MC)은 도 16의 (G)에 도시된 메모리 셀(1477)과 같이, 배선(WBL)과 배선(RBL)을 하나의 배선(BIL)으로 합친 구성이어도 좋다.

[0313] 상기 실시형태에 나타난 반도체 장치를 메모리 셀(1474) 등에 사용하는 경우, 트랜지스터(M2)로서 트랜지스터(200)를 사용하고, 트랜지스터(M3)로서 트랜지스터(300)를 사용하고, 용량 소자(CB)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M2)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M2)의 누설 전류를 매우 낮게 할 수 있다. 이로써, 기록한 데이터가 트랜지스터(M2)에 의하여 장시간 유지될 수 있기 때문에, 메모리 셀의 리프래시의 빈도를 적게 할 수 있다. 또한, 메모리 셀의 리프래시 동작을 불필요하게 할 수 있다. 또한, 누설 전류가 매우 낮기 때문에, 메모리 셀(1474)에 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다. 메모리 셀(1475 내지 1477)도 마찬가지이다.

[0314] 또한, 트랜지스터(M3)는 채널 형성 영역에 실리콘을 가지는 트랜지스터(이하, Si 트랜지스터라고 부르는 경우가 있음)이어도 좋다. Si 트랜지스터의 도전형은 n채널형으로 하여도 좋고, p채널형으로 하여도 좋다. Si 트랜지스터는 OS 트랜지스터보다 전계 효과 이동도가 높아지는 경우가 있다. 따라서, 판독 트랜지스터로서 기능하는 트랜지스터(M3)로서 Si 트랜지스터를 사용하여도 좋다. 또한, 트랜지스터(M3)에 Si 트랜지스터를 사용함으로써, 트랜지스터(M3) 위에 적층하여 트랜지스터(M2)를 제공할 수 있기 때문에, 메모리 셀의 점유 면적

을 저감시켜, 기억 장치의 고집적화를 도모할 수 있다.

- [0315] 또한, 트랜지스터(M3)는 OS 트랜지스터이어도 좋다. 트랜지스터(M2, M3)에 OS 트랜지스터를 사용한 경우, 메모리 셀 어레이(1470)에 n형 트랜지스터만을 사용하여 회로를 구성할 수 있다.
- [0316] 또한, 도 16의 (H)에 3 트랜지스터 1 용량 소자의 개인 셀형 메모리 셀의 일례를 나타내었다. 도 16의 (H)에 도시된 메모리 셀(1478)은 트랜지스터(M4 내지 M6) 및 용량 소자(CC)를 가진다. 용량 소자(CC)는 적절히 제공된다. 메모리 셀(1478)은 배선(BIL, RWL, WWL, BGL, 및 GNDL)에 전기적으로 접속되어 있다. 배선(GNDL)은 저레벨 전위를 공급하는 배선이다. 또한, 메모리 셀(1478)을 배선(BIL) 대신에 배선(RBL, WBL)에 전기적으로 접속되어도 좋다.
- [0317] 트랜지스터(M4)는 백 게이트를 가지는 OS 트랜지스터이고, 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다. 또한, 트랜지스터(M4)의 백 게이트와 게이트를 서로 전기적으로 접속시켜도 좋다. 또는, 트랜지스터(M4)는 백 게이트를 가지지 않아도 된다.
- [0318] 또한, 트랜지스터(M5, M6)는 각각, n채널형 Si 트랜지스터 또는 p채널형 Si 트랜지스터이어도 좋다. 또는, 트랜지스터(M4 내지 M6)가 OS 트랜지스터이어도 좋고, 이 경우, 메모리 셀 어레이(1470)에 n형 트랜지스터만을 사용하여 회로를 구성할 수 있다.
- [0319] 상기 실시형태에 나타난 반도체 장치를 메모리 셀(1478)에 사용하는 경우, 트랜지스터(M4)로서 트랜지스터(200)를 사용하고, 트랜지스터(M5, M6)로서 트랜지스터(300)를 사용하고, 용량 소자(CC)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M4)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M4)의 누설 전류를 매우 낮게 할 수 있다.
- [0320] 또한, 본 실시형태에 나타난 주변 회로(1411) 및 메모리 셀 어레이(1470) 등의 구성은 상기에 한정되지 않는다. 이들 회로 및 상기 회로에 접속되는 배선, 회로 소자 등의 배치 또는 기능은 필요에 따라 변경, 삭제, 또는 추가하여도 좋다.
- [0321] 본 실시형태에 기재된 구성은 다른 실시형태 및 실시예 등에 기재되는 구성과 적절히 조합하여 사용할 수 있다.
- [0322] (실시형태 4)
- [0323] 본 실시형태에서는 도 17을 사용하여 본 발명의 반도체 장치가 실장된 칩(1200)의 일례를 나타낸다. 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩으로 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.
- [0324] 도 17의 (A)에 도시된 바와 같이, 칩(1200)은 CPU(Central Processing Unit)(1211), GPU(Graphics Processing Unit)(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.
- [0325] 칩(1200)에는 범프(도시하지 않았음)가 제공되고, 도 17의 (B)에 도시된 바와 같이, 인쇄 기판(Printed Circuit Board: PCB)(1201)의 제 1 면과 접속된다. 또한, PCB(1201)의 제 1 면의 뒷면에는 복수의 범프(1202)가 제공되어 있고, 마더보드(1203)와 접속된다.
- [0326] 마더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어 있어도 좋다. 예를 들어, DRAM(1221)에 앞의 실시형태에 나타난 DOSRAM을 사용할 수 있다. 또한, 예를 들어 플래시 메모리(1222)에 앞의 실시형태에 나타난 NOSRAM을 사용할 수 있다.
- [0327] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한, GPU(1212)는 복수의 GPU 코어를 가지는 것이 바람직하다. 또한, CPU(1211) 및 GPU(1212)는 각각 일시적으로 데이터를 저장하는 메모리를 가져도 좋다. 또는, CPU(1211) 및 GPU(1212)에 공통되는 메모리가 칩(1200)에 제공되어 있어도 좋다. 상기 메모리에는 상술한 NOSRAM이나 DOSRAM을 사용할 수 있다. 또한, GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고, 화상 처리나 적화 연산에 사용할 수 있다. GPU(1212)에 본 발명의 산화물 반도체를 사용한 화상 처리 회로나 적화 연산 회로를 제공함으로써, 화상 처리 및 적화 연산을 저소비전력으로 실행할 수 있게 된다.
- [0328] 또한, CPU(1211) 및 GPU(1212)가 동일 칩에 제공되어 있음으로써, CPU(1211) 및 GPU(1212) 간의 배선을 짧게 할 수 있어, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)가 가지는 메모리 간의 데이터 전송, 및 GPU(1212)에서의 연산 후의 GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.

- [0329] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 가진다. 또한, 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.
- [0330] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 가진다.
- [0331] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기에 대한 인터페이스 회로를 가진다. 컨트롤러란, 마우스, 키보드, 게임용 컨트롤러 등을 포함한다. 이와 같은 인터페이스로서, USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.
- [0332] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 가진다. 또한, 네트워크 보안용 회로를 가져도 좋다.
- [0333] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 프로세스로 형성할 수 있다. 그러므로, 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 프로세스를 증가시킬 필요 없이 칩(1200)을 낮은 비용으로 제작할 수 있다.
- [0334] GPU(1212)를 가지는 칩(1200)이 제공된 PCB(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 마더보드(1203)는 GPU 모듈(1204)이라고 부를 수 있다.
- [0335] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에, 그 크기를 작게 할 수 있다. 또한, 화상 처리 능력이 우수하기 때문에, 스마트폰, 태블릿 단말, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대형 전자 기기에 사용하는 것이 적합하다. 또한, GPU(1212)를 사용한 적화 연산 회로에 의하여, 심층 신경망(DNN), 컨볼루션 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 네트워크(DBN) 등의 연산을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서, 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.
- [0336] 본 실시형태에 기재된 구성은 다른 실시형태 및 실시예 등에 기재되는 구성과 적절히 조합하여 사용할 수 있다.
- [0337] (실시형태 5)
- [0338] 본 실시형태에서는, 상술한 실시형태에 나타내는 반도체 장치를 사용한 기억 장치의 응용예에 대하여 설명한다. 상술한 실시형태에 나타내는 반도체 장치는, 예를 들어 각종 전자 기기(예를 들어, 정보 단말, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 카메라(비디오 카메라도 포함함), 녹화 재생 장치, 내비게이션 시스템 등)의 기억 장치에 적용할 수 있다. 또한, 여기서, 컴퓨터란, 태블릿형 컴퓨터나, 노트북형 컴퓨터나, 데스크톱형 컴퓨터 외에, 서버 시스템과 같은 대형의 컴퓨터를 포함하는 것이다. 또는, 상술한 실시형태에 나타내는 반도체 장치는, 메모리 카드(예를 들어, SD 카드), USB 메모리, SSD(solid state drive) 등의 각종의 리무버블 기억 장치에 적용된다. 도 18에 리무버블 기억 장치의 여러 구성예를 모식적으로 도시하였다. 예를 들어, 상술한 실시형태에 나타내는 반도체 장치는 패키징된 메모리 칩으로 가공되고, 다양한 기억 장치, 리무버블 메모리에 사용된다.
- [0339] 도 18의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및 기판(1104)을 가진다. 기판(1104)은 하우징(1101)에 수납되어 있다. 예를 들어, 기판(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 기판(1104)의 메모리 칩(1105) 등에 상술한 실시형태에 나타내는 반도체 장치를 제공할 수 있다.
- [0340] 도 18의 (B)는 SD 카드의 외관의 모식도이고, 도 18의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기판(1113)을 가진다. 기판(1113)은 하우징(1111)에 수납되어 있다. 예를 들어, 기판(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기판(1113)의 뒷면 측에도 메모리 칩(1114)을 제공함으로써, SD 카드(1110)의 용량을 증가시킬 수 있다. 또한, 무선 통신 기능을 구비한 무선 칩을 기판(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 기판(1113)의 메모리 칩(1114) 등에 상술한 실시형태에 나타내는 반도체 장치를 제공할 수 있다.
- [0341] 도 18의 (D)는 SSD의 외관의 모식도이고, 도 18의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기판(1153)을 가진다. 기판(1153)은 하우징(1151)에 수납되어 있다. 예를 들어, 기판(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 워크 메모리이고, 예를 들어 DOSRAM 칩을 사용하면 좋다. 기판(1153)의 뒷면 측에도 메모리 칩(1154)을 제공함으로써, SSD(1150)의 용량을 증가시킬 수 있다. 기판(1153)의 메모리 칩(1154) 등에 상술

한 실시형태에 나타내는 반도체 장치를 제공할 수 있다.

- [0342] 본 실시형태는 다른 실시형태 및 실시예 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0343] (실시형태 6)
- [0344] 본 발명의 일 형태에 따른 반도체 장치는 CPU나 GPU 등의 프로세서 또는 칩에 사용할 수 있다. 도 19에 본 발명의 일 형태에 따른 CPU나 GPU 등의 프로세서 또는 칩을 가지는 전자 기기의 구체적인 예를 도시하였다.
- [0345] <전자 기기 · 시스템>
- [0346] 본 발명의 일 형태에 따른 GPU 또는 칩은 다양한 전자 기기에 탑재할 수 있다. 전자 기기의 예로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파칭코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등을 들 수 있다. 또한, 본 발명의 일 형태에 따른 집적 회로 또는 칩을 전자 기기에 제공함으로써, 전자 기기에 인공지능을 탑재할 수 있다.
- [0347] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에서 영상이나 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.
- [0348] 본 발명의 일 형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것)를 가져도 좋다.
- [0349] 본 발명의 일 형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록되는 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다. 도 19에 전자 기기의 예를 도시하였다.
- [0350] [휴대 전화]
- [0351] 도 19의 (A)에는 정보 단말기의 1종류인 휴대 전화(스마트폰)가 도시되어 있다. 정보 단말기(5500)는 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 구비되고, 버튼이 하우징(5510)에 구비된다.
- [0352] 정보 단말기(5500)는, 본 발명의 일 형태의 칩을 적용함으로써, 인공지능을 이용한 애플리케이션을 실행할 수 있다. 인공지능을 이용한 애플리케이션으로서, 예를 들어 회화를 인식하고 그 회화 내용을 표시부(5511)에 표시하는 애플리케이션, 표시부(5511)에 포함된 터치 패널에 대하여 사용자가 입력한 문자, 도형 등을 인식하고 표시부(5511)에 표시하는 애플리케이션, 지문이나 성문 등의 생체 인증을 수행하는 애플리케이션 등이 있다.
- [0353] [정보 단말 1]
- [0354] 도 19의 (B)에는 데스크톱형 정보 단말기(5300)가 도시되어 있다. 데스크톱형 정보 단말기(5300)는 정보 단말의 본체(5301)와 디스플레이(5302)와 키보드(5303)를 가진다.
- [0355] 데스크톱형 정보 단말기(5300)는 상술한 정보 단말기(5500)와 마찬가지로, 본 발명의 일 형태의 칩을 적용함으로써, 인공지능을 이용한 애플리케이션을 실행할 수 있다. 인공지능을 이용한 애플리케이션으로서, 예를 들어 설계 지원 소프트웨어, 문장 첨삭 소프트웨어, 식단 자동 생성 소프트웨어 등이 있다. 또한 데스크톱형 정보 단말기(5300)를 사용함으로써 신규 인공지능을 개발할 수 있다.
- [0356] 또한, 위에서는 전자 기기로서 스마트폰 및 데스크톱용 정보 단말기를 예로 들어 각각 도 19의 (A), (B)에 도시하였지만, 스마트폰 및 데스크톱용 정보 단말기 이외의 정보 단말기를 적용할 수 있다. 스마트폰 및 데스크톱용 정보 단말 이외의 정보 단말로서는 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말, 워크스테이션 등을 들 수 있다.
- [0357] [전자 제품]
- [0358] 도 19의 (C)는 전자 제품의 일례인 전기 냉동 냉장고(5800)를 도시한 것이다. 전기 냉동 냉장고(5800)는 하우

징(5801), 냉장실용 도어(5802), 냉동실용 도어(5803) 등을 가진다.

- [0359] 전기 냉동 냉장고(5800)에 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 가지는 전기 냉동 냉장고(5800)를 실현할 수 있다. 인공 지능을 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 저장되어 있는 식재료, 그 식재료의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능이나, 전기 냉동 냉장고(5800)에 저장되어 있는 식재료에 적합한 온도로 자동적으로 조절하는 기능 등을 가질 수 있다.
- [0360] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전자 오븐, 밥솥, 온수기, IH 조리기, 워터 서버, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등을 들 수 있다.
- [0361] [게임기]
- [0362] 도 19의 (D)는 게임기의 일례인 휴대 게임기(5200)를 도시한 것이다. 휴대 게임기는 하우징(5201), 표시부(5202), 버튼(5203) 등을 가진다.
- [0363] 휴대 게임기(5200)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 저소비전력의 휴대 게임기(5200)를 실현할 수 있다. 또한 소비전력이 낮으므로, 회로로부터의 발열을 저감시킬 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0364] 또한, 휴대 게임기(5200)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 인공 지능을 가지는 휴대 게임기(5200)를 실현할 수 있다.
- [0365] 원래, 게임의 진행, 게임 상에 등장하는 생물의 언동, 게임 상에서 발생하는 현상 등의 표현은 그 게임이 가지는 프로그램에 의하여 정해져 있지만, 휴대 게임기(5200)에 인공 지능을 적용함으로써, 게임의 프로그램에 한정되지 않는 표현이 가능하게 된다. 예를 들어, 플레이어가 질문하는 내용, 게임의 진행 상황, 시각, 게임 상에 등장하는 인물의 언동이 변화되는 등의 표현을 할 수 있게 된다.
- [0366] 또한, 휴대 게임기(5200)로 복수의 플레이어가 필요한 게임을 하는 경우, 인공 지능에 의하여 의인적으로 게임 플레이어를 구성할 수 있기 때문에, 대전 상대를 인공 지능에 의한 게임 플레이어로 함으로써, 혼자서도 게임을 할 수 있다.
- [0367] 도 19의 (D)에서는 게임기의 일례로서 휴대 게임기를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기는 이에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기로서는, 예를 들어 가정용 거치형 게임기, 오락 시설(게임 센터, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등을 들 수 있다.
- [0368] [이동체]
- [0369] 본 발명의 일 형태의 GPU 또는 칩은 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.
- [0370] 도 19의 (E1)은 이동체의 일례인 자동차(5700)를 도시한 것이고, 도 19의 (E2)는 자동차의 실내에서의 앞유리 주변을 도시한 도면이다. 도 19의 (E2)에서는, 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 이외에, 필러에 장착된 표시 패널(5704)을 도시하였다.
- [0371] 표시 패널(5701) 내지 표시 패널(5703)은, 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써, 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목이나 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.
- [0372] 표시 패널(5704)에는 자동차(5700)에 제공된 촬상 장치(도시하지 않았음)로부터의 영상을 표시함으로써, 필러로 차단된 시계(사각)를 보완할 수 있다. 즉, 자동차(5700) 외측에 제공된 촬상 장치로부터의 화상을 표시함으로써 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써 더 자연스럽고 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.
- [0373] 본 발명의 일 형태의 GPU 또는 칩은 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 칩을 자동차(5700)의 자동 운전 시스템에 사용할 수 있다. 또한, 상기 칩을 도로 안내, 위험 예측 등을 수행하는 시스템에 사용할 수 있다. 표시 패널(5701) 내지 표시 패널(5704)은 도로 안내, 위험 예측 등의 정보를 표시하는 구성으로 하여도 좋다.

- [0374] 또한, 상기에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어, 이동체로서는, 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등을 들 수도 있고, 이들 이동체에 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.
- [0375] [방송 시스템]
- [0376] 본 발명의 일 형태의 GPU 또는 칩은 방송 시스템에 적용할 수 있다.
- [0377] 도 19의 (F)는 방송 시스템에서의 데이터 전송을 모식적으로 도시한 것이다. 구체적으로는, 도 19의 (F)는 방송국(5680)에서 송신된 전파(방송 신호)가 각 가정의 텔레비전 수신 장치(TV)(5600)에 전달될 때까지의 경로를 나타낸 것이다. TV(5600)는 수신 장치를 구비하고(도시하지 않았음), 안테나(5650)에서 수신된 방송 신호는 상기 수신 장치를 통하여 TV(5600)로 송신된다.
- [0378] 도 19의 (F)에서는, 안테나(5650)로서 UHF(Ultra High Frequency) 안테나를 도시하였지만, 안테나(5650)로서는 BS·110° CS 안테나, CS 안테나 등을 적용할 수도 있다.
- [0379] 전파(5675A), 전파(5675B)는 지상파 방송용의 방송 신호이고, 전파탑(5670)은 수신한 전파(5675A)를 증폭시키고, 전파(5675B)의 송신을 수행한다. 각 가정에서는 안테나(5650)에서 전파(5675B)를 수신함으로써 TV(5600)에서 지상파 TV 방송을 시청할 수 있다. 또한, 방송 시스템은 도 19의 (F)에 도시된 지상파 방송에 한정되지 않고, 인공 위성을 사용한 위성 방송, 광 회선에 의한 데이터 방송 등으로 하여도 좋다.
- [0380] 상술한 방송 시스템은, 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 방송 시스템으로 하여도 좋다. 방송국(5680)에서 각 가정의 TV(5600)로 방송 데이터를 송신할 때, 인코더에 의하여 방송 데이터의 압축이 수행되고, 안테나(5650)가 상기 방송 데이터를 수신하였을 때, TV(5600)에 포함되는 수신 장치의 디코더에 의하여 상기 방송 데이터의 복원이 수행된다. 인공 지능을 이용함으로써 예를 들어 인코더의 압축 방법 중 하나인 움직임 보상 예측에 의하여, 표시 화상에 포함되는 표시 패턴의 인식을 수행할 수 있다. 또한 인공 지능을 이용한 프레임 내 예측 등을 수행할 수도 있다. 또한 예를 들어 해상도가 낮은 방송 데이터를 수신하고, 해상도가 높은 TV(5600)에서 상기 방송 데이터의 표시를 수행할 때, 디코더에 의한 방송 데이터의 복원에서, 업 컨버트 등의 화상 보간 처리를 수행할 수 있다.
- [0381] 상술한 인공 지능을 이용한 방송 시스템은 방송 데이터의 양이 증대되는 초고정세(超高精細) 텔레비전(UHDTV: 4K, 8K) 방송에 적합하다.
- [0382] 또한 TV(5600)에 대한 인공 지능의 응용으로서 예를 들어 TV(5600)에 인공 지능을 가지는 녹화 장치를 제공하여도 좋다. 이러한 구성으로 함으로써, 상기 녹화 장치가 가지는 인공 지능에 사용자의 취향을 학습시킴으로써 사용자의 취향에 맞춘 프로그램을 자동적으로 녹화할 수 있다.
- [0383] 본 실시형태에서 설명한 전자 기기, 그 전자 기기의 기능, 인공 지능의 응용예, 그 효과 등은 다른 전자 기기에 관한 기재와 적절히 조합할 수 있다.
- [0384] 본 실시형태는 다른 실시형태 및 실시예 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0385] (실시예)
- [0386] 본 실시예에서는, 도전체(242)를 가지는 시료 A 내지 시료 C를 제작하고, 가열 처리에 의한 도전체(242)의 시트 저항의 변동을 평가하였다.
- [0387] 이하에 시료의 제작 방법에 대하여 설명한다. 우선, 실리콘 웨이퍼를 사용하고, 실리콘 웨이퍼 위에 열 산화에 의하여 산화 실리콘을 100nm의 막 두께로 형성하였다.
- [0388] 다음으로, 상기 산화 실리콘 위에 CVD법을 사용하여 산화질화 실리콘을 300nm의 막 두께로 성막하였다. 다음으로, 이온 주입 장치를 사용하여 상기 산화질화 실리콘에 산소를 주입하였다. 산소 이온의 주입 조건은 가속 에너지 60keV, 이온 주입량 $2.0 \times 10^{16} / \text{cm}^2$ 로 하였다.
- [0389] 다음으로, 스퍼터링법을 사용하여 도전체(242)로서 인듐 주석 산화물을 성막하였다. 인듐 주석 산화물은 $\text{In}_2\text{O}_3:\text{SnO}_2=9:1$ (중량비)의 타깃을 사용하고, 성막 가스로서 Ar 가스 40sccm, 산소 가스 5sccm을 사용하고, 압력 0.4Pa, DC 전력 0.2kW, 기판 온도 200℃에서 성막하였다. 여기서, 시료 A의 막 두께를 5nm, 시료 B의 막 두께를 10nm, 시료 C의 막 두께를 20nm로 하였다.

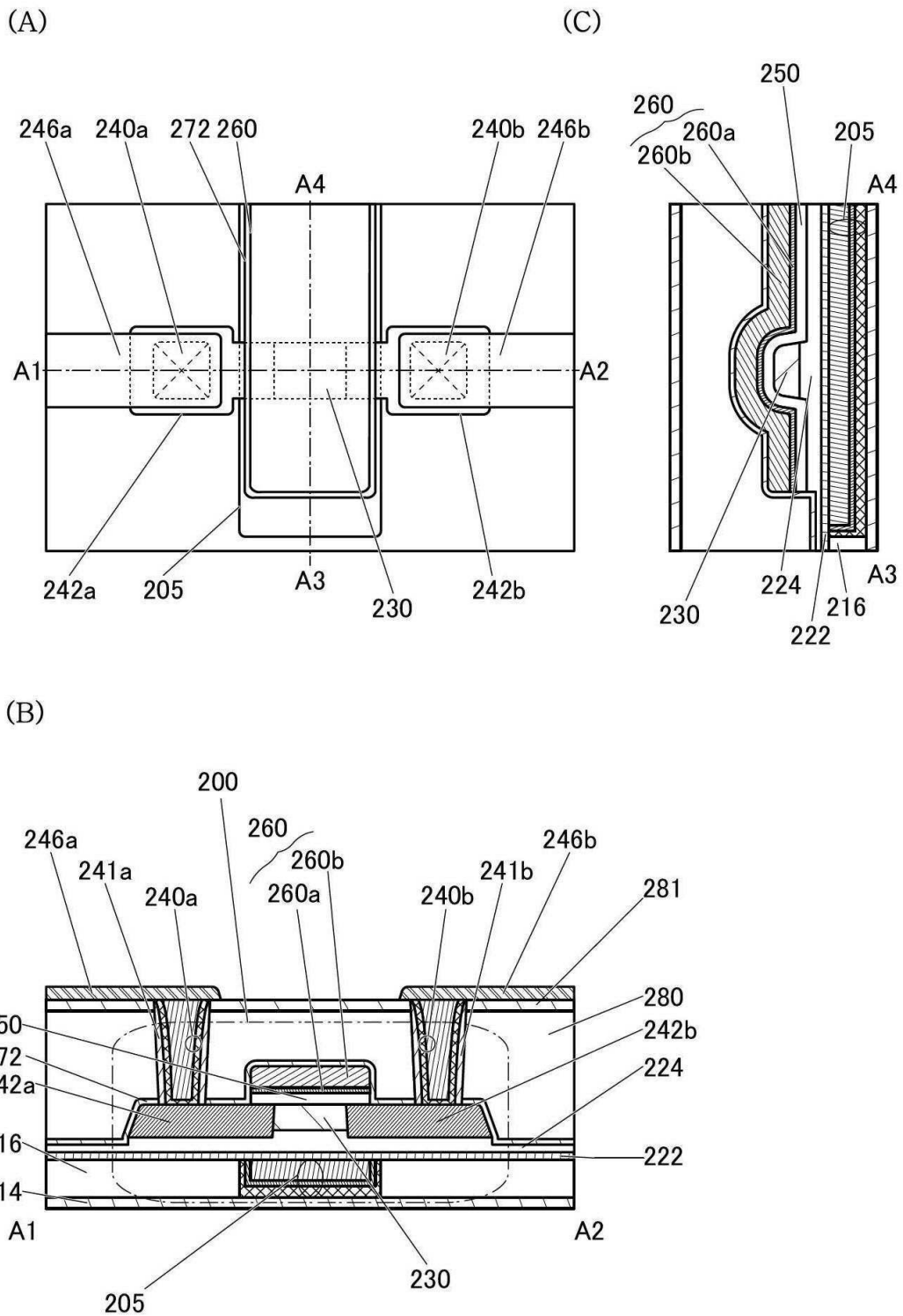
- [0390] 다음으로, 시료 A, 시료 B, 및 시료 C에 대하여 가열 처리를 하였다. 가열 처리는 질소 분위기에서 가열 온도 400℃로 하고, 가열 처리 시간은 없음(0시간), 1시간, 및 4시간으로 하였다.
- [0391] 다음으로, 시료 A, 시료 B, 및 시료 C에 대하여 각 가열 처리 시간(0시간, 1시간, 및 4시간) 후의 인듐 주석 산화물의 시트 저항값을 측정하였다. 도 20에 시료 A, 시료 B, 및 시료 C의 인듐 주석 산화물의 시트 저항값의 가열 처리 시간 의존성의 그래프를 나타내었다.
- [0392] 가열 처리를 수행하지 않은(가열 처리 시간 0시간) 시료의 시트 저항값은 인듐 주석 산화물의 막 두께(5nm, 10nm, 및 20nm)에 따라 상이한 결과가 되었다. 또한, 가열 처리 시간을 1시간으로 하면, 어느 막 두께(5nm, 10nm, 및 20nm)의 시료도 시트 저항값이 $1.0 \times 10^3 (\Omega/\text{sq.})$ 에서 $2.0 \times 10^3 (\Omega/\text{sq.})$ 정도가 되었다. 또한, 가열 처리 시간을 4시간으로 하면, 어느 막 두께의 시료(5nm, 10nm, 및 20nm)도 시트 저항값이 $2.0 \times 10^3 (\Omega/\text{sq.})$ 에서 $4.0 \times 10^3 (\Omega/\text{sq.})$ 정도가 되었다.
- [0393] 도전체의 대부분은 산소의 영향에 의하여 산화되고, 도전체의 시트 저항의 상승이 보이지만, 본 실시예에서 사용한 인듐 주석 산화물은 가열 처리에 의하여 인듐 주석 산화물의 하면에 접하여 배치된 과잉 산소를 포함하는 산화질화 실리콘으로부터 확산된 산소의 영향이 억제되어, 낮은 시트 저항값을 유지한다는 것을 알 수 있었다.
- [0394] 이상에 의하여, 본 실시예에서 사용한 인듐 주석 산화물은 본 발명의 일 형태의 트랜지스터의 소스 및 드레인으로서 기능할 수 있다는 것을 확인하였다.
- [0395] 본 실시예는, 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

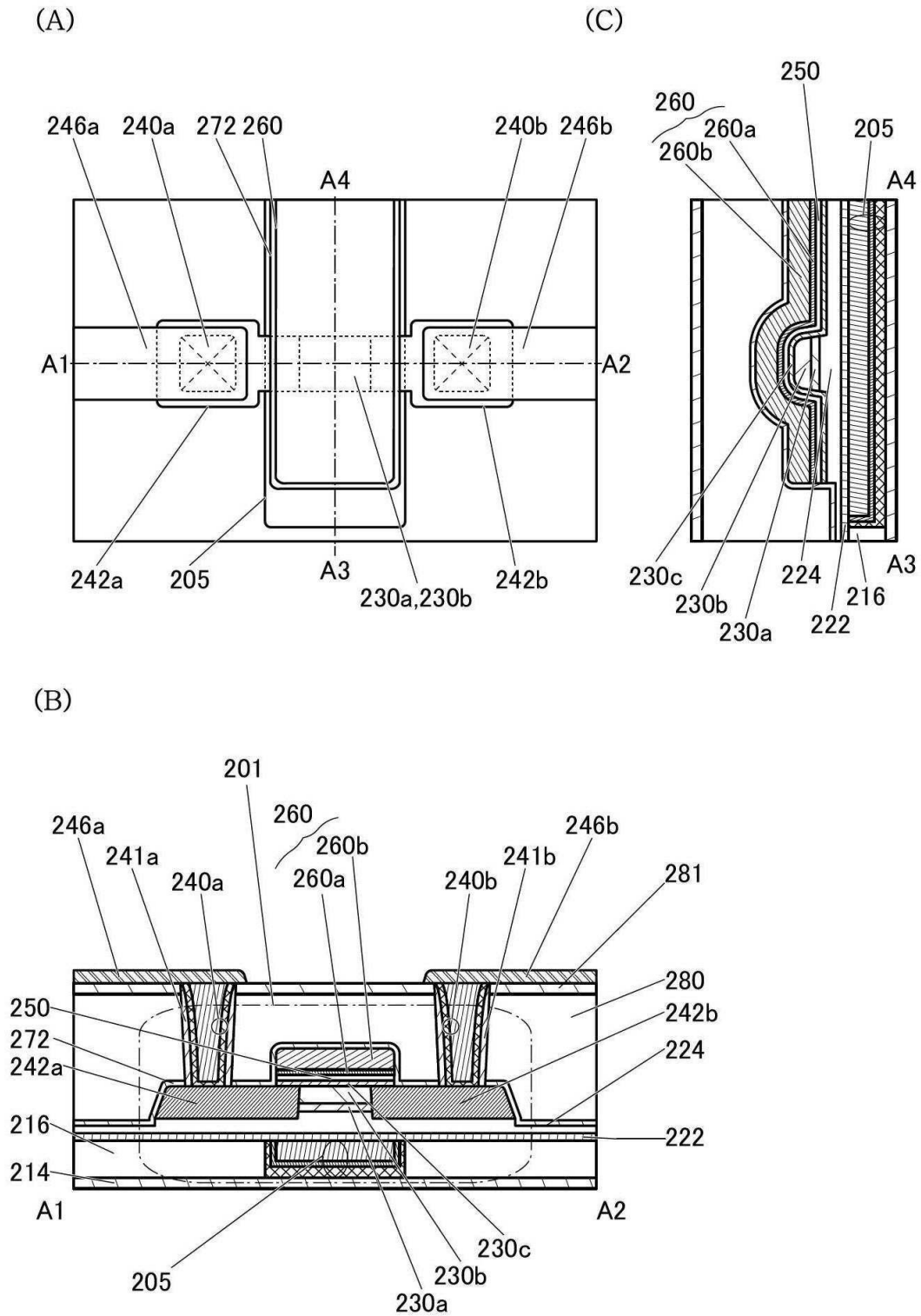
- [0396] 100: 용량 소자, 110: 도전체, 112: 도전체, 120: 도전체, 130: 절연체, 150: 절연체, 200: 트랜지스터, 201: 트랜지스터, 205: 도전체, 205a: 도전체, 205b: 도전체, 210: 절연체, 212: 절연체, 214: 절연체, 216: 절연체, 218: 도전체, 222: 절연체, 224: 절연체, 230: 산화물, 230a: 산화물, 230A1: 산화막, 230A2: 산화물, 230b: 산화물, 230B1: 산화막, 230B2: 산화물, 230c: 산화물, 232B2: 산화물, 240: 도전체, 240a: 도전체, 240b: 도전체, 241: 절연체, 241a: 절연체, 241b: 절연체, 242: 도전체, 242a: 도전체, 242A: 도전막, 242b: 도전체, 242B: 도전체, 242C: 도전체, 244: 하드 마스크, 245: 도전체, 246: 도전체, 246a: 도전체, 246b: 도전체, 250: 절연체, 260: 도전체, 260a: 도전체, 260b: 도전체, 272: 절연체, 276: 절연체, 280: 절연체, 281: 절연체, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 1001: 배선, 1002: 배선, 1003: 배선, 1004: 배선, 1005: 배선, 1006: 배선

도면

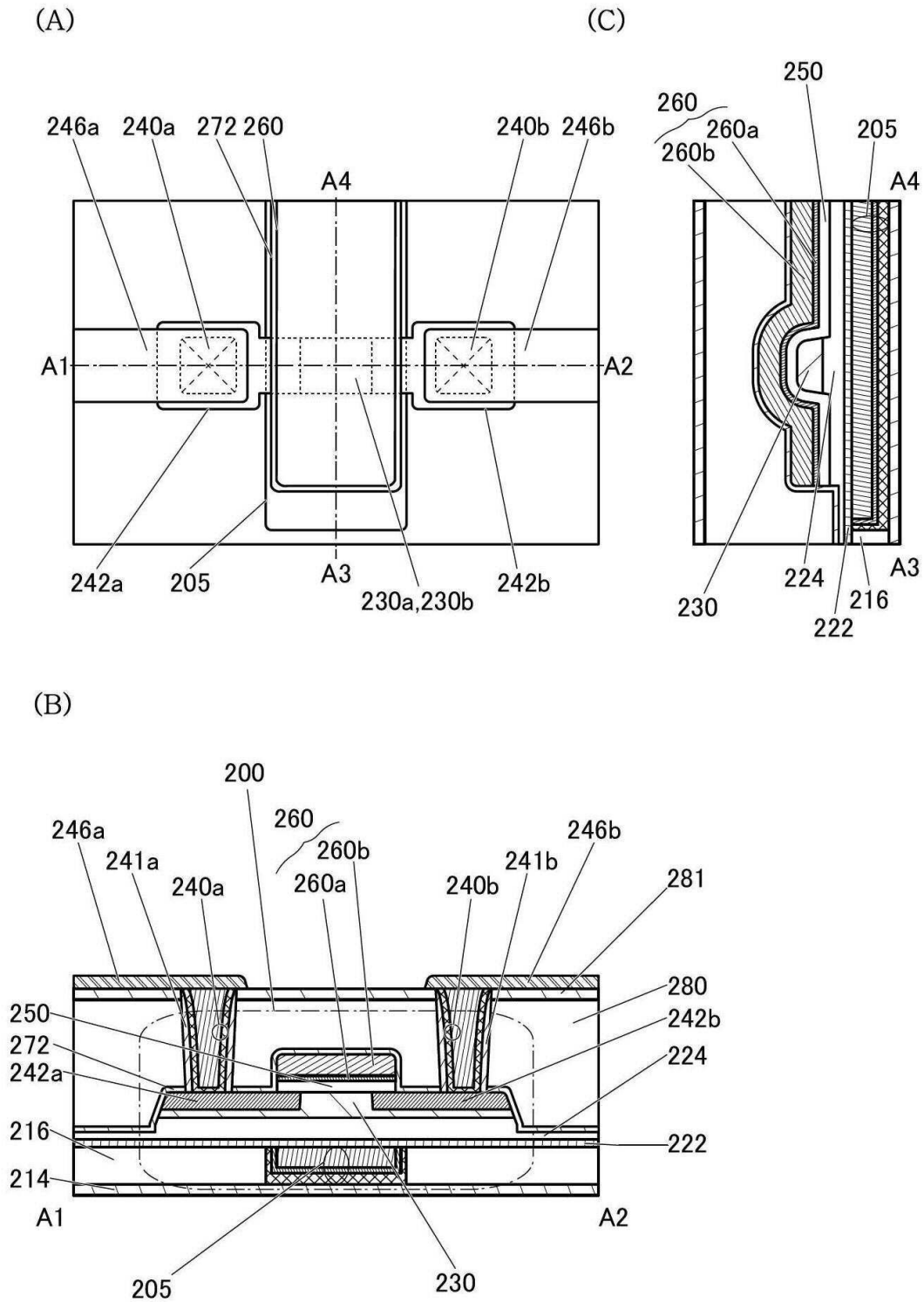
도면1



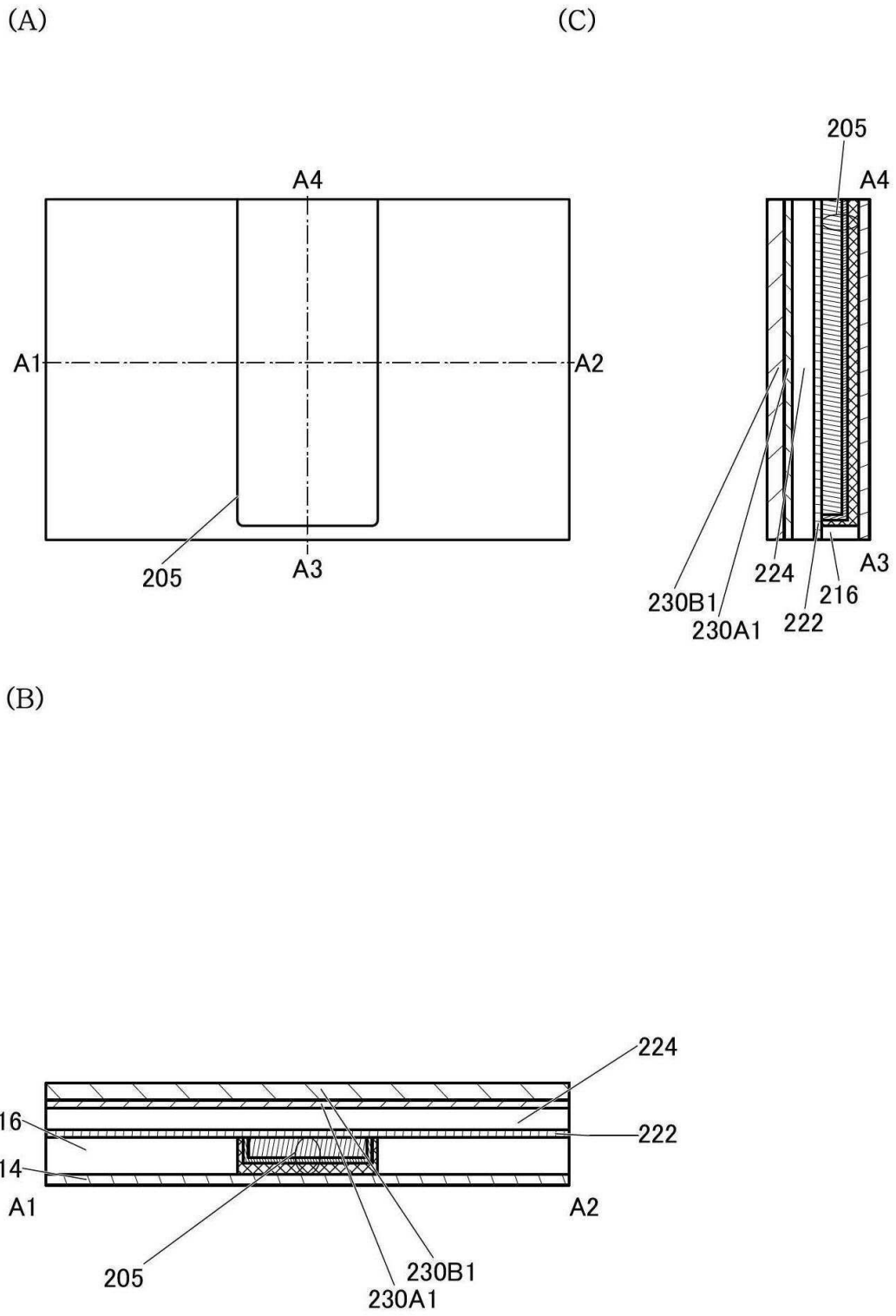
도면2



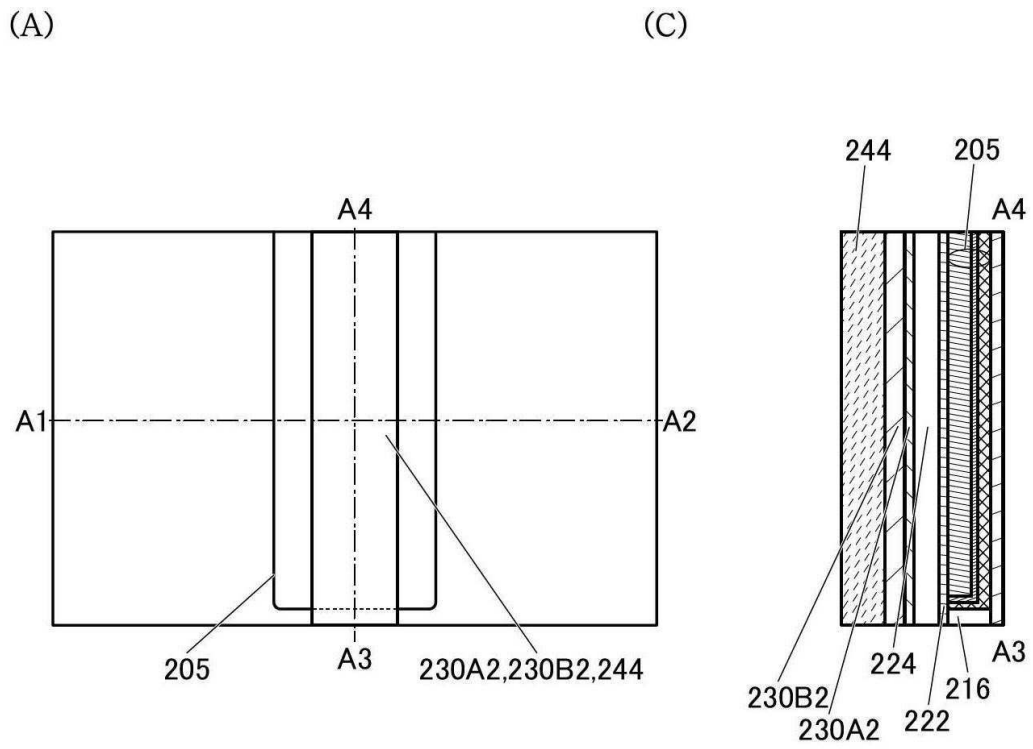
도면3



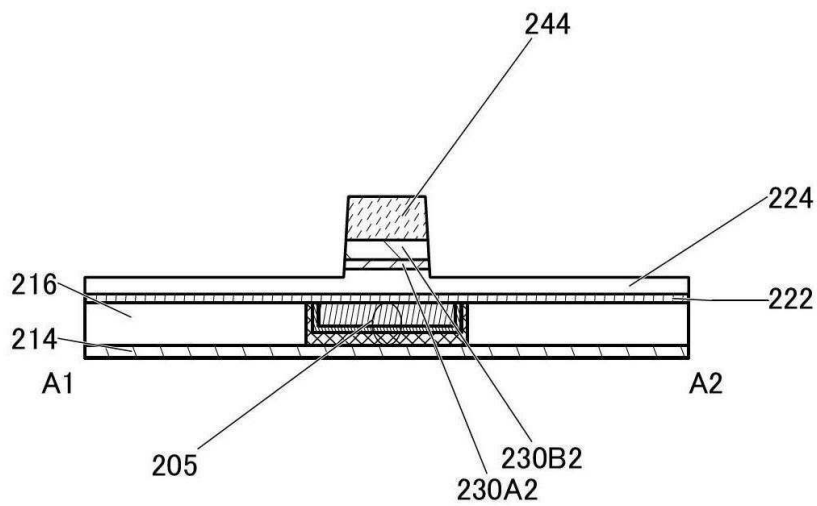
도면4



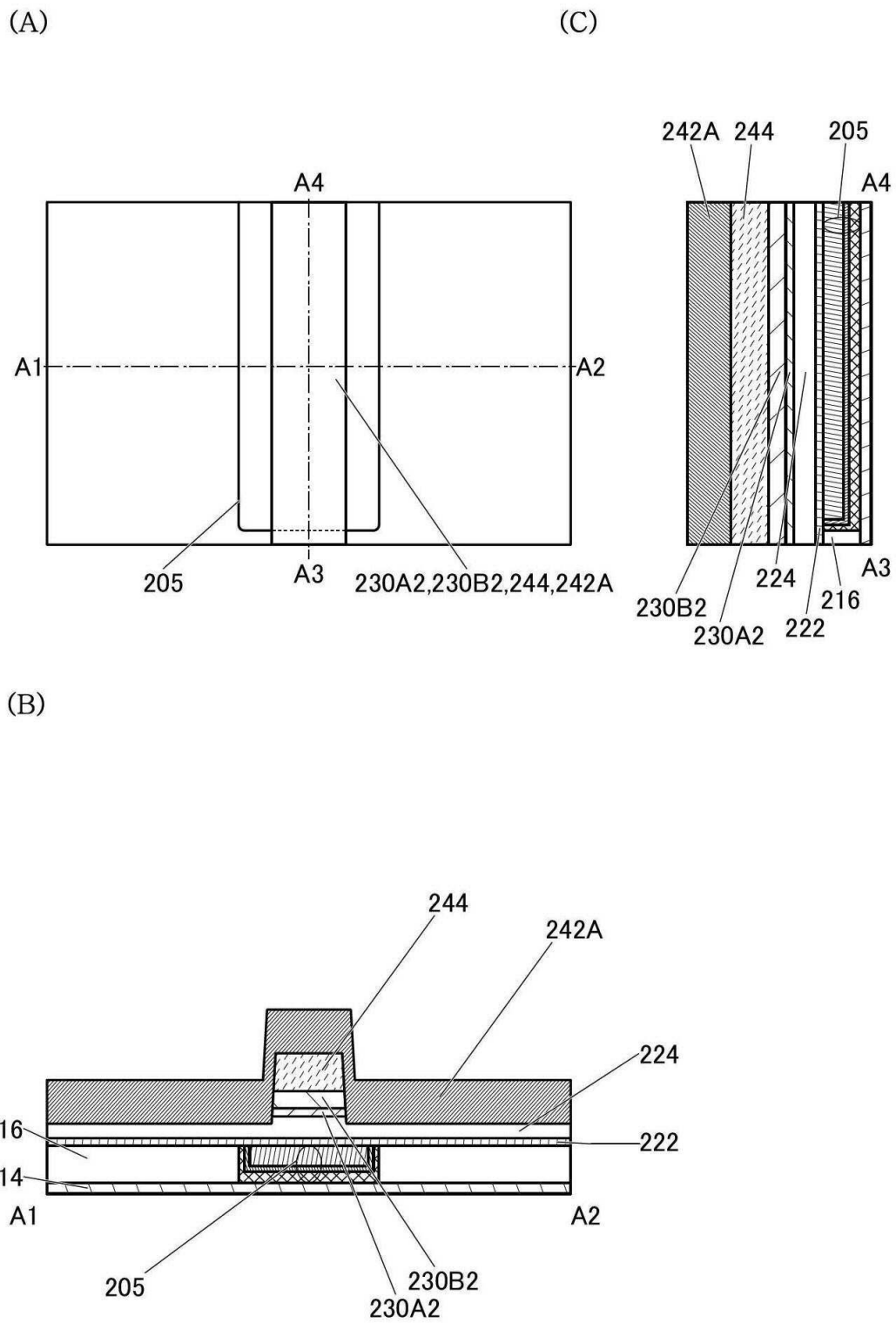
도면5



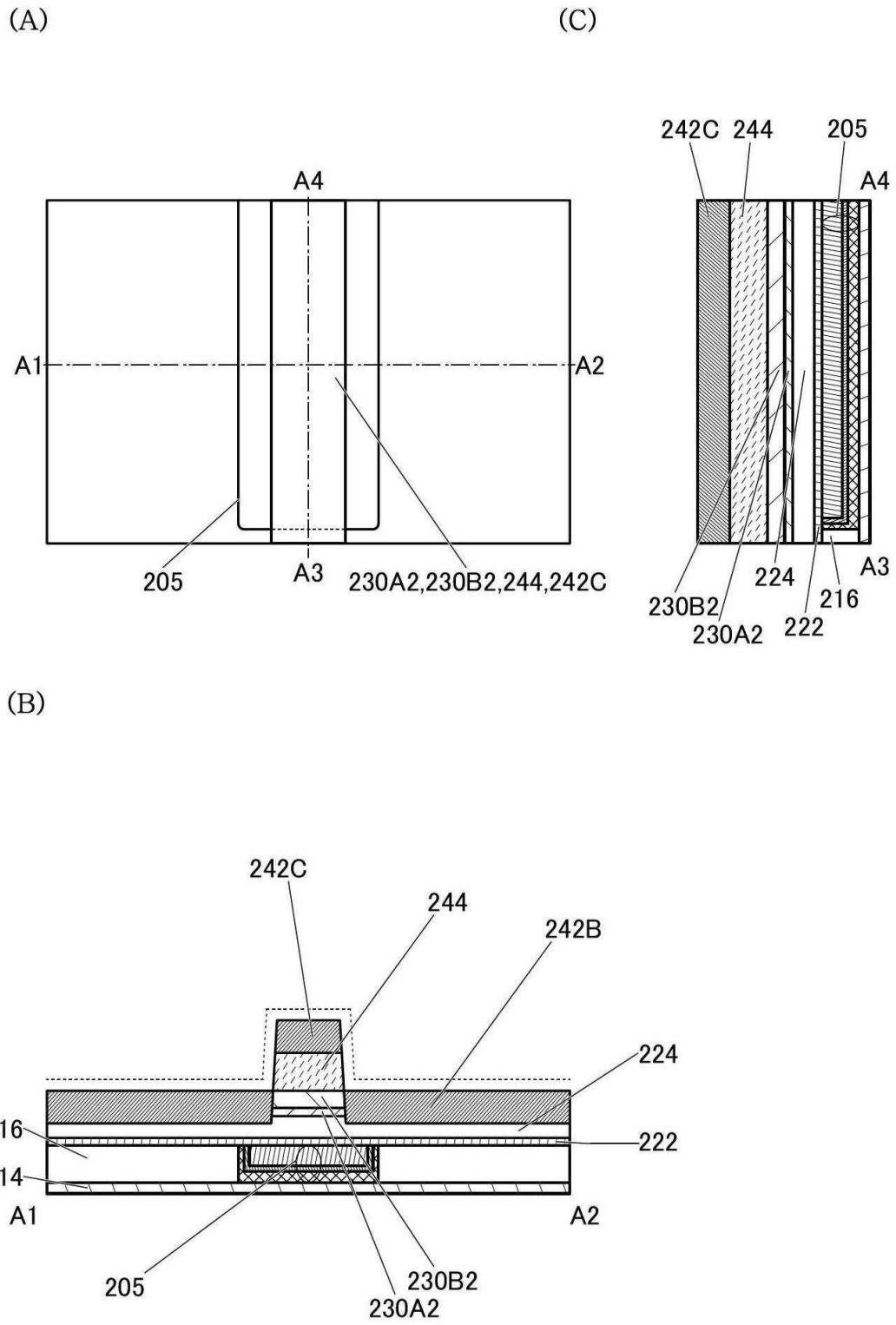
(B)



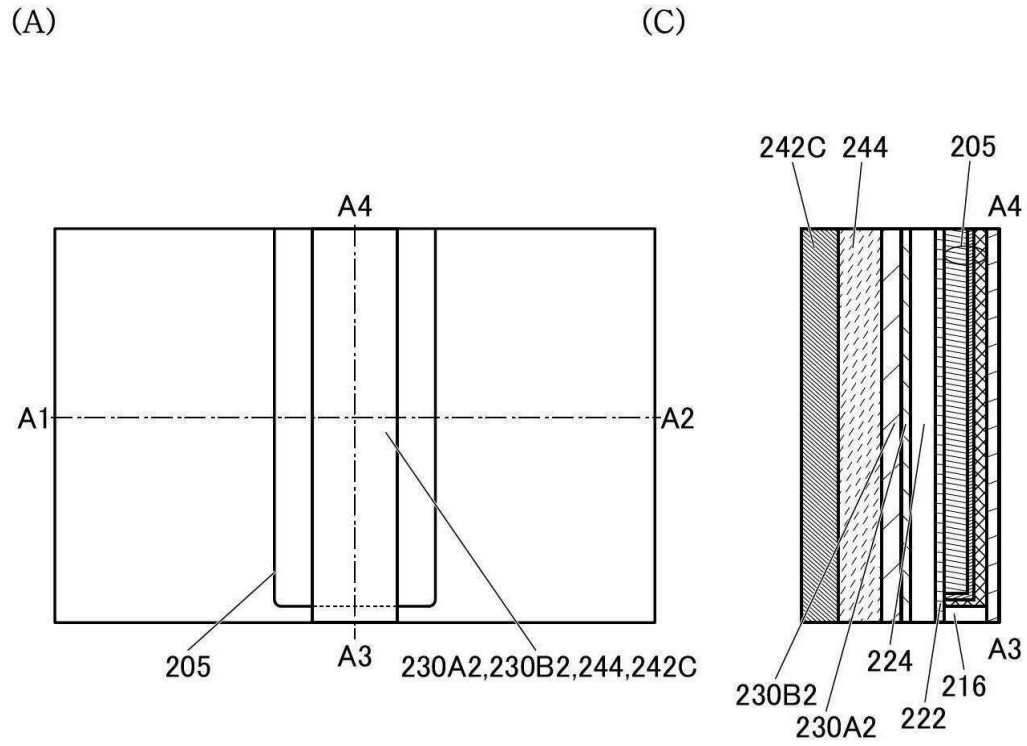
도면6



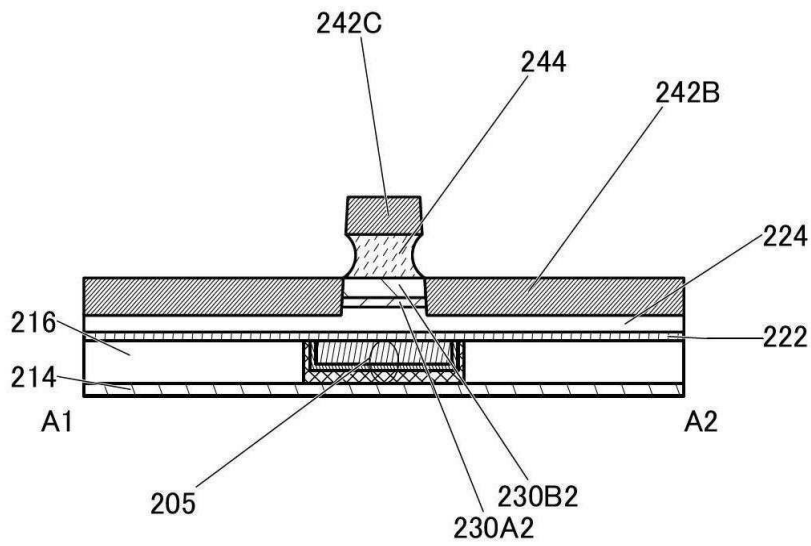
도면7



도면8

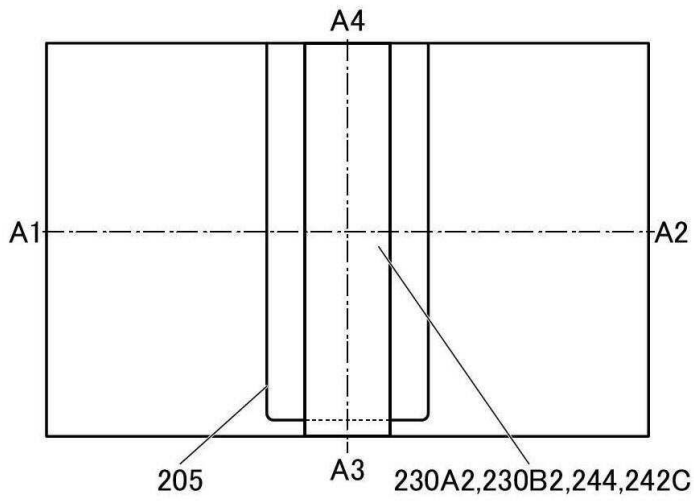


(B)

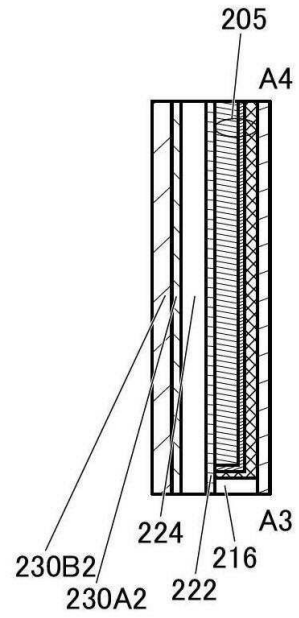


도면9

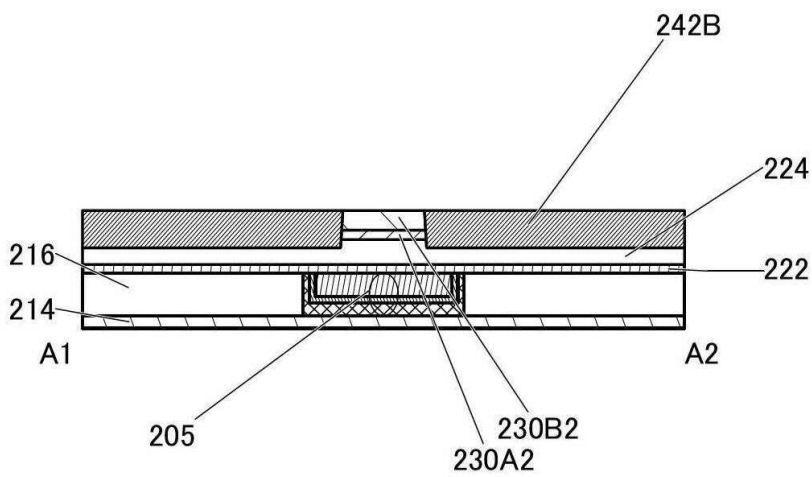
(A)



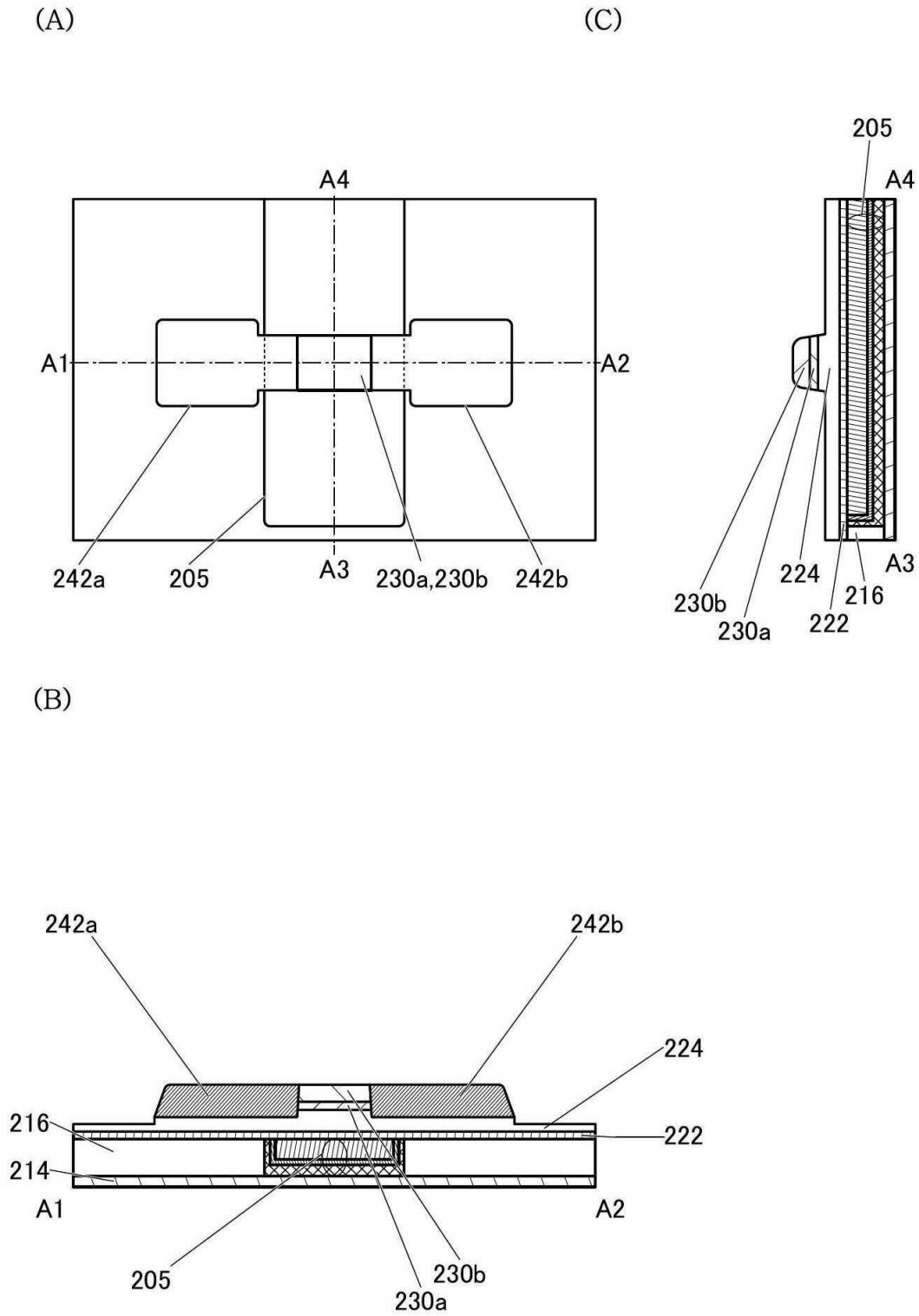
(C)



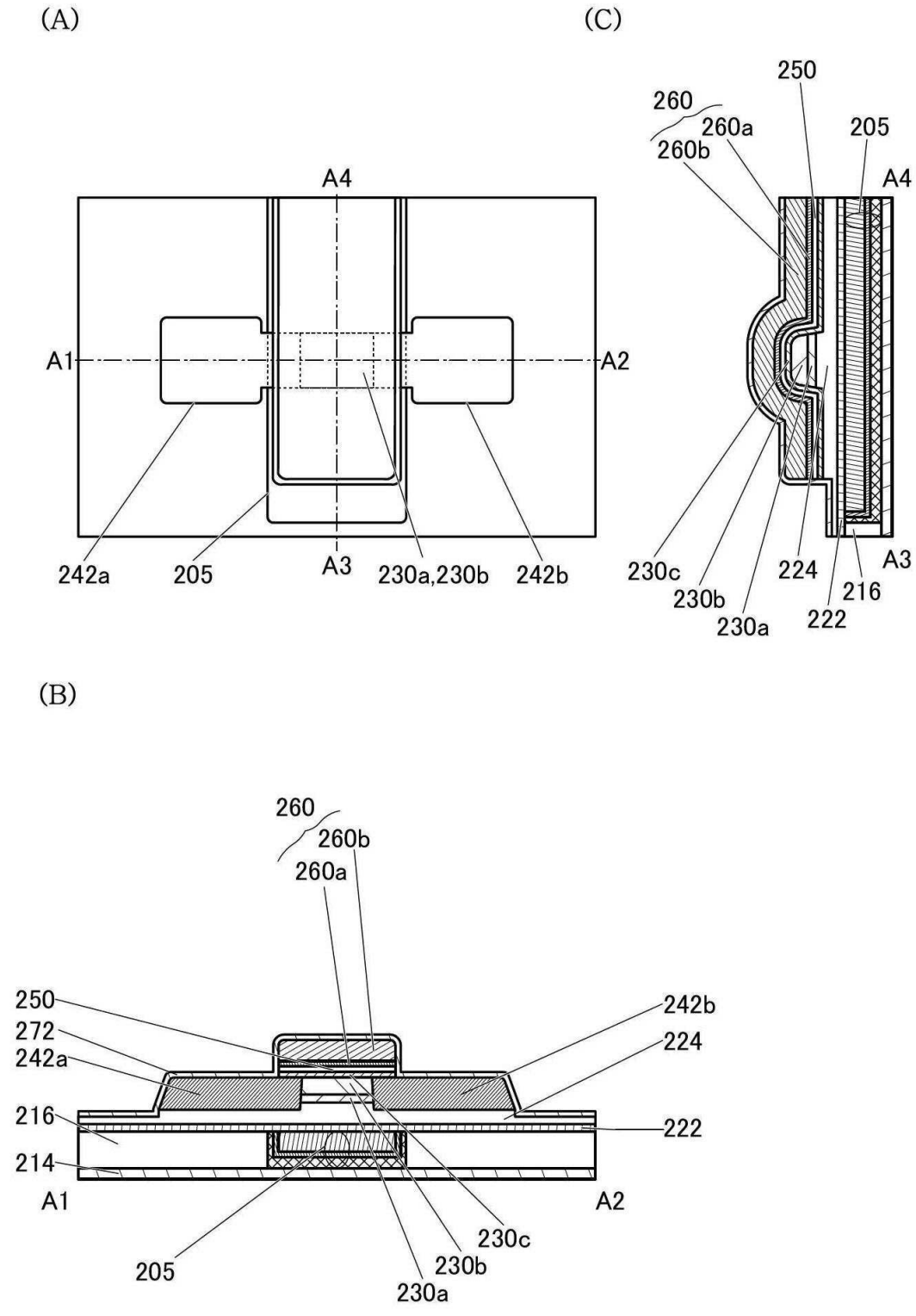
(B)



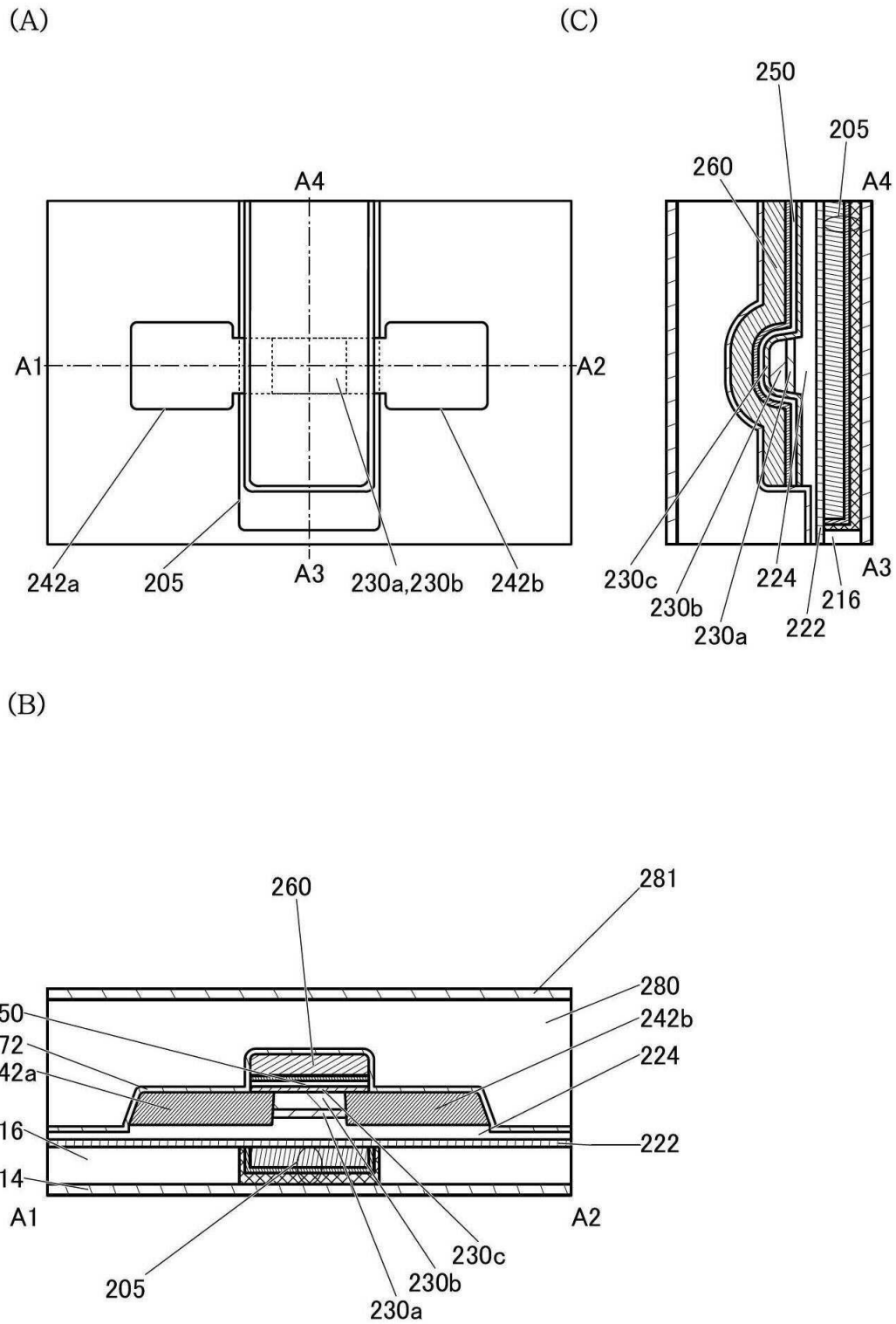
도면10



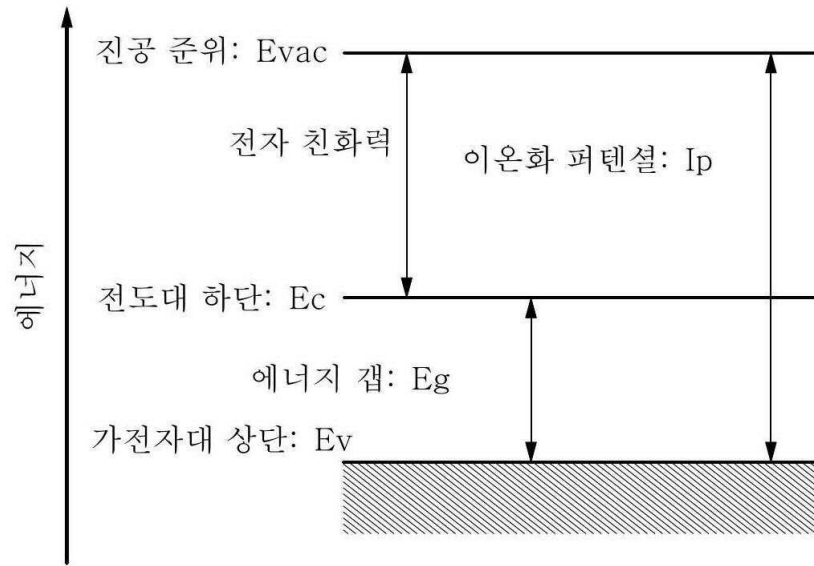
도면11



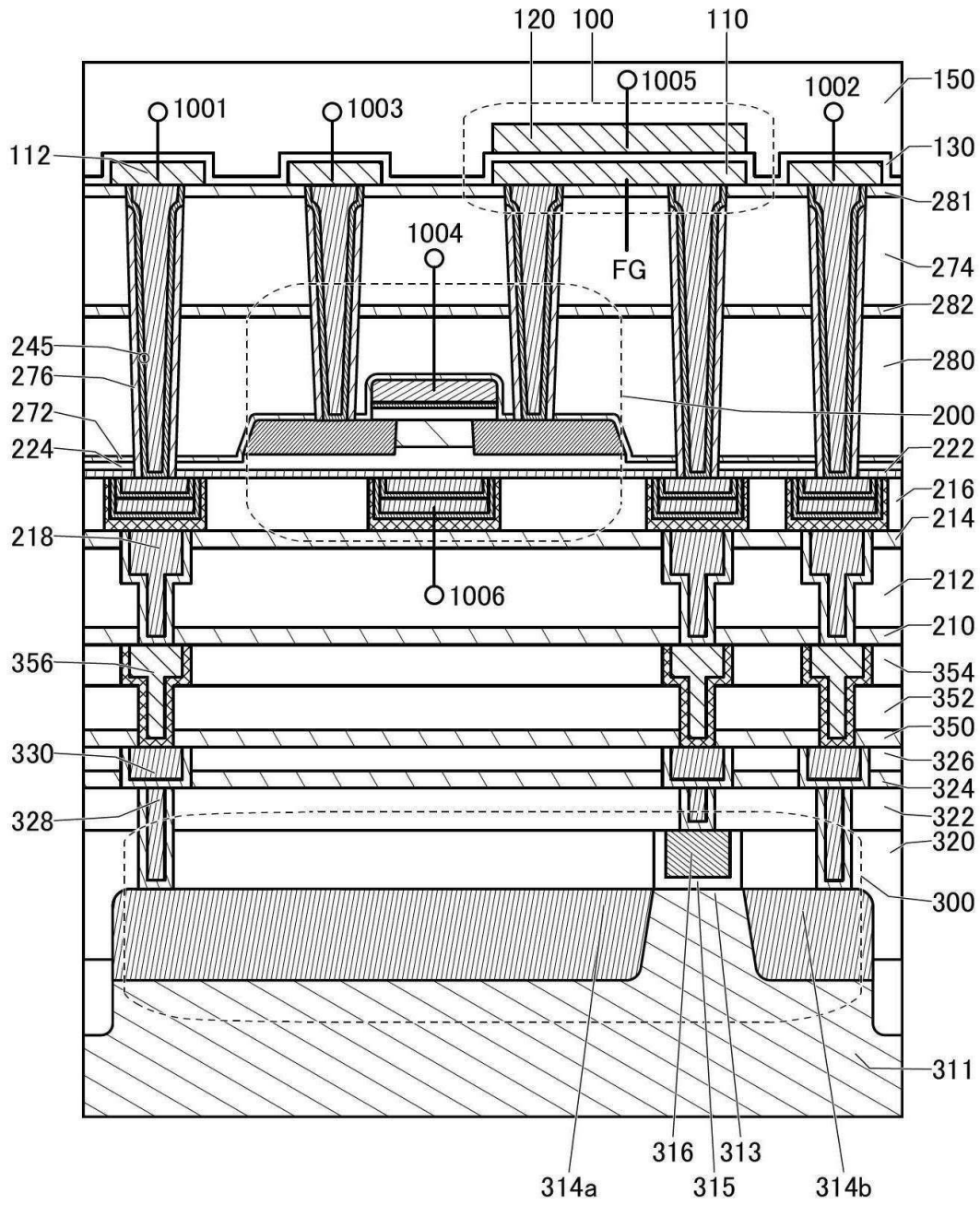
도면12



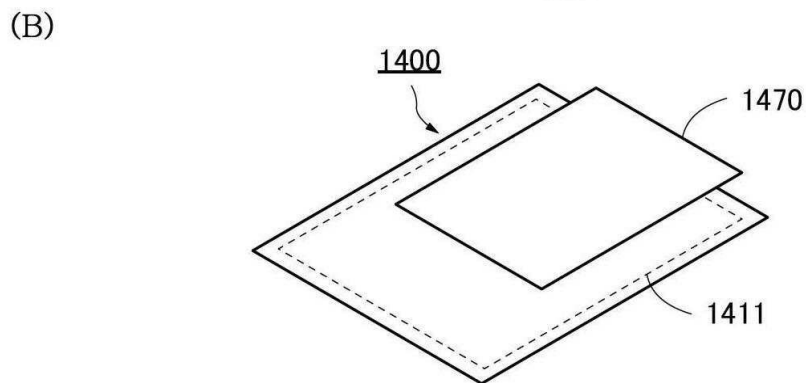
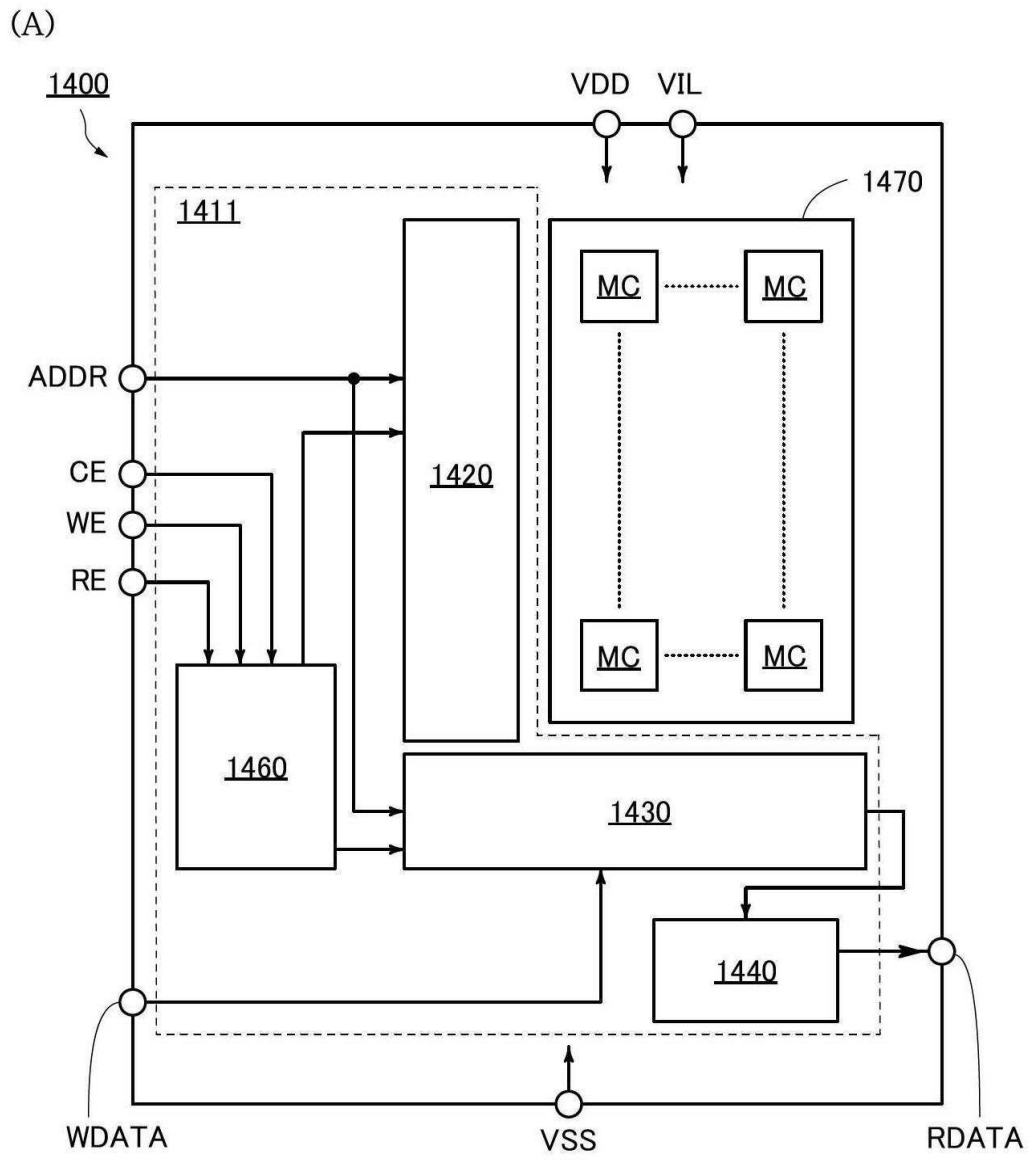
도면13



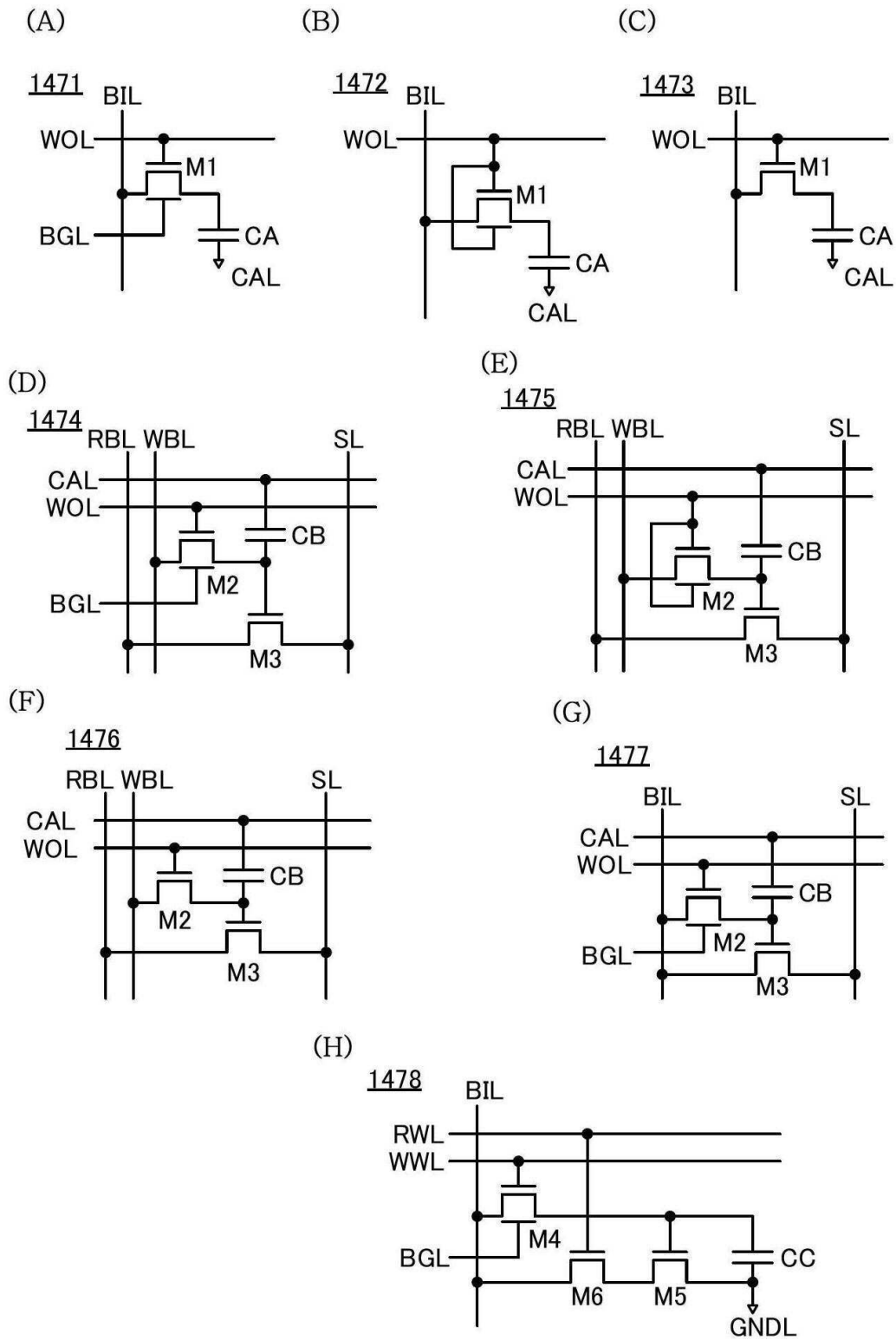
도면14



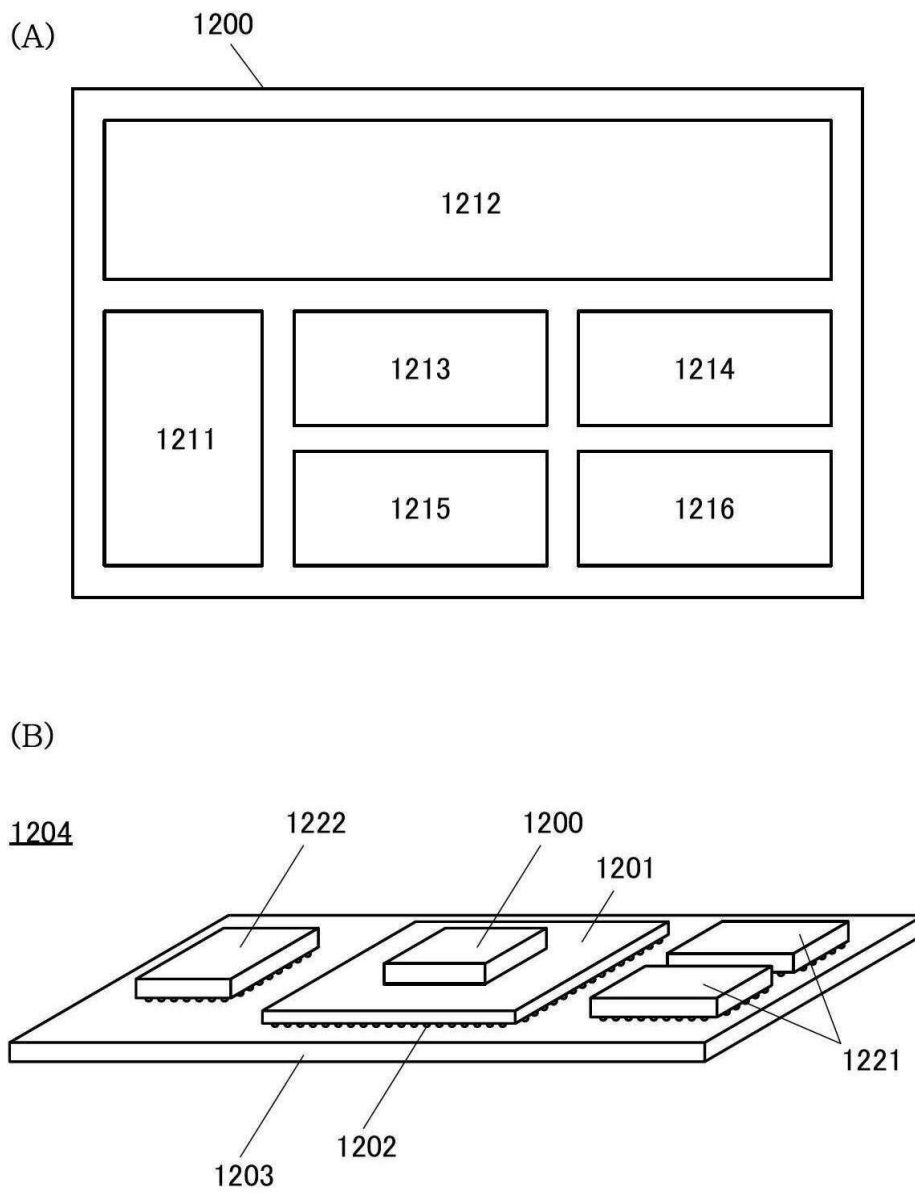
도면15



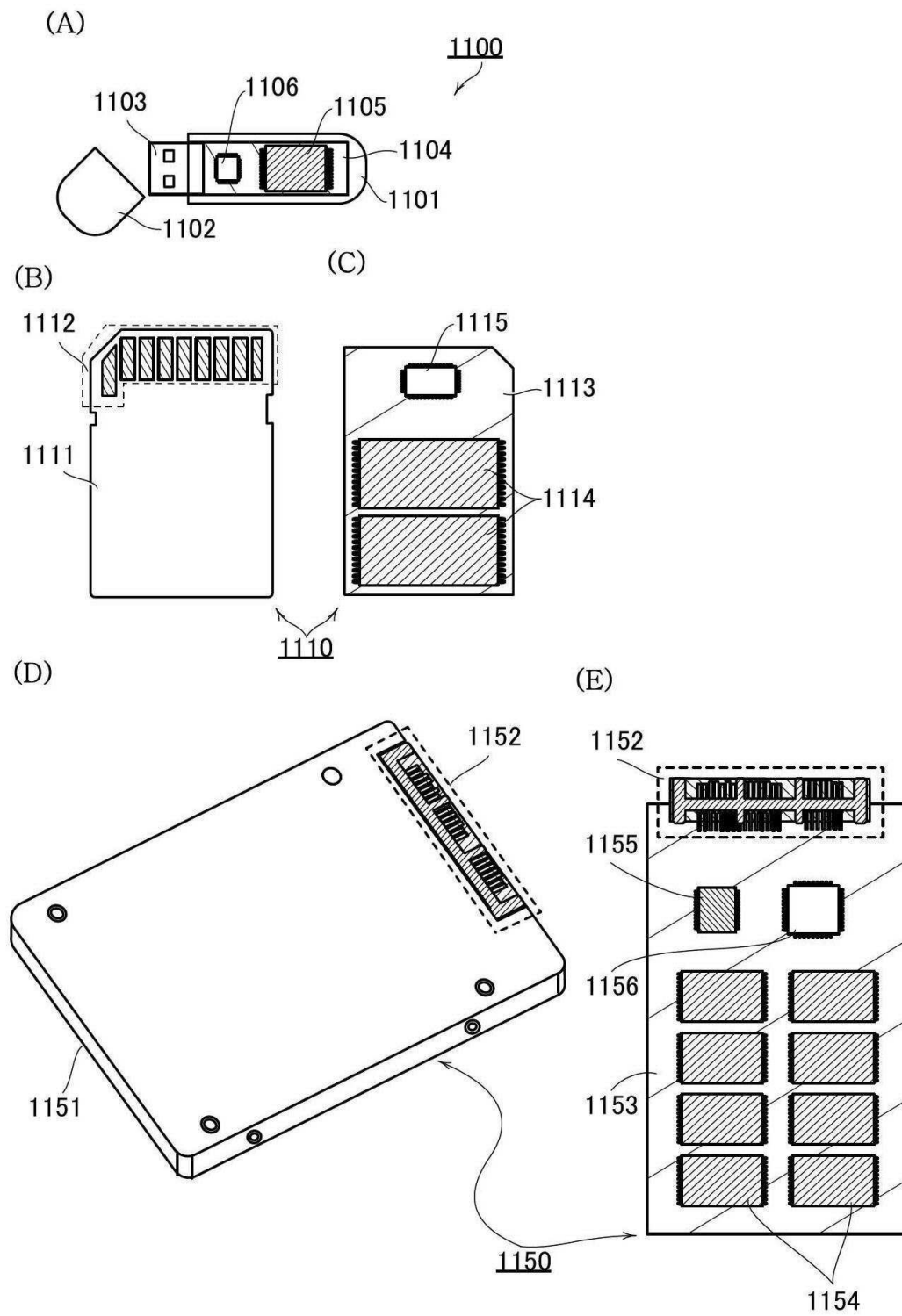
도면16



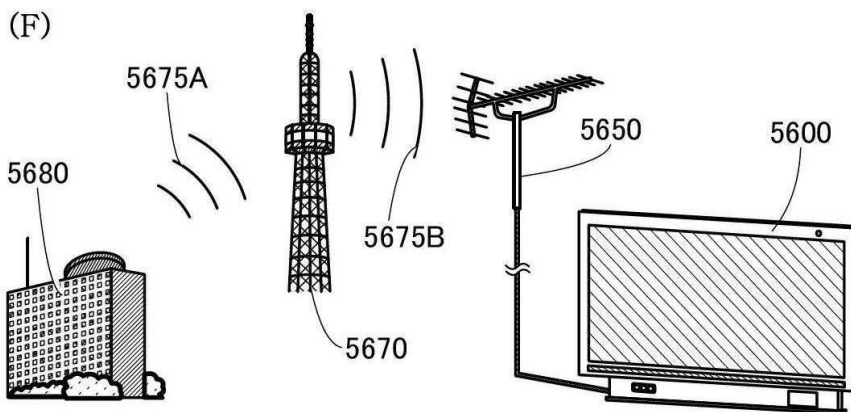
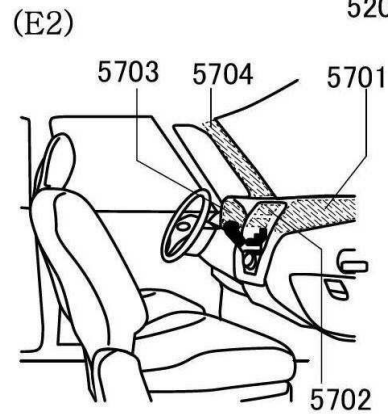
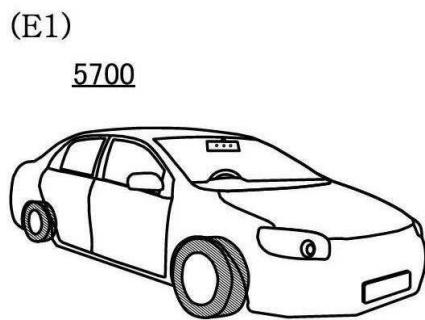
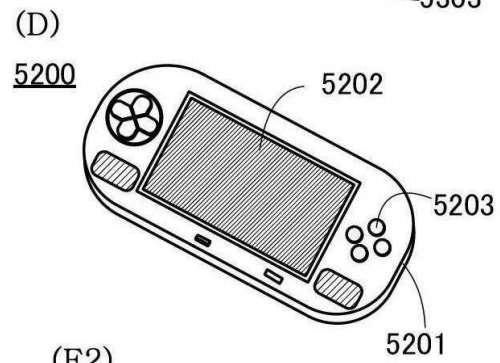
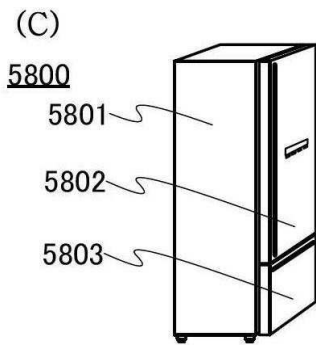
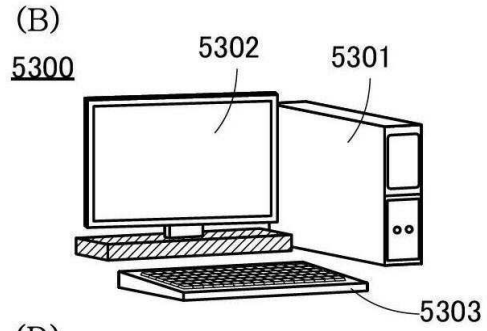
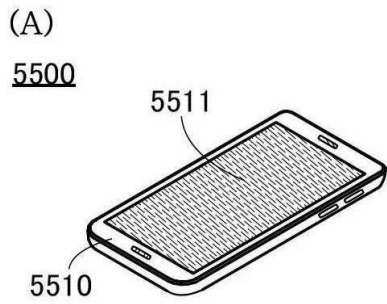
도면17



도면18



도면19



도면20

