

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月13日(13.09.2018)



(10) 国際公開番号

WO 2018/163731 A1

- (51) 国際特許分類:
G11C 11/16 (2006.01) *G11C 13/00* (2006.01)
G11C 7/04 (2006.01)
- (21) 国際出願番号: PCT/JP2018/005047
- (22) 国際出願日: 2018年2月14日(14.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-044961 2017年3月9日(09.03.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 手塚 宙之 (TEZUKA, Hiroyuki);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 亀谷 美明, 外 (KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷3-1-3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) **Title:** CONTROL CIRCUIT, SEMICONDUCTOR MEMORY DEVICE, INFORMATION PROCESSING DEVICE, AND CONTROL METHOD

(54) 発明の名称: 制御回路、半導体記憶装置、情報処理装置及び制御方法

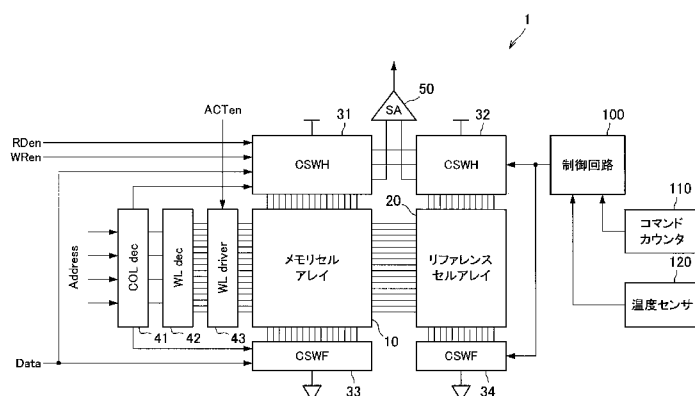


FIG. 1:

- 10 Memory cell array
- 20 Reference cell array
- 43 WL driver
- 100 Control circuit
- 110 Command counter
- 120 Temperature sensor

(57) **Abstract:** [Problem] To provide a control circuit that is capable of reliably generating a reference potential while suppressing an increase in power consumption or an increase in cost. [Solution] This control circuit performs a control such that writing is individually performed for a first reference element and a second element, wherein the first reference element is set to a first resistance state when a reference potential, which is to be used for reading data from a memory element, is generated, and the second reference element is different from the first reference element and is set to a second resistance state different from the first resistance state when the reference potential is generated.

HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】消費電力の増加やコストの増大を抑えつつ、確実な参照電位の生成が可能な制御回路を提供する。【解決手段】メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2の抵抗状態に設定された、前記第1の参照素子と異なる第2の参照素子と、に対する書き込み処理を個別に実行するよう制御する、制御回路。

明 細 書

発明の名称：

制御回路、半導体記憶装置、情報処理装置及び制御方法

技術分野

[0001] 本開示は、制御回路、半導体記憶装置、情報処理装置及び制御方法に関する。

背景技術

[0002] STT-MRAM (Spin Transfer Torque Magnetoresistive Random Access Memory ; スピン注入磁気メモリ) におけるセンスアンプの参照電位の生成方法として、複数のメモリセルを並行および直列に接続したリファレンスセルを設け、参照電位生成時の参照抵抗としてリファレンスセルを使用する方法が知られている。また、リファレンスセルの合成抵抗値を、高抵抗 (RH) と低抵抗 (RL) の中間の所望の値とするために、RH及びRLのセルを複数個ずつ搭載し、各々のセルの割合を可変にする技術もある (特許文献1、2等)。

[0003] 磁気トンネル接合 (Magnetic Tunnel Junction ; MTJ) 素子を使用したメモリデバイスでは、MTJ素子に蓄えた情報が意図せず反転する可能性があることが知られている。そのため、確実な読出しには定期的にリフレッシュ動作 (再書き込み動作) が必要である。例えば特許文献3では、メモリセルへの書き込み動作と並行して、リファレンスセルに対するリフレッシュ動作を行う技術が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-187631号公報

特許文献2：特開2013-4151号公報

特許文献3：特表2013-524392号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、メモリセルへの書き込み動作と並行して、リファレンスセルに対するリフレッシュ動作を行うと、消費電力が増大するだけでなく、ピーク電流の増加に伴うチップコストの増加にも繋がる。

[0006] そこで本開示では、消費電力の増加やコストの増大を抑えつつ、確実な参照電位の生成が可能な、新規かつ改良された制御回路、半導体記憶装置、情報処理装置及び制御方法を提案する。

課題を解決するための手段

[0007] 本開示によれば、メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2の抵抗状態に設定された、前記第1の参照素子と異なる第2の参照素子と、に対する書き込み処理を個別に実行するよう制御する、制御回路が提供される。

[0008] また本開示によれば、メモリ素子と、前記メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2の抵抗状態に設定された、前記第1の参照素子と異なる第2の参照素子と、前記第1の参照素子と前記第2の参照素子とに対する書き込み処理を個別に実行する制御回路と、を備える、半導体記憶装置が提供される。

[0009] また本開示によれば、上記半導体記憶装置を少なくとも1つ備える、情報処理装置が提供される。

[0010] また本開示によれば、プロセッサが、メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2の抵抗状態に設定された、前記第1の参照素子と異なる第2の参照素子と、に対する書き込み処理を個別に実行する、制御方法が提供される。

発明の効果

[0011] 以上説明したように本開示によれば、消費電力の増加やコストの増大を抑えつつ、確実な参照電位の生成が可能な、新規かつ改良された制御回路、半導体記憶装置、情報処理装置及び制御方法を提供することが出来る。

[0012] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0013] [図1]本開示の実施の形態に係る半導体記憶装置の機能構成例を示す説明図である。

[図2]メモリセルアレイ10及びリファレンスセルアレイ20並びにそれらの周辺の回路構成例を示す説明図である。

[図3]メモリセルアレイ10及びメモリセルアレイ10の周辺の回路構成例を示す説明図である。

[図4]リファレンスセルアレイ20及びリファレンスセルアレイ20の周辺の回路構成例を示す説明図である。

[図5]ANDゲートを示す説明図である。

[図6]同実施の形態に係る半導体記憶装置1の機能構成例を示す説明図である。

[図7]図6に示したメモリセル及びリファレンスセルの回路構成例を示す説明図である。

[図8]制御回路100によるリフレッシュイネーブル信号の出力例を示す説明図である。

[図9]同実施形態に係る半導体記憶装置1の別の機能構成例を示す説明図である。

[図10]図9に示したメモリセル及びリファレンスセルの回路構成例を示す説明図である。

[図11]制御回路100によるリフレッシュイネーブル信号の出力例を示す説

明図である。

[図12]制御回路100によるリフレッシュイネーブル信号の出力例を示す説明図である。

[図13]制御回路100によるリフレッシュイネーブル信号の出力例を示す説明図である。

[図14]制御回路100によるリフレッシュイネーブル信号の出力例を示す説明図である。

[図15]同実施の形態に係る半導体記憶装置1の動作をタイミングチャートで示す説明図である。

[図16]制御回路100によるリフレッシュイネーブル信号の出力例を示す説明図である。

[図17]同実施の形態に係る半導体記憶装置1の動作をタイミングチャートで示す説明図である。

[図18]同実施の形態に係る半導体記憶装置1の動作例を示す流れ図である。

[図19]同実施の形態に係る半導体記憶装置1の動作例を示す流れ図である。

[図20]同実施の形態に係る半導体記憶装置1の構成例を示す説明図である。

[図21]同実施の形態に係る半導体記憶装置1が搭載されうる電子デバイス1000の機能構成例を示す説明図である。

発明を実施するための形態

[0014] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0015] なお、説明は以下の順序で行うものとする。

1. 本開示の実施の形態

1. 1. 概要

1. 2. 構成例

2. 応用例

3. まとめ

[0016] < 1. 本開示の実施の形態 >

[1. 1. 概要]

本開示の実施の形態について詳細に説明する前に、本開示の実施の形態の概要について説明する。

[0017] 抵抗変化型不揮発性素子である磁気トンネル接合（MTJ）素子は、2つの磁性層と、それらの磁性層の間に設けられる非磁性層と、を有する素子である。MTJ素子は、2つの磁性層の磁化の向きが平行であるか否かによって、2つの磁性層間の抵抗値が低抵抗状態か高抵抗状態のいずれかの状態をとる。抵抗変化型素子は、抵抗状態を不揮発の保持することが出来る。

[0018] 上述したように、MTJ素子を記憶素子として用いるSTT-MRAM（スピン注入磁気メモリ）におけるセンスアンプの参照電位の生成方法として、複数のメモリセルを並行および直列に接続したリファレンスセルを設け、参照電位生成時の参照抵抗としてリファレンスセルを使用する方法が知られている。また、リファレンスセルの合成抵抗値を、高抵抗（RH）と低抵抗（RL）の中間の所望の値とするために、RH及びRLのセルを複数個ずつ搭載し、各々のセルの割合を可変にする技術もある。

[0019] MTJ素子を使用したメモリデバイスでは、次に挙げるメカニズムによってMTJ素子に蓄えた情報が意図せず反転する可能性がある。そのため、確実な読出しには定期的にはリフレッシュ動作（再書き込み動作）が必要である。特に、リファレンスセルは、リードの度にアクセスされ、蓄えられたデータのH/L判定の基準として使用されるために、意図しない論理反転は許されない。

[0020] 意図しない論理反転を引き起こすメカニズムのうち致命的なのが読み出しディスタ urb（Read disturb）である。これはリード時に印可される微小電流が書き込み閾値以下であっても、ある確率で生じる論理反転であり、リードの度に毎回アクセスされるリファレンスセルでは特に無視することができない現象である。この論理反転によるリードエラーを防ぐため

に、一般的にはメモリセルへの書き込みの裏側で（書き込みと並行して）リファレンスセルにも所望データを上書きする書き込み動作（リフレッシュ書き込み）を行う必要がある。

[0021] メモリセルへの書き込みと並行してリファレンスセルをリフレッシュすることの理由としては、大きく次の2点が挙げられる。1点目は、S T T－M R A Mは不揮発メモリを目指しているため、ユーザにリフレッシュ動作を意識させたくないことである。2点目は、リファレンスセルのリフレッシュであっても通常のセルと同じだけの書き込みパルス長が必要であり、書き込み以外のタイミングではリファレンスセルのリフレッシュ中にリードコマンドが発行された場合、リファレンスセルのリフレッシュが不完全になってしまう可能性があるためである。

[0022] ところで前述の論理反転の発生を抑制するような提案もなされている。例えば、先に挙げた特許文献2では、リファレンスセルの構成を読み出しディスターブが起きにくい配置にすることを提案している。しかしながら、提案されているのはある特定のリファレンスセルの構成に限られ、任意のリファレンスセルの組合せに適用することはできない。より効率的で高品質な読み出し回路の実現には、特許文献2で提案されたものとは異なる構成のリファレンスセルも想定されうるため、任意の構成を前提として回路や制御方法を考える必要がある。

[0023] 一方、メモリセルへの書き込みと並行してリファレンスセルをリフレッシュする場合のデメリットの1つとして、消費電流の増加が挙げられる。電流書き込み型S T T－M R A Mは本質的に書き込み時の電力が大きく、書き込むセル数が増すことはピーク電流が増大することに繋がる。ピーク電流が増大することは、書き込み回路や配線面積等のチップリソースの増大にも直結するため、チップコストの増加にもつながる。また、消費電力が大きくなると、モバイル製品では電池の消費が多くなり、稼働時間の減少に繋がるため、製品価値を大きく毀損しうる。また、発熱が大きくなることは製品のパフォーマンス低下や製品寿命の悪化に繋がり、またそれらを防ぐための対策や部

材が必要となるなどのさらなるコスト増の要因となる。

[0024] 以上を鑑みると、S T T－M R A Mの実用化とその価値の向上を考えた際には、消費電力の抑制が非常に重要と考えられ、動作電力の削減が強く求められている。一方で、メモリとしての機能を保つため、前述の論理反転を確実に防ぐことも必要である。従って、前述の点を同時にクリアにする必要がある。

[0025] そこで本件開示者は、上述した点に鑑み、リファレンスセルの論理反転を確実に防ぐことと、消費電力を抑制することとを両立させるための技術について、鋭意検討を行った。その結果、本件開示者は、以下で説明するように、リファレンスセルの論理反転を確実に防ぐことと、消費電力を抑制することとを両立させるための技術を考案するに至った。

[0026] [1 . 2 . 構成例]

続いて、本開示の実施の形態について詳細に説明する。図 1 は、本開示の実施の形態に係る半導体記憶装置の機能構成例を示す説明図である。以下、図 1 を用いて、本開示の実施の形態に係る半導体記憶装置の機能構成例について説明する。

[0027] 図 1 に示したように、本開示の実施の形態に係る半導体記憶装置 1 は、メモリセルアレイ 1 0 と、リファレンスセルアレイ 2 0 と、V D D 側のカラム制御スイッチ 3 1、3 2 と、V S S 側のカラム制御スイッチ 3 3、3 4 と、カラムデコーダ 4 1 と、ワード線デコーダ 4 2 と、ワード線ドライバ 4 3 と、センスアンプ 5 0 と、制御回路 1 0 0 と、コマンドカウンタ 1 1 0 と、温度センサ 1 2 0 と、を含んで構成される。

[0028] メモリセルアレイ 1 0 は、マトリクス状に配置された、記憶素子を有するメモリセルを有している。本実施形態では、記憶素子として、両端間に印加される電位差の極性に応じて可逆的に抵抗状態が変化することを利用して、情報の記憶を行う素子を用いる。そのような素子としては、上述のように M T J 素子を用いることが出来る。記憶素子は、2つの識別可能な抵抗状態（低抵抗状態および高抵抗状態）を有するものである。また、メモリセルアレ

イ 1 0 は、行方向（横方向）に延伸する複数のワード線と、列方向（縦方向）に延伸する複数のビット線および複数のソース線とを有している。各ワード線の一端はワード線ドライバ 4 3 に接続され、各ビット線は V D D 側のカラム制御スイッチ 3 1 と、V S S 側のカラム制御スイッチ 3 3 と、に接続されている。

[0029] リファレンスセルアレイ 2 0 は、マトリクス状に配置された複数のリファレンスセルを有している。また、リファレンスセルアレイ 2 0 は、メモリセルアレイ 1 0 と同様に、行方向（横方向）に延伸する複数のワード線と、列方向（縦方向）に延伸する複数のビット線および複数のソース線とを有している。各ワード線の一端はワード線ドライバ 4 3 に接続され、各ビット線は V D D 側のカラム制御スイッチ 3 2 と、V S S 側のカラム制御スイッチ 3 4 と、に接続されている。

[0030] 本実施形態では、リファレンスセルアレイ 2 0 に設けられるリファレンスセルは、高抵抗のリファレンスセルと、低抵抗のリファレンスセルと、を有する。高抵抗のリファレンスセルと、低抵抗のリファレンスセルと、を有することで、リファレンスセルの合成抵抗値を、高抵抗と低抵抗の中間の所望の値としている。

[0031] カラム制御スイッチ 3 1 ～ 3 4 は、制御信号に基づいて、メモリセルアレイ 1 0 の複数のビット線やソース線のうちの、駆動対象となるメモリセルに係るビット線やソース線を、図示しないビット線駆動部やソース線駆動部と接続するものである。カラム制御スイッチ 3 1 ～ 3 4 に供給される制御信号には、リードイネーブル信号 R D e n、ライトイネーブル信号 W R e n がある。またカラム制御スイッチ 3 1 ～ 3 4 には、データ信号 D a t a と、カラムデコーダ 4 1 からの信号（カラムアドレス信号をデコードしたもの）が送られる。

[0032] カラムデコーダ 4 1 は、アドレス信号をデコードし、デコードした信号をカラム制御スイッチ 3 1 ～ 3 4 に送る。ワード線デコーダ 4 2 は、アドレス信号をデコードし、デコードした信号をワード線ドライバ 4 3 に送る。ワー

ド線ドライバ43は、制御信号に基づいて、メモリセルアレイ10における、駆動対象となるメモリセルを選択するものである。具体的には、ワード線ドライバ43は、メモリセルアレイ10のワード線に信号を印加することにより、データの書込動作または読出動作の対象となるメモリセルの属する行を選択する。ワード線ドライバ43には、ワード線デコーダ42からの信号に加え、ワード線をアクティベートとするための信号ACTenが送られる。

[0033] センスアンプ50は、メモリセルアレイ10のメモリセルからデータを読み出す際に、ビット線を通じて出力される電位と、リファレンスセルアレイ20のリファレンスセルが生成する参照電位とを比較して、参照電位より高い(H)か、低い(L)かを示すデータを出力する。

[0034] ここで、メモリセルアレイ10及びリファレンスセルアレイ20並びにそれらの周辺の回路構成例を示す。図2は、メモリセルアレイ10及びリファレンスセルアレイ20並びにそれらの周辺の回路構成例を示す説明図である。

[0035] カラム制御スイッチ31は、MOSトランジスタTr1、Tr2を含んで構成される。カラム制御スイッチ32は、MOSトランジスタTr11、Tr12を含んで構成される。カラム制御スイッチ33は、MOSトランジスタTr3、Tr4を含んで構成される。カラム制御スイッチ32は、MOSトランジスタTr13、Tr14を含んで構成される。またカラム制御スイッチ31とセンスアンプ50との間にはMOSトランジスタTr21が設けられ、カラム制御スイッチ32とセンスアンプ50との間にはMOSトランジスタTr22が設けられる。MOSトランジスタTr21、Tr22は、リードイネーブル信号RDenによってオン、オフが切り替わる。

[0036] メモリセルアレイ10は、選択トランジスタTr5と、記憶素子R1と、を有するメモリセルが、マトリクス上に配置された構成を有する。なお図2では説明を簡易なものとするために、メモリセルアレイ10にはメモリセルが1つのみ設けられたものが図示されている。

[0037] リファレンスセルアレイ 20 は、選択トランジスタ T_{r15} と、記憶素子 R_{11} と、を有するリファレンスセルが、マトリクス上に配置された構成を有する。なお図 2 では説明を簡易なものとするために、リファレンスセルアレイ 20 にはリファレンスセルが 2 つのみ設けられたものが図示されている。

[0038] 図 3 は、メモリセルアレイ 10 及びメモリセルアレイ 10 の周辺の回路構成例を示す説明図である。図 3 に示したメモリセルアレイ 10 の周辺の回路は、メモリセルに対して書き込み動作を実行するための回路である。図 3 には、レジスタ 61、63 と、NOT ゲート 62、64 と、NAND ゲート 65～68 と、トランジスタ $T_{r1} \sim T_{r5}$ と、記憶素子 R_1 と、が示されている。メモリセルアレイ 10 は、NOT ゲート 62、64 により、トランジスタ T_{r1} 、 T_{r2} のいずれか一方がオンになり、トランジスタ T_{r3} 、 T_{r4} のいずれか一方がオンになることで、記憶素子 R_1 へのデータの書き込みを行うこと、すなわち、記憶素子 R_1 の抵抗状態を変化させることが出来る。

[0039] 図 4 は、リファレンスセルアレイ 20 及びリファレンスセルアレイ 20 の周辺の回路構成例を示す説明図である。図 4 に示したリファレンスセルアレイ 20 の周辺の回路は、リファレンスセルに対して書き込み動作を実行するための回路である。図 4 には、レジスタ 71、73 と、NOT ゲート 72、74 と、NAND ゲート 75～78 と、トランジスタ $T_{r11} \sim T_{r15}$ と、記憶素子 R_{11} と、が示されている。また図 5 は、AND ゲートを示す説明図であり、リフレッシュイネーブル信号 $RREF_enable$ とライトイネーブル信号 $WRen$ とから、リファレンスセルへのライトイネーブル信号 $WRenrf$ を生成する AND ゲート 79 を示す説明図である。すなわち、リフレッシュイネーブル信号 $RREF_enable$ とライトイネーブル信号 $WRen$ の両方が 1 となった場合にのみライトイネーブル信号 $WRenrf$ は 1 となる。リファレンスセルアレイ 20 は、NOT ゲート 72、74 により、トランジスタ T_{r11} 、 T_{r12} のいずれか一方がオンになり、ト

ランジスタTr13、Tr14のいずれか一方がオンになることで、記憶素子R11へのデータの書き込みを行うこと、すなわち、記憶素子R11の抵抗状態を変化させることが出来る。

[0040] 制御回路100は、リファレンスセルアレイ20に対するリフレッシュ動作を制御する回路である。本実施形態では、以下で説明するように、高抵抗のリファレンスセルと、低抵抗のリファレンスセルとで、リフレッシュ動作を変化させている。より具体的には、制御回路100は、読み出しディスタートブが起こりやすいリファレンスセルに対しては、読み出しディスタートブが起こりにくいリファレンスセルに比べて頻度を上げてリフレッシュ動作を行うよう動作する。すなわち、制御回路100は、高抵抗のリファレンスセルに対するリフレッシュ動作を行うためのリフレッシュイネーブル信号と、低抵抗のリファレンスセルに対するリフレッシュ動作を行うためのリフレッシュイネーブル信号とを独立して出力する。

[0041] コマンドカウンタ110は、書き込みコマンドと読み出しコマンドが発行された回数をカウントして、カウントした値を制御回路100に出力する。制御回路100は、コマンドカウンタ110がカウントした値に基づいてリファレンスセルアレイ20に対するリフレッシュ動作を実行する。

[0042] 温度センサ120は、メモリセルアレイ10やリファレンスセルアレイ20の周囲の温度をセンシングし、センシングした結果を制御回路100に出力する。制御回路100は、温度センサ120のセンシング結果に基づいてリファレンスセルアレイ20に対するリフレッシュ動作を実行する。例えば制御回路100は、温度センサ120がセンシングした温度が所定の閾値以上である場合と、閾値未満である場合とで、リファレンスセルアレイ20に対するリフレッシュ動作のパターンを変化させても良い。

[0043] 図6は、本実施形態に係る半導体記憶装置1の機能構成例を示す説明図であり、高抵抗のリファレンスセルと、低抵抗のリファレンスセルとで、リフレッシュ動作を変化させるための、半導体記憶装置1の機能構成例を示したものである。また図7は、図6に示したメモリセル及びリファレンスセルの

回路構成例を示す説明図であり、高抵抗のリファレンスセルと、低抵抗のリファレンスセルとで参照電位を生成する場合の例を示したものである。

[0044] 図6には、センスアンプ50の片側には通常のメモリセルが、他方にはリファレンスセルとして高抵抗（RH）のリファレンスセルと低抵抗（RL）のリファレンスセルとが1つずつ並列に接続された構成が示されている。もちろん高抵抗のリファレンスセルと低抵抗のリファレンスセルとの組の数は1つに限定されるものではなく、複数存在する場合の例は後述する。

[0045] リファレンスセルは、高抵抗側、低抵抗側ともに、ソース線がスイッチ（MOSトランジスタ）を介してセンスアンプ50に接続されている。制御回路100は、高抵抗のリファレンスセルと、低抵抗のリファレンスセルとに対してリフレッシュイネーブル信号を出力するよう構成されている。また本実施形態では、低抵抗のリファレンスセルのみ読み出しディスタurbが生じる構成としている。従って、制御回路100は、低抵抗のリファレンスセルに対しては、高抵抗のリファレンスセルに比べて頻度を上げてリフレッシュ動作を行うよう動作する。図6には、高抵抗のリファレンスセルに対するカラム制御スイッチ32a、34aと、低抵抗のリファレンスセルに対するカラム制御スイッチ32b、34bと、が示されている。

[0046] 例えば制御回路100は、通常のメモリセルへの書き込み動作のタイミングに同期して、低抵抗のリファレンスセルに対してのみリフレッシュイネーブル信号を出力してもよい。図8は、制御回路100による、図6及び図7に示した高抵抗のリファレンスセルと低抵抗のリファレンスセルとに対するリフレッシュイネーブル信号の出力例を示す説明図である。このように、高抵抗のリファレンスセルにはリフレッシュイネーブル信号を出力せず、低抵抗のリファレンスセルには通常のメモリセルへの書き込み動作のタイミングに同期してリフレッシュイネーブル信号を出力する。このように制御回路100が低抵抗のリファレンスセルに対してのみリフレッシュイネーブル信号を出力することで、本実施形態に係る半導体記憶装置1は、リファレンスセルの論理反転を確実に防ぐことと、消費電力を抑制することとを両立させる

ことが可能となる。

[0047] 図9は、本実施形態に係る半導体記憶装置1の別の機能構成例を示す説明図であり、高抵抗のリファレンスセルと、低抵抗のリファレンスセルとで、リフレッシュ動作を変化させるための、半導体記憶装置1の機能構成例を示したものである。また図10は、図9に示したメモリセル及びリファレンスセルの回路構成例を示す説明図であり、高抵抗のリファレンスセルと、低抵抗のリファレンスセルとで参照電位を生成する場合の例を示したものである。

[0048] 図9及び図10に示したのは、リファレンスセルとして高抵抗のリファレンスセルと、低抵抗のリファレンスセルとをそれぞれ2つ並列に接続した半導体記憶装置1の例である。すなわち、図9及び図10には、センスアンプ50の片側には通常のメモリセルが、他方にはリファレンスセルとして高抵抗（RH）のリファレンスセルと低抵抗（RL）のリファレンスセルとが2つずつ並列に接続された構成が示されている。

[0049] 図11は、制御回路100による、図9及び図10に示した高抵抗のリファレンスセルと低抵抗のリファレンスセルとに対するリフレッシュイネーブル信号の出力例を示す説明図である。このように、高抵抗のリファレンスセルにはリフレッシュイネーブル信号を出力せず、低抵抗のリファレンスセルには通常のメモリセルへの書き込み動作のタイミングに同期してリフレッシュイネーブル信号を出力する。

[0050] なお、読み出しディスタースが起らない高抵抗のリファレンスセルには、ごく小さな確率で、熱的な揺らぎからランダムに起こる論理反転（リテンション不良）が起こりうる。従って制御回路100は、高抵抗のリファレンスセルに対して、定期的にはリフレッシュ動作を行っても良い。図11に示した例では、制御回路100は、低抵抗のリファレンスセルに対して256回リフレッシュイネーブル信号を出力するたびに、高抵抗のリファレンスセルに対してもリフレッシュイネーブル信号を出力している。

[0051] 図12は、制御回路100による、図9及び図10に示した高抵抗のリフ

ァレンスセルと低抵抗のリファレンスセルとに対するリフレッシュイネーブル信号の出力例を示す説明図である。図 1 2 に示した例では、制御回路 1 0 0 は、低抵抗のリファレンスセルに対して 2 5 5 回リフレッシュイネーブル信号を出力すると、次のリフレッシュ動作のタイミングでは、高抵抗のリファレンスセルに対してのみリフレッシュイネーブル信号を出力している。

[0052] 図 1 3 は、制御回路 1 0 0 による、図 9 及び図 1 0 に示した高抵抗のリファレンスセルと低抵抗のリファレンスセルとに対するリフレッシュイネーブル信号の出力例を示す説明図である。図 1 3 に示した例では、制御回路 1 0 0 は、低抵抗のリファレンスセルに対して交互にリフレッシュイネーブル信号を出力し、2 5 6 回目、2 5 7 回目のリフレッシュ動作のタイミングでは、高抵抗のリファレンスセルに対してのみ交互にリフレッシュイネーブル信号を出力している。

[0053] なお、高抵抗のリファレンスセルに対するリフレッシュ動作は主にメモリセル材料の性能が低い場合に必要な動作であり、理想的、もしくはそれに近い性能のメモリセル材料では必要の無い動作である。高抵抗のリファレンスセルに対するリフレッシュイネーブル信号の出力頻度は、メモリセル材料の性能や電流値、制御回路 1 0 0 の規模に応じて適当に選ぶことができ、予め用意されたレジスタに所望の設定をしてもよい。

[0054] 制御回路 1 0 0 は、リフレッシュイネーブル信号 R R E F の出力にリード回数を考慮しても良い。読み出しディスタurbによる不良発生確率は、リードコマンドの回数が増えるに従って上昇する。従って、予め許容できるリードコマンドの回数を設定しておき、制御回路 1 0 0 は、リードコマンドの発行回数がその設定値に達した後に、ライトコマンドが発行されたタイミングで、低抵抗のリファレンスセルに対するリフレッシュ動作を行っても良い。

[0055] 図 1 4 は、制御回路 1 0 0 による、図 6 及び図 7 に示した高抵抗のリファレンスセル及び低抵抗のリファレンスセルに対するリフレッシュイネーブル信号の出力例を示す説明図である。図 1 4 に示した例では、リードコマンドの発行回数が 3 回に達すると、ライトコマンドが発行されたタイミングで、

低抵抗のリファレンスセルにリフレッシュイネーブル信号 R R E F を出力している。

[0056] 図 1 5 は、半導体記憶装置 1 の動作をタイミングチャートで示す説明図であり、図 1 4 のように、リードコマンドの発行回数が 3 回に達すると、ライトコマンドが発行されたタイミングで、低抵抗のリファレンスセルにリフレッシュイネーブル信号 R R E F を出力する場合の動作例である。ライトコマンドが発行された低抵抗のリファレンスセルにリフレッシュイネーブル信号 R R E F を出力した制御回路 1 0 0 は、その後、リードコマンドの発行回数が 3 回に達すると、ライトコマンドが発行されたタイミングで、再び低抵抗のリファレンスセルにリフレッシュイネーブル信号 R R E F を出力している。なお、図 1 5 に示したのは、

[0057] 制御回路 1 0 0 は、リフレッシュイネーブル信号 R R E F の出力に、温度センサ 1 2 0 からの信号を考慮しても良い。例えば、温度センサ 1 2 0 が低温状態と高温状態の 2 つの状態を示す信号を出力出来る場合、制御回路 1 0 0 は、温度センサ 1 2 0 が低温状態を示す信号を出力している場合と、高温状態を示す信号を出力している場合とで、低抵抗のリファレンスセルにリフレッシュイネーブル信号 R R E F を出力する間隔を変化させても良い。S T T - M R A M の場合、温度が高くなると論理反転する確率が高くなるため、制御回路 1 0 0 は、リフレッシュイネーブル信号 R R E F の出力を高頻度で行うことが望ましい。例えば予め設定された温度を超えた場合に、制御回路 1 0 0 は、リフレッシュイネーブル信号 R R E F の出力頻度を 2 倍にするという制御も可能である。

[0058] 図 1 6 は、制御回路 1 0 0 による、図 6 及び図 7 に示した高抵抗のリファレンスセルと低抵抗のリファレンスセルとに対するリフレッシュイネーブル信号の出力例を示す説明図である。図 1 6 に示した例では、低温状態であればライトコマンドの発行回数が 2 5 6 回に達すると、ライトコマンドが発行されたタイミングで、低抵抗のリファレンスセルにリフレッシュイネーブル信号 R R E F を出力して、高温状態であればライトコマンドの発行回数が 1

28回に達すると、ライトコマンドが発行されたタイミングで、低抵抗のリファレンスセルにリフレッシュイネーブル信号RREFを出力している。

[0059] 図17は、半導体記憶装置1の動作をタイミングチャートで示す説明図であり、図16のように、低温状態と高温状態とでリフレッシュイネーブル信号RREFの出力頻度を変化させる場合の例である。このように制御回路100は、低温状態であればライトコマンドの発行回数が256回に達すると、高温状態であればライトコマンドの発行回数が128回に達すると、ライトコマンドが発行されたタイミングで、低抵抗のリファレンスセルにリフレッシュイネーブル信号RREFを出力している。

[0060] 図18は、本開示の実施の形態に係る半導体記憶装置1の動作例を示す流れ図である。以下、図18を用いて本開示の実施の形態に係る半導体記憶装置1の動作例を説明する。

[0061] 半導体記憶装置1は、所定の条件が満たされると、所定のリファレンスセル、主に読み出しディスタurbが生じうるセルにのみリフレッシュイネーブル信号を制御回路100から発行する（ステップS101）。所定の条件とは、例えば、ライトコマンドの発行回数が所定の回数に達したこと等である。

[0062] 所定のリファレンスセル、主に読み出しディスタurbが生じうるセルにのみリフレッシュイネーブル信号を制御回路100から発行すると、続いて半導体記憶装置1は、リフレッシュイネーブル信号を受けたリファレンスセルに対するリフレッシュを実行する（ステップS102）。

[0063] 図19は、本開示の実施の形態に係る半導体記憶装置1の動作例を示す流れ図である。以下、図19を用いて本開示の実施の形態に係る半導体記憶装置1の動作例を説明する。

[0064] 半導体記憶装置1は、コマンドカウンタ110がコマンド（ライトコマンドまたはリードコマンド）の発行を受けて、リフレッシュ動作の頻度に関するコマンドの回数をカウントする（ステップS111）。そして半導体記憶装置1は、温度センサ120等が出力する信号を加味して、コマンドカウ

ンタ 110 がカウントしたカウント値が所定の値に達したかどうかを判断する（ステップ S 112）。ステップ S 112 の判断は制御回路 100 が行い
うる。

[0065] ステップ S 112 の判断の結果、カウント値が所定の値に達していなければ（ステップ S 112、No）、半導体記憶装置 1 は、ステップ S 111 の
処理に戻る。一方、カウント値が所定の値に達していれば（ステップ S 11
2、Yes）、所定のリファレンスセル、主に読み出しディスタ urb が生じ
うるセルにのみリフレッシュイネーブル信号を制御回路 100 から発行する
（ステップ S 113）。

[0066] 読み出しディスタ urb が生じうるセルにのみリフレッシュイネーブル信号
を制御回路 100 から発行すると、続いて半導体記憶装置 1 は、リフレッ
シュイネーブル信号を受けたリファレンスセルに対するリフレッシュを実行す
る（ステップ S 114）。リファレンスセルに対するリフレッシュ動作が完
了すると、続いて半導体記憶装置 1 は、コマンドカウンタ 110 がカウン
トしたカウント値をリセットして（ステップ S 115）、再びコマンドの回数
のカウントを開始する。

[0067] 本開示の実施の形態に係る半導体記憶装置 1 は、上述したような一連の動
作を実行することで、リファレンスセルの論理反転を確実に防ぐことと、消
費電力を抑制することとを両立させることが可能となる。

[0068] <2. 応用例>

本開示の実施の形態に係る半導体記憶装置 1 は、1 つのチップ上に全ての
構成が形成されても良く、一部の構成が別のチップに形成されても良い、図
20 は、本開示の実施の形態に係る半導体記憶装置 1 の構成例を示す説明図
である。例えば半導体記憶装置 1 は、メモリチップ 2 と処理チップ 3 とから
構成されても良い。処理チップ 3 には、図 20 に示したように、コマンドカ
ウンタ 110 及び温度センサ 120 が形成され、メモリチップ 2 にはその他
の構成が形成されても良い。そしてメモリチップ 2 及び処理チップ 3 は、シ
ステムインパッケージもしくはシステムオンチップに搭載されてもよい。

[0069] そして、本開示の実施の形態に係る半導体記憶装置１は、様々な電子デバイスに搭載されうる。本開示の実施の形態に係る半導体記憶装置１が搭載されうる電子デバイスとしては、スマートフォン、タブレット型端末、デジタルスチルカメラ、デジタルビデオカメラ、音楽プレイヤー、セットトップボックス、コンピュータ、テレビ、時計、アクティブスピーカー、ヘッドセット、ゲーム機、ラジオ、計測器、電子タグ、ビーコンなどがある。

[0070] 図２１は、本開示の実施の形態に係る半導体記憶装置１が搭載されうる電子デバイス１０００の機能構成例を示す説明図である。図２１に示した電子デバイス１０００は、システムインパッケージ１１００、アンテナ１１１０、スピーカ１１２０、マイク１１３０、表示装置１１４０、入力装置１１５０、センサ１１６０、電源１１７０を含む。またシステムインパッケージ１１００は、プロセッサ１２００、無線通信インターフェース１２１０、オーディオ回路１２２０を含む。

[0071] アンテナ１１１０は、移動体通信、無線ＬＡＮまたは近距離通信を行うためのアンテナであり、無線通信インターフェース１２１０と接続されている。スピーカ１１２０は、音を出力するものであり、オーディオ回路１２２０と接続されている。マイク１１３０は、電子デバイス１０００の周囲の音を集音するものであり、オーディオ回路１２２０と接続されている。

[0072] 表示装置１１４０は、例えば液晶ディスプレイ、有機ＥＬディスプレイ、ＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）インジケータ等で構成され、プロセッサ１２００と接続されている。入力装置１１５０は、例えばキーボード、ボタン、タッチパネルなどで構成され、プロセッサ１２００と接続されている。

[0073] センサ１１６０は、光学センサ、位置センサ、加速度センサ、生体センサ、磁気センサ、機械量センサ、熱センサ、電気センサまたは化学センサ等の機能を有する。センサ１１６０には、本開示の実施の形態に係る抵抗変化型の半導体記憶装置１が接続されてもよい。電源１１７０は、電子デバイス１０００へ電源を供給するものであり、例えばバッテリーやＡＣアダプタなどが

ら供給される電源である。

[0074] プロセッサ 1200 は、電子デバイス 1000 の動作を制御するための電子回路であり、システムインパッケージ 1100 の中に、またはシステムインパッケージ 1100 の外に、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 が接続されてもよい。

[0075] 無線通信インターフェース 1210 は、移動体通信、無線 LAN または近距離通信の機能を有する。無線通信インターフェース 1210 には、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 が接続されてもよい。オーディオ回路 1220 は、スピーカ 1120 およびマイク 1130 を制御する機能を持ち、オーディオ回路 1220 には、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 が接続されてもよい。

[0076] このような電子デバイス 1000 は、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 を搭載することで、消費電力を抑えながら、データ読み出し時の信頼性を向上させることが可能となる。

[0077] <3. まとめ>

以上説明したように本開示の実施の形態によれば、リファレンスセルの論理反転を確実に防ぐことと、消費電力を抑制することとを両立させることが可能な半導体記憶装置 1、及び半導体記憶装置 1 の動作を制御する制御回路 100 が提供される。

[0078] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0079] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他

の効果を奏しうる。

[0080] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2の抵抗状態に設定された、前記第1の参照素子と異なる第2の参照素子と、に対する書き込み処理を個別に実行するよう制御する、制御回路。

(2)

前記第1の参照素子と前記第2の参照素子との内、読み出しディスタurbが起きるものに対する書き込み処理の頻度を、読み出しディスタurbが起きないものに対する書き込み処理の頻度と比べて多くする、前記(1)に記載の制御回路。

(3)

読み出しディスタurbが起きるものに対する書き込み処理の回数が所定値に達するごとに読み出しディスタurbが起きないものに対する書き込み処理も実行する、前記(2)に記載の制御回路。

(4)

読み出しディスタurbが起きるものに対する書き込み処理の回数が所定値に達するごとに読み出しディスタurbが起きないものに対する書き込み処理だけを実行する、前記(2)に記載の制御回路。

(5)

前記第1の参照素子及び前記第2の参照素子の周囲の温度に応じて前記所定値を変化させる、前記(3)または(4)に記載の制御回路。

(6)

前記温度が所定の温度以上の場合と該所定の温度未満の場合とで、前記所定値を変化させる、前記(5)に記載の制御回路。

(7)

メモリ素子と、

前記メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第１の抵抗状態に設定された第１の参照素子と、

前記参照電位を生成する際の、前記第１の抵抗状態とは異なる第２の抵抗状態に設定された、前記第１の参照素子と異なる第２の参照素子と、

前記第１の参照素子と前記第２の参照素子とに対する書き込み処理を個別に実行する制御回路と、

を備える、半導体記憶装置。

(８)

前記制御回路は、前記第１の参照素子と前記第２の参照素子との内、読み出しディスタurbが起きるものに対する書き込み処理の頻度を、読み出しディスタurbが起きないものに対する書き込み処理の頻度と比べて多くする、前記(７)に記載の半導体記憶装置。

(９)

前記制御回路は、読み出しディスタurbが起きるものに対する書き込み処理の回数が所定値に達するごとに読み出しディスタurbが起きないものに対する書き込み処理も実行する、前記(８)に記載の半導体記憶装置。

(１０)

前記制御回路は、読み出しディスタurbが起きるものに対する書き込み処理の回数が所定値に達するごとに読み出しディスタurbが起きないものに対する書き込み処理だけを実行する、前記(８)に記載の半導体記憶装置。

(１１)

前記制御回路は、前記第１の参照素子及び前記第２の参照素子の周囲の温度に応じて前記所定値を変化させる、前記(９)または(１０)に記載の半導体記憶装置。

(１２)

前記制御回路は、前記温度が所定の温度以上の場合と該所定の温度未満の場合とで、前記所定値を変化させる、前記(１１)に記載の半導体記憶装置

。

(13)

前記メモリ素子は抵抗変化型のメモリ素子である、前記(7)～(12)のいずれかに記載の半導体記憶装置。

(14)

前記メモリ素子は磁気抵抗変化型のメモリ素子である、前記(13)に記載の半導体記憶装置。

(15)

請求項1に記載の半導体記憶装置を少なくとも1つ備える、情報処理装置

。

(16)

メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2の抵抗状態に設定された、前記第1の参照素子と異なる第2の参照素子と、に対する書き込み処理を個別に実行する、制御方法。

符号の説明

[0081] 1 半導体記憶装置

100 制御回路

請求の範囲

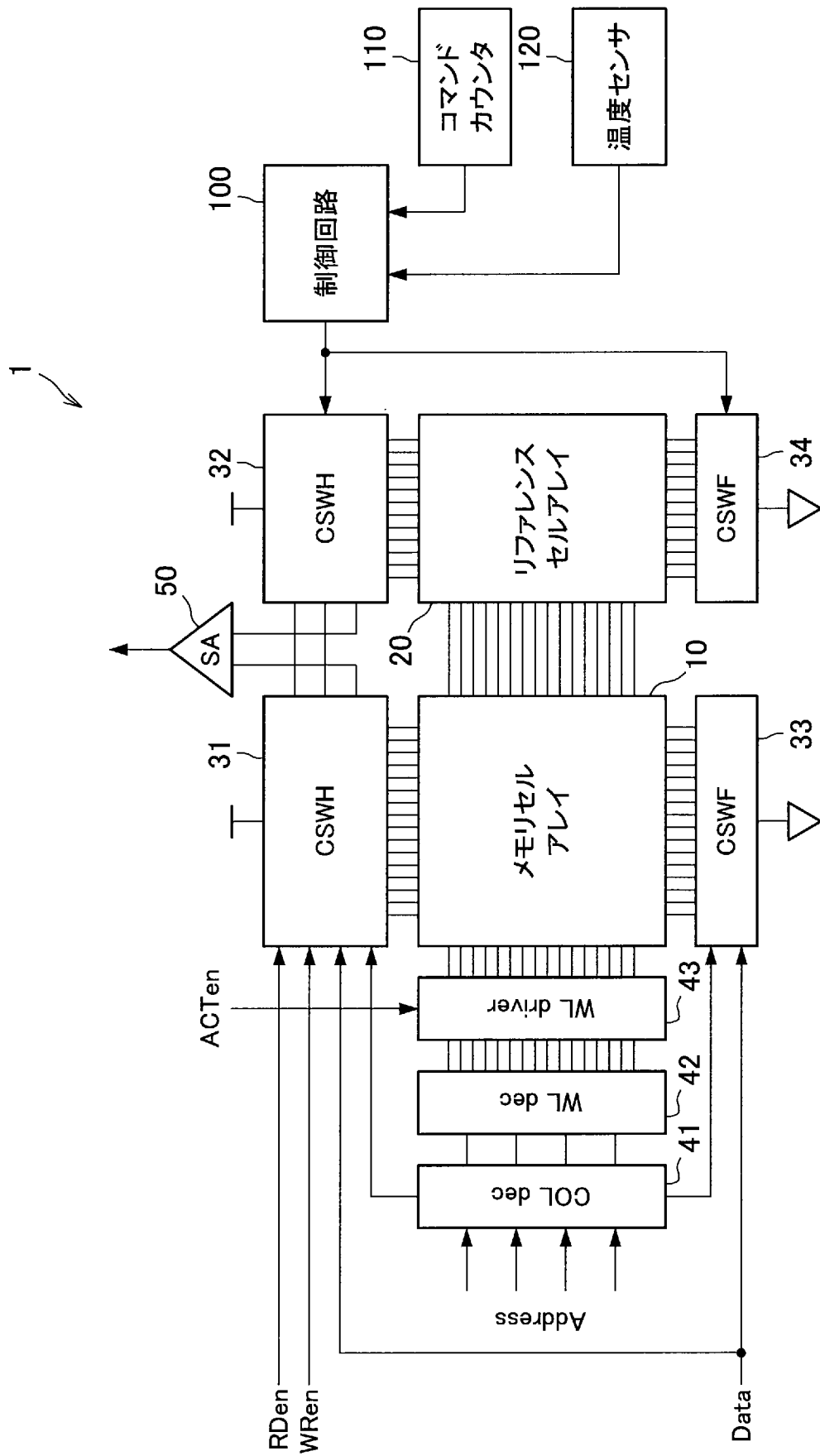
- [請求項1] メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2の抵抗状態に設定された、前記第1の参照素子と異なる第2の参照素子と、に対する書き込み処理を個別に実行するよう制御する、制御回路。
- [請求項2] 前記第1の参照素子と前記第2の参照素子との内、読み出しディスタートが起きるものに対する書き込み処理の頻度を、読み出しディスタートが起きないものに対する書き込み処理の頻度と比べて多くする、請求項1に記載の制御回路。
- [請求項3] 読み出しディスタートが起きるものに対する書き込み処理の回数が所定値に達するごとに読み出しディスタートが起きないものに対する書き込み処理も実行する、請求項2に記載の制御回路。
- [請求項4] 読み出しディスタートが起きるものに対する書き込み処理の回数が所定値に達するごとに読み出しディスタートが起きないものに対する書き込み処理だけを実行する、請求項2に記載の制御回路。
- [請求項5] 前記第1の参照素子及び前記第2の参照素子の周囲の温度に応じて前記所定値を変化させる、請求項3に記載の制御回路。
- [請求項6] 前記温度が所定の温度以上の場合と該所定の温度未満の場合とで、前記所定値を変化させる、請求項5に記載の制御回路。
- [請求項7] メモリ素子と、
 前記メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、
 前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2の抵抗状態に設定された、前記第1の参照素子と異なる第2の参照素子と、
 前記第1の参照素子と前記第2の参照素子とに対する書き込み処理を個別に実行する制御回路と、

を備える、半導体記憶装置。

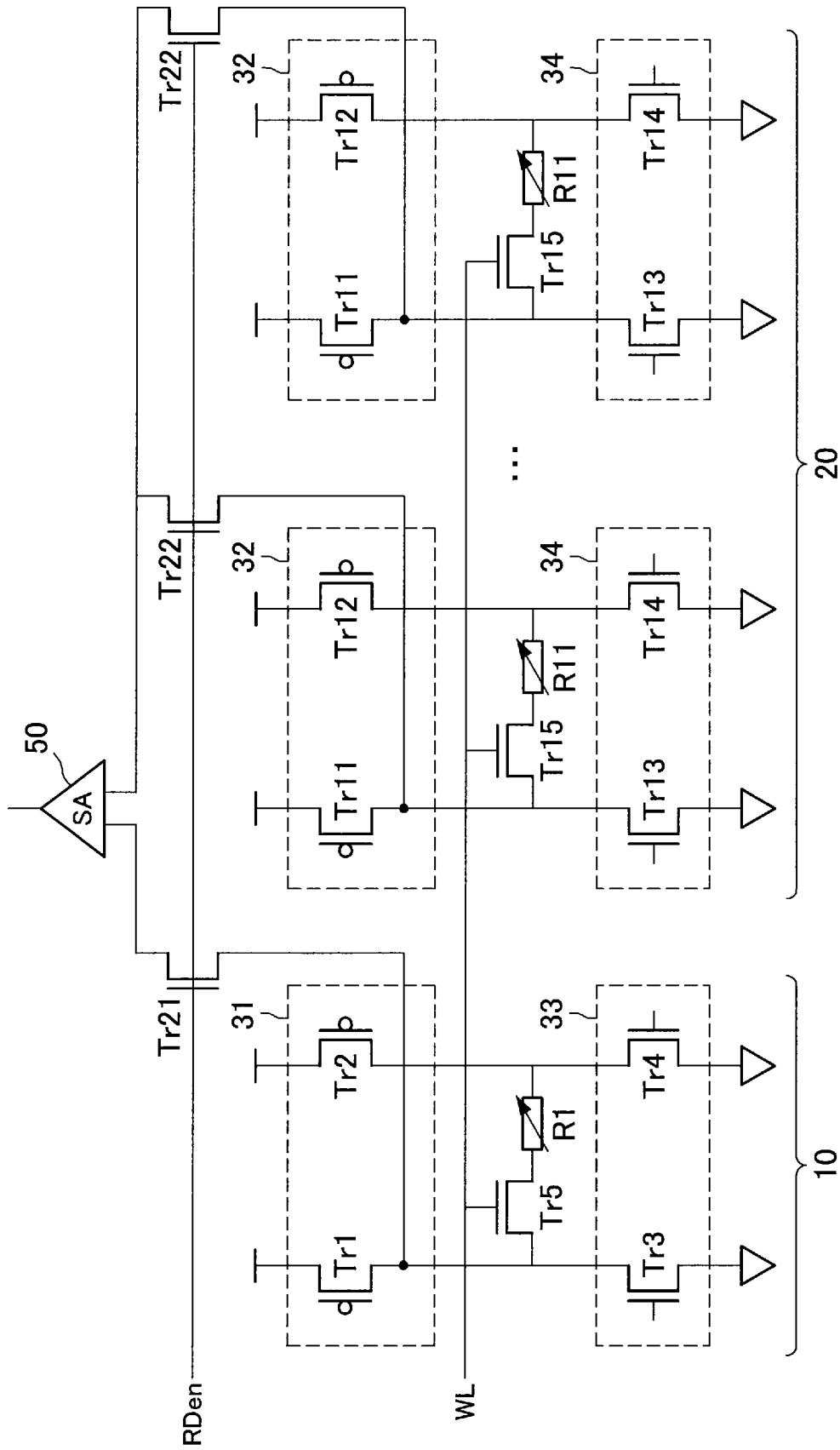
- [請求項8] 前記制御回路は、前記第1の参照素子と前記第2の参照素子との内、読み出しディスタースが起きるものに対する書き込み処理の頻度を、読み出しディスタースが起きないものに対する書き込み処理の頻度と比べて多くする、請求項7に記載の半導体記憶装置。
- [請求項9] 前記制御回路は、読み出しディスタースが起きるものに対する書き込み処理の回数が所定値に達するごとに読み出しディスタースが起きないものに対する書き込み処理も実行する、請求項8に記載の半導体記憶装置。
- [請求項10] 前記制御回路は、読み出しディスタースが起きるものに対する書き込み処理の回数が所定値に達するごとに読み出しディスタースが起きないものに対する書き込み処理だけを実行する、請求項8に記載の半導体記憶装置。
- [請求項11] 前記制御回路は、前記第1の参照素子及び前記第2の参照素子の周囲の温度に応じて前記所定値を変化させる、請求項9に記載の半導体記憶装置。
- [請求項12] 前記制御回路は、前記温度が所定の温度以上の場合と該所定の温度未満の場合とで、前記所定値を変化させる、請求項11に記載の半導体記憶装置。
- [請求項13] 前記メモリ素子は抵抗変化型のメモリ素子である、請求項7に記載の半導体記憶装置。
- [請求項14] 前記メモリ素子は磁気抵抗変化型のメモリ素子である、請求項8に記載の半導体記憶装置。
- [請求項15] 請求項7に記載の半導体記憶装置を少なくとも1つ備える、情報処理装置。
- [請求項16] プロセッサが、メモリ素子からのデータの読み出しに用いられる参照電位を生成する際の第1の抵抗状態に設定された第1の参照素子と、前記参照電位を生成する際の、前記第1の抵抗状態とは異なる第2

の抵抗状態に設定された、前記第 1 の参照素子と異なる第 2 の参照素子と、に対する書き込み処理を個別に実行する、制御方法。

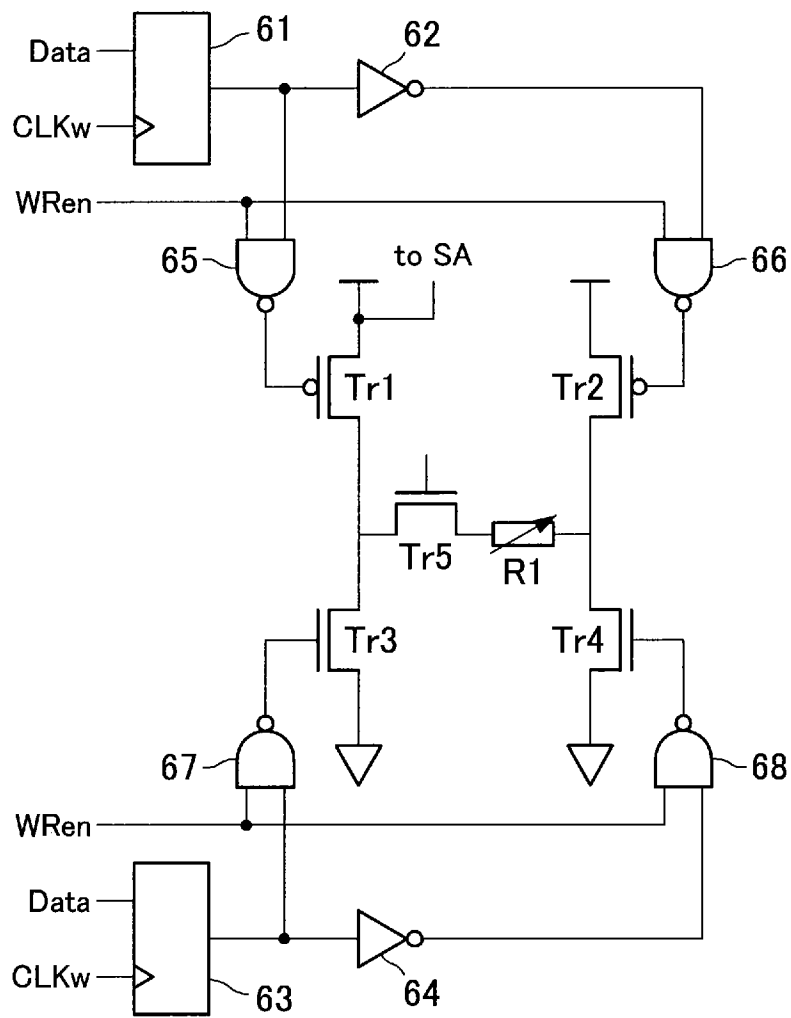
[図1]



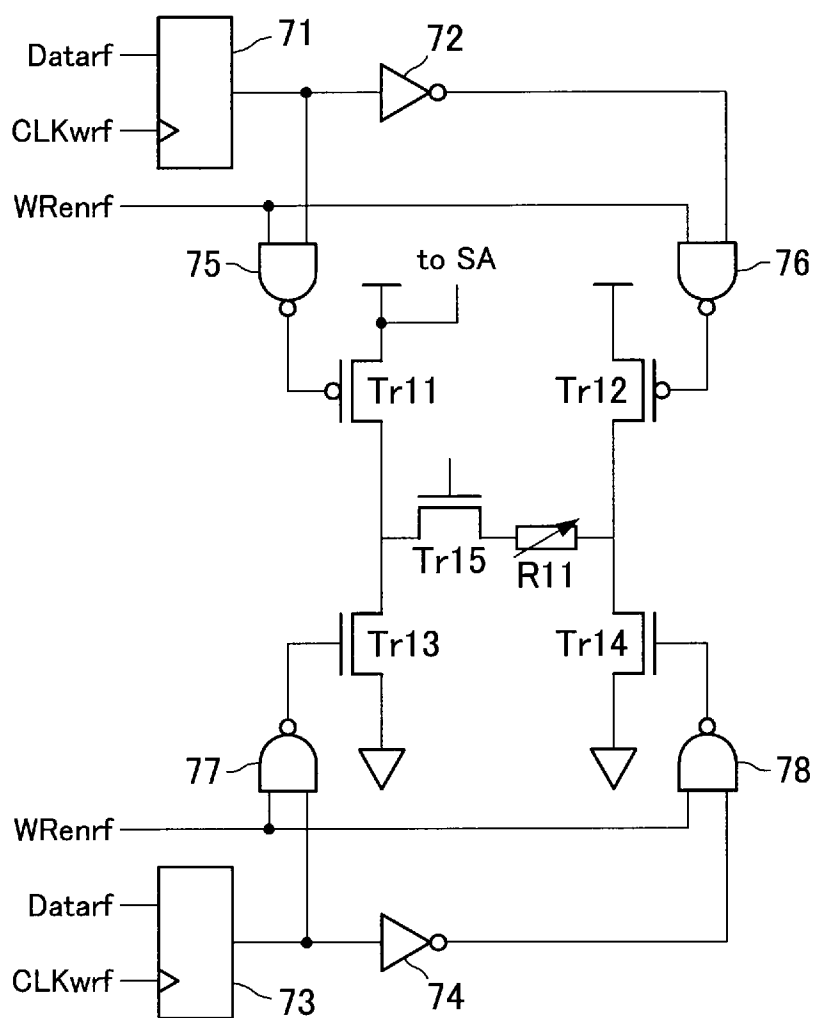
[図2]



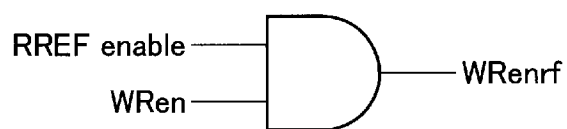
[図3]



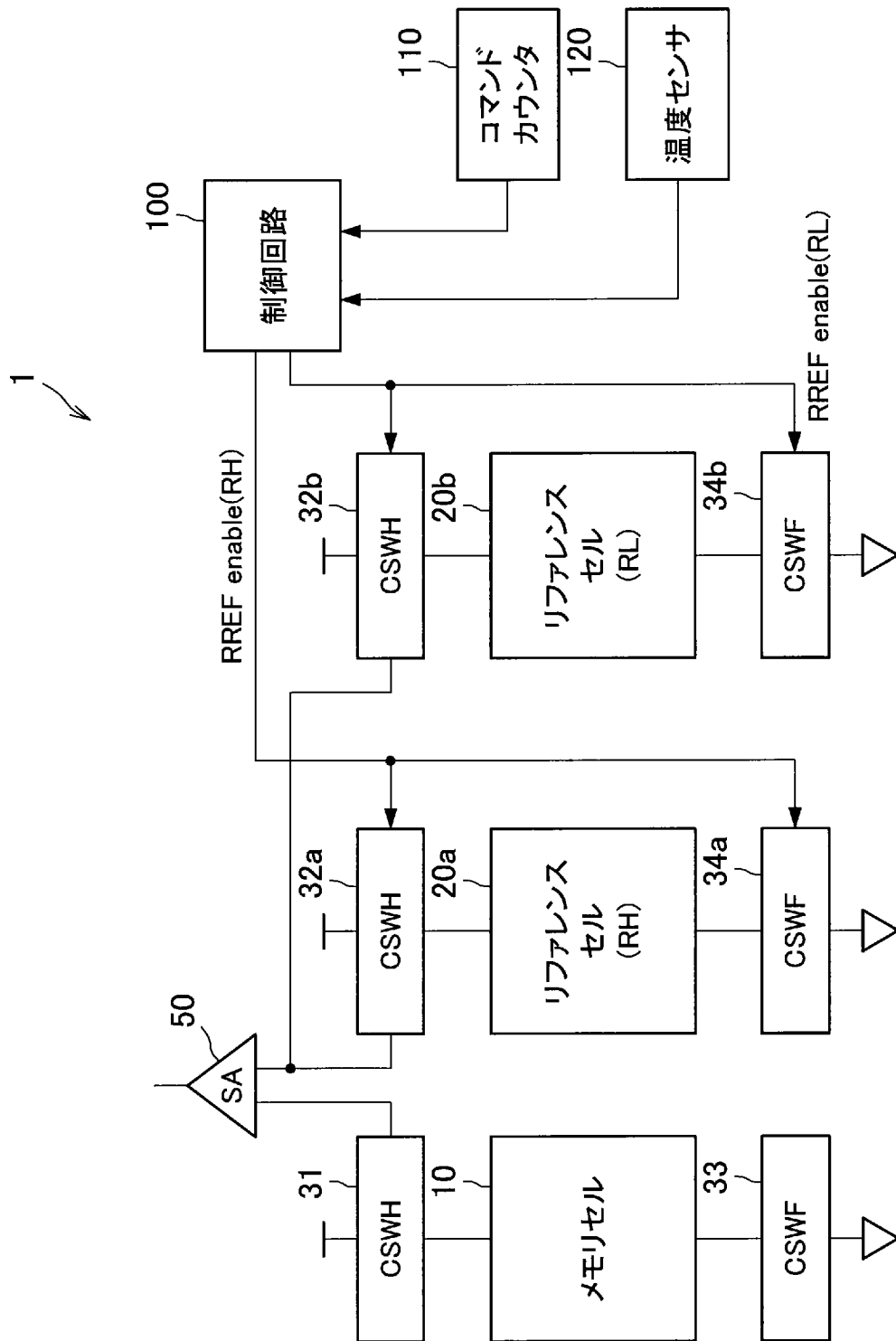
[図4]



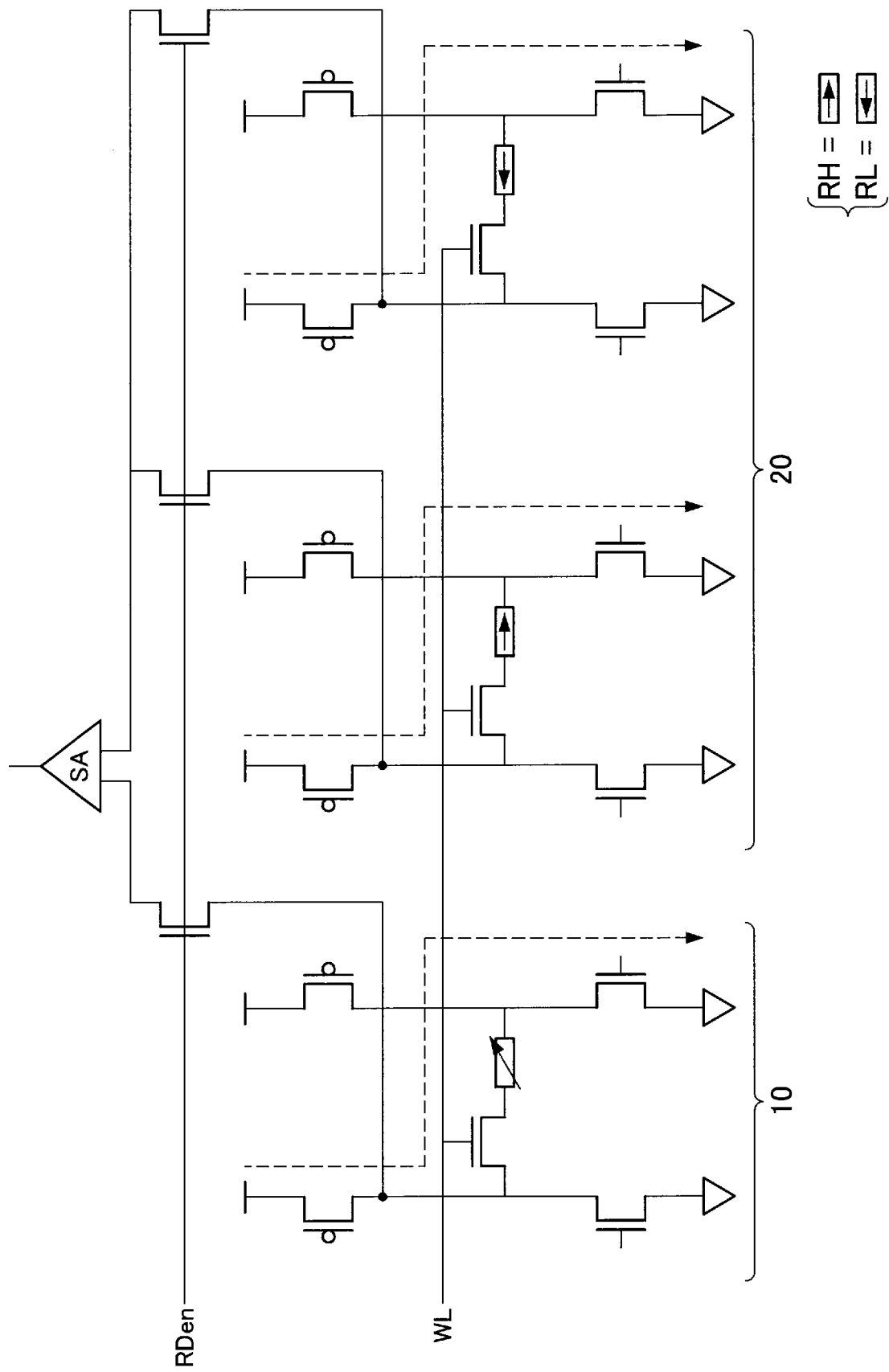
[図5]



[図6]



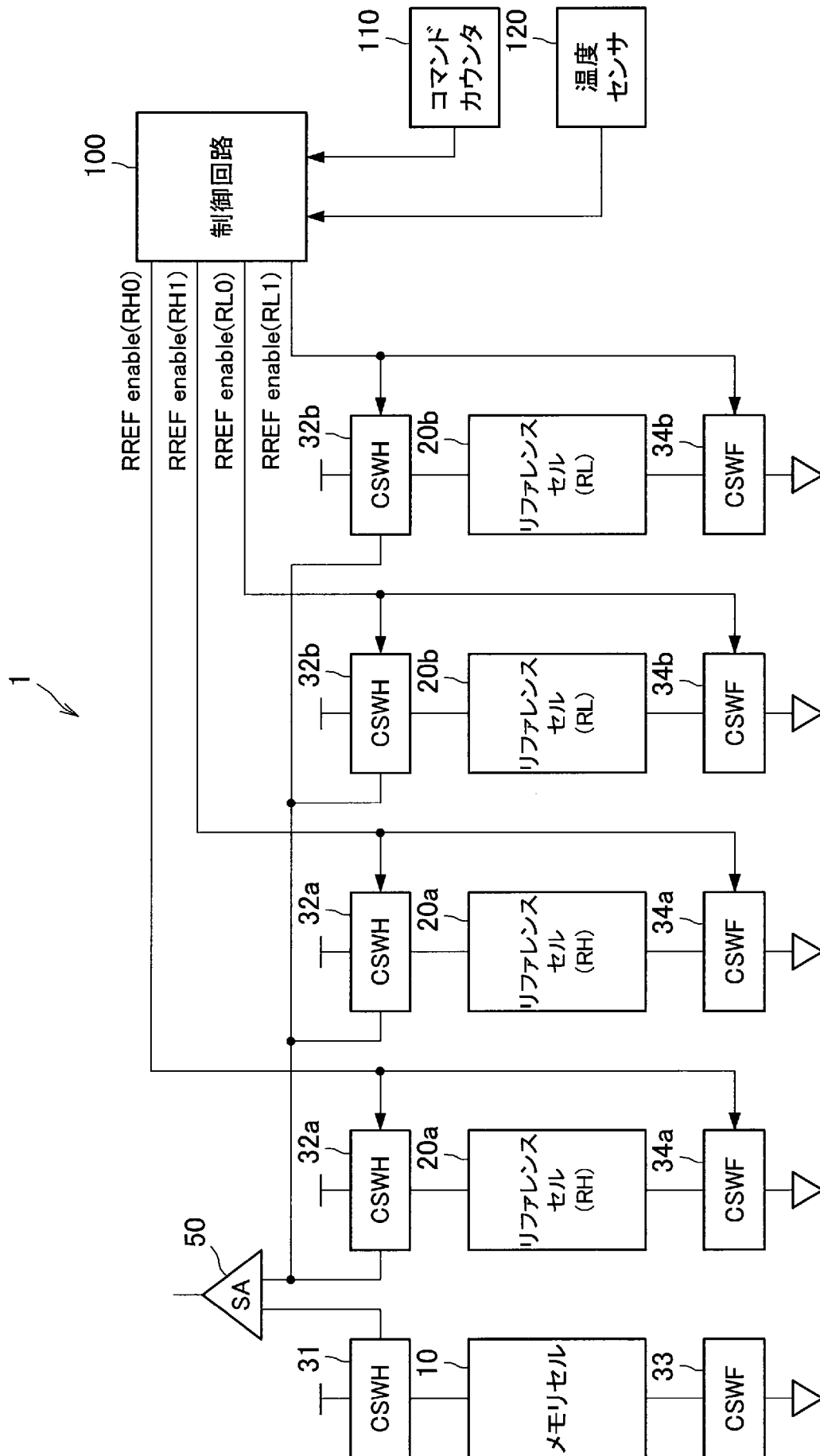
[図7]



[図8]

WR回数	RH	RL
1回目	—	RREF
...	—	RREF
256回目	—	RREF
...	—	RREF

【図9】



[図11]

WR回数	RH0	RH1	RL0	RL1
1回目	—	—	RREF	RREF
...	—	—	RREF	RREF
256回目	RREF	RREF	RREF	RREF
...	—	—	RREF	RREF

[図12]

WR回数	RH0	RH1	RL0	RL1
1回目	—	—	RREF	RREF
...	—	—	RREF	RREF
256回目	RREF	RREF	—	—
...	—	—	RREF	RREF

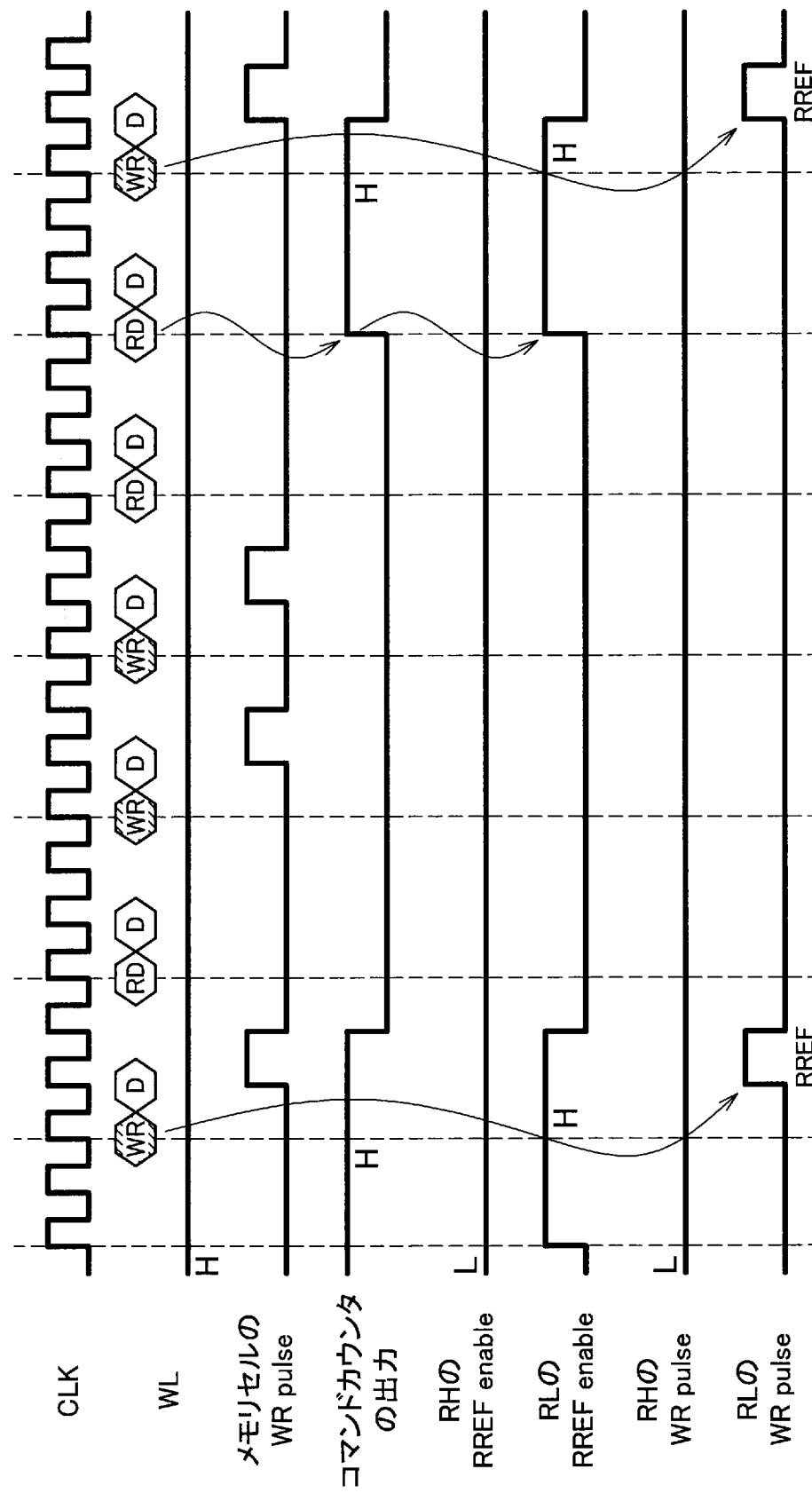
[図13]

WR回数	RH0	RH1	RL0	RL1
1回目	—	—	RREF	—
2回目	—	—	—	RREF
...	—	—	交互にRREF	
256回目	RREF	—	—	—
257回目	—	RREF	—	—
...	—	—	交互にRREF	

[図14]

WR回数	RH	RL
1回目	—	RREF
...	—	—
4回目	—	RREF
...	—	—

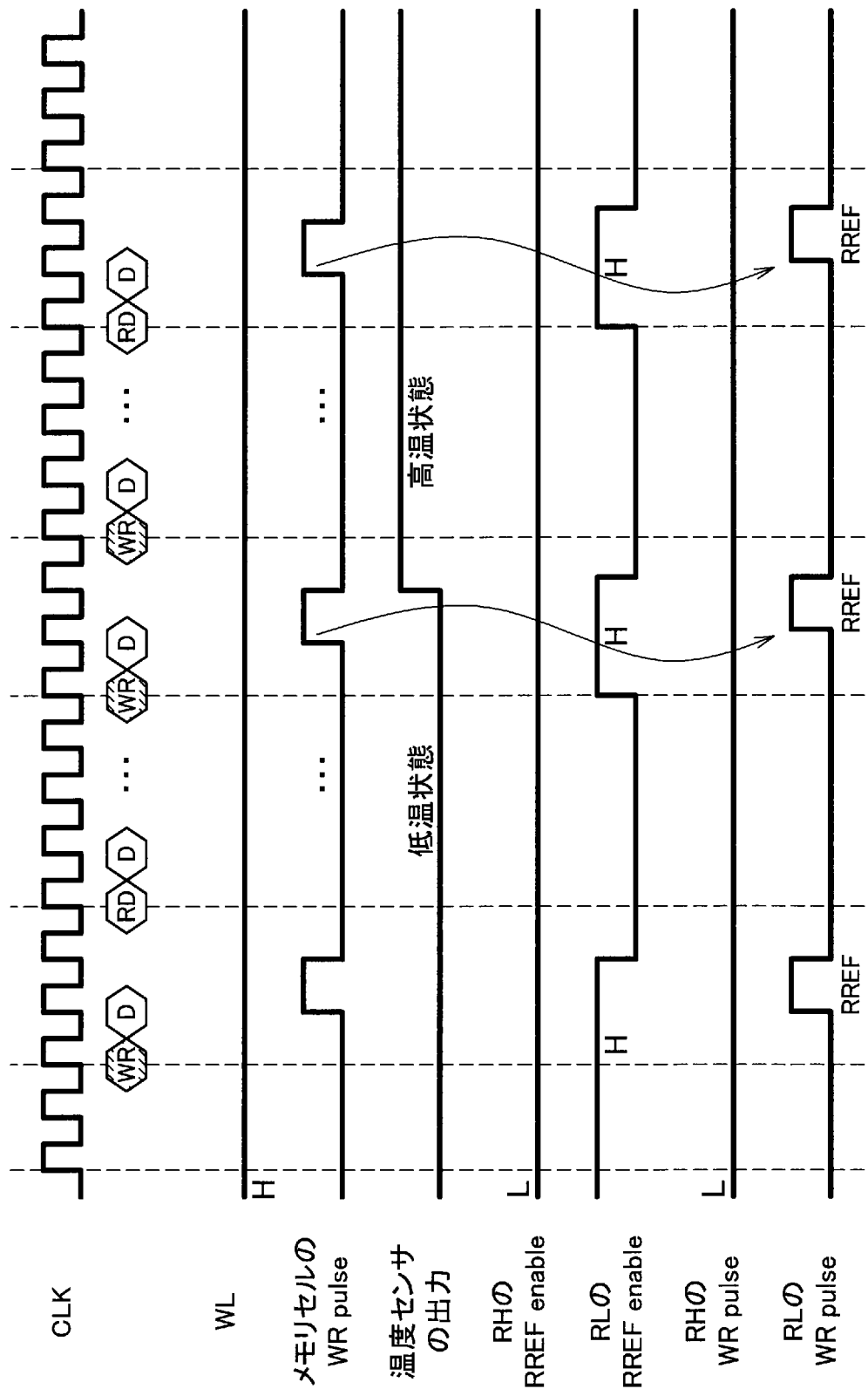
[図15]



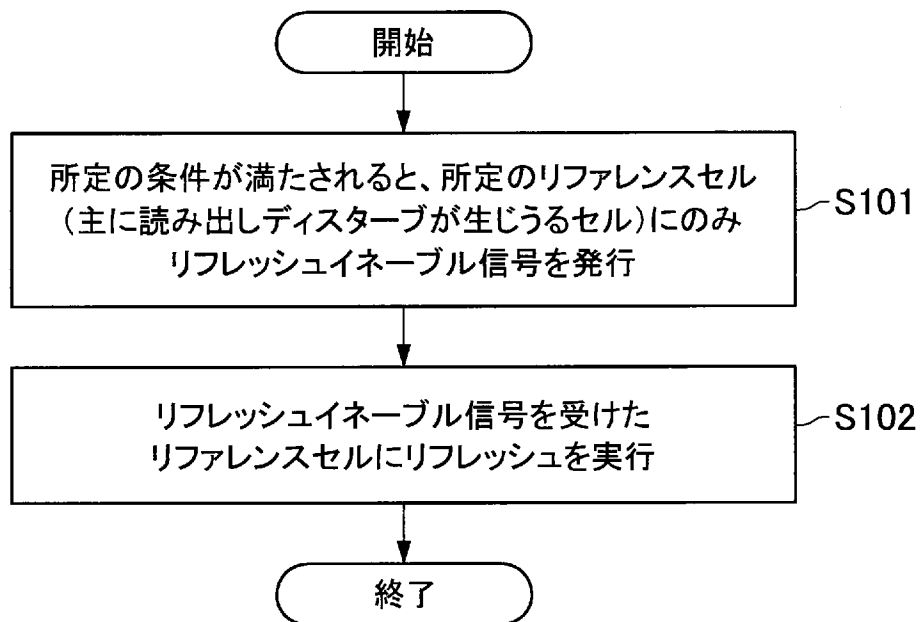
[図16]

WR回数	RH	RL	
1回目	—	RREF	低温状態
...	—	—	
256回目	—	RREF	
...	—	—	高温状態
384回目	—	RREF	
...	—	—	

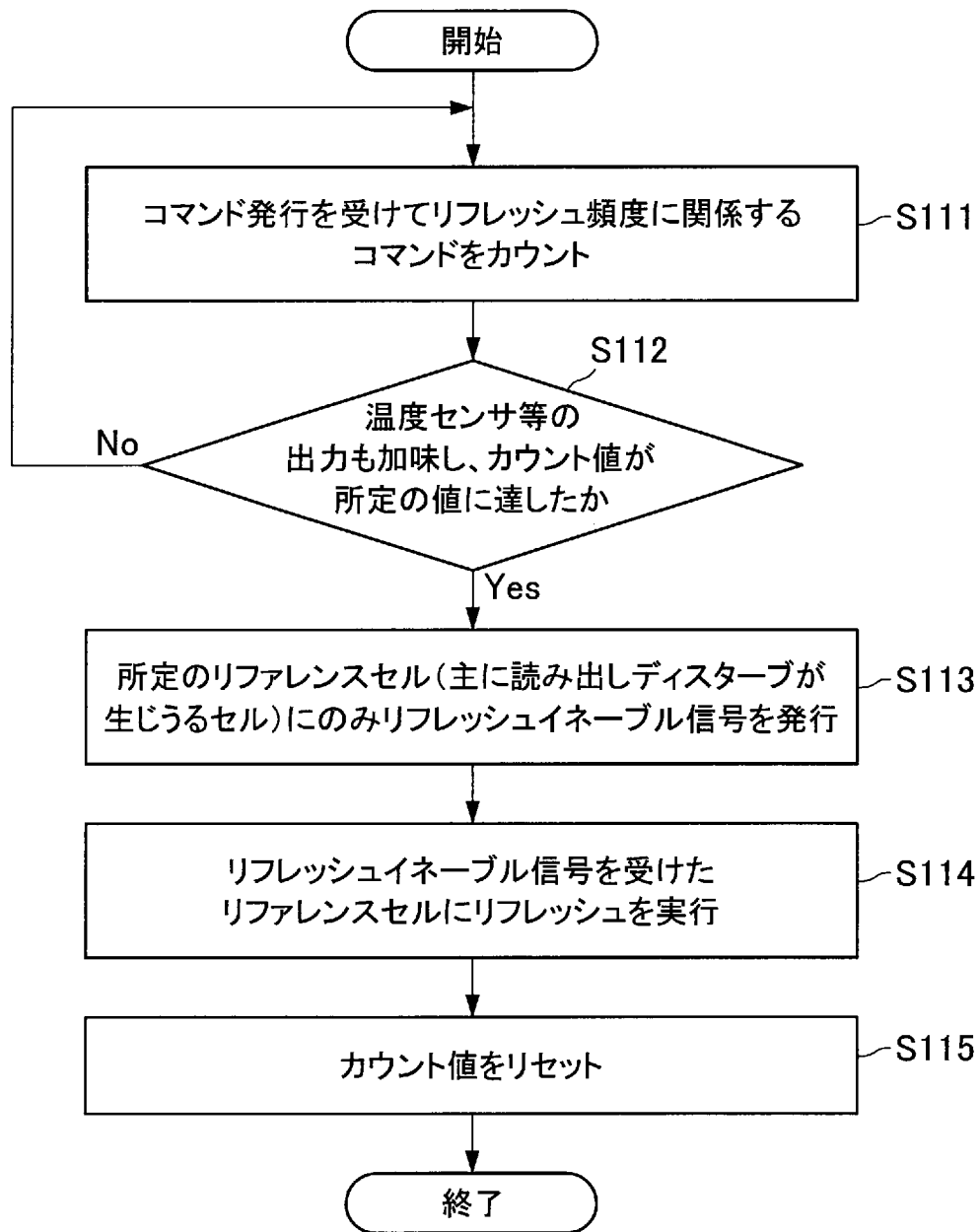
[図17]



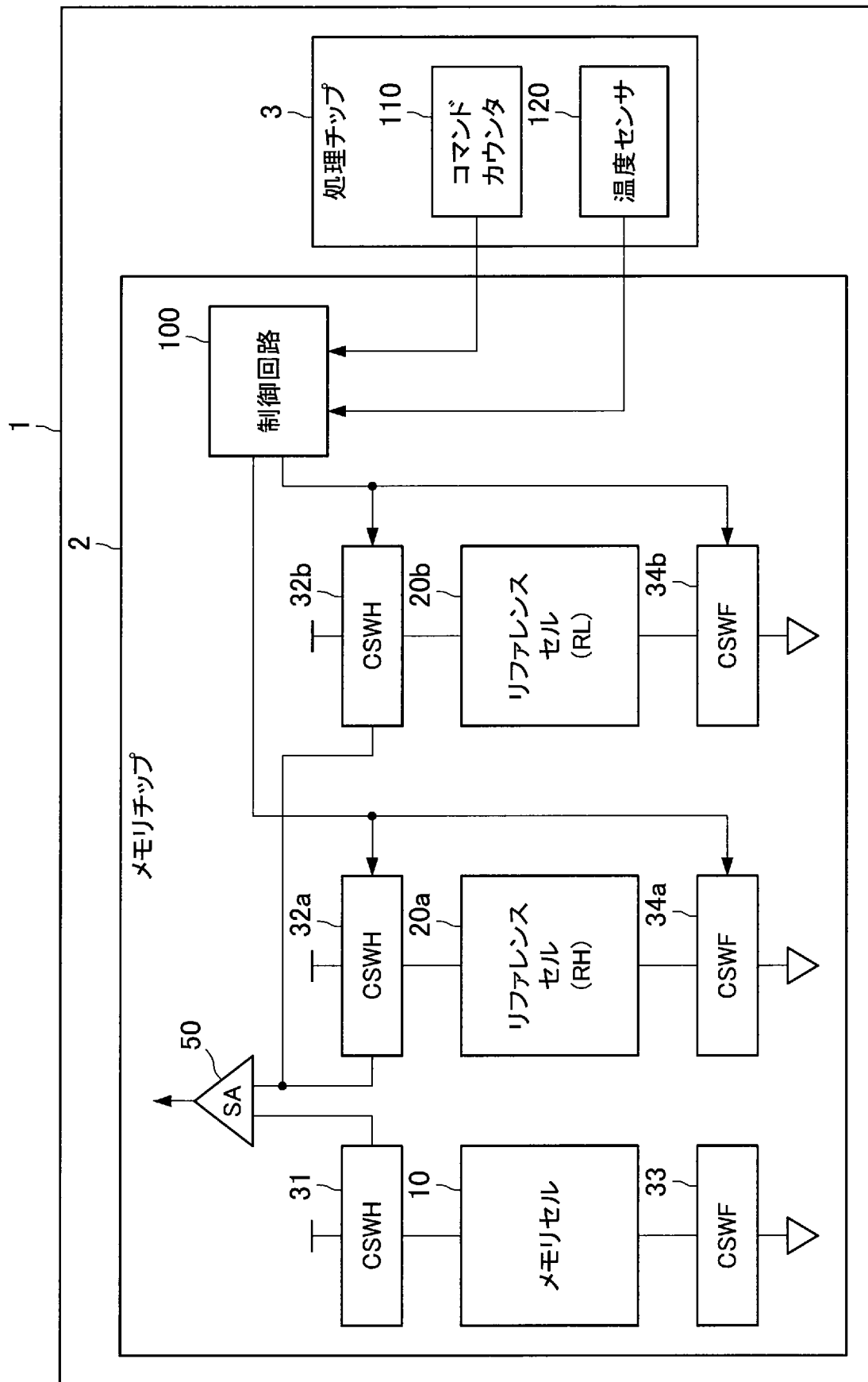
[図18]



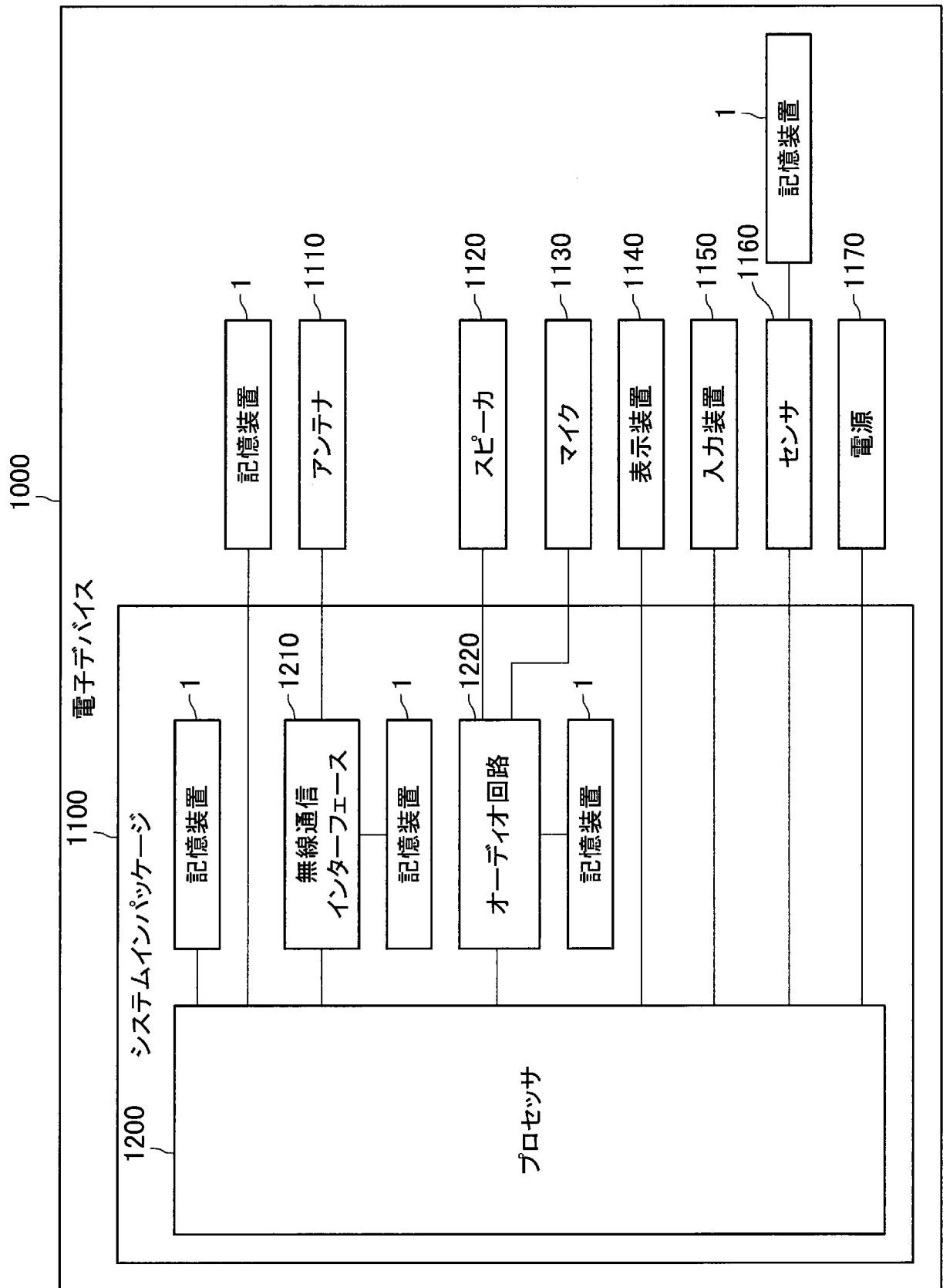
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005047

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C11/16 (2006.01) i, G11C7/04 (2006.01) i, G11C13/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C11/16, G11C7/04, G11C13/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-140576 A (SPANSION LLC) 25 June 2009, paragraphs [0030]-[0058], fig. 6-10	1-2, 7-8, 13-16
A	& WO 2009/073221 A1, page 6, line 32 to page 13, line 8, fig. 6-10 & TW 200941482 A	3-6, 9-12
A	JP 2017-21877 A (SONY CORPORATION) 26 January 2017, entire text, all drawings & WO 2017/010147 A1	1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13.03.2018

Date of mailing of the international search report
27.03.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C11/16(2006.01)i, G11C7/04(2006.01)i, G11C13/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C11/16, G11C7/04, G11C13/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-140576 A（スパンション エルエルシー）2009.06.25, 段落[0030] - [0058]、第6-10図 & WO 2009/073221 A1, 第6頁第32行-第13頁第8行, 第6-10図 & TW 200941482 A	1-2, 7-8, 13-16
A		3-6, 9-12
A	JP 2017-21877 A（ソニー株式会社）2017.01.26, 全文全図 & WO 2017/010147 A1	1-16

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

13.03.2018

国際調査報告の発送日

27.03.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

塚田 肇

5N

3652

電話番号 03-3581-1101 内線 3586