

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公开说明书

[21] 申请号 03826962.7

[51] Int. Cl.

H01L 21/46 (2006.01)

H01L 21/301 (2006.01)

H01L 21/78 (2006.01)

H01L 21/762 (2006.01)

[43] 公开日 2006年8月16日

[11] 公开号 CN 1820359A

[22] 申请日 2003.6.24 [21] 申请号 03826962.7

[86] 国际申请 PCT/US2003/019773 2003.6.24

[87] 国际公布 WO2005/010975 英 2005.2.3

[85] 进入国家阶段日期 2006.2.23

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 迈克尔·C·盖蒂斯

[74] 专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 王永刚

权利要求书 2 页 说明书 8 页 附图 5 页

[54] 发明名称

具有凹陷的对准标记的平面磁隧道结衬底

[57] 摘要

一种形成用于半导体器件的对准标记结构(148)的方法,该方法包括:在半导体器件衬底的选定层面处形成对准凹陷(130)。在所述选定的衬底层面上方以及在所述对准凹陷(130)内形成第一金属层(140),其中所述对准凹陷(130)被形成为使得所述第一金属层(140)仅部分地填充所述对准凹陷(130)的深度。在所述第一金属(140)上方形成第二金属层(142),使得所述对准凹陷(130)被完全填充。对所述第二金属层(142)和所述第一金属层(140)平面化,向下达到所述选定的衬底层面,从而在所述对准凹陷内产生所述第二层材料的牺牲柱塞(144)。按照基本上不使所述选定的衬底层面处经平面化后的表面变粗糙的方式去除所述牺牲柱塞(144)。

1. 一种形成用于半导体器件的对准标记结构（148）的方法，该方法包括：

在半导体器件衬底的选定层面处形成对准凹陷（130）；

在所述选定的衬底层面上方以及在所述对准凹陷（130）内形成第一金属层（140），其中所述对准凹陷（130）被形成为使得所述第一金属层（140）仅部分地填充所述对准凹陷（130）的深度；

在所述第一金属（140）上方形成第二金属层（142），使得所述对准凹陷（130）被完全填充；

对所述第二金属层（142）和所述第一金属层（140）平面化，向下达到所述选定的衬底层面，从而在所述对准凹陷内产生所述第二层材料的牺牲柱塞（144）；以及

按照基本上不使所述选定的衬底层面处经平面化后的表面变粗糙的方式去除所述牺牲柱塞（144）。

2. 根据权利要求1的方法，其中所述第二金属层（142）具有相对于所述第一金属层（140）的蚀刻选择性。

3. 根据权利要求3的方法，其中所述第二金属层（142）还具有相对于围绕所述对准凹陷（130）的介质材料的蚀刻选择性。

4. 根据权利要求2的方法，其中：

所述第一金属层（140）包括氮化钽；以及

第二金属层（142）是钽和铜的牺牲双层。

5. 根据权利要求2的方法，还包括沉积用于将所述第二金属层（142）粘附到所述第一金属层（140）的粘接层。

6. 根据权利要求2的方法，其中所述第二金属层（142）通过以下方式之一来沉积：物理气相沉积（PVD）、化学气相沉积（CVD）和镀覆。

7. 根据权利要求2的方法，其中采用稀释磷酸蚀刻去除所述牺牲柱塞（144）。

8. 根据权利要求 1 的方法，其中所述半导体器件包括磁随机存取存储器（MRAM）。

9. 根据权利要求 8 的方法，其中所述 MRAM 是基于场效应晶体管（FET）的 MRAM 器件（102）。

10. 根据权利要求 8 的方法，其中所述对准凹陷（130）被形成得比通道（116）更深，该通道用于将 MRAM 器件的金属带（112）连接到 MRAM 器件的下金属化层面线（114）。

11. 根据权利要求 10 的方法，其中：

所述选定的器件层面是限定所述金属带（112）的层面；以及用于形成所述金属带（112）的材料是金属性的且不透明。

12. 根据权利要求 10 的方法，其中所述对准凹陷（130）与所述通道（116）被同时限定，并且所述对准凹陷（130）通过过蚀刻而被完全形成。

13. 根据权利要求 9 的方法，其中所述对准凹陷（130）在形成所述通道（116）之后被限定。

具有凹陷的对准标记的平面磁隧道结衬底

技术领域

本发明一般地涉及半导体器件处理，并且更具体地涉及一种用于形成凹陷的对准标记的方法，该凹陷的对准标记用于在磁存储器中使用的平面磁隧道结衬底。

背景技术

磁（或磁电阻）随机存取存储器（MRAM）是有潜力代替动态随机存取存储器（DRAM）作为用于计算装置的标准存储器的非易失随机存取存储器技术。使用 MRAM 作为非易失的 RAM 将最终实现“立即开机”（“instant on”）系统，只要系统开启，该系统即恢复，从而节省传统 PC 例如在系统加电期间将引导数据从硬盘驱动器传输到易失 DRAM 所需的时间量。

磁存储器元件（也称作隧道磁电阻或 TMR 器件）包括具有由非磁性层（势垒）分隔的铁磁性层、并设置成磁隧道结（MTJ）的结构。在存储器元件中数字信息被存储和表示成磁性层的磁化矢量方向。更具体地，一个磁性层（也被称作参考层）的磁矩被固定或钉扎，而另一个磁性层（也被称作“自由”层）的磁矩可以在相对于参考层的固定磁化方向相同的方向和相反的方向之间转换。自由层的磁矩的取向也已知为“平行”和“反平行”状态，其中平行状态指的是自由层和参考层的相同磁排列，而反平行状态指的是二者之间的相反磁排列。

取决于自由层的磁性状态（平行或反平行），磁存储器元件响应于跨越隧道结势垒施加的电压而表现出两种不同的电阻值。从而 TMR 器件的特定电阻反映自由层的磁化状态，其中当磁化为平行时，电阻为“低”，而当磁化为反平行时则为“高”。因此对电阻变化的检测使得 MRAM 器件能够提供在磁存储器元件中存贮的信息（即读操

作)。此外，通过沿特定的方向施加两个方向的电流从而将自由层磁排列成平行或反平行状态，写入 MRAM 单元。

类似于通常的半导体器件，MRAM 器件的尺寸持续地变小，并要求能够制造这些器件的制作工艺。在制作工艺期间实施对准技术，从而确保半导体器件内各种层的正确对准。典型地，在所述层中使用对准标记以帮助对准各种特征。

在 MRAM 器件的情形中，MTJ 叠层要求非常光滑的衬底以在其上沉积，从而产生近似平面的隧道势垒，使得自旋极化电子的非常小的相干长度沿着器件是均匀的。由于这种 MTJ 叠层对光不透明，因此在该层顶部上的光刻需要用于对准并经过该层进行覆盖测量的形貌（而不是材料对比）特征。因为下面的层典型地被化学机械抛光（CMP），该化学机械抛光作为 MTJ 叠层沉积之前的最后步骤，因此按此方式的常规的对准标记形成也典型地在对准标记形貌内残留来自光滑 CMP 操作的浆料残余物。这种残余物颗粒难以按照清洁的方式去除。

发明内容

通过采用对半导体器件形成具有对准标记结构的形貌的方法，克服或减轻了现有技术的上述缺点和不足。在示例性的实施方式中，该方法包括在半导体器件衬底的选定层面处形成对准凹陷。在选定的衬底层面上方和对准凹陷内形成第一金属层，其中对准凹陷被形成为使得第一金属层仅部分地填充对准凹陷的深度。在第一金属层上方形成第二金属层，使得对准凹陷被完全填充。然后，对第二金属层和第一金属层平面化，向下到达选定的衬底层面，从而在对准凹陷内产生第二层材料的牺牲柱塞。按照基本上不使选定衬底层面处平面化后的表面变粗糙的方式去除牺牲柱塞。

附图说明

参照示例性的附图，其中在多个图中类似的要素被以类似方式标

号。

图 1 是适合于按照本发明的实施方式使用的基于 FET 的 MRAM 器件的截面图；

图 2 是对于图 1 中器件早期处理步骤的截面图；

图 3 (a) 至 3 (d) 说明在 MRAM 器件的情形中的常规对准标记形成步骤；以及

图 4 (a) 至 4 (d) 说明按照本发明的实施方式形成用于平面磁隧道结衬底的凹陷对准标记的方法。

具体实施方式

本文公开了形成用于磁存储器的对准标记的改进方法。简言之，该工艺包括产生适合于在其上形成磁隧道结的光滑平整表面，而同时在该表面中产生使得在不透明材料被沉积在该表面上时能够直接对准光刻掩模的凹陷。因而，没有附加的光刻掩模层面被用于实现该对准特征。该工艺本质上是清洁的，没有使器件成品率降低的残余浆料颗粒。

尽管在下文中所述的示例性实施方式存在于 MRAM 器件的情形中，应当理解其原理能应用到采用非常光滑的衬底、并在衬底的某些区域也包括允许经过不透明层的光刻对准的形貌的其它类型集成电路器件和/或特征（例如隧道势垒、外延薄膜等）。并且，尽管此处的示例性实施方式是对于基于场效应晶体管（FET）的磁存储元件的情形而具体描述的，但应当进一步理解，所述原理也可应用到 MRAM 器件的交叉类型的结构（crosspoint-style architectures）。

开始参照图 1，示出了（为了背景技术的目的）适合于按照本发明的实施方式使用的基于 FET 的 MRAM 器件 100 的截面图。更具体地，图 1 说明设置在下金属化层面和上金属化层面（未示出）之间的基于 FET 的存储元件 102 的一部分。在所述的例子中，下金属化层面对应于 MRAM 器件 100 的第一金属化层面（M1）。然而，本领域的技术人员将认识到也可以在器件 100 内的其它层上（例如在 M2、

M3 等上) 形成单独的存储元件。

如图 1 所示, 存储元件 102 包括具有非磁性层 (例如氧化物) 的下磁性层 104 以及在顶部形成的上磁性层 (统称为层 106) 的 MTJ 叠层。尽管单元 102 位于字线 108 和位线 (未示出) 之间的对应交叉点处, 但单元 102 的底部没有与字线 108 直接电接触, 这不同于 XPC 结构。代替地, 单元 102 形成在金属带 112 的顶部, 该金属带用于经由通道柱 116 将单元 102 互连到下层金属化线 114。反过来, 线 114 通过接触区柱 118 完成了单元 102 到相应的衬底层面存取晶体管 (未示出) 的连接。较厚的金属硬掩模 120 用作上金属化层面 (未示出) 处的位线 (未示出) 与单元 102 顶层之间的互连。

与图 1 所示的存储单元相关的一个问题是 MTJ 叠层通常被沉积成覆盖的膜, 然后 (为了最佳的性能和成品率) 需要很小对准容许误差的光刻, 以使 MTJ 器件 102 高精度地相对于下面的特征 108 或 116 定位。覆盖膜在许多情形下是不透明的并且是高度反射性的, 并防止光刻工具透视到前面的层面 (例如图中的 M1)。因而, 适当的对准工具没有用于对准 MTJ 元件 102 的参考图案。图 2 说明关于图 1 的早期处理步骤, 其中 MTJ 保护硬掩模 120 既没有被蚀刻, 也没有由光刻限定。由于在形成硬掩模 120 中使用的硬掩模层 126 是金属的且不透明, 例如, 光刻工具被阻止“透视”到通道柱 116 或 M1 层面, 从而阻止硬掩模图案相对于那些先前层面的精确对准。

在诸如此类的情形中, 一种先前用于允许对准的常规方法是产生提供足够视觉对比以允许光刻工具与不透明层对准的表面形貌 (例如, 其中的凹陷, 或从其突出的凸起)。在图 3 (a) 到 3 (d) 中描述了这种常规的方法。图 3 (a) 说明了 MRAM 器件 100 的处理步骤, 其中通道开口 128 被限定用于连接到 M1 的通道柱 116 (图 1、2)。此外, 在未用于有源器件的晶片区域 (例如对准标记区) 内限定另一个凹陷 130。应当注意, “对准”凹陷 130 形成得比通道 128 更深。因而, 通过合适地选择用于凹陷 130 的金属填充, 通道 128 可以被完全地填充, 而没有完全地填充由凹陷 130 产生的整个对准标记。如同可

以看出的那样，凹陷 132 留在凹陷 130 中，随后在沉积硬掩模金属膜之后适合于对准的目的。

图 3(c) 说明金属带、MTJ 和硬掩模层（分别是 134、136、126）的随后沉积，其中留下的凹陷 138 仍然由于凹陷 132 而存在，并提供足够的视觉对比以用作对准特征。然后，如图 3(d) 中所示，MTJ 硬掩模 120 被图案化，类似于图 1，在去除过多的硬掩模金属之后仅有残余的凹陷特征 139。

图 3(a) 到 3(d) 的常规对准标记形成的一个重要的缺点源自试图既产生初始的对准凹陷 130，又留下适合于作为诸如磁隧道结（即不透明的覆盖膜）的器件元件的衬底的超光滑表面（例如小于 10 埃（Å）的粗糙度）。在图 3(a) 中产生凹陷 130 的第一方法是例如通过过蚀刻（overetch）与限定通道 116 同时限定该凹陷。然后采用金属填充通道 116，并进行化学机械平面化（CMP）步骤以隔离通道 116 形状并留下超光滑的表面。作为代替，第二方法是在通道 116 被完全地限定、填充和平滑之后，采用附加的光刻掩模和附加的蚀刻步骤形成初始对准凹陷 130。

不幸的是，在实施第一方法时，通常遇到 CMP 浆料残余方面的问题，所述浆料被俘获在对准标记凹陷之中。浆料颗粒非常难以按照清洁的方式去除，并可能引起对准标记边缘的变形，使得光刻工具不能很好地对准。此外，部分浆料残余物可能在随后的处理步骤期间（例如在高温步骤期间）从标记处逸出，从而产生电路缺陷和成品率损失。

第二方法也受其自身缺点的影响，特别是关于使用附加的光刻层面的费用以及设计合适的蚀刻和抗蚀剂去除步骤方面的困难，所述蚀刻和抗蚀剂去除步骤也不应导致衬底的粗糙化达几埃的程度。随着器件基本规则减小，并且随着存储器阵列密度的提高，消除诸如浆料俘获和/或额外的光刻层面引起的费用和成品率损失之类的问题变得越来越重要。由上述内容可见，期望提供一种其中可以可靠地产生超光滑的表面、并且也包括适合于未来的光刻层面对准的凹陷的工艺。

因此，按照本发明的实施方式，公开了一种形成对准结构的方法，

该方法使用附加的牺牲金属以防止 CMP 期间的浆料俘获，并使用附加的（轻微的）蚀刻步骤以在 CMP 之后去除牺牲金属，而没有粗糙化表面。所使用的特殊步骤是较直接的通用工艺，对于器件制作的成本添加了很少的费用。然而，在按照本发明中描述的特定方式使用时，它们导致了用于形成由不透明材料制成的灵敏元件的理想结构。本发明的各方面也具有如下优点：在选择用于防止浆料俘获的金属方面、以及在选择蚀刻以去除牺牲金属方面具有许多灵活性。

现在参照图 4 (a)，其中开始示出了已经形成了通道 116 和初始对准凹陷 130 的处理步骤，类似于图 3 (a)。在这方面，应当再次强调下文所讨论的对准形成技术可以用于集成电路制作中的任何有关层面。因而，尽管由于示例性的目的，该对准只制作在 M1 金属层面上方，但也可以形成在任何合适的位置，在晶片表面处或上方。

如图 4 (b) 所示，该示例性的方法的实施方式使用其中按照多层的方式进行在通道 116 和初始对准凹陷 130 中填充金属的方法。第一金属层 140 被用作通道 116 的填充材料，而第二金属层 142 被沉积用作随后形成的对准标记的牺牲柱塞。也可以沉积粘接层以确保牺牲材料（层 142）足够好地粘附到通道金属填充（层 140）上。可以通过任何数量的手段沉积牺牲材料，包括但不限于物理气相沉积（PVD）、化学气相沉积（CVD）、镀覆等。

在示例性的实施方式中，通道 116 填充是氮化钽（TaN），而牺牲材料 142 是薄 Ta（用于粘附的目的）以及之后的铜的双层。然而牺牲层 142 也可以是任何数量的材料（金属或介质都是可接受的），并不限于在示例性实施方式中所描述的那些材料，只要所述牺牲层：

(1) 在对准标记中产生适度的共形填充，以防止 CMP 期间的浆料俘获；(2) 允许对材料的直接 CMP；以及 (3) 可以采用不粗糙化周围的介质表面的轻微蚀刻来去除。

在沉积金属填充材料 140、142 之后，进行 CMP 以留下适合于形成灵敏电路元件如磁隧道结的超光滑表面。如图 4 (c) 所示，留下的牺牲材料形成对准标记中的柱塞，以防止在 CMP 期间俘获浆料颗

粒。为了便于按照这种方式的成功 CMP 步骤，对于通道 116 的示例性优选材料选择包括 TaN，而牺牲柱塞 144 包括 Cu/Ta。然而，再次地，可以使用这些材料的其它选择。

最后，图 4 (d) 说明应用蚀刻以去除牺牲对准标记柱塞 144。通过对柱塞 144 的合适的材料选择，可以采用轻微的蚀刻去除柱塞，而不导致有源器件表面 146 的粗糙化，否则该粗糙化导致形成灵敏器件时的性能或成品率损失。在此处给出的示例性实施方式中（对于牺牲柱塞 144 选择铜），使用合适的介质膜（例如氮化硅）作为通道 116 周围的绝缘体，使得其对于用于去除柱塞 144 的蚀刻不敏感。可以从形成的对准标记去除铜而不损害氮化硅表面的任何轻微蚀刻都是合适的。这可以包括但不限于例如稀释的磷酸蚀刻。一旦去除柱塞 144，则产生凹陷的对准标记结构 148，可以按照常规的处理方法继续沉积不透明膜以及随后使灵敏器件特征与下面的特征对准（具有高精度）。

正如将理解的那样，可以按照如下方式执行上述的技术：特定的灵敏元件可以被放置在相对于硅表面的多个选择的位置，并且对于此，使用术语“M1”不意味着将灵敏元件限制到仅在硅表面上第一布线层面上方的位置。并且，尽管上述的实施方式涉及形成在超光滑衬底上的磁存储元件，但本发明不限于磁存储元件。而是，任何要求光滑衬底并且对于光刻对准也不透明的器件或膜都可以从该方法受益。此外，尽管示例性的实施方式也描述了相对于存储元件水平转置（**transposed horizontally**）的对准和通道特征，该工艺流程也可用于实现具有各种其它位置的对准特征的工艺（包括通道和对准功能组合成单个特征）。

尽管已经参照优选的一种实施方式或多种实施方式描述了本发明，但本领域的技术人员应当理解可以进行各种变化以及将其要素替换成等价物，而不背离本发明的范围。此外，可以对本发明的教授进行各种变更以适应特定的情形或材料，而不背离其必要的范围。因此，希望本发明不限于作为执行本发明设想的最佳方式而公开的特定实施方式，本发明将包括落入权利要求范围内的所有实施方式。

工业应用性

本发明具有半导体器件处理领域的工业应用性,并具体地涉及诸如磁随机存取存储器(MRAM)的半导体存储器的形成。

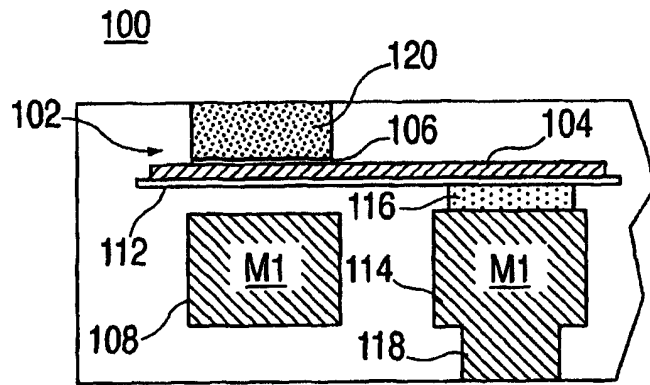


图 1

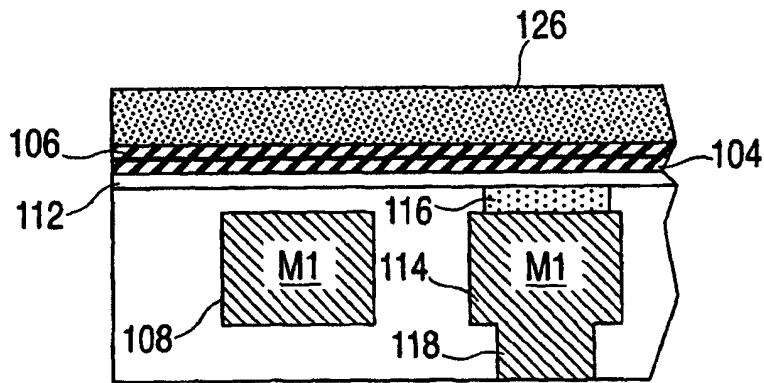


图 2

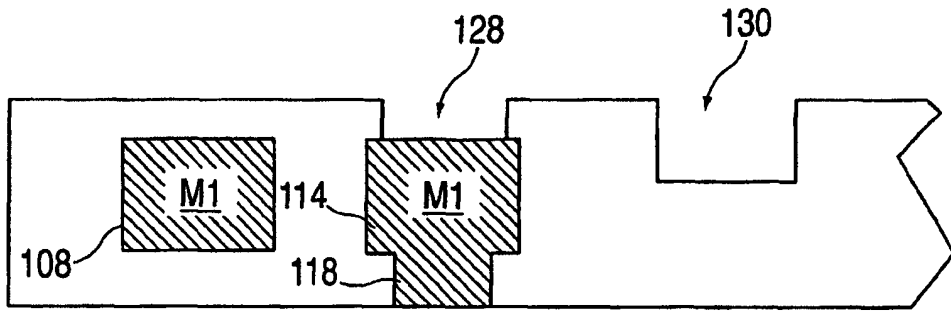


图 3a

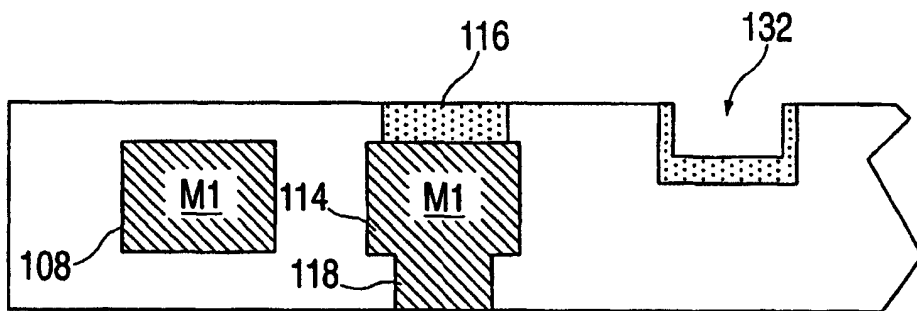


图 3b

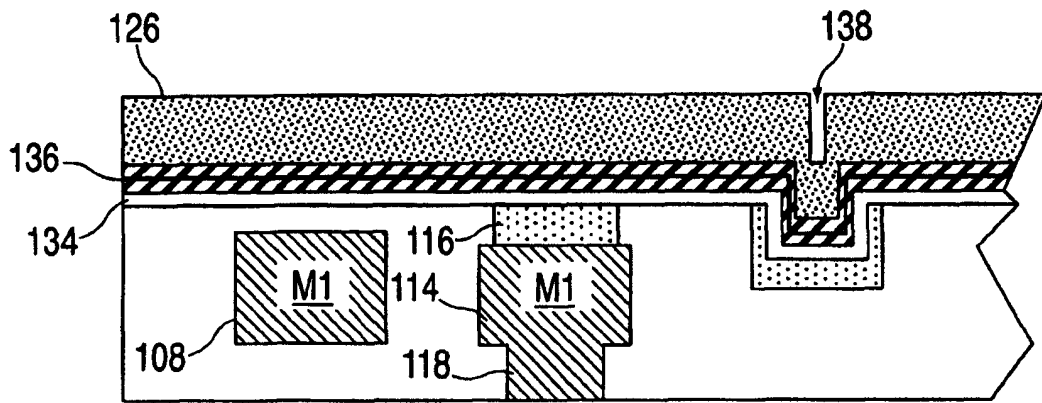


图 3c

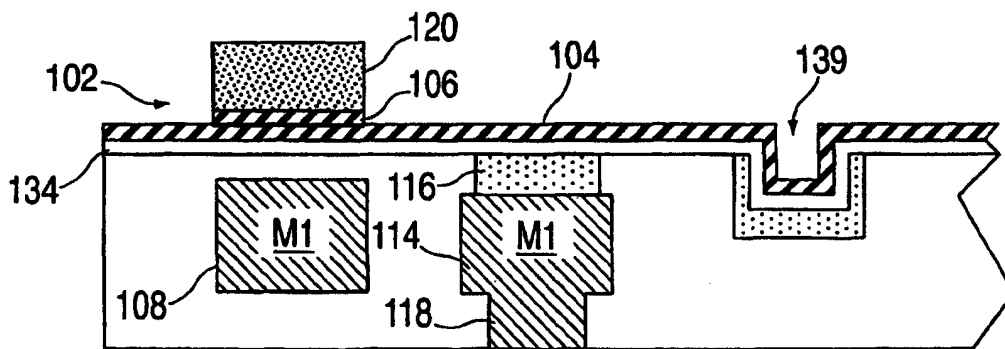


图 3d

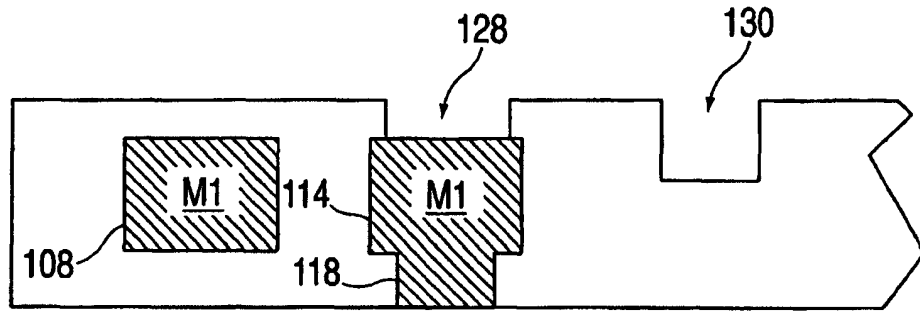


图 4a

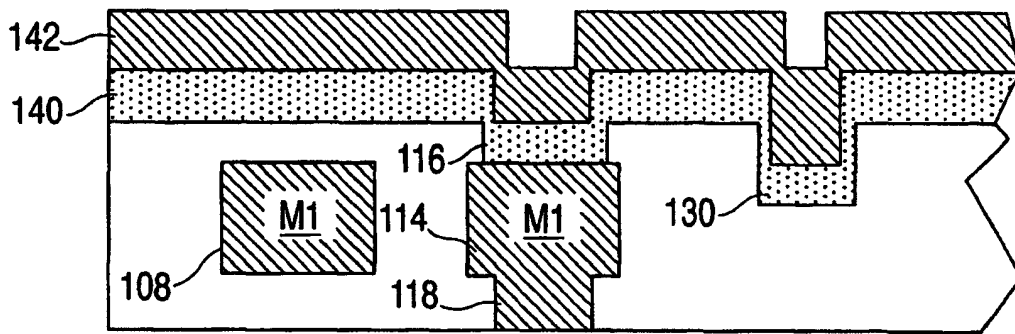


图 4b

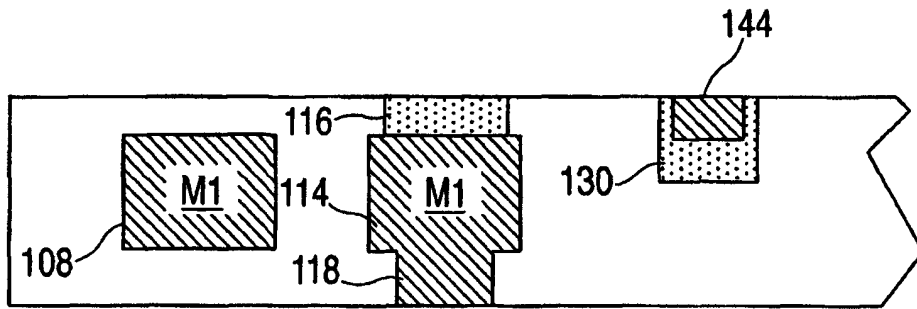


图 4c

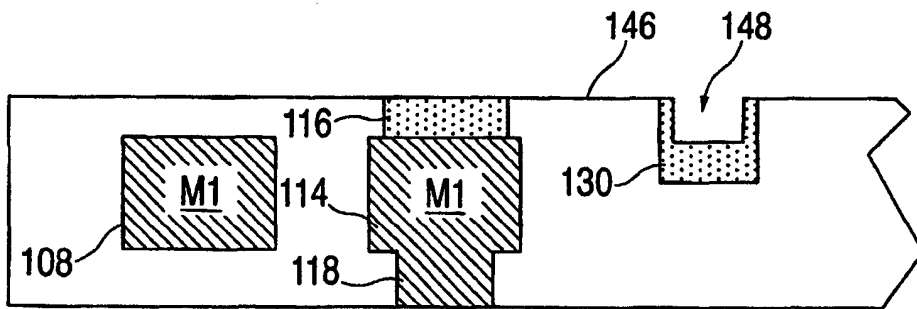


图 4d