

[19]中华人民共和国专利局

[51]Int.Cl⁶



[12] 发明专利申请公开说明书

G06F 1/02
G06F 7/00 G06F 15/00
H03M 7/50

[21] 申请号 96191893.4

[43]公开日 1998年2月18日

[11] 公开号 CN 1173930A

[22]申请日 96.1.3

[30]优先权

[32]95.1.31 [33]US[31]08 / 382,467

[86]国际申请 PCT / US96 / 00147 96.1.3

[87]国际公布 WO96 / 24094 英 96.8.8

[85]进入国家阶段日期 97.8.12

[71]申请人 摩托罗拉公司

地址 美国伊利诺斯

[72]发明人 潘绍文

托马斯·王筛平

[74]专利代理机构 中国国际贸易促进委员会专利商标
事务所

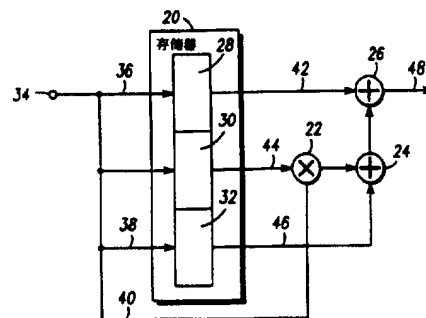
代理人 杨国旭

权利要求书 2 页 说明书 7 页 附图页数 3 页

[54]发明名称 利用二次项的对数 / 反对数转换器及其
使用方法

[57]摘要

公开了一种可用来实现对数或反对数函数的转换器。该转换器包括一个存储器(20)、一个乘法器(22)、及两个加法器(24)与(26)。存储器(20)中存储多个系数与二次项,它们是用最小二乘方法导出以估算输入值的定义域上的对数或反对数函数的。还公开了计算系数与二次项的方法。



权 利 要 求 书

1.一种对数转换器, 包括:

一个存储器, 用于存储多个系数及多个二次项, 其中这些系数是用最小二乘方法计算以估算输入值的定义域上的对数函数的, 存储器作为输出提供与输入值对应的系数及二次项; 以及

算术装置, 可操作地耦合在存储器上, 用于通过在输入值、系数及二次项上执行算术运算而生成对数值。

2.权利要求 1 的对数转换器, 其中该对数函数是用二次多项式估算的。

3.权利要求 2 的对数转换器, 其中多个系数中的数个中包含一个零次系数及一个一次系数, 及该算术装置包括:

一个乘法器, 用于将一次系数乘以输入值以生成一个比例项;

第一加法器, 用于将比例项与二次项相加以生成第一和数; 以及

第二加法器, 用于将第一和数与零次系数相加以生成对数值。

4.权利要求 2 的对数转换器, 其中多个系数中的数个中包含一个零次系数及一个一次系数, 及算术装置包括:

一个乘法器, 用于将一次系数与输入值的一个位片相乘以生成一个比例项;

第一加法器, 用于将比例项与二次项相加以生成第一和数; 以及

第二加法器, 用于将第一和数与零次系数相加以生成对数值。

5.权利要求 1 的对数转换器, 其中该输入值为具有用于从存储器中检索多个系数中的数个及二次项的多位的二进制值。

6.权利要求 1 的对数转换器, 其中该输入值为具有上部分及下部分的二进制值, 及二次项为可用来自上部分的第一位片与来自下部分的第二位片的连接从存储器中检索出的。

7.一种生成对数值的方法, 该方法包括下述步骤:

接收一个输入值;

从存储器中接收与输入值对应的多个系数与一个二次项, 其中该多个系数是用最小二乘方法计算以估算对数函数的; 以及

在多个系数、二次项及输入值上执行算术运算来产生对数值。

8.一种用于生成与输入值对应的对数值的对数转换器，包括：

一个存储器，用于存储多个二次项及多个系数对，其中各系数对是用最小二乘方法计算从估算输入值的区间上的对数函数的，存储器作为输出提供与输入值对应的一个系数对及一个二次项，其中该系数对中具有一个零次系数与一个一次系数；

一个乘法器，用于将一次系数乘以输入值的一个位片以生成一个比例项；

第一加法器，用于将比例项与二次项相加以生成第一和数；以及

第二加法器，用于将第一和数与零次系数相加以产生对数值。

9.一种计算装置，包括：

一个处理单元，用于执行利用对数值的计算机运算；

一个计算机存储器，用于存储包含该计算机运算的计算机程序；

一条总线，用于连接处理单元与计算机存储器；以及

一个对数转换器，它接收输入值并包括：

一个存储器，用于存储多个系数及多个二次项，其中这些系数是用最小二乘方法计算以估算输入值的定义域上的对数函数的，存储器作为输出提供与输入值对应的数个系数及一个二次项；以及

算术装置，可操作地耦合在存储器上，用于通过在输入值、数个系数及二次项上执行算术运算而生成对数值

10.一种用于生成与输入值对应的反对数值的反对数转换器，包括：

一个存储器，用于存储多个二次项及多个系数时，其中各系数对是用最小二乘方法计算以估算输入值的区间上的反对数函数的，存储器作为输出提供与输入值对应的一个系数对及一个二次项，其中该系数对具有一个零次系数及一个一次系数；

一个乘法器，用于将一个系数乘以输入值的一个位片以生成一个比例项。

第一加法器，用于将比例项与二次项相加以生成第一和数；以及

第二加法器，用于将第一和数与零次系数相加以产生反对数值。

说明书

利用二次项的对数/反对数转换器及其使用方法

本发明涉及转让给本发明的同一受让人的下列发明:

(1) 1995年1月31日提交的, 序号号为 08/381,368 的“对数/反对数转换器及其使用方法”。

(2) 1995年1月31日提交的, 序列号为 08/381,167 的“利用截尾泰勒级数的对数/反对数转换器及其使用方法”。

(3) 1995年2月22日提交的, 序列号为 08/391,880 的“利用线性内插的对数/反对数转换器及其使用方法”。

(4) 1994年1月3日提交的, 序列号为 08/176,601 的“利用对数函数的神经网络及其使用方法”。

(5) 1995年3月13日提交的, 序列号为 08/403,158 的“利用对数转换的计算机处理器及其使用方法”。

通过引用将上述相关发明的主题在此结合进本发明的公开中。

本发明一般涉及计算电路, 而具体地涉及可用在输入值上执行对数或反对数转换的计算电路。

对数转换器是用来实现对数函数的器件, 并且在诸如手持式计算器与电子数据表软件程序等产品中最常见。对数函数属于称作超越函数的一类数学函数, 它们在诸如数据通信、控制系统、化学工艺及计算机仿真等广阔的各种应用中是重要的。将对数函数缩略成下列数学式: $y = \log_b(x)$ 。在该式中, x 表示输入值, 它可以是大于或等于零的任何数字; b 表示底数系统; 而 y 则表示对数值, 它与输入值 x 对应。

反对数转换器为用来实现反对数函数的器件。实质上, 反对数函数是对数函数的反函数。下面的讨论中说明“反函数”的含义。对数函数将输入值定义域中的输入值 x 转换成对数值值域中的确定的对数值。基本上, 对数函数在定义域中的输入值与值域中的对数值之间建立一一对应。用符号将这一对应表示为 $x \rightarrow y$ 。反对数函数在对数值与输入值之

间建立用 $y \rightarrow x$ 表示的逆对应。反对数函数缩略成下列数学式： $y = \log_b^{-1}(x)$ 。在该式中， x 表示输入值； b 表示底数系统；而 y 则表示对应于输入值 x 的反对数值，它可以是大于或等于零的任何数。和对数函数一样，反对数函数在广阔的各种应用中是重要的。

当前普遍采用两种计算对数与反对数值的技术。两种技术相似地用来计算对数或反对数值；从而，为了简明起见，下面的讨论将集中在使用计算对数值的技术上，能够理解这些技术可从类似方式用来计算反对数值。

第一种技术包含为每一个可能的输入值在查找表中存储一个对应的对数值。这一方法允许相对快速地计算对数值，并且对于只要求有限的精度且具有小定义域内的输入值的应用是实际的。然而，在许多应用中，这一技术是不实际的，因为它需要太大的存储空间来存储查找表。例如，在采用 IEEE 标准 32 位浮点数的数字系统中，它具有 23 位尾数，要求这一查找表存储 2^{23} 个对数值，每一个可能的尾数值一个。存储这一数量的对数值的计算机存储器即使不是不可能也是建造起来难以承受地昂贵的。

第二种计算对数值的技术包含计算一个幂级数来逼近对数函数。逼近对数函数的幂级数的一个例子给出为：

$$y = \text{Log}(1+X) = X - X^2/2 + X^3/3 - X^4/4 + \dots \dots \quad (1)$$

在本例中，该对数函数为广泛地用在科学与工程应用中的称作自然对数的一种特定类型的对数函数。式 1 中的变量的定义如下： y 表示对数值，而 x 表示在定义域 $-1 \leq x < 1$ 中的输入值。虽然利用幂级数来逼近对数函数的技术容许计算高精确度的对数值，它需要大量的计算机运算，并因此需要相对地长的执行时间。换言之，这一技术通常是缓慢的且负面影响计算机的吞吐量。

总之，存在着对能快速地执行对数或反对数函数从而允许计算机以更高的吞吐量操作的转换器的需求。这种转换器应同时降低执行转换所需的存储空间量，且应生成具有高精确度的对数或反对数值。

在所附的权利要求书中用特征指明本发明。然而，通过参照下面结合附图的详细描述，本发明的其它特征将变得更清楚并且将最好地理解



本发明，附图中：

图 1 示出按照本发明的较佳实施例的对数/反对数转换器。

图 2 示出对数函数曲线。

图 3 示出反对数函数曲线。

图 4 示出利用图 1 中所示的对数/反对数转换器的方法的流程图。

图 5 示出计算与存储结合图 1 的转换器使用的系数与二次项的方法的流程图。

图 6 示出包含本发明的实施例的计算装置的一种型式。

图 7 示出包含本发明的实施例的计算装置的另一型式。

本发明的优点为提供能在计算机、处理器或电路中执行对数或反对数转换而不用改变转换器的设计的转换器。本发明的另一优点为提供以高精度计算对数与反对数值的转换器。事实上，本发明的特有优点为提供能计算 IEEE 标准 32 位浮点数的对数与反对数值的转换器，其中对数与反对数值的 IEEE 32 位浮点数表示在尾数中具有小于一个最低位的误差。本发明的又另一优点为提供只需明显地减少了的存储空间量并可高效地实现在低功耗的集成电路中的转换器。本发明的附加的优点为提供利用该转换器生成对数或反对数值的方法。

一般地说，本发明提供计算对数或反对数函数的转换器。该转换器包括存储器及算术装置。存储器存储多个系数及二次项，其中这些系数与项是利用最小二乘方法计算以在输入值的定义域上估算对数或反对数函数的。算术装置根据存储在存储器中的系数与项，通过在输入值与系数及二次项上执行算述运算而生成对数或反对数值。

通过在存储器中加载不同的系数对与二次项的集合，便能容易地将转换器重新配置成执行对数或反对数函数或具有不同的底数系统或输入值定义域的函数。

图 1 示出按照本发明的较佳实施例的对数/反对数转换器。该转换器包括存储器 20、乘法器 22、第一加法器 24 及第二加法器 26。存储器 20 在二次项查找表 32 中存储多个二次项以及多个系数对。系数对与二次项是用最小二乘方法计算以估算在输入值区间上的对数或反对数函数的。各系数对具有存储在零次查找表 28 中的零次系数，及存储在一次查

找表 30 中的一对系数。

转换器操作如下。输入值 34 提供用来从零次与一次查找表 28、30 中检索对应的系数对的地址 36。在较佳实施例中，输入值 34 为具有用 [22:0] 表示的 23 位长度的二进制值，其中将输入值 34 的最高九位 [22:14] 作为地址 36 提供给存储器 20。此外，零次与一次系数 42、44 位于存储器 20 中对应于输入值 34 的公共地址上。

还从输入值 34 中导出项地址 38。利用该项地址从二次查找表 32 中检索二次项 46。在本发明的一个实施例中，输入值 34 为具有上部分与下部分的二进制值，而二次项 46 是可利用来自上部分的第一位片与来自下部分的第二位片相连接，从存储器 20 中检索到的。

最好，输入值 34 具有用 [22:0] 表示的 23 位的长度，其中的上部分包含最高 9 位 [22:14]，而下部分包含其余 14 位 [13:0]。项地址 38 为一 9 位值，它包括上部分的最高 4 位与下部分的最高 5 位的连接，即输入值 34 的位 [22:19][13:9]。

存储器 20 作为输出提供与输入值 34 对应的零次系数 42、一次系数 44 及二次项 26。在一个较佳实施例中，零次系数 42 为一 24 位二进制值，一次系数 44 为一 15 位值，而二次项 46 则为一 9 位值。在存储器 20 中总共存储了 512 个系数对及 512 个二次项。

乘法器 22 将一次系数 44 乘以位片 40 以生成比例项。虽然位片 40 可包含整个输入值 34，在一个较佳实施例中它包含输入值 34 的 14 个最低位 [13:0]。第一加法器 24 将比例项与二次项相加产生第一和数。依次，第二加法器 26 将第一和数与零次参数 42 相加产生输出值 48。输出值 48 的长度最好为 23 位。

在本发明的一个实施例中，转换器是用集成电路实现的。然而，普通技术人员将会理解，可编程逻辑阵列、应用专用的集成电路 (ASIC)、或其它数字逻辑器件、以及运行在诸如微处理器等处理器上的软件也能用来实现转换器。

图 2 示出对数函数 50 在输入值定义域上的曲线。输入值是沿 x 轴给出的而对数值是沿 y 轴给出的。输入值的定义域为 1 至 2，而对数值的值域为 0 至 1。定义域内的若干区间用垂直虚线在输入值 1.1、1.2、

1.3、1.4与1.5处指示。各区间包含虚线之间的数据点。对数函数50采用工作为底数系统。

图3示出反对数函数52在输入值定义域上的曲线。输入值是沿x轴给出的而反对数值是沿y轴给出的。输入值的定义域为0至1，而反对数值的值域为1至2。定义域内的区间是用垂直虚线在输入值0.1、0.2、0.3与0.4处指示的。在所示的例子中，各区间中包含虚线之间的数据点。反对数函数52也采用工作为底数系统。

本技术中普通技术人员将会理解用来计算任何对数或反对数函数的被转换数；然而，在本发明的一个较佳实施例中，转换器计算图2中所描绘的对数函数及图3中所描绘的反对数函数。

利用图1的转换器可将一个IEEE标准32位浮点数容易地转换成一个对数或反对数值。用IEEE浮点数表示的值具有一个符号位、23位尾数、及8位指数。只将尾数作为输入值34提供给转换器。符号位与指数都绕过转换器而在稍后与输出值48组合。实质上，转换器计算 $y = \log_2(1, M)$ 或 $\log_2^{-1}(1, M)$ 之一，其中y表示输出值而M表示尾数。浮点数的指数为底2的值 2^e ，其中e表示指数。对应于浮点数的对数或反对数值是在尾数转换之后通过求出输出值48与指数之和而产生的。这一求和得出用具有j位小数部分及K位整数部分的定点数格式表示的一个值。整数j与k可根据所要求的转换器精度变化。

图4示出使用图1中所示的对数/反对数转换器的方法的流程图，该方法可用来生成对数值或反对数值。在框60中，将多个系数及多个二次项存储在存储器20中。这些系数是用最小二乘方法计算来估算对数或反对数函数的。在框62中，接收输入值34。接着，在框64中，从存储器20中检索出与输入值34对应的系数与二次项46。

在框66中，在检索出的系数，二次项46与输入值34上执行算术运算，以产生输出值48。检索的系数中包含零次系数42与一次系数44，而算术运算执行如下。首先将一次系数44乘以输入值34以产生比例项。在本发明的一个较佳实施例中，将一次系数44乘以输入值34的一个位片。接着，将比例项与二次项46相加以产生第一和数。最后，将第一和数与零次系数相加以产生输出值46。

图 5 示出计算与存储结合图 1 的转换器使用的系数与二次项的方法的流程图。这一方法可用在对数或反对数函数中。在框 68 中，为函数选择输入值的定义域。在框 70 中，将定义域分割成多个区间。在框 71 中，用具有多个系数与一个二次项的一个二次多项式在输入值的定义域上逼近该函数。接着在框 72 中，用最小二乘方法计算一个区间的系数。在框 74 中，计算区间内各可能输入值的二次项，从而为该区间产生一个或多个二次项。接着在框 76 中，将该区间的参数与二次项存储在存储器 20 中。在判定框 78 中，进行检验作出判定是否要为任何其它区间计算系数与二次项。如果是，过程返回到框 72。如果不是，过程结束。

在本发明的一个较佳实施例中，对数与反对数函数是用具有下述形式的二次多项式逼近的：

$$y=b_0+b_1x+b_2x^2 \quad (2)$$

其中 y 表示对数或反对数值， b_0 表示零次系数， b_1 表示一次系数， b_2 表示二次系数， x 表示输入值，而 b_2x^2 表示二次项。

将输入值的定义域分割成 512 个区间，各区间包含 2^{14} 个数据点。对于各区间，在数据点上用二次回归计算系数 b_0 、 b_1 与 b_2 。不是与零次与一次系数一起存储二次系数，而是只存储选择数目的二次项。所存储的二次项是通过观察第二项在输入值的定义域上的方差根据经验确定的。这消除了对额外的乘法器与平方装置来产生二次项的需求。此外，这允许在不同输入值上具有相同的值的二次项位于存储器中的公共地址上。

图 6 示出包含本发明的实施例的计算装置的一种型式。计算装置包括一个处理单元 102，用于执行利用对数/反对数值 106 的计算机运算；一个计算机存储器 100，用于存储包含该计算机运算的计算机程序；一条总线 101，连接处理单元 102 与计算机存储器 100；及一个转换器 108，接收输入值 104。

转换器 108 可包括图 1 中所示的转换器。在所示的实例中，转换器 108 包括一个存储器 112 及可操作地耦合在存储器 112 上的一个算术装置 110。算术装置接收来自处理单元 102 的输入值 104，并且根据存储在存储器 112 中的系数，生成对数值或反对数值。

图 7 示出包含本发明的实施例的计算装置的另一型式。该计算装置包括一个处理单元 102，用于执行利用对数/反对数值 106 的计算机运算；一个计算机存储器 100，用于存储包含该计算机运算的计算机程序；一条总线 101，连接处理单元 102 与计算机存储器 100；及一个转换器 120，接收输入值 104。

转换器 120 可包括图 1 中所示的转换器。在所示的实例中，转换器 120 包括一个存储器 124 及可操作地耦合在存储器 124 上的一个算术装置 122。算术装置 122 接收输入值 104，并根据存储在存储器 124 中的系数生成对数值或反对数值。

从而这里已描述了可用来计算对数或反对数函数的转换器的概念以及较佳实施例。因为这里所描述的转换器的实施例利用二次多项式来逼近一个函数，它便能利用两个加法器、一个单一乘法器及一张查找表来执行对数或反对数转换，而使得存储器大小明显减小。这种转换器能够改进数据吞吐量及计算精度，极大地降低了成本及装置的复杂性，无论是在半导体芯片上还是在计算机程序中。

虽然对将输入值处理成输出值而言已描述了本发明的各种实施例，应将本发明解释为包含由用于将表示输入值的输入信号处理成表示输出值的输出信号的电路以及这些电路所实现的方法。

虽然已经示出与描述了本发明的特定实施例，对于熟悉本技术的人员显然可以用许多方式修改公开的发明，并可采取上面特别提出与描述的较佳形式以外的许多实施例。

从而，所附的权利要求书旨在复盖落入本发明的真实精神与范围内的本发明的所有变型。

图 1

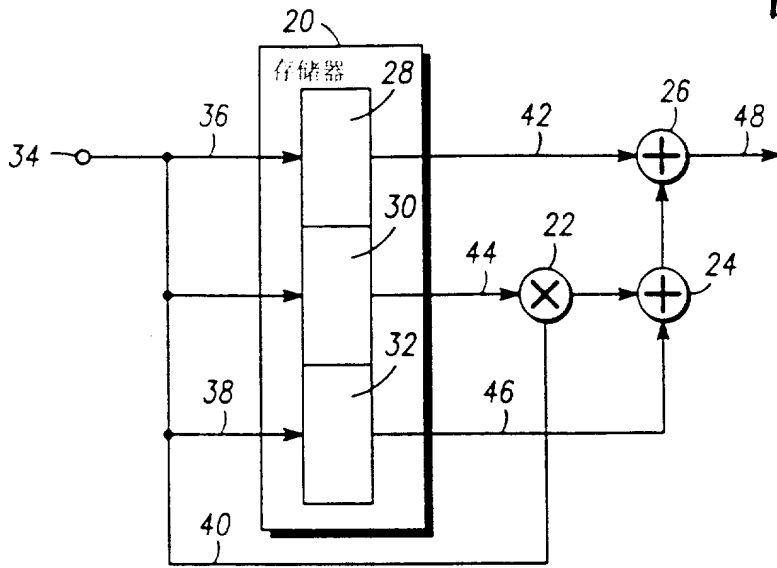


图 2

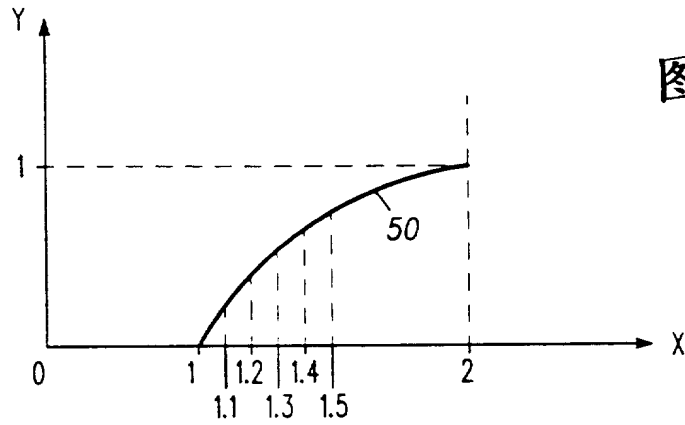
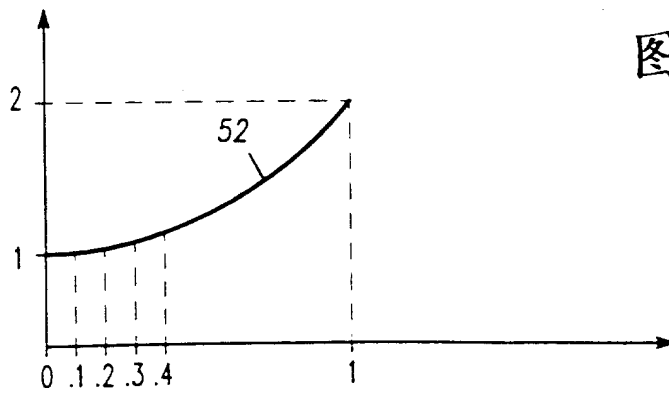


图 3



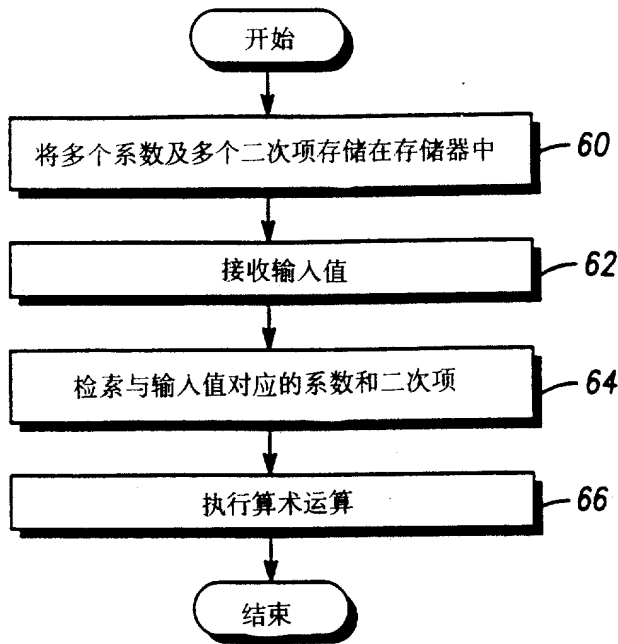


图 4

图 5

