公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：95104093

※申請日期：95.2.7　　※IPC 分類：H01L 23/60

一、發明名稱：（中文/英文）

靜電防護裝置

二、申請人：（共1人）

姓名或名稱：（中文/英文）

茂達電子股份有限公司/Anpec Electronics Corporation

代表人：（中文/英文）陳善南

住居所或營業所地址：（中文/英文）

新竹市科學工業園區篤行一路6號/ No. 6, Dusing 1st Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.

國　籍：（中文/英文）　中華民國/TW

三、發明人：（共 3 人）

姓　名：（中文/英文）

1. 廖崇維/LIAW, CHORNG-WEI
2. 林明璋/LIN, MING-JANG
3. 林偉捷/LIN, WEI-JYE

國　籍：（中文/英文）

1. 中華民國/TW
2. 中華民國/TW
3. 中華民國/TW

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種半導體裝置，特別是關於一種靜電防護裝置。

【先前技術】

場型金屬氧化物半導體(Field MOS)或是 N 型金屬氧化物半導體(NMOS)之寄生雙載子電晶體是一個常用來作為靜電防護的設計。圖 1 係一習知靜電防護裝置 10 的示意圖，圖 2 係圖 1 的等效電路 30，參照圖 1 及 2，一 P 型的基板 12 具有一 P 型井 14，一 P 型的高濃度擴散區 16 及 N 型的高濃度擴散區 18 與 20 位於 P 型井 14 中，藉由一場氧化層(FOX)22 將高濃度擴散區 16、18 及 20 隔離，一絕緣層 24 覆蓋在基板 12 上，接觸窗 11、13 及 15 位於絕緣層 24 中分別對應高濃度擴散區 16、18 及 20，以曝露高濃度擴散區 16、18 及 20 之一表面，導電層 26 於接觸窗 11 及 13 中與高濃度擴散區 16 及 18 接觸形成電性連接，使高濃度擴散區 16 及 18 連接在一起，導電層 28 於接觸窗 15 中與高濃度擴散區 20 接觸形成電性連接，P 型井 14、高濃度擴散區域 18 與 20、絕緣層 24 及導電層 28 形成 Field MOS 32，高濃度擴散區 20 與 P 型井 14 之間形成二極體 38，高濃度擴散區 18 與 20 以及 P 型井 14 構成一橫向 NPN(L-NPN)雙載子接面電晶體(BJT)34，電阻 36 為基板電阻。在操作時，導電層 26 及 28 分別與接地端及

一接墊 31 連接，當接墊 31 上發生一靜電放電(ESD)事件時，接墊 31 的電壓瞬間上升，上升的電壓使二極體 38 發生崩潰，崩潰的電流流經電阻 36 使基板的電壓提升進而使 BJT 34 導通，以釋放接墊 31 上的 ESD 電流，此時若接墊 31 的電壓仍持續上升，則導致 Field MOS 32 導通以協助釋放 ESD 電流。圖 3 顯示圖 1 所示的裝置在操作時的電流-電壓曲線 40，圖 4 係電流-電壓曲線 40 在 A 點時電流流動的示意圖，圖 5 係電流-電壓曲線 40 在 B 點時電流流動的示意圖，參照圖 2 及圖 3 至圖 5，當一 ESD 事件發生時，高濃度擴散區 20 與 P 型井 14 之間的接面產生逆向偏壓，隨著電壓的上升導致高濃度擴散區 20 與 P 型井 14 之間的接面從端點 19 開始崩潰，此時電流-電壓曲線 40 的電流快速增加，大量的電流越過高濃度擴散區 18 進入高濃度擴散區 16，如圖 4 所示，進而提升基板的電壓使 BJT 34 導通，導致電壓沿電流-電壓曲線 40 下降並維持在一握持(holding)電壓，大量的電流從高濃度擴散區 20 進入高濃度擴散區 18，如圖 5 所示，以釋放 ESD 電流。

圖 6 係習知應用於低壓 N 型金屬氧化物半導體(LV-NMOS)靜電防護裝置 42 的示意圖，圖 7 係圖 6 的等效電路 52，參照圖 5 及圖 6，一 P 型的基板 12 具有一 P 型井 14，一 P 型的高濃度擴散區 16 及 N 型的高濃度擴散區 18 與 20 位於 P 型井 14 中，藉由一場氧化層 45 將高濃度擴散區 16 與高濃度擴散區 18 及 20 隔離，一由閘極氧化層 50 與閘極多晶矽 48 組成的閘極 44 橫跨在高濃度擴

散區 18 及 20 上，一絕緣層 24 在基板 12 上覆蓋閘極 44，接觸窗 11、13 及 15 位於絕緣層 24 中分別對應高濃度擴散區 16、18 及 20，以曝露高濃度擴散區 16、18 及 20 之一表面，導電層 26 於接觸窗 11 及 13 中與高濃度擴散區 16 及 18 接觸形成電性連接，使高濃度擴散區 16 及 18 連接在一起，導電層 46 於接觸窗 15 中與高濃度擴散區 20 接觸形成電性連接，閘極 44 與高濃度擴散區域 18 與 20 形成 NMOS 54，同樣地，高濃度擴散區 20 與 P 型井 14 之間形成二極體 38，高濃度擴散區 18 與 20 以及 P 型井 14 構成一 L-NPN BJT 34，電阻 36 為基板電阻。在操作時，導電層 26 及 46 分別與接地端及一接墊 31 連接，當接墊 31 上發生一 ESD 事件時，隨著電壓的上升使二極體 38 發生崩潰，崩潰的電流流經電阻 36 使基板的電壓提升進而使 BJT 34 導通，以釋放接墊 31 上的 ESD 電流。

圖 8 係習知應用於 BJT 製程的靜電防護裝置 56 的示意圖，圖 9 係圖 8 的電路圖 100，參照圖 8 及圖 9，在一 P 型的基板 60 上形成 N 型的埋層擴散層 76 及 86，一 N 型的磊晶層 62 位於基板 60 上方覆蓋埋藏擴散層 76 及 86，P 型擴散區 70、72 及 80 與 N 型擴散區 74 及 84 位於磊晶層 62 中，N 型擴散區 82 及 58 分別位於 P 型擴散區 80 及 N 型擴散區 84 中，P 型擴散區 70 及 72 與 N 型擴散區 74 構成一橫向的 PNP(L-PNP) BJT 102，N 型擴散區 82 及 84 與 P 型擴散區 80 構成垂直的 NPN(V-NPN) BJT 106，藉由 P 型的隔離擴散區 64、68 及 78 隔離 BJT 102 與 106，導電

層 90 位於隔離擴散區 64、78、P 型擴散區 70、72、80、N 型擴散區 74、82 及 58 上，一絕緣層 88 位於磊晶層 62 上方覆蓋導電層 90 的部分區域，其中，N 型擴散區 74 及 84 作為 BJT 102 及 106 的集流區，N 型磊晶層 62 用以提高元件的耐壓，N 型擴散區 58 的濃度大於 N 型擴散區 84 以作為接觸區域。在此例中，由 BJT 106 作為 ESD 的防護裝置，圖 10 係圖 9 的等效電路，圖 11 係 BJT 106 的結構 114 的示意圖，參照圖 10 及 11，導電層 116 位於 N 型擴散區 82 上，與 N 型擴散區 82 接觸形成電性連接作為 BJT 106 的射極(E)，導電層 118 位於 P 型擴散區 80 上，與 P 型擴散區 80 接觸形成電性連接作為 BJT 106 的基極(B)，導電層 120 位於 N 型擴散區 58 上，與 N 型擴散區 58 接觸形成電性連接作為 BJT 106 的集極(C)，P 型擴散區 80 與 N 型磊晶層 62 之間的接面形成二極體 112，電阻 110 為基板電阻，同樣地，當接墊 104 上發生 ESD 事件時，隨著電壓的上升使二極體 112 發生崩潰，崩潰的電流流經電阻 110 使基板的電壓提升進而使 BJT 106 導通，以釋放接墊 104 上的 ESD 電流。

從上述的例子顯示，習知的靜電防護裝置係藉由 PN 接面崩潰產生的累增電流觸發 BJT 導通達到靜電防護的目的，而崩潰電壓視 PN 接面的濃度而定，但在同一製程中，靜電防護裝置與積體電路(IC)內部電路的 PN 接面崩潰電壓並無太大的差異，導致靜電防護裝置無法有效的保護 IC 內部電路，雖然已有許多改善的方法使靜電防護裝置的崩

潰電壓下降以有效保護IC內部電路，但因其係從改變PN接面的濃度著手，往往需增加製程的步驟，使製程的複雜度增加，例如美國專利第5,559,352號揭露的ESD保護裝置改善，即利用增加一輕離子植入的步驟以降低接面崩潰電壓。此外，靜電防護裝置的握持電壓必須大於電源電壓VCC，方能保護IC內部電路，但在習知技術中，由於高壓互補金屬氧化物半導體(HV-CMOS)的電源電壓VCC(例如24V)大於握持電壓(例如13V)，使HV-NMOS與HV-PMOS無法在崩潰區中作動，當ESD事件發生時，靜電防護裝置不但無法保護HV-CMOS，反而造成HV-CMOS的電源與接地端短路，導致電路損毀。

因此，一種不增加製程步驟且可應用於HV-CMOS的靜電防護裝置，乃為所冀。

【發明內容】

本發明的目的，在於提出一種不增加製程步驟且可應用於HV-CMOS的靜電防護裝置。

根據本發明，一種靜電防護裝置包括一含有第一導電型井的該第一導電型基板，一該第一導電型的第一高濃度擴散區、一與該第一導電型相反的第二導電型的第二高濃度擴散區、一該第二導電型的第三高濃度擴散區以及該第一導電型的第四高濃度擴散區位於該井中，一場氧化層隔離該第一高濃度擴散區、該第二高濃度擴散區與該第三及第四高濃度擴散區，一第一導電層連接該第一及第二高濃

度擴散區，以及一第二導電層與該第三高濃度擴散區接觸形成電性連接，藉由改變該第三與第四擴散區之間的距離，調整該靜電防護裝置的崩潰電壓。

根據本發明，一種靜電防護裝置包括一含有第一導電型井的該第一導電型基板，一該第一導電型的第一高濃度擴散區、一與該第一導電型相反的第二導電型的第二高濃度擴散區、一該第二導電型的第三高濃度擴散區以及該第一導電型的第四高濃度擴散區位於該井中，一場氧化層用以隔離該第一高濃度擴散區與該第二、第三及第四高濃度擴散區，一閘極橫跨該第二及第三高濃度擴散區上，並連接該第二及第三高濃度擴散區，一第一導電層連接該第一及第二高濃度擴散區，以及一第二導電層與該第三高濃度擴散區接觸形成電性連接，藉由改變該第三與第四高濃度擴散區之間的距離，調整該靜電防護裝置的崩潰電壓。

根據本發明，一種靜電防護裝置包括一第一導電型的基板，一與該第一導電型相反的第二導電型的磊晶層位於該基板上，一該第一導電型的擴散區及一該第二導電型的第二擴散區位於該磊晶層中，一該第二導電型的第三擴散區位於該第一擴散區中，以及一該第二導電型的第四擴散區從該第二擴散區延伸至該第一與第二擴散區中的該磊晶層中，藉由改變該第一及第四擴散區之間的距離，調整該靜電防護裝置的崩潰電壓。

根據本發明，一種靜電防護裝置包括一第一導電型的基板，其含有相鄰的一該第一導電型的第一井及一與該第

一導電型相反的第二導電型的第二井，一該第一導電型的第一高濃度擴散區位於該第一井中，以及一該第二導電型的第二高濃度擴散區位於該第二井中，藉由改變該第一及第二高濃度擴散區之間的距離，調整該靜電防護裝置的崩潰電壓。

本發明利用調整二導電型相反的擴散區之間的距離，降低靜電防護裝置接面的崩潰電壓，在不增加製程步驟的情況下，解決習知技術的問題，同時可利用於HV-CMOS，以最簡便的方式，達到有效保護IC內部電路的目的。

【實施方式】

圖12係根據本發明的靜電防護裝置122的示意圖，圖13係圖12的等效電路132，參照圖12及13，一基板(例如導電型為P型的基板)12含有與基板12導電型相同的井14，與基板12導電型相同的高濃度擴散區16與126及與基板12導電型相反(例如N型)的高濃度擴散區18與124位於井14中，高濃度擴散區126與124相隔一距離D，藉由一場氧化層(FOX)22將高濃度擴散區16、18與高濃度擴散區124及126隔離，一絕緣層24覆蓋在基板12上，接觸窗11、13及15位於絕緣層24中分別對應高濃度擴散區16、18及124，以曝露高濃度擴散區16、18及124之一表面，導電層(例如金屬層)26於接觸窗11及13中與高濃度擴散區16及18接觸形成電性連接，使高濃度擴散

區 16 及 18 連接在一起，導電層(例如金屬層)28 於接觸窗 15 中與高濃度擴散區 124 接觸形成電性連接，井 14、高濃度擴散區域 18 與 124、絕緣層 24 及導電層 28 形成 Field MOS 134，區域 130 中的接面形成二極體 140，區域 128 中的接面形成二極體 142，高濃度擴散區 18 與 124 以及井 14 構成一 L-NPN BJT 136，電阻 138 為基板電阻。在操作時，導電層 26 及 28 分別與接地端及一接墊 31 連接，當接墊 31 上發生一 ESD 事件時，接墊 31 的電壓瞬間上升，由於二極體 142 的崩潰電壓小於二極體 140 的崩潰電壓，因此隨著電壓的上升二極體 142 先發生崩潰，崩潰的電流流經電阻 138 使基板的電壓提升進而使 BJT 136 導通，以釋放接墊 31 上的 ESD 電流。圖 14 顯示本裝置 122 在操作時的電流-電壓曲線 144，圖 15 係電流-電壓曲線 144 在 A 點時電流流動的示意圖，圖 16 係電流-電壓曲線 144 在 B 點時電流流動的示意圖，參照圖 13 及圖 14 至圖 16，當一 ESD 事件發生時，區域 128 與 130 為逆向偏壓，由於區域 128 的崩潰電壓小於區域 130 的崩潰電壓，因此隨著電壓的上升，崩潰從區域 128 開始，此時電流-電壓曲線 144 的電流快速增加，大量的電流從區域 128 越過高濃度擴散區 124 及 18 進入高濃度擴散區 16，如圖 15 所示，進而提升基板的電壓使 BJT 136 導通，導致電壓沿曲線 144 下降並維持在握持電壓，大量的電流從高濃度擴散區 124 進入高濃度擴散區 18，如圖 16 所示，以釋放 ESD 電流。圖 17 係習知電流-電壓曲線 44 與本發明的電流-電壓曲線 144 的

比較圖，顯示本發明的崩潰電壓小於習知的崩潰電壓。在本實施例中，高濃度擴散區 126 與 16 在同一步驟完成，因此不會增加製程步驟，且二極體 142 的崩潰電壓由距離 D 決定，藉由調整距離 D 的大小使二極體 142 的崩潰電壓小於二極體 140 與 IC 內部電路 PN 接面的崩潰電壓，當 ESD 事件發生時，二極體 142 較二極體 140 與 IC 內部電路更早崩潰，進而觸發靜電防護裝置 122，因此可有效保護 IC 內部電路。

圖 18 係本發明應用於 LV-NMOS 靜電防護裝置 146 的示意圖，圖 19 係圖 18 的等效電路 148，參照圖 18 及圖 19，一基板(例如導電型為 P 型的基板)12 含有與基板 12 導電型相同的井 14，與基板 12 導電型相同的高濃度擴散區 16 與 126 及與基板 12 導電型相反(例如 N 型)的高濃度擴散區 18 與 124 位於井 14 中，高濃度擴散區 126 與 124 相隔一距離 D，藉由一場氧化層 45 將高濃度擴散區 16 與高濃度擴散區 18、124 及 126 隔離，一由閘極氧化層 50 與閘極多晶矽 48 組成的閘極 44 橫跨在高濃度擴散區 18 及 124 上，一絕緣層 24 在基板 12 上覆蓋閘極 44，接觸窗 11、13 及 15 位於絕緣層 24 中分別對應高濃度擴散區 16、18 及 124，以曝露高濃度擴散區 16、18 及 124 之一表面，導電層 26 於接觸窗 11 及 13 中與高濃度擴散區 16 及 18 接觸形成電性連接，使高濃度擴散區 16 及 18 連接在一起，導電層 46 於接觸窗 15 中與高濃度擴散區 124 接觸形成電性連接，閘極 44 與高濃度擴散區域 18 與 124 形成

NMOS 150，高濃度擴散區 124 與井 14 之間形成二極體 140，高濃度擴散區 124 與 126 之間形成二極體 142，高濃度擴散區 18 與 124 以及井 14 構成一 L-NPN BJT 136，電阻 138 為基板電阻。在操作時，導電層 26 及 46 分別與接地端及一接墊 31 連接，當接墊 31 上發生一 ESD 事件時，由於二極體 142 的崩潰電壓小於二極體 140 的崩潰電壓，因此隨著電壓的上升，二極體 142 先發生崩潰，崩潰的電流流經電阻 138 使基板的電壓提升進而使 BJT 136 導通，以釋放接墊 31 上的 ESD 電流。同樣地，在此實施例中，可藉由改變距離 D 的大小調整靜電防護裝置 146 的崩潰電壓，以有效保護 IC 內部電路。

圖 20 係本發明應用於 BJT 製程的靜電防護裝置 152 的示意圖，圖 21 係圖 20 的等效電路 156，參照圖 20 及圖 21，在一基板(例如導電型為 P 型的基板)60 上形成一與基板 60 導電型相反(例如 N 型)的埋層擴散層 86，一與基板 60 導電型相反的磊晶層 62 位於基板 60 上方覆蓋埋藏擴散層 86，一與基板導電型相同的擴散區 80 以及一與基板 60 導電型相反的擴散區 84 位於磊晶層 62 中，一與基板 60 導電型相反的擴散區 82 位於擴散區 80 中，一與基板 60 導電型相反的擴散區 154 從擴散區 84 中延伸至擴散區 80 與 84 之間的磊晶層 62 中，藉由與基板 60 導電型相同的隔離擴散區 68 及 78 將上述結構隔離成一獨立單元，導電層 116 與擴散區 80 接觸形成電性連接，導電層 118 與擴散區 82 接觸形成電性連接，導電層 120 與擴散區 154 接

觸形成電性連接，一絕緣層 88 位於磊晶層 62 上方覆蓋導電層 116、118 及 120 的部分區域，擴散區 82、擴散區 80 及磊晶層 62 構成 V-NPN BJT 164，擴散區 80 與磊晶層 62 之間形成二極體 158，擴散區 80 與 154 之間形成二極體 160，電阻 162 為基板電阻。其中，擴散區 84 作為 BJT 164 的集流區，擴散區 80 為基極擴散區，擴散區 82 為射極擴散區，磊晶層 62 用以提高 BJT 164 的耐壓，擴散區 154 的濃度大於擴散區 84 以作為接觸區域。在此實施例中，導電層 116 為 BJT 164 的基極(B)，導電層 118 為 BJT 164 的射極(E)，導電層 120 為 BJT 164 的集極(C)，同樣地，當接墊 104 上發生 ESD 事件時，由於二極體 160 的崩潰電壓小於二極體 158 的崩潰電壓，因此隨著電壓的上升，二極體 160 先發生崩潰，崩潰的電流流經電阻 160 使基板的電壓提升進而使 BJT 164 導通，以釋放接墊 31 上的 ESD 電流。同樣地，在此實施例中，可藉由改變擴散區 80 與 154 之間的距離調整靜電防護裝置 152 的崩潰電壓，以有效保護 IC 內部電路。

圖 22 係本發明應用於 HV-CMOS 靜電防護裝置 200 的示意圖，一基板(例如導電型為 P 型的基板)202 含有相鄰的與基板 202 導電型相反(例如 N 型)的井 204 及與基板 202 導電型相同的井 206，一與基板 202 導電型相反的高濃度擴散區 208 位於井 204 中，一與基板 202 導電型相同的高濃度擴散區 210 位於井 206 中，一絕緣層 212 覆蓋在基板 202 上，接觸窗 207 及 209 位於絕緣層 212 中分別對

應高濃度擴散區 208 及 210，以曝露高濃度擴散區 208 及 210 之一表面，導電層(例如金屬層)214 及 216 分別於接觸窗 207 及 209 中與高濃度擴散區 208 及 210 接觸形成電性連接，藉由場氧化層 205 將上述結構隔離成一獨立單元，區域 218 形成一箝制(clamping)二極體，藉由調整高濃度擴散區 208 與井 206 之間的距離及高濃度擴散區 210 與 208 之間的距離，進而改變高濃度擴散區 208 與 210 之間的距離，使箝制二極體的崩潰電壓介於電源電壓 VCC 與 HV-CMOS 的崩潰電壓之間，當一 ESD 事件發生時，由於箝制二極體的崩潰電壓小於 HV-CMOS 的崩潰電壓，因此箝制二極體比 HV-CMOS 先崩潰，且箝制二極體的崩潰電壓大於電源電壓 VCC，因此不會造成 HV-CMOS 的電源與接地端短路，達到保護 HV-CMOS 的目的。在不同的實施例中，亦可藉由調整高濃度擴散區 208 與井 206 之間的距離或高濃度擴散區 210 與 208 之間的距離，進而改變高濃度擴散區 208 與 210 之間的距離，使箝制二極體的崩潰電壓介於電源電壓 VCC 與 HV-CMOS 的崩潰電壓之間。圖 23 係高濃度擴散區 208 與井 206 之間的距離與崩潰電壓的關係圖，當高濃度擴散區 208 與井 206 之間的距離逐漸縮小時，隨著電流-電壓曲線逐漸由 220、222、224、226 至 228，崩潰電壓亦逐漸降低。圖 24 係高濃度擴散區 210 與井 204 之間的距離與崩潰電壓的關係圖，當高濃度擴散區 210 與井 204 之間的距離逐漸縮小時，隨著電流-電壓曲線逐漸由 220、230、232、234 至 236，崩潰電壓亦逐漸降低。

【圖式簡單說明】

圖 1 係習知靜電防護裝置的示意圖；

圖 2 係圖 1 的等效電路；

圖 3 係圖 1 所示的裝置在操作時的電流-電壓曲線；

圖 4 係圖 3 中電流-電壓曲線 40 在 A 點時電流流動的示意圖；

圖 5 係圖 3 中電流-電壓曲線 40 在 B 點時電流流動的示意圖；

圖 6 係習知應用於 LV-NMOS 靜電防護裝置的示意圖；

圖 7 係圖 6 的等效電路；

圖 8 係習知應用於 BJT 製程的靜電防護裝置的示意圖；

圖 9 係圖 8 的電路圖；

圖 10 係圖 9 的等效電路；

圖 11 係圖 8 中用於靜電防護的 BJT 結構的示意圖；

圖 12 係本發明的靜電防護裝置；

圖 13 係圖 12 的等效電路；

圖 14 係圖 12 所示的裝置在操作時的電流-電壓曲線；

圖 15 係圖 14 中電流-電壓曲線 144 在 A 點時電流流動的示意圖；

圖 16 係圖 14 中電流-電壓曲線 144 在 B 點時電流流動的示意圖；

圖 17 係習知電流-電壓曲線與本發明電流-電壓曲線

的比較圖；

圖 18 係本發明應用於 LV-NMOS 靜電防護裝置的示意圖；

圖 19 係圖 18 的等效電路；

圖 20 係本發明應用於 BJT 製程的靜電防護裝置的示意圖；

圖 21 係圖 20 的等效電路；

圖 22 係本發明應用於 HV-CMOS 靜電防護裝置的示意圖；

圖 23 係圖 22 中高濃度擴散區 208 與井 206 之間的距離與崩潰電壓的關係圖；以及

圖 24 係圖 22 中高濃度擴散區 210 與井 204 之間的距離與崩潰電壓的關係圖。

【主要元件符號說明】

10　靜電防護裝置

11　接觸窗

12　基板

13　接觸窗

14　井

15　接觸窗

16　高濃度擴散區

18　高濃度擴散區

19　端點

20	高濃度擴散區
22	場氧化層
24	絕緣層
26	導電層
28	導電層
30	等效電路
31	接墊
32	Field MOS
34	BJT
36	電阻
38	二極體
40	電流-電壓曲線
42	LV-NMOS 靜電防護裝置
44	閘極
46	導電層
48	閘極多晶矽
50	閘極氧化層
52	等效電路
54	NMOS
56	BJT 製程的靜電防護裝置
58	擴散區
60	基板
62	磊晶層
64	隔離擴散區

68	隔離擴散區
70	擴散區
72	擴散區
74	擴散區
76	埋藏擴散層
78	隔離擴散區
80	擴散區
82	擴散區
84	擴散區
86	埋藏擴散層
88	絕緣層
90	導電層
100	電路圖
102	BJT
104	接墊
106	BJT
110	電阻
112	二極體
114	BJT106 的結構
116	導電層
118	導電層
120	導電層
122	靜電防護裝置
124	高濃度擴散區

126 高濃度擴散區

128 區域

130 區域

132 等效電路

134 Field MOS

136 BJT

138 電阻

140 二極體

142 二極體

144 電流-電壓曲線

146 LV-NMOS 靜電防護裝置

148 等效電路

150 NMOS

152 BJT 製程的靜電防護裝置

154 擴散區

156 等效電路

158 二極體

160 二極體

162 電阻

164 BJT

200 HV-CMOS 靜電防護裝置

202 基板

204 井

205 Field MOS

206 井

207 接觸窗

208 高濃度擴散區

209 接觸窗

210 高濃度擴散區

212 絕緣層

214 金屬層

218 區域

216 金屬層

220 電流-電壓曲線

222 電流-電壓曲線

224 電流-電壓曲線

226 電流-電壓曲線

228 電流-電壓曲線

230 電流-電壓曲線

232 電流-電壓曲線

234 電流-電壓曲線

236 電流-電壓曲線

五、中文發明摘要：

一種靜電防護裝置，藉由改變二導電型相反的擴散區之間的距離，調整該靜電防護裝置接面的崩潰電壓，達到有效保護積體電路內部電路的目的。

六、英文發明摘要：

十、申請專利範圍：

1. 一種靜電防護裝置，包括：

一第一導電型的基板，含有一該第一導電型的井；

一該第一導電型的第一高濃度擴散區、一與該第一導電型相反的第二導電型的第二高濃度擴散區、一該第二導電型的第三高濃度擴散區以及該第一導電型的第四高濃度擴散區位於該井中；

一場氧化層，用以隔離該第一高濃度擴散區、該第二高濃度擴散區與該第三及第四高濃度擴散區；

一第一導電層，連接該第一及第二高濃度擴散區；以及

一第二導電層，與該第三高濃度擴散區接觸形成電性連接；

其中，該第三及第四高濃度擴散區彼此分開，藉由改變該第三與第四擴散區之間的距離，調整該靜電防護裝置的崩潰電壓。

2. 如請求項 1 的靜電防護裝置，其中該第一及第二導電層包括金屬層。

3. 如請求項 1 的靜電防護裝置，其中該第一導電層連接接地端。

4. 如請求項 1 的靜電防護裝置，其中該第二導電層連接一接墊。

5. 一種靜電防護裝置，包括：

一第一導電型的基板，含有一該第一導電型的井；

一該第一導電型的第一高濃度擴散區、一與該第一導電型相反的第二導電型的第二高濃度擴散區、一該第二導電型的第三高濃度擴散區以及該第一導電型的第四高濃度擴散區位於該井中；

一場氧化層，用以隔離該第一高濃度擴散區與該第二、第三及第四高濃度擴散區；

一閘極，橫跨該第二及第三高濃度擴散區上，並連接該第二及第三高濃度擴散區；

一第一導電層，連接該第一及第二高濃度擴散區；以及

一第二導電層，與該第三高濃度擴散區接觸形成電性連接；

其中，該第二、第三及第四高濃度擴散區彼此分開，藉由改變該第三與第四高濃度擴散區之間的距離，調整該靜電防護裝置的崩潰電壓。

6. 如請求項5的靜電防護裝置，其中該第一及第二導電層包括金屬層。

7. 如請求項5的靜電防護裝置，其中該第一導電層連接接地端。

8. 如請求項5的靜電防護裝置，其中該第二導電層連接一接墊。

9. 如請求項5的靜電防護裝置，其中該閘極包括一閘極氧化層及一位於其上的閘極多晶矽。

10. 一種靜電防護裝置，包括：

一第一導電型的基板；

一與該第一導電型相反的第二導電型的磊晶層位於該基板上；

一該第一導電型的第一擴散區及一該第二導電型的第二擴散區位於該磊晶層中；

一該第二導電型的第三擴散區，位於該第一擴散區中；以及

一該第二導電型的第四擴散區，從該第二擴散區延伸至該第一與第二擴散區中的該磊晶層中；

其中，藉由改變該第一及第四擴散區之間的距離，調整該靜電防護裝置的崩潰電壓。

11. 如請求項 10 的靜電防護裝置，其中該第二擴散區為集流區。

12. 如請求項 10 的靜電防護裝置，其中該第四擴散區的濃度大於該第二擴散區。

13. 如請求項 10 的靜電防護裝置，其中該第一擴散區為基極擴散區。

14. 如請求項 10 的靜電防護裝置，其中該第三擴散區為射極擴散區。

15. 一種靜電防護裝置，包括：

一第一導電型的基板，含有相鄰的一該第一導電型的第一井及一與該第一導電型相反的第二導電型的第二井；

一該第一導電型的第一高濃度擴散區，位於該第一井

中；以及

一該第二導電型的第二高濃度擴散區，位於該第二井中；

其中，藉由改變該第一及第二高濃度擴散區之間的距離，調整該靜電防護裝置的崩潰電壓。

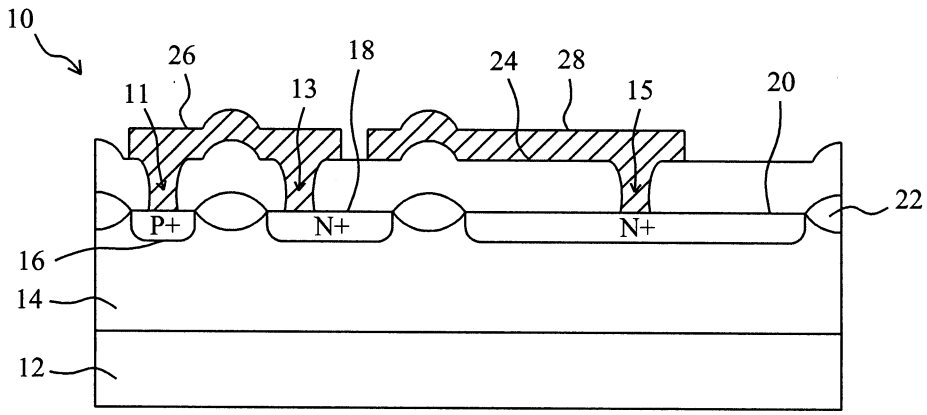

圖1

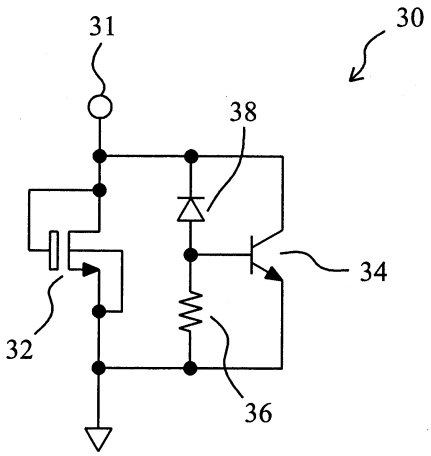

圖2

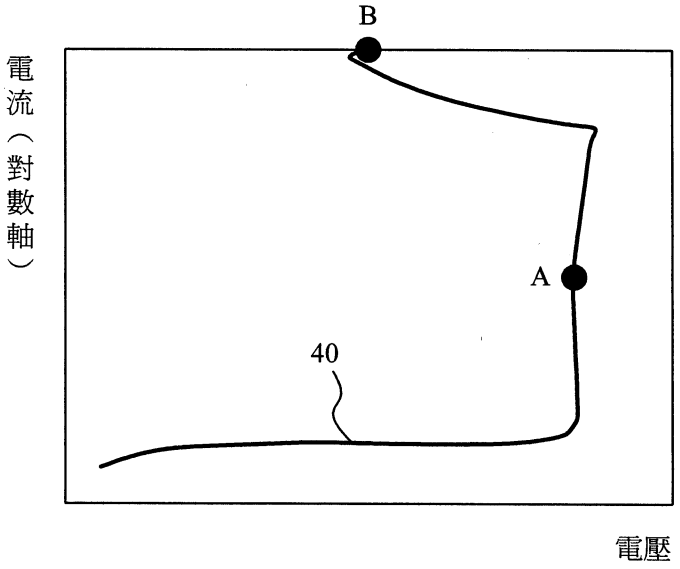

圖3

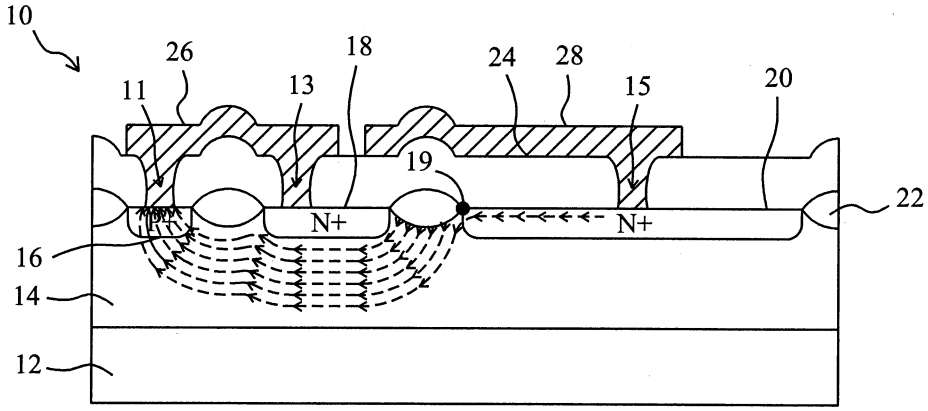

圖4

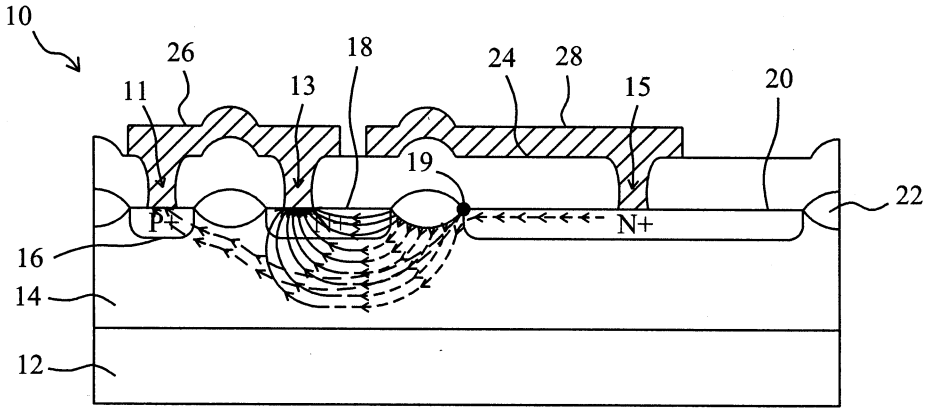
10
26
18
24
28
11
13
15
20
19
22
P+
N+
16
14
12

圖5

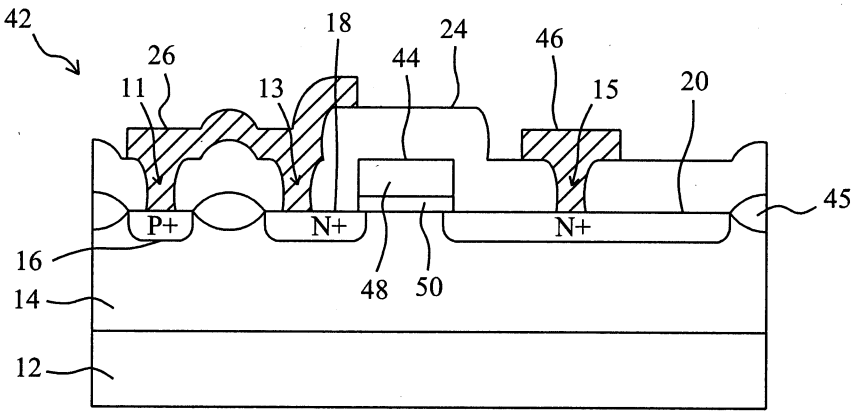
42
18
24
26
44
46
11
13
15
20
45
P+
N+
N+
16
48
50
14
12

圖6

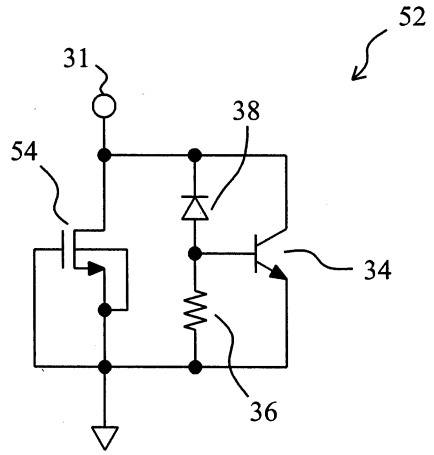

圖7

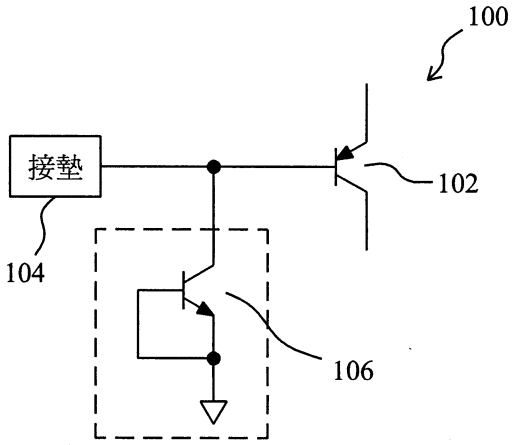

圖9

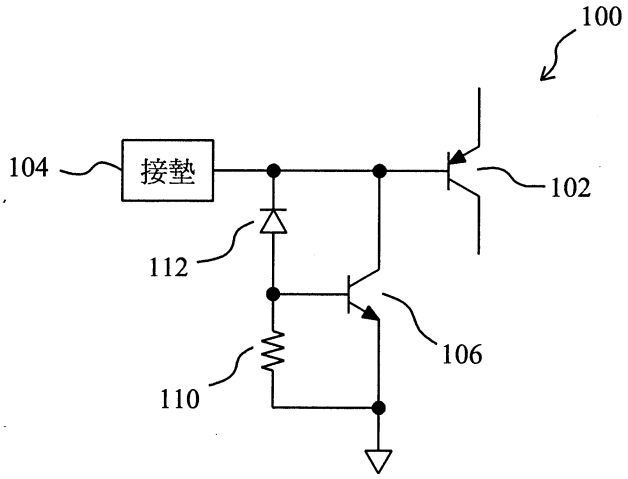

圖10

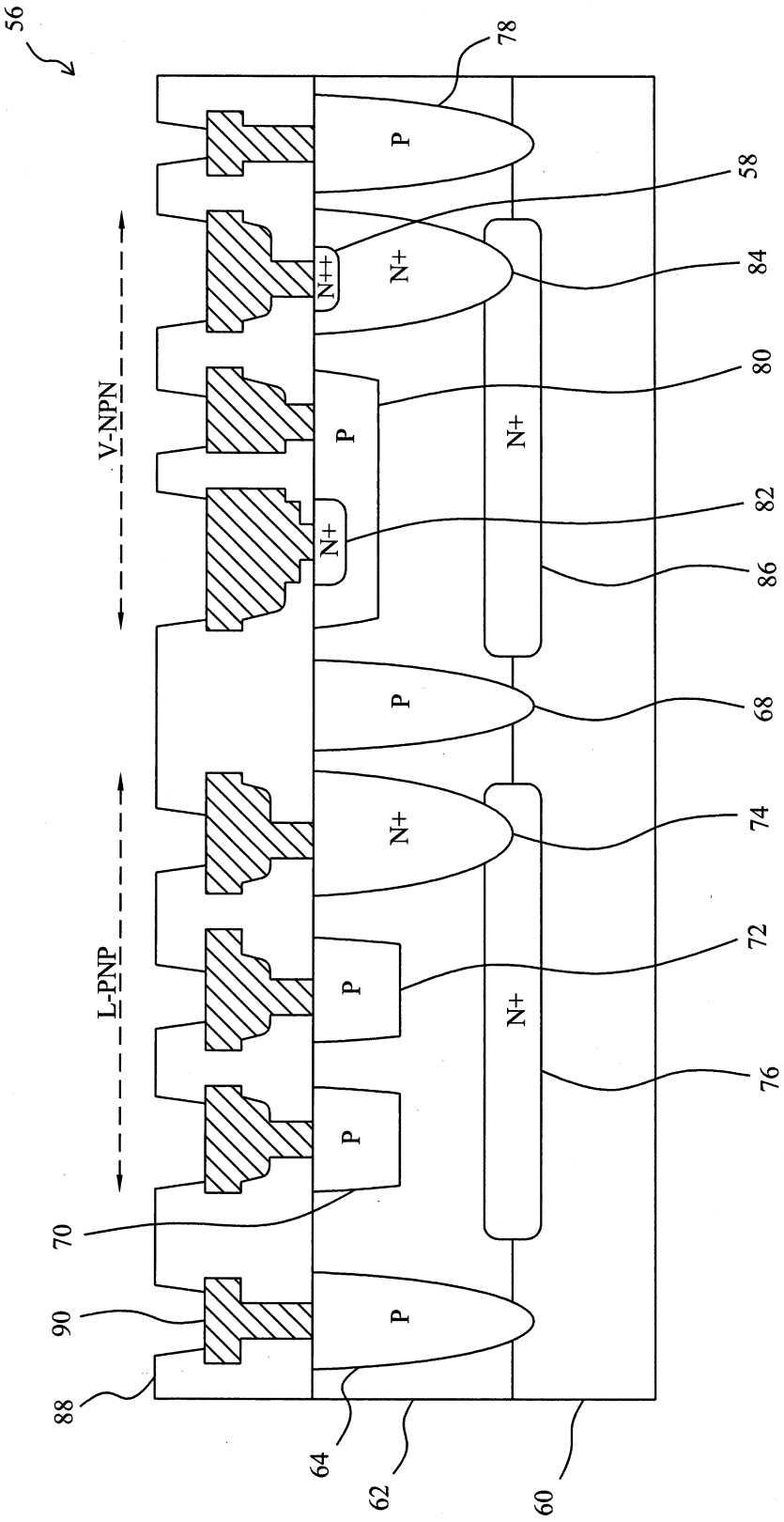

圖8

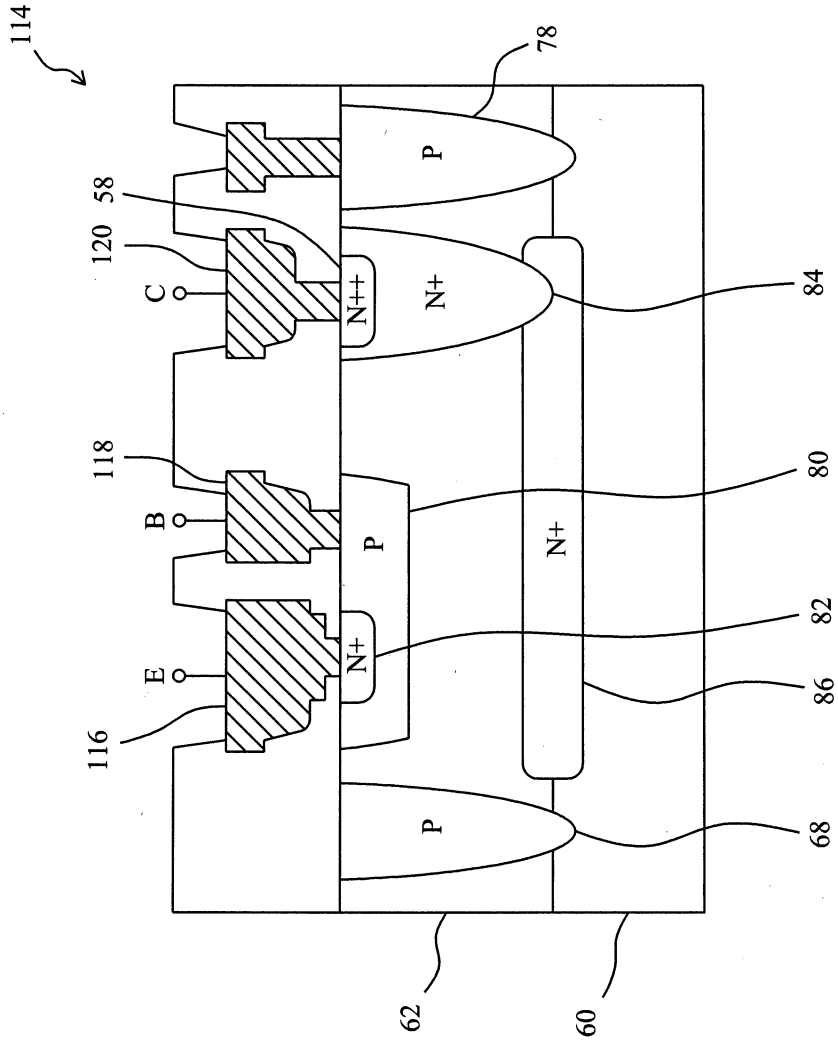

圖11

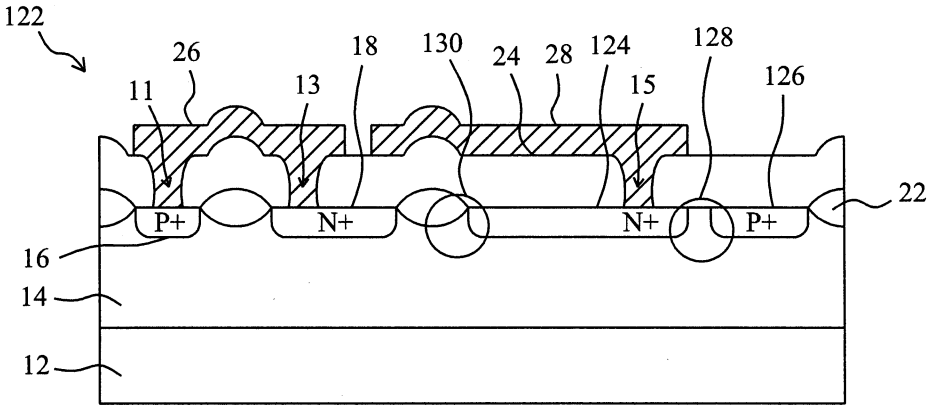
122
26
18
130
24
28
124
128
11
13
15
126
22
P+
N+
N+
P+
16
14
12

圖12

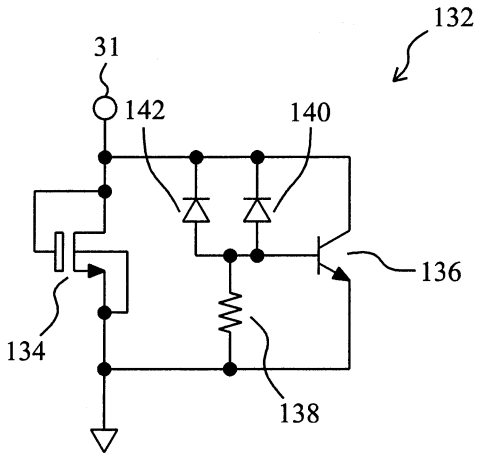
132
31
142
140
136
134
138

圖13

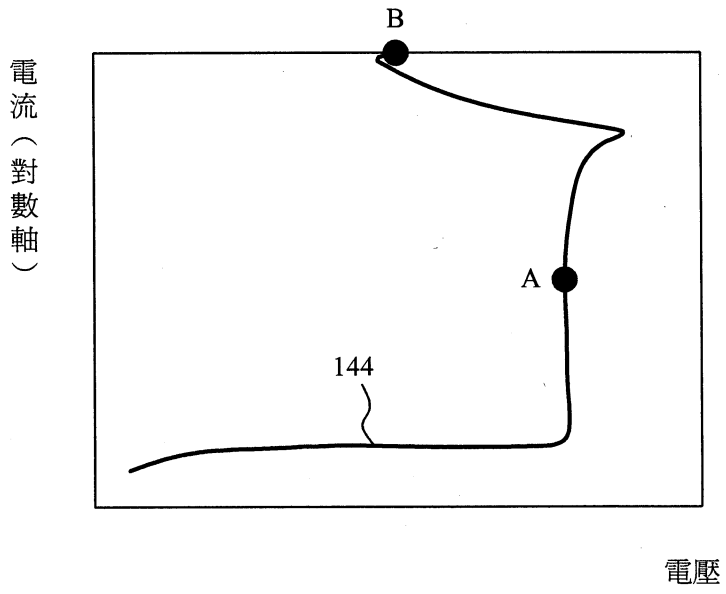
B
電流（對數軸）
A
144
電壓

圖14

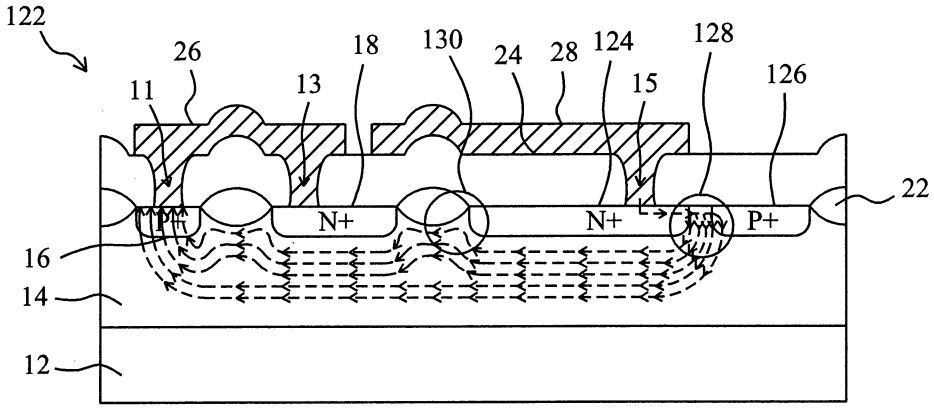
122
26
18
130
24
28
124
128
126
11
13
15
22
P+
N+
N+
P+
16
14
12

圖15

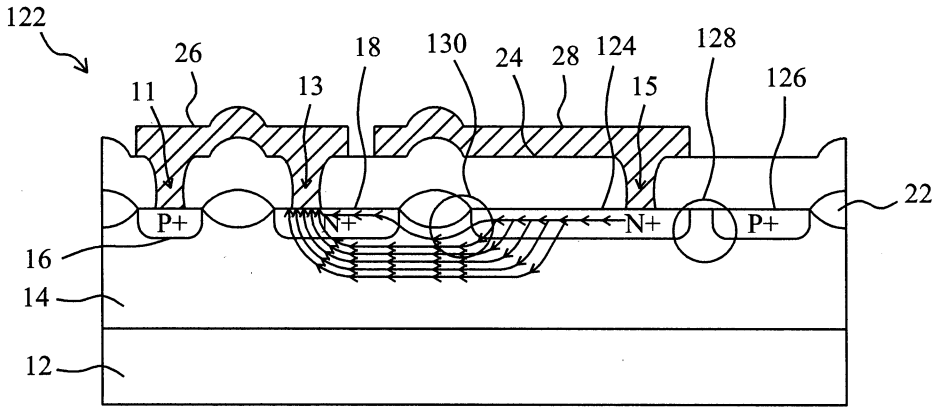
122
26
18
130
24
28
124
128
11
13
15
126
22
P+
N+
N+
P+
16
14
12

圖16

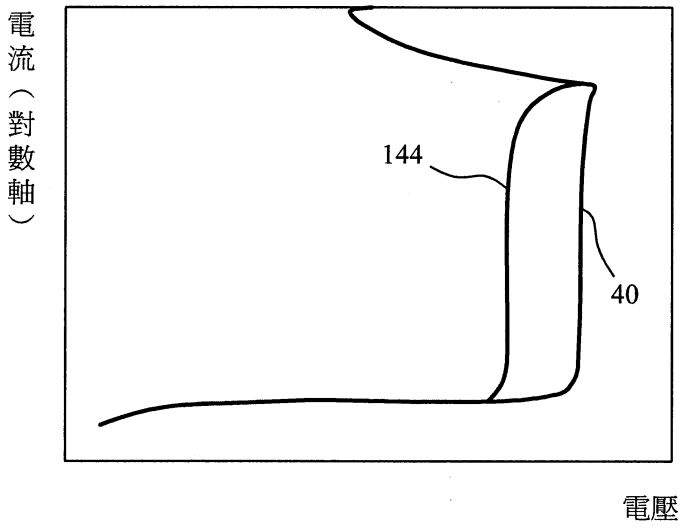
電流（對數軸）
144
40
電壓

圖17

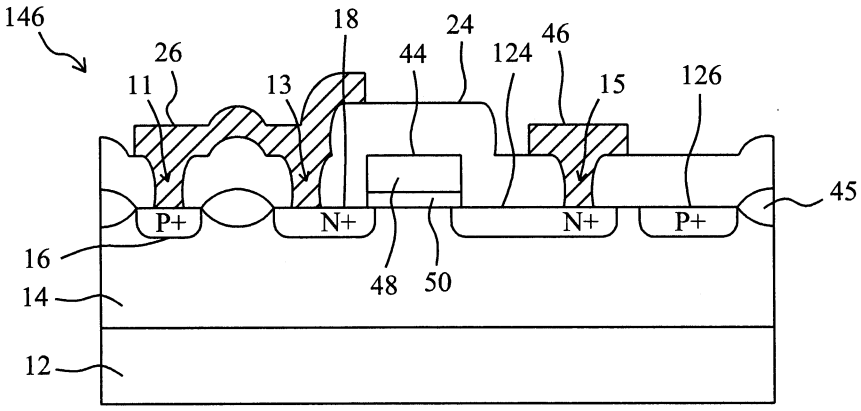
146
18
24
46
26
44
124
11
13
15
126
45
P+
N+
N+
P+
16
48
50
14
12

圖18

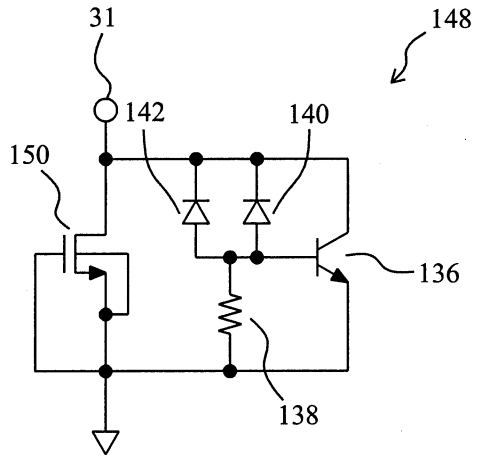
31
148
142
140
150
136
138

圖19

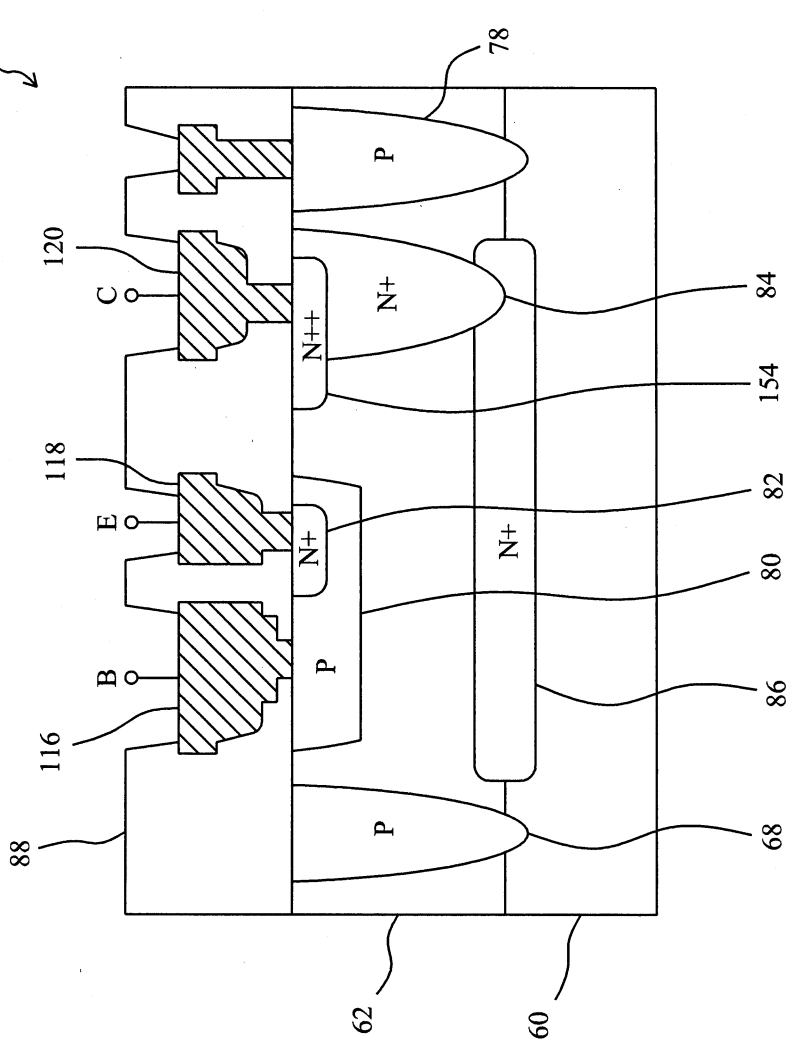

圖20

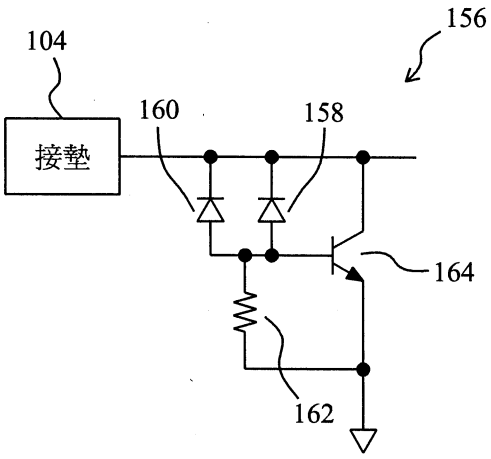
104
156
160
158
接墊
164
162

圖21

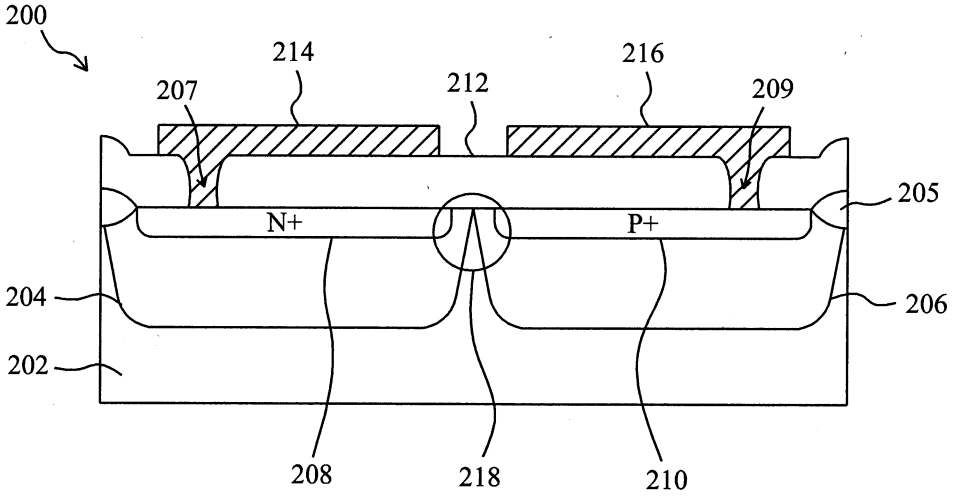
200
214
216
207
212
209
205
N+
P+
204
206
202
208
218
210

圖22

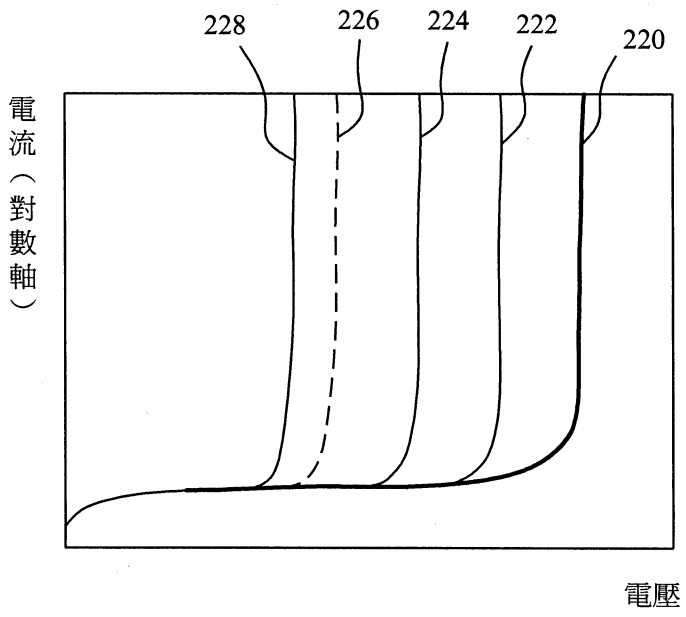

圖23

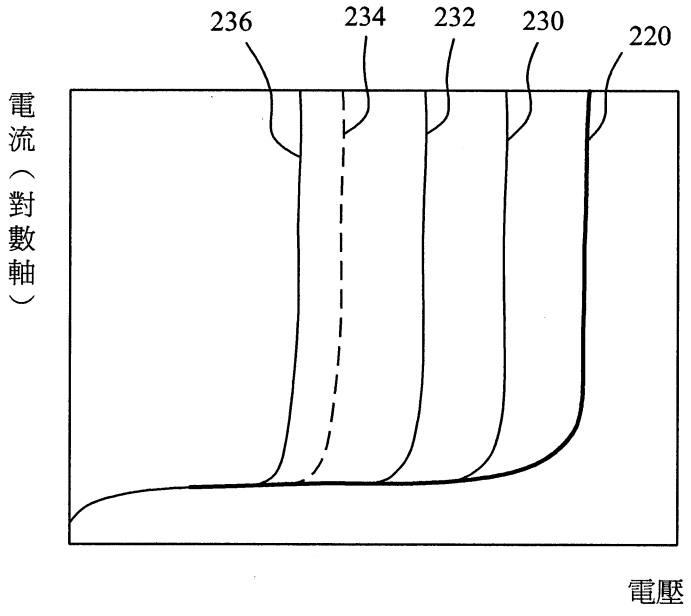

圖24

七、指定代表圖：

(一)本案指定代表圖為：第（ 12 ）圖。

(二)本代表圖之元件符號簡單說明:

11	接觸窗
12	基板
13	接觸窗
14	井
15	接觸窗
16	高濃度擴散區
18	高濃度擴散區
22	場氧化層
24	絕緣層
26	導電層
28	導電層
122	靜電防護裝置
124	高濃度擴散區
126	高濃度擴散區
128	區域
130	區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：