



[12] 发明专利说明书

[21] ZL 专利号 99801457.5

[43] 授权公告日 2003 年 5 月 28 日

[11] 授权公告号 CN 1110158C

[22] 申请日 1999.9.1 [21] 申请号 99801457.5
[30] 优先权
[32] 1998. 9. 1 [33] KR [31] 1998/36383
[86] 国际申请 PCT/KR99/00502 1999.9.1
[87] 国际公布 WO00/13432 英 2000.3.9
[85] 进入国家阶段日期 2000.4.26
[71] 专利权人 三星电子株式会社
地址 韩国京畿道
[72] 发明人 金宰烈 朴昌洙
[56] 参考文献
EP0584766A 1994.03.02 H04B14/04
JP7-107530A 1995.04.21 H04B7/26
US5442646A 1995.08.15 G08G1/09
审查员 姚跃华

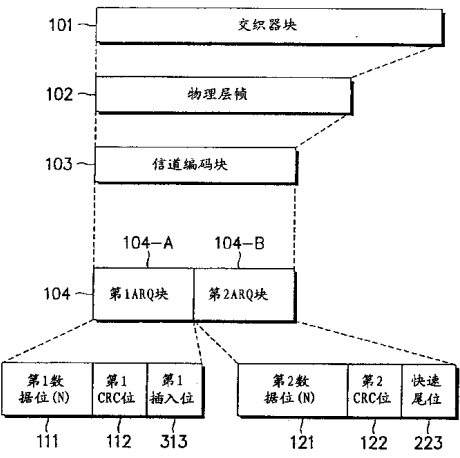
[74] 专利代理机构 北京市柳沈律师事务所
代理人 黄小临

权利要求书 2 页 说明书 14 页 附图 16 页

[54] 发明名称 在移动通信系统中发送子帧的装置和方法

[57] 摘要

一种用于移动通信系统的子帧数据发送装置。位发生器生成具有预定值的特定位。位插入器将接收的数据位流分段成至少两个子帧，并将生成的特定位插在各个子帧中出错几率较高的位置上。快速编码器编码由数据位流和特定位组成的子帧数据。子帧的大小等于 ARQ(自动重发请求)块，特定位被插在子帧的后部上。位插入器包括：将接收的数据位流延迟待插入的特定位数量的延迟器；和切换器，在接收用于子帧的数据位完成时，将接收的数据位连接到延迟器上，并将位发生器的输出施加到快速编码器；和当特定位被插入时，将延迟器的输出施加到快速编码器上。



ISSN 1008-4274

1. 一种用于移动通信系统的子帧数据发送装置，包括：
生成具有预定值的特定位的位发生器；
- 5 位插入器，用于将接收的数据位流分段成至少两个子帧，并将所生成的特定位插在各个子帧中出错几率较高的位置上；
 第一分编码器，用来编码从所述位插入器输出的子帧数据；
 交织从所述位插入器输出的子帧数据的交织器；
 第二分编码器，用来从所述交织器接收交织的子帧数据并编码所交织
- 10 的子帧数据；和
 快速编码器，用于编码由数据位流和特定位组成的子帧数据。
2. 如权利要求1所述的子帧数据发送装置，其中子帧的大小等于 ARQ 块，并且所述特定位被插在所述子帧的后部上。
3. 如权利要求1所述的子帧数据发送装置，其中所述位插入器包括：
- 15 将接收的数据位流延迟等于待插入的特定位的数量的延迟器；和
 切换器，在接收用于子帧的数据位完成时，将接收的数据位连接到所述延迟器上，并将所述位发生器的输出施加到所述快速编码器；并且，当所述特定位被插入时将所述延迟器的输出施加到所述快速编码器上。
4. 一种用于移动通信系统的子帧数据发送方法，所述系统具有用于产生具有一预定值的特定位的位发生器，该方法包括下列步骤：
 将接收的数据位流分段成至少两个子帧，并将在所述子帧中所生成的特定位插在各个子帧中出错几率较高的位置上；
 编码所述子帧数据；
 交织所述子帧数据并编码所交织的子帧数据。
- 25 5. 如权利要求4所述的子帧数据发送方法，其中所述子帧的大小等于 ARQ 块，并且所述特定位被插在所述子帧的后部上。
6. 如权利要求4所述的子帧数据发送方法，其中所述位插入步骤包括下列步骤：
 在接收用于子帧的数据位完成时，插入所生成的特定位和延迟所接收
- 30 的数据位；和
 当所述特定位被插入时，输出延迟的数据位。

7. 如权利要求 1 所述的子帧数据发送装置，其中所述快速编码器包括多路复用器，用来接收子帧数据、编码子帧数据和交织的编码子帧数据，并收缩所述子帧数据以将插入位插入其中。

在移动通信系统中发送子帧的装置和方法

5 技术领域

一般地说，本发明涉及用于通信系统的数据通信装置和方法，更具体地说，本发明涉及以子帧为单位发送数据的帧构造装置和方法。

背景技术

10 正如本文所使用的，术语“数据位”指未编码数据，和术语“符号”指由信道编码器编码的数据。

在用来处理语音、字符、图像和视频信号的通信系统中，数据通常以帧单位为基础发送。一帧定义为系统中的一个基本定时间隔。在使用分组交换传输的通信系统中，吞吐量表示无错帧的数量与总接收帧的数量之间的比值。当在差的信道环境下数据以非常长的帧传输时，错误帧的数量会增加，从而降低了吞吐量。另外，接收器的复杂程度与要完成的计算量成正比，而计算量依赖于接收帧的长度。因此，考虑到由于信道环境所引起的吞吐量的降低和接收器的复杂性，需要一种将一个帧分成几个子帧并利用 ARQ(自动重发请求)发送数据的方法。

20 然而，不但提供语音服务而且提供各种数据服务的通信系统根据各种数据速率和服务选项使用具有不同特征的信道编码器。具体地说，卷积编码器通常用于低速率的语音和数据传输，而快速(turbo)编码器通常用于高速率的数据传输。此外，在进行帧数据通信的系统中，用于纠错的信道编码器也应该以帧为单位来编码数据。在这种情况下，信道编码器在序列的末端上添加多个零位以表示每个帧的终结，使得解码器能够利用这些信息高效地解码这些帧。IS-95 系统通常使用非递归系统卷积编码器，它将含有零(0)位的序列。添加到每帧的末端上以实现帧终结，这些零位等于延迟的数目。

30 同时，典型的快速编码器由两个串行或并行连接的系统卷积编码器和一个连接在两个系统卷积编码器之间的快速交织器组成。特别是，与非递归系统卷积编码器不同，在用作快速编码器的组成编码器的系统卷积编码

器中, 尽管将等于延迟数的含零位的序列添加到输入数据位上, 但并不实现终结。这是因为输入数据位反馈到这些延迟器中。这个系统卷积编码器采用了使用反馈值的终结方法和无需终结进行解码的方法。想获得更多的详细信息请参阅 Mark C.Reed 和 Steven S.Pietrobon 所撰的文章: “快速
5 码终结方法和一种用于短帧的新的可选择方法” (Mark C.Reed and Steven S.Pietrobon, “Turbo-Code Termination Schemes and a Novel Alternative for short Frames”, PIMRC’96, Uct, 15-18, 1996)。

信噪比 (SNR) 与位误码率 (BER) 和帧误码率 (FER) 之间的关系依赖于信道编码器的类型。例如, 在快速编码器中, 当帧尺寸 (或长度) 变得较长时,
10 可以允许保持 BER 或 FER 所要求的 SNR 较低。但是, 在卷积编码器中, 不管帧大小如何, 保持 BER 所要求的 SNR 相对不变, 而 FER 则随着帧大小的增大而升高。因此, 需要一种子帧构造方法, 它使采用两种具有不同特征的信道编码器的通信系统的性能最小化。

假定卷积编码器具有约束长度 $K = 9$ 和编码速率 $R = 1/3$, 和快速编码器
15 具有约束长度 $K = 4$ 和编码速率 $R = 1/3$ 。

图 1 显示了传统分层帧结构, 其中对子帧加以考虑。这里, 卷积编码器用作信道编码器。图 1 所示的帧包括四层: 交织器块 101、物理层帧 102、信道编码块 103 和 ARQ 块 104。交织器块 101 可以包括几个物理层帧 102; 反之, 物理层帧 102 也可以包括几个交织器块 101。但是, 将假定一个交织
20 器块 101 构成一个物理层帧 102。物理层帧 102 可以包括几个信道编码块 103, 和信道编码块 103 可以包括几个 ARQ 块 104。每个 ARQ 块 104 由数据位和零 (0) 位组成。为了能更好地理解, 下面对数据速率为 38.4Kbps 的情况进行说明。下文假定 CRC (循环冗余码) 由 16 位组成。

当 ARQ 块 104 是单个 ARQ 块时, ARQ 块 104 包括 $N (= 744)$ 个数据位、
25 16 个 CRC 位和 8 个尾位, 使得一帧总共由 768 位组成。然而, 当 ARQ 块 104 由第一 ARQ 块 104-A 和第二 ARQ 块 104-B 两个子块组成时, 第一 ARQ 块 104-A 包括 360 个第一数据位 111、16 个第一 CRC 位 112 和 8 个第一附加位 113, 第二 ARQ 块 104-B 包括 360 个第二数据位 121、16 个第二 CRC 位 122 和 8 个卷积尾位 123, 使得一帧总共由 768 位组成。但是, 在每一种情况下, 输入到信道编码块 103 的数据位的数量固定为 768, 并且对于 768 个数据位的
30 信道编码符号的数量变成 $768 \times 3 = 2304$ 个。在 ARQ 块 104 由第一 ARQ 块

104-A 和第二 ARQ 块 104-B 组成的情况下,一帧额外地包括了 16 个第一 CRC 位 112 和 8 个第一附加位 113,不必要地使开销增加。但是,其优点在于可以利用 ARQ 进行重发。另外,当第一附加位 113 由 8 个零位组成时,这些第一附加位 113 可以用作终结第一 ARQ 块 104-A 的尾位。

5 这里,附加位由 8 个连续的零位组成,并且附加位的位数可以变化。

如图 1 所示,当使用卷积编码器时,第一附加位 113 可以用作第一 ARQ 块 104-A 的终结。即使在 ARQ 块 104 由几个子 ARQ 块 104A 和 104-B 组成的情况下,附加位也可以用作终结。由于第一 ARQ 块 104-A 和第二 ARQ 块 104-B 是独立终结的,因此,有可能在接收器处以并行的方式同时解码两个子 ARQ 块。也就是说,在卷积编码器中,尽管使用了子帧结构,但由于附加位的存在,信道编码块和 ARQ 块的大小可以彼此相等。

图 2 显示了另一个传统分层帧结构,其中也对子帧加以考虑。这里,快速编码器用作信道编码器。在图 2 所示的帧中,快速尾位 223 由 8 位组成,其中的值不是连续的零位,而是根据来自组成快速编码器的递归卷积编码器的反馈值发生变化。在图 2 中,由于存在于信道编码块 103 中的快速交织器是在对整个 ARQ 块 104 的数据加扰之后进行快速编码的,因此,不可能象图 1 所示那样独立地解码子 ARQ 块。也就是说,在快速编码器中,尽管 ARQ 块 104 由几个子 ARQ 块组成,但解码应该在是整个 ARQ 块的时候进行,以解码对每个子 ARQ 块的数据。在这种情况下,尽管 ARQ 块 104 被分割成子 ARQ 块 104-A 和 104-B,但不可能象在卷积编码器中那样以并行方式同时解码子 ARQ 块。

因此,在使用快速编码器的移动通信系统中,就用于 ARQ 传输的子帧构造方法而言,最好是,通过加上卷积编码器的各种优点,使快速编码器的性能最大化。

25

发明内容

因此,本发明的一个目的是在一种在使用快速编码器的移动通信系统中,提供以适合于发送数据的子帧单位来构造发送帧的装置和方法。

本发明的另一个目的是提供一种在移动通信系统中构造对其中的子帧加以考虑的分层帧的装置和方法,其中预定的特定位是在编码之前被插在帧中的出错几率较高的位置上。

本发明还有一个目的就是提供一种装置和方法，用于在使用快速编码器的移动通信系统中，以适合于发送数据的子帧单位构造发送帧、在编码之前将预定的特定位插在子帧中出错几率较高的位置上、然后发送编码帧数据。

- 5 为了达到上述目的，本发明提供了一种用于移动通信系统的子帧数据发送装置，包括：生成具有预定值的特定位的位发生器；位插入器，用于将接收的数据位流分段成至少两个子帧，并将所生成的特定位插在各个子帧中出错几率较高的位置上；第一分编码器，用来编码从所述位插入器输出的子帧数据；交织从所述位插入器输出的子帧数据的交织器；第二分编码器，用来从所述交织器接收交织的子帧数据并编码所交织的子帧数据；
10 和快速编码器，用于编码由数据位流和特定位组成的子帧数据。

- 本发明还提供一种用于移动通信系统的子帧数据发送方法，所述系统具有用于产生具有一预定值的特定位的位发生器，该方法包括下列步骤：
15 将接收的数据位流分段成至少两个子帧，并将在所述子帧中所生成的特定位插在各个子帧中出错几率较高的位置上；编码所述子帧数据；交织所述子帧数据并编码所交织的子帧数据。

附图说明

- 通过结合附图对本发明进行如下详细说明，本发明的上述和其它目的、
20 特征和优点将更加清楚。在附图中，

 图 1 是显示应用于使用卷积编码器的传统移动通信系统的分层帧结构的示意图，其中对子帧加以考虑；

 图 2 是显示应用于使用快速编码器的传统移动通信系统的分层帧结构的示意图，其中对子帧加以考虑；

- 25 图 3 是显示根据本发明一个实施例的、应用于使用快速编码器的移动通信系统的分层帧结构的示意图，其中对子帧加以考虑；

 图 4 是显示根据本发明一个实施例的、应用于使用快速编码器的移动通信系统的分层帧结构的示意图，其中对子帧加以考虑，并且其中快速编码器不使用快速尾位实现终结；

- 30 图 5 是显示根据本发明一个实施例的、应用于使用快速编码器的移动通信系统的分层帧结构的示意图，其中对子帧加以考虑，并且其中不使用

CRC 位;

图 6 是显示根据本发明一个实施例的、应用于使用快速编码器的移动通信系统的分层帧结构的示意图, 其中对子帧加以考虑, 并且其中不使用快速尾位和 CRC 位;

- 5 图 7A 和 7B 是显示根据本发明一个实施例, 在使用快速编码器的移动通信系统中, 在其中对子帧加以考虑的分层帧结构中, 性能随插入位位数的不同而变化的模拟结果的频率图;

图 8 是显示应用于根据本发明第一实施例的、图 3 所示的分层帧结构的信道编码器件的方块图;

- 10 图 9 是显示应用于根据本发明第二实施例的、图 4 所示的分层帧结构的信道编码器件的方块图;

图 10 是显示应用于根据本发明第三实施例的、图 4 所示的分层帧结构的信道编码器件的方块图;

- 15 图 11 是显示应用于根据本发明第四实施例的、图 3 所示的分层帧结构的信道编码器件的方块图;

图 12 是显示根据图 8 所示的第一实施例的快速编码器的操作定时的时序图;

图 13 是显示根据图 9 所示的第二实施例的快速编码器的操作定时的时序图;

- 20 图 14 是显示根据图 10 所示的第三实施例的快速编码器的操作定时的时序图; 和

图 15 是显示根据图 11 所示的第四实施例的快速编码器的操作定时的时序图。

25 具体实施方式

下面参考附图对本发明的优选实施例进行说明。在如下的说明中, 对那些众所周知的功能或结构将不作详细说明, 因为它们可能会使本发明遮掩在不必要的细节之中。

- 30 图 3 显示了根据本发明的第一实施例的分层帧结构, 其中对子帧加以考虑。这里, 快速编码器用作信道编码器。

在图 3 所示的第一实施例中, 预定的特定位被插在 ARQ 块 104 的帧中

出错几率相对较高的位置上。出错几率是由实验来确定的，插入位置应该为信道编码器和信道解码器所知。如果被插入的位的位置和值为接收方和发送方所知，那么，无论它们是否被发送，这些特定位都是不重要的。另外，在相互预定的发送方和接收方利用控制信息位作为插入位的情况下，

5 插入位可以用作特定位。在这种情况下，特定位应该发送出去。

本文假定待插入的特定位具有“0”值和快速编码器中编码之后插入的特定位不发送出去。另外，将插入的特定位称为“插入位”。

快速编码器由一个原样输出输入数据位的部分和一个输出奇偶位的部分组成。由于数据位输出部分收缩(puncture)位于预定插入位置上的特定位，因此，不允许发送插入位。但是，在另一方面，插入值可以具有“1”值并且还允许在快速编码之后发送插入位。另外，FER性能可以依赖于插入位的数目。也就是说，很明显，当插入位的数目增加时，FER性能改善了(即，FER值减少了)。

10

同时，图1和2所示的附加位是连续添加的位，而插入位既可以是连续添加的位也可以是分散地分布在整个ARQ帧中的位，这是因为没有必要连续发送这些插入位，因为快速编码器一次编码整个ARQ帧，尽管在卷积编码器中，应该连续发送其数量等于延迟的数目的附加位，使得附加位可以用作子帧的终结。

15

在第一实施例中，假定帧具有图1中所示的38.4Kbps的数据速率。在图3中，第一和第二数据位111和121由360位组成；第一和第二CRC位112和122由16位组成；第一插入位313总共有12位；和快速尾位223总共有8位。由此，帧总共由772位组成，信道编码符号的数目变成 $772 \times 3 = 2316$ 。也就是说，第一插入位的位数比图1所示的附加位的位数多4位。然而，当使信道编码符号收缩等于插入位的位数的数目时，从快速编码器

25 输出的最后符号的数目变成 $2316 - 12 = 2304$ 。另外，如上所述，由于插入位以预定值插入在与接收方先前安排的位置上，允许发送方在信道编码之后不发送插入位。在这种情况下，有可能通过收缩插入位来获得速率匹配结果。因此，从信道编码器输出的最后符号的数目可以等于或小于图1所示的符号的数目。

30 图4显示了根据本发明的第二实施例的、对其中子帧加以考虑的分层帧结构。在这个实施例中，用作信道编码器的快速编码器并不使用快速尾

位实现终结。这是因为，即使没有终结，快速编码器也能进行解码。关于更多的信息请参阅 Mark C.Reed 和 Steven S.Piefrobon 所撰的文章：“快速码终结方法和一种用于短帧的新方案” (Mark C.Reed and Steven S.Pietrobon, “Turbo-Code Termination Schemes and a Novel Alternative for Short Frames”, PIMRC’96, Oct, 15-18, 1996)。

参考图 4, 第二插入位 423 被插入以补偿由于 ARQ 帧的无终结引起的性能下降。与第一插入位 313 一样, 第二插入位 423 是插在整個 ARQ 块 104 中出错几率相对较高的位置上的预定特定位。关于插入第二插入位的出错几率是由实验来确定的, 插入位置应该为信道编码器和信道解码器所知。如果插入位的位置和数值为接收方和发送方所知, 无论插入位是否发送出去都不重要。另外, 与接收方先前安排好的分离数据位, 而不是编码位, 可以用作特定位。在这种情况下, 特定位是原样发送出去的。这里假定第二插入位的特定值是 “0” 和快速编码之后快速编码器的特定位不被发送。

图 5 显示了根据本发明第三实施例的、对其中的子帧加以考虑的分层帧结构。在此实施例中, 用作信道编码器的快速编码器并不使用 CRC 位。

参考图 5, 快速编码器使用快速尾位实现终结。在这种快速编码器中, 由于信道编码不是以整个 ARQ 帧 104 为单位而是以子帧为单位进行的, 有可能去除 CRC 位来提高吞吐量和信道编码器的性能。也就是说, 在卷积编码器中, 当 ARQ 帧在发送之前利用由 8 个零位组成的附加位来分割成子 ARQ 帧时, 接收方能够以子 ARQ 帧为单位进行解码。但是, 由于快速编码器可以以整个 ARQ 帧为单位进行解码, 有可能通过从子帧中去除供卷积编码器用的 CRC 位来提高吞吐量或改善快速编码器的性能, 然后或者发送更多的数据位, 或者增加等于 CRC 位位数的插入位位数。在图 5 中, 第一数据位 511 和第二数据位 521 在数量上可以增加等于图 3 和 4 所示的 CRC 位的位数。或者是, 也有可能通过使第一插入位 513 的位数增加到 CRC 位位数的两倍来改善快速编码器的性能。

图 6 显示了根据本发明第四实施例的、对其中的子帧加以考虑的分层帧结构。在此实施例中, 用作信道编码器的快速编码器既不使用尾位也不使用 CRC 位。

参考图 6, 快速编码器不使用快速尾位实现终结, 而是加上第二插入位。在图 6 所示的帧结构中, 有可能通过去除 CRC 位来提高吞吐量, 然后使第

一和第二数据位 511 和 521 的数量增加等于 CRC 位的位数，或者是，也有可能通过使第一插入位 513 的数量增加到 CRC 位位数的两倍来改善快速编码器的性能。

图 7A 显示了在使用根据本发明第一实施例的分层帧结构的移动通信系统中，性能相对于插入位位数的不同而变化的模拟结果的频率图；模拟条件如下：

- 信道模式：ITU-R Rec.M.1225 信道-B
- 载波频率：2GHz
- 移动速率：3km/h, 30km/h, 60km/h, 120km/h
- 信息位速率：32kbps (10ms)
- 码片率 = 4.096MCPS
- 理想信道估计
- 分集：2-分支空间分集
- RAKE：2 指/分支
- 基于 SIR 的 TPC (动态范围 12dB, 步长 1dB)
- 快速码：K = 3, 多项式 (7, 5), MAP 解码器, 8 次叠代和 8-位量化。

从图中可以看出，当插入位的位数减少时，保持 FER 性能在 10^{-3} 数量级上所要求的 SNR 值变小了。因此，为了使快速编码器的性能极大化，优选的做法是，使插入位的位数极大化，然后从信道编码符号中收缩插入位。

图 7B 显示了在使用根据图 4 所示的第二实施例的分层帧结构的移动通信系统中，性能相对于插入位位数的不同而变化的模拟结果。尽管模拟条件与图 7A 中所示的模拟条件相同，但快速编码器已经添加了第二插入位，而没有利用快速尾位实现终结。从图 7B 中可以注意到，当插入位的位数增加时，保持 FER 性能在 10^{-3} 数量级上所要求的 SNR 值变小了。

现在，对根据第一至第四实施例的信道编码器的操作过程进行说明。

图 8 显示了应用于根据本发明第一实施例的图 3 所示的分层帧结构的信道编码器件。图 12 显示图 8 所示的信道编码器的操作过程，这个信道编码器编码具有根据第一实施例的子帧结构的数据。因此，可以明白，图 8 所示的信道编码器生成并发送具有根据第一实施例的图 3 所示的帧结构的数据。图 12 是显示生成具有根据第一实施例的子帧结构的数据的过程的时序图，其中 x-轴表示切换器 880、881 和 882 的操作过程，和作为时间轴的

Y-轴表示从上述切换器输出的位的时序。

参考图 8 和 12, 当接收到输入位 I_k 时, 切换器 880 将输入位连接到线路 801 上, 切换器 881 将线路 801 与线路 802 相连接将第一数据位施加到线路 802 上, 如图 12 的参考标号 1211 所示。此时, 切换器 882 将线路 802 与线路 803 相连接使第一数据位通过线路 803 施加到编码器上, 并通过线路 802 接收第一数据位的 CRC 发生器 820 生成 CRC 位。在这种状态下, 图 3 所示的所有 360 个第一数据位 111 都输入到为第一数据位生成 CRC 位的 CRC 发生器 820 中。

此后, 当完成第一数据位输入时, 将切换器 880 与延迟器 810 相连接, 使切换器 881 与延迟器 810 断开或保持断开一段时间, 以切断通向线路 802 的输入, 使得作为随后的输入位的第二数据位存储在延迟器 810 中, 如图 12 的参考标号 1213 所示。进一步, 当切换器 882 与 CRC 发生器 820 相连接时, CRC 发生器 820 输出用于第一数据位的 16 个 CRC 位并通过切换器 882 将它们施加到编码器上。当 CRC 位完全施加到编码器上时, 切换器 882 与位发生器 830 相连接, 以通过切换器 882 将预定已知位的第一插入位 313 提供给编码器, 如图 12 的参考标号 1215 所示。

在完成关于第一数据位的处理过程之后, 在切换器 880 保持与延迟器 810 相连接的同时切换器 881 与延迟器 810 相连接, 将存储在延迟器 810 中的第二数据位提供给线路 802, 如图 12 的参考标号 1217 所示。此时, 切换器 882 与线路 802 相连接将第二数据位施加给编码器, 并且还通过线路 802 将第二数据位施加到 CRC 发生器 820 上, CRC 发生器 820 计算用于第二数据位的 CRC 位。

此后, 当完成第二数据位输入时, 切换器 882 与 CRC 发生器 820 相连接, 以通过切换器 882 将从 CRC 发生器 820 输出的、用于第二数据位的 16 个 CRC 位提供给编码器, 如图 12 的参考标号 1219 所示。当各第一数据位、各第一 CRC 位、各第二数据位和各第二 CRC 位按照这种方式完全输入到编码器部分时, 编码器部分启动对于输入位的编码处理。

编码器由第一分编码器 850、交织器 840、第二分编码器 860 和多路复用器 870 组成。根据第一实施例的第一和第二分编码器 850 和 860 插入位和添加尾位以执行终结。输入到编码器中的信号公用地提供给多路复用器 870、第一分编码器 850 和交织器 840。接着, 从交织器 840 输出的交织输

入位施加到第二分编码器 860 中。这里，第一和第二分编码器 850 和 860 是递归系统性分编码器，它们生成待添加的尾位。

在操作过程中，第一分编码器 850 编码输入位并生成用于终结的尾位的编码位。第一分编码器 850 输出关于输入位和尾位的第一奇偶位，并将
5 输出位提供给多路复用器 870。交织器 840 交织输入到编码器中的位并将交织位提供给第二分编码器 860，第二分编码器 860 以与第一分编码器 850 相同的方式编码交织的数据位，以生成第二奇偶位和尾位。从第二分编码器 860 输出的第二奇偶位和尾位还施加到多路复用器 870 上。然后，多路复用器 870 收缩数据位 1k 并将插入位插入其中。

10 由本申请人提交的、标题为“应用于通信系统的信道编码装置和方法”的韩国专利申请第 1998-13956 号详细公开了这样一种编码器的操作过程。

在解码处理中，多路复用器 870 的输出被解复用并且特定位置被插在插入位被插的插入位置上。由本申请人提交的韩国专利申请第 1998-32471 号详细公开了这样一种解码器。在下文所述的第一至第四实施例中，解码器
15 将按照上面所述的相同方式解码编码数据。

图 9 显示了应用于根据本发明第二实施例的图 4 所示的分层帧结构的信道编码器件。图 13 显示了图 9 所示的信道编码器的操作过程，这个信道编码器编码具有根据第二实施例的分帧结构的数据。因此，可以明白，图 9 所示的信道编码器生成并发送具有根据第二实施例的图 4 所示的帧结构的数据。
20 图 13 是显示生成具有根据第二实施例的子帧结构的数据的过程的时序图，其中 X 轴表示切换器 980、981 和 982 的操作过程，和作为时间轴的 Y 轴表示从上述切换器输出的位的定时。

参考图 9 和 13，当接收到输入位 1k 时，切换器 980 将输入位连接到线路 901 上，切换器 981 将线路 901 与线路 902 相连接，以使第一数据位施
25 加到线路 902 上，如图 13 的参考标号 1311 所示。此时，切换器 982 将线路 902 与线路 903 相连接使第一数据位通过公用的线路 903 施加到编码器和 CRC 发生器 920 上。在图 4 所示的 360 个第一数据位完全输入时，CRC 发生器 920 计算用于第一数据位的 CRC 位。

此后，当第一数据位完全输入时，将切换器 980 与延迟器 910 相连接，
30 并使切换器 981 与延迟器 910 断开或保持断开一段时间，以切断通向线路 902 的输入，使得作为随后的输入位的第二数据位存储在延迟器 910 中，如

图 13 的参考标号 1313 所示。进一步，当切换器 982 与 CRC 发生器 920 相连接时，CRC 发生器 920 输出用于第一数据位的 16 个 CRC 位，并通过切换器 982 将它们施加到编码器上。当 CRC 位完全施加到编码器上时，切换器 982 与位发生器 930 相连接，并通过切换器 982 将预定已知位的第一插入位 5 313 提供给编码器，如图 13 的参考标号 1315 所示。

在完成关于第一数据位的处理过程之后，在切换器 980 保持与延迟器 910 相连接的同时切换器 981 与延迟器 910 相连接，将存储在延迟器 910 中的第二数据位提供给线路 902，如图 13 的参考标号 1317 所示。此时，切换器 982 与线路 902 相连接以将第二数据位施加给编码器，并且还通过线路 10 902 将第二数据位施加到 CRC 发生器 920 上，CRC 发生器 920 计算用于第二数据位的 CRC 位。

此后，当第二数据位完全输入时，切换器 982 与 CRC 发生器 920 相连接，以通过切换器 982 将从 CRC 发生器 920 输出的、用于第二数据位的 16 个 CRC 位提供给编码器，如图 13 的参考标号 1319 所示。当 CRC 位完全提 15 供给编码器时，切换器 982 连接到位产生器 930，以将预定的已知位的第二插入位 413 经其提供给编码器，如图 13 的标号 1321 所示。

当第一数据位、第一 CRC 位、第二数据位和第二 CRC 位按照这种方式完全输入到编码器部分时，编码器部分启动对于具有图 4 所示的子帧结构的输入位的编码处理。

20 编码器包括第一分编码器 950、交织器 940、第二分编码器 960 和多路复用器 970。根据第二实施例的第一和第二分编码器 950 和 960 不进行终结。输入到编码器中的信号公用地提供给多路复用器 970、第一分编码器和交织器 940。接着，从交织器 940 输出的交织输入位施加到第二分编码器 960 中。这里，第一和第二分编码器 950 和 960 是递归系统性分编码器，它们不生 25 成用于终结的尾位。

在操作过程中，第一分编码器 950 编码输入位并将编码位提供给多路复用器 970。交织器 940 交织输入到编码器中的位并将交织的位提供给第二分编码器 960，第二分编码器 960 按照第一分编码器 950 所使用的相同方式编码交织的数据位，以生成第二奇偶位。从第二分编码器 960 输出的第二 30 奇偶位也施加到多路复用器 970 上。然后，多路复用器 970 收缩数据位 1k 并将插入位插入其中。

图 10 显示了应用于根据本发明第三实施例的图 5 所示的分层帧结构的信道编码器件。图 14 显示图 10 所示的信道编码器的操作过程，这个信道编码器编码具有根据第三实施例的分帧结构的数据。因此，可以明白，图 10 所示的信道编码器生成并发送具有根据第三实施例的图 5 所示的帧结构的数据。图 14 是显示生成具有根据第三实施例的子帧结构的数据的过程的时序图，其中 x-轴表示切换器 1080、1081 和 1082 的操作过程，和作为时间轴的 Y-轴表示从上述切换器输出的位的定时。

参考图 10 和 14，当接收到输入位 I_k 时，切换器 1080 将输入位连接到线路 1002 上使第一数据位施加到线路 1002 上，如图 14 的参考标号 1411 所示。此时，切换器 1082 将线路 1002 与线路 1003 相连接使第一数据位通过线路 1002 施加到编码器上。当第一数据位完全施加到编码器上时，切换器 1082 连接到位发生器 1030 上，以通过切换器 1082 将预定已知位的第一插入位 513 提供给编码器，如图 14 的参考标号 1413 所示。

在完成关于第一数据位的处理之后，切换器 1080 连接到延迟器 1010 上，将第二数据位 521 存储在延迟器 1010 中，切换器 1082 连接到延迟器 1010 上将存储在延迟器 1010 中的第二数据位 521 提供给线路 1003，如图 14 的参考标号 1415 所示。此后，切换器 1082 再次连接到线路 1002 上通过线路 1002 将第二数据位施加给编码器。当第一数据位、第一插入位和第二数据位按照这种方式完全输入到编码器时，编码器开始关于输入位的编码过程。

编码器由第一分编码器 1050、交织器 1040、第二分编码器 1060 和多路复用器 1070 组成。根据第三实施例的第一和第二分编码器 1050 和 1060 插入各位和添加尾位以实现终结。输入到编码器中的信号公用地提供给多路复用器 1070、第一分编码器 1050 和交织器 1040。接着，从交织器 1040 输出的交织的输入位施加到第二分编码器 1060 中。这里，第一和第二分编码器 1050 和 1060 是递归系统性分编码器、它们生成用于终结的尾位。

在操作过程中，第一分编码器 1050 编码输入位并生成用于终结的尾位的编码位。第一分编码器 1050 输出用于输入位和尾位的第一奇偶位，并将输出位提供给多路复用器 1070。交织器 1040 交织输入到编码器中的位并将交织位提供给第二分编码器 1060，第二分编码器 1060 按照第一分编码器 1050 所使用的相同方式编码交织数据位，以生成第二奇偶位。从第二分编

码器 1060 输出的第二奇偶位也施加到多路复用器 1070 上。然后，多路复用器 1070 收缩数据位 I_k ，以将插入位插入其中。

图 11 显示了应用根据本发明第四实施例的图 6 所示的分层帧结构的信道编码器件。图 15 显示图 11 所示的信道编码器的操作过程，这个信道编码器编码具有根据第四实施例的分帧结构的数据。因此，可以明白，图 11 所示的信道编码器生成并发送具有根据第四实施例的图 6 所示的帧结构的数据。图 15 是显示生成具有根据第四实施例的子帧结构的数据的过程的时序图，其中 X-轴表示切换器 1180、1181 和 1182 的操作过程，和作为时间轴的 Y-轴表示从上述转换器输出的位的定时。

参考图 11 和 15，当接收到输入位 I_k 时，切换器 1180 将输入位连接到线路 1102 上将第一数据位施加给 1102，如图 15 中的参考标号 1511 所示。此时，切换器 1182 将线路 1102 与线路 1103 相连接，以通过线路 1102 将第一数据位施加到编码器上。当第一数据位完全施加到编码器上时，切换器 1182 连接到位发生器 1130 上，以通过 1182 将预定已知位的第一插入位 513 提供给编码器，如图 15 的参考标号 1513 所示。

在完成对于第一数据位的处理过程之后，切换器 1180 连接到延迟器 1110 上将第二数据位 521 存储在 1110 中，切换器 1180 连接到延迟器 1110 上将存储在延迟器 1110 中的第二数据位 521 提供给线路 1103，如图 15 的参考标号 1515 所示。此后，切换器 1182 再次连接到线路 1102 上通过线路 1102 将第二数据位施加给编码器。当第一数据位、第一插入位和第二数据位按照这种方式完全输入到编码器中时，编码器启动对于输入位的编码处理。

编码器由第一分编码器 1150、交织器 1140、第二分编码器 1160 和多路复用器 1170 组成。根据第三实施例的第一和第二分编码器 1150 和 1160 不进行终结。输入到编码器中的信号公用地提供给多路复用器 1170、第一分编码器 1150 和交织器 1140。接着，从交织器 1140 输出的交织输入位施加到第二分编码器 1160 中。这里，第一和第二分编码器 1150 和 1160 是递归系统性分编码器，它们不生成用于终结的尾位。

在操作过程中，第一分编码器 1150 编码输入位生成第一奇偶位，并将编码位(即，第一奇偶位)提供给多路复用器 1170。交织器 1140 交织输入到编码器中的各位，并将交织的位提供给第二分编码器 1160，第二分编码器

以第一分编码器 1150 所使用的相同方式编码交织的数据位，以生成第二奇偶位。从第二分编码器 1160 输出的第二奇偶位也施加到多路复用器 1170 上。然后，多路复用器 1170 收缩数据位 $1k$ 以将插入位插入其中。

总而言之，预定的特定位在信道编码之前被插在整個 ARQ 块中出错几率相对较高的位置上。出错几率是由实验来确定的。由于插入位置事先为信道编码器和信道解码器所知，快速编码器并不发送这些插入位。因此，在这种新的子帧结构中，FER 性能依赖于插入位的数目。也就是说，当插入位的位数增多时，FER 的性能提高了。

虽然以上通过参考某些优选实施例对本发明进行了图示和说明，但熟悉本技术的人员明白，对本发明所作的各种在形式上和细节上的改动均不偏离如所附权利要求书所限定的本发明的精神和范围之外。

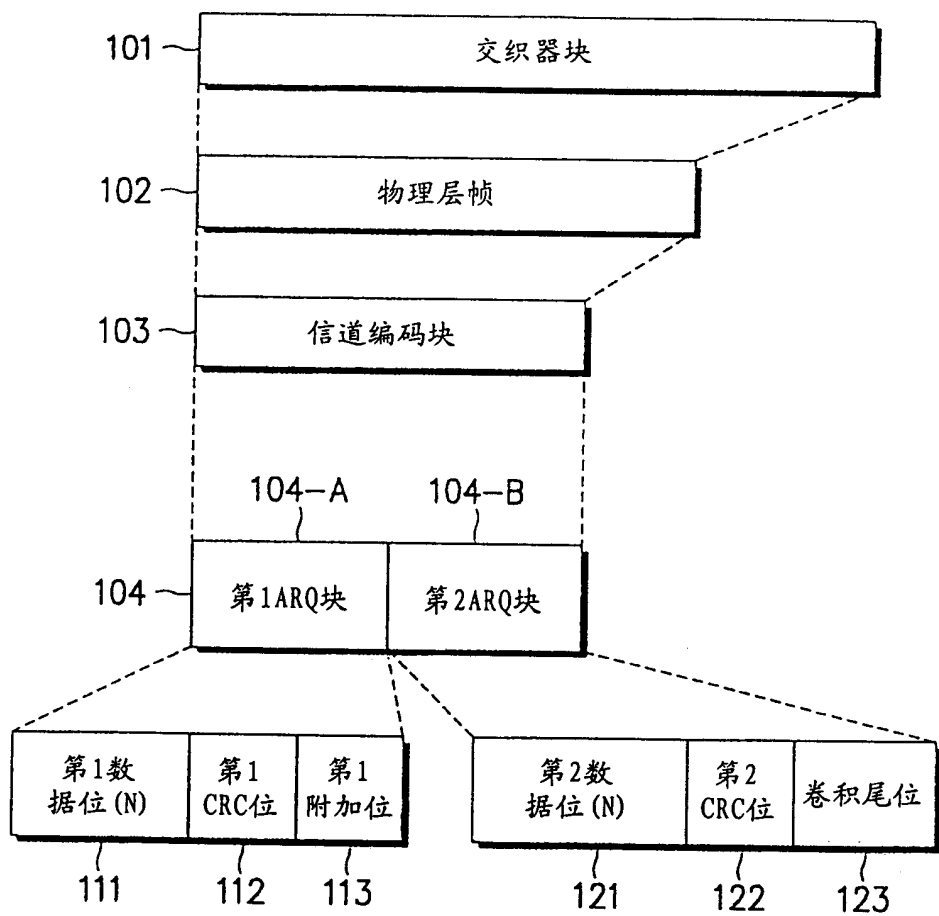


图 1

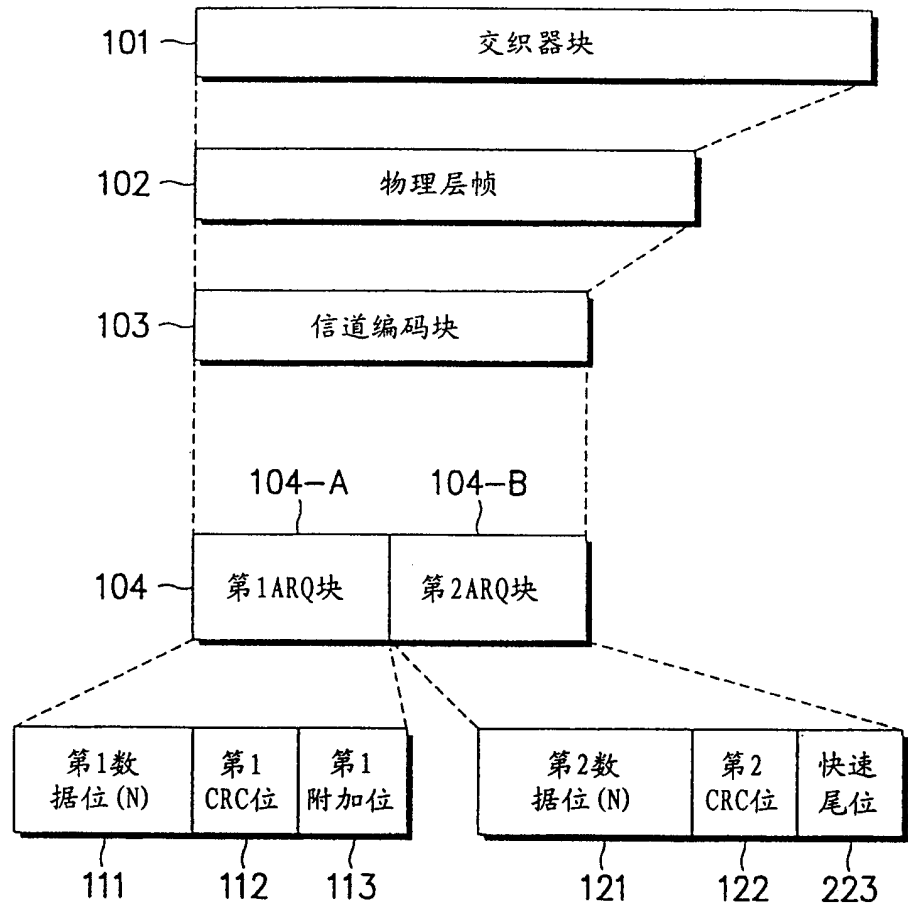


图 2

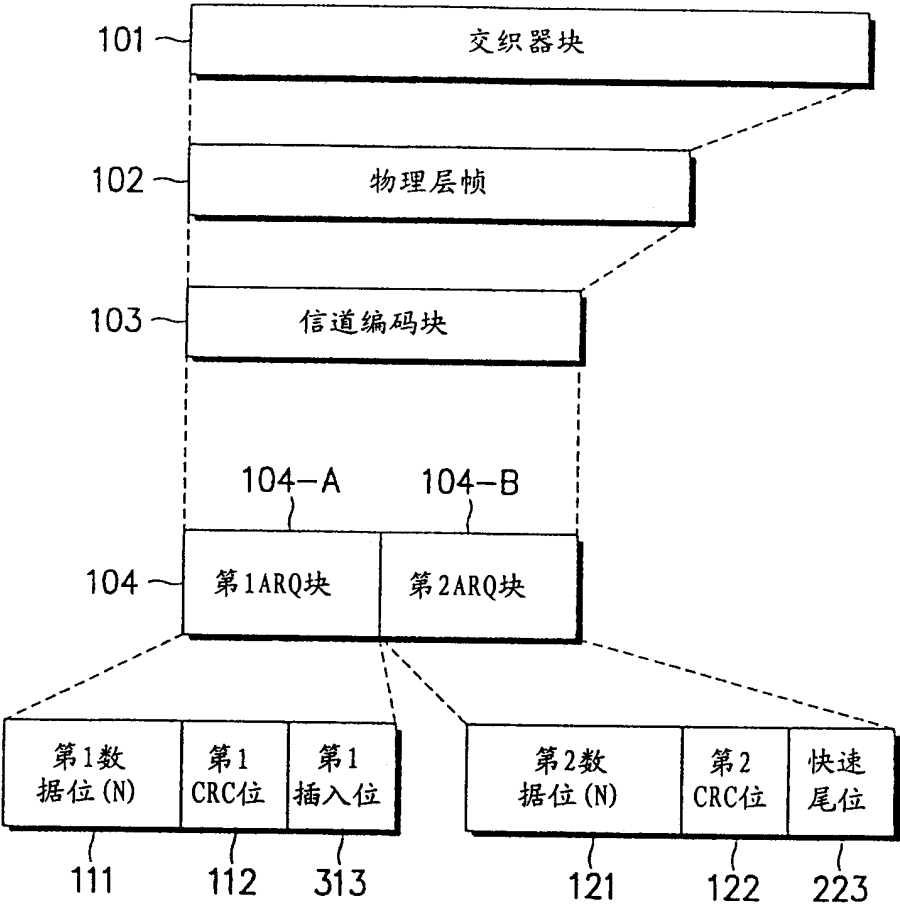


图 3

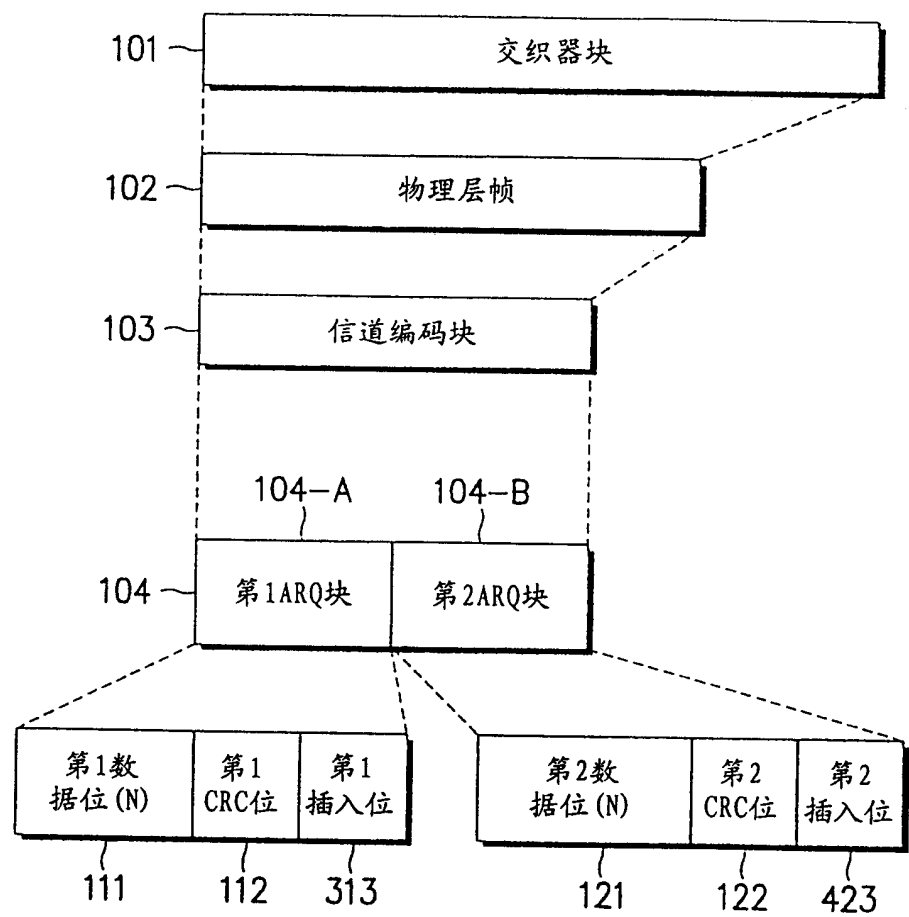


图 4

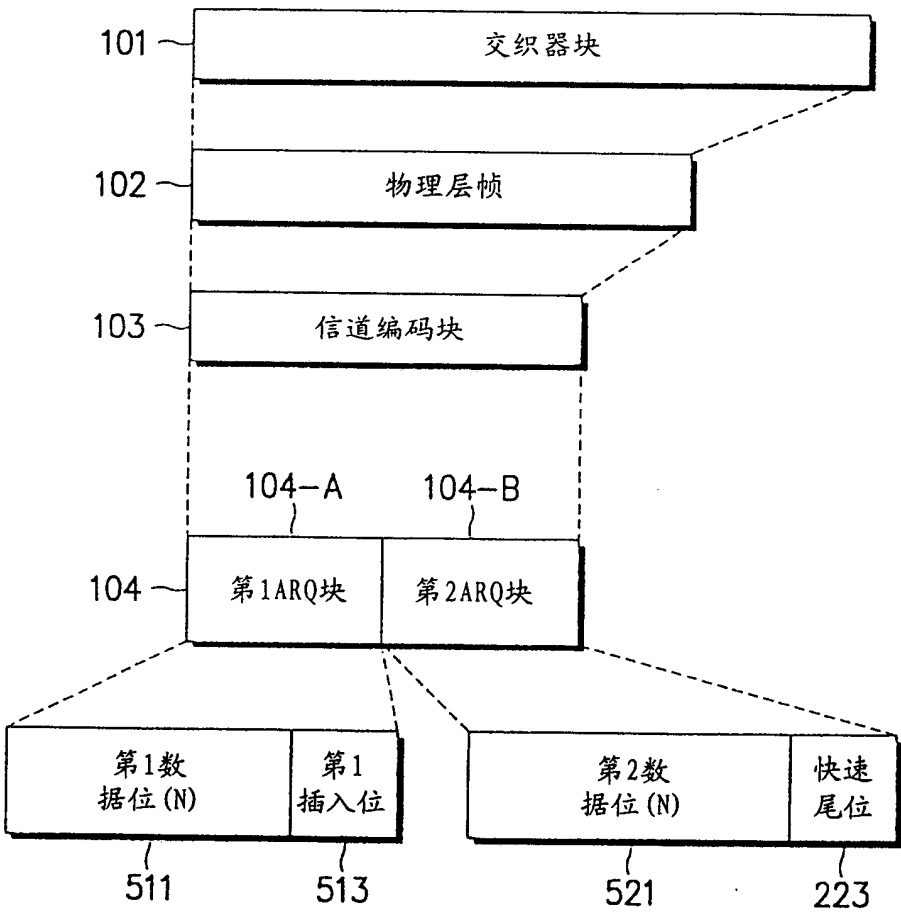


图 5

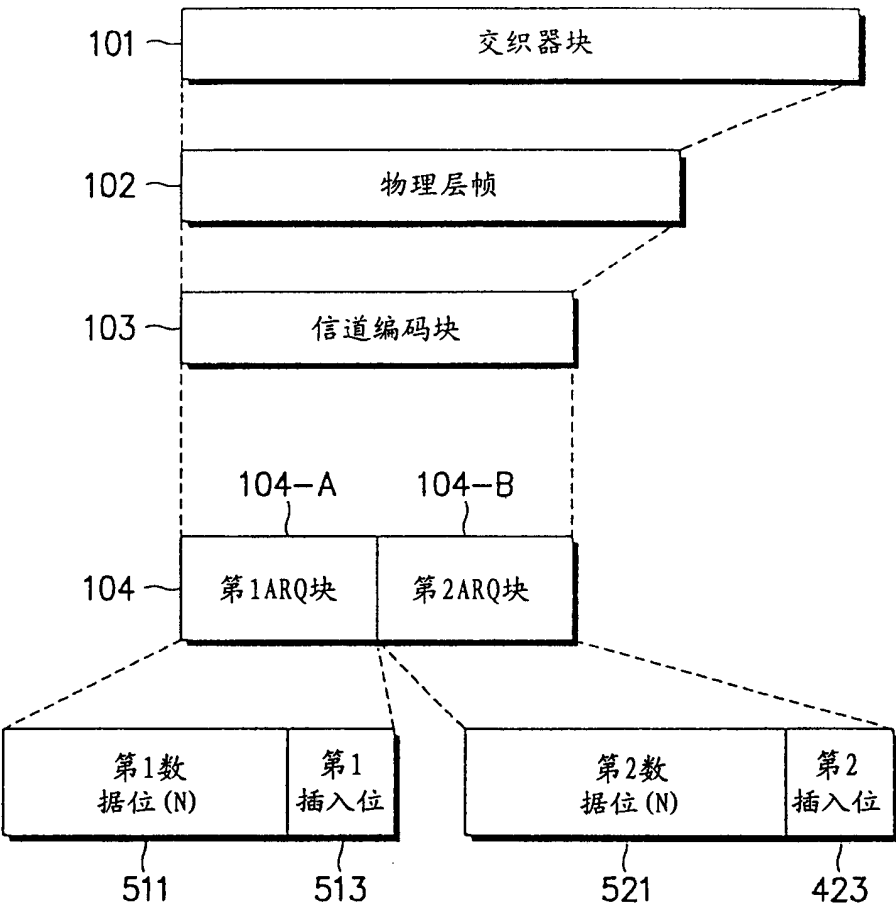


图 6

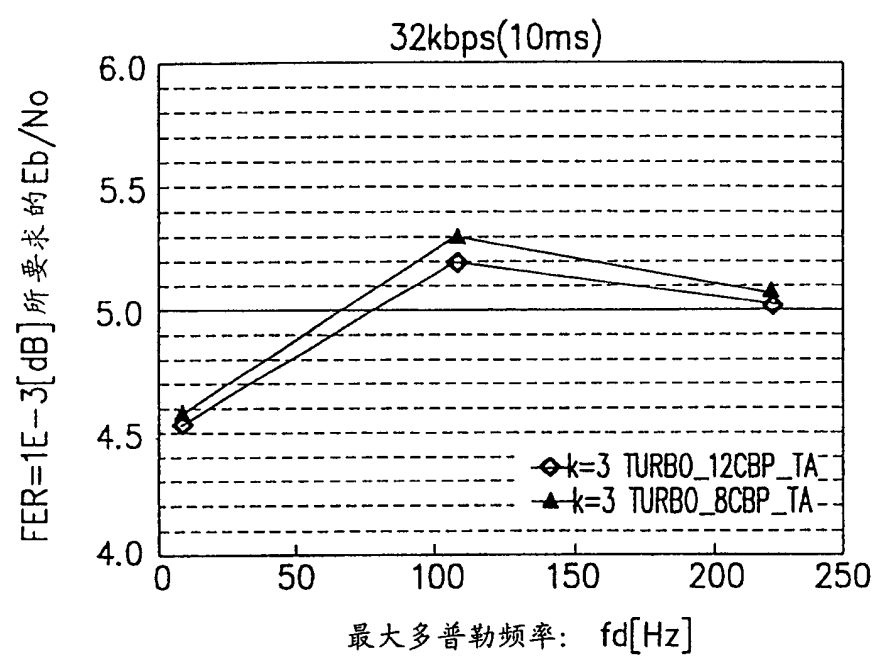


图 7A

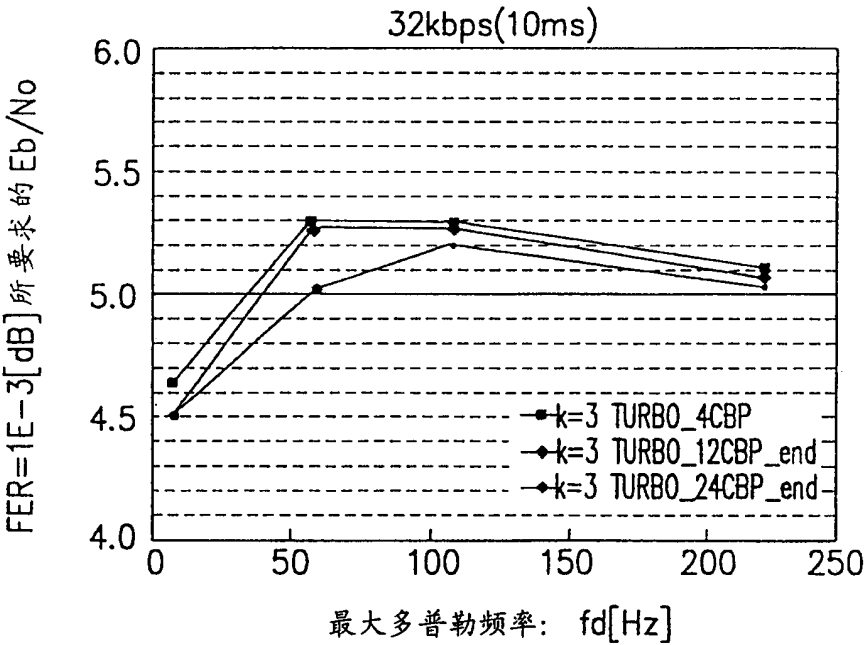


图 7B

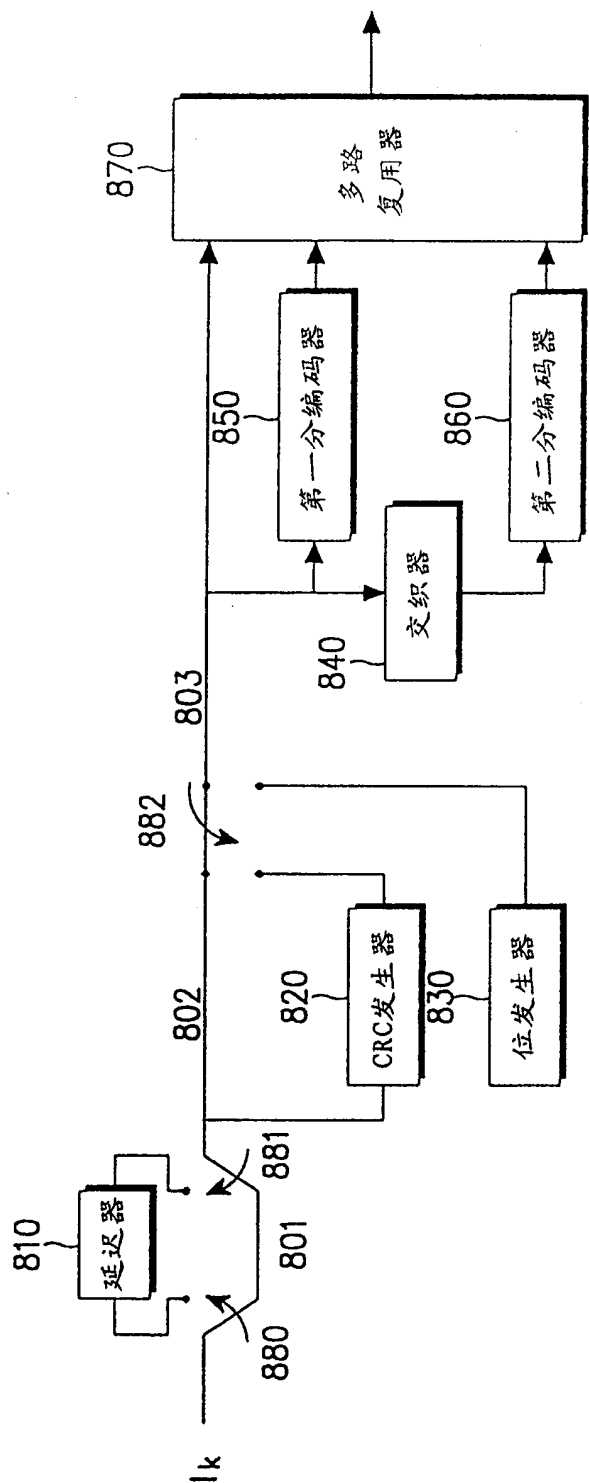


图 8

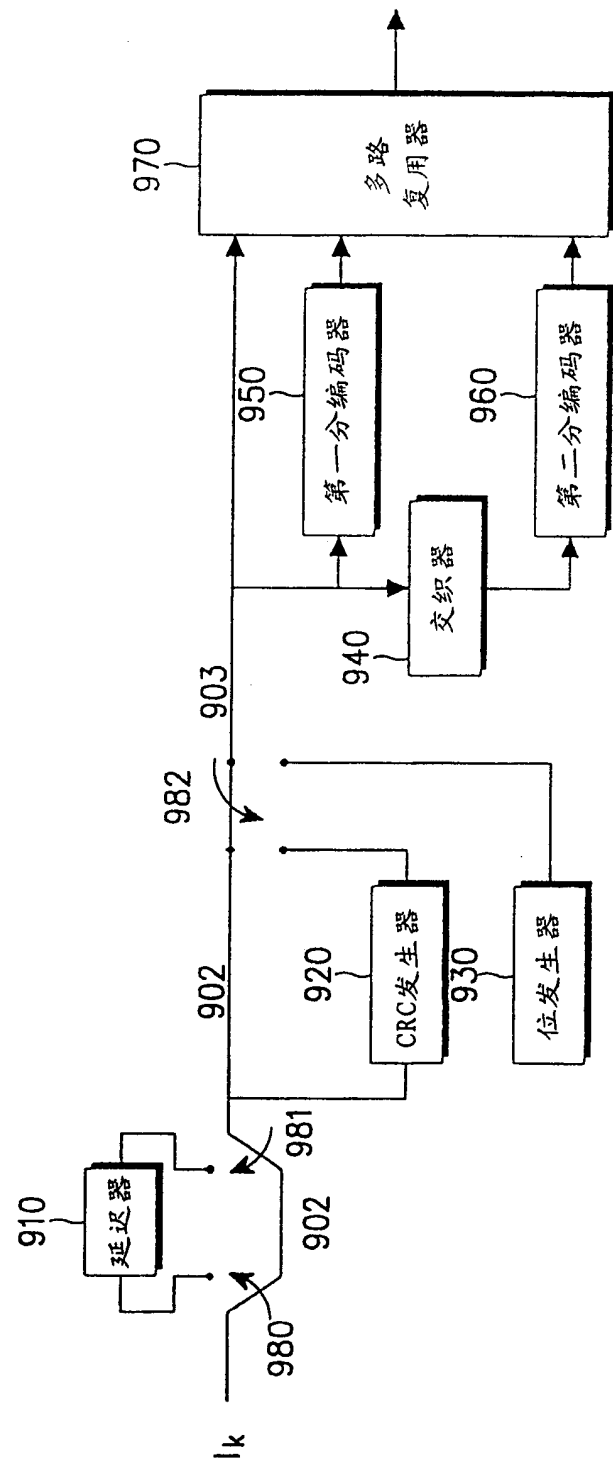


图 9

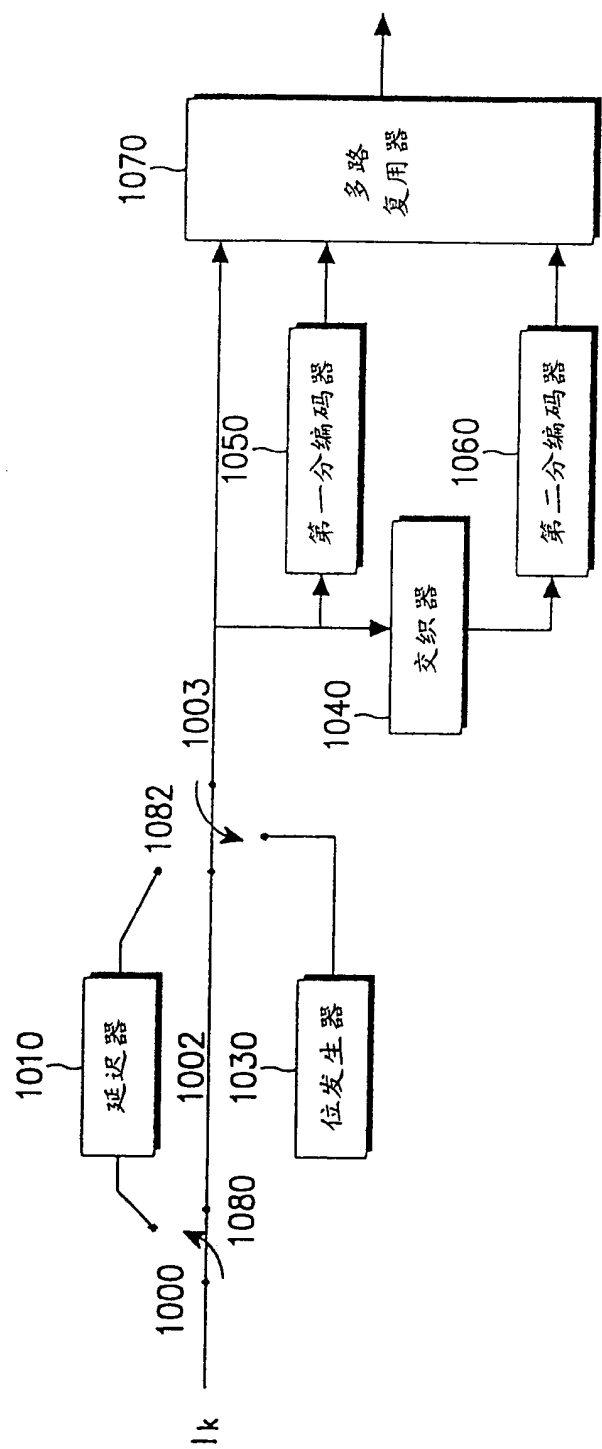


图 10

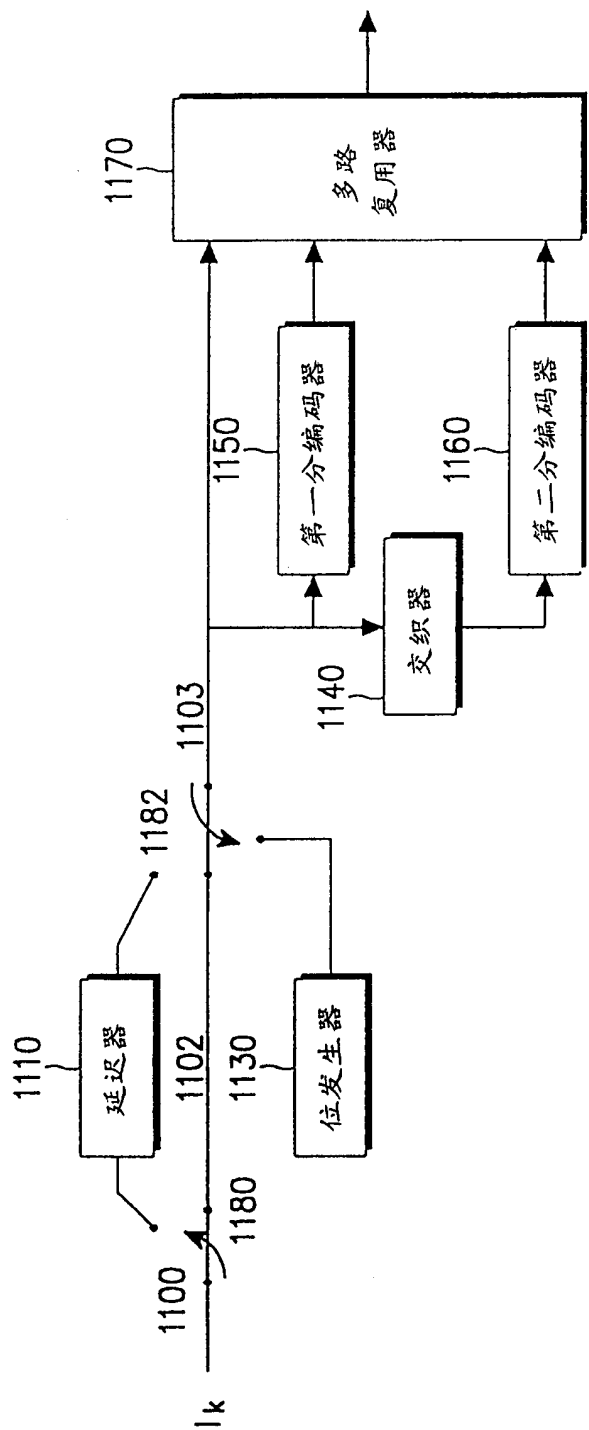


图 11

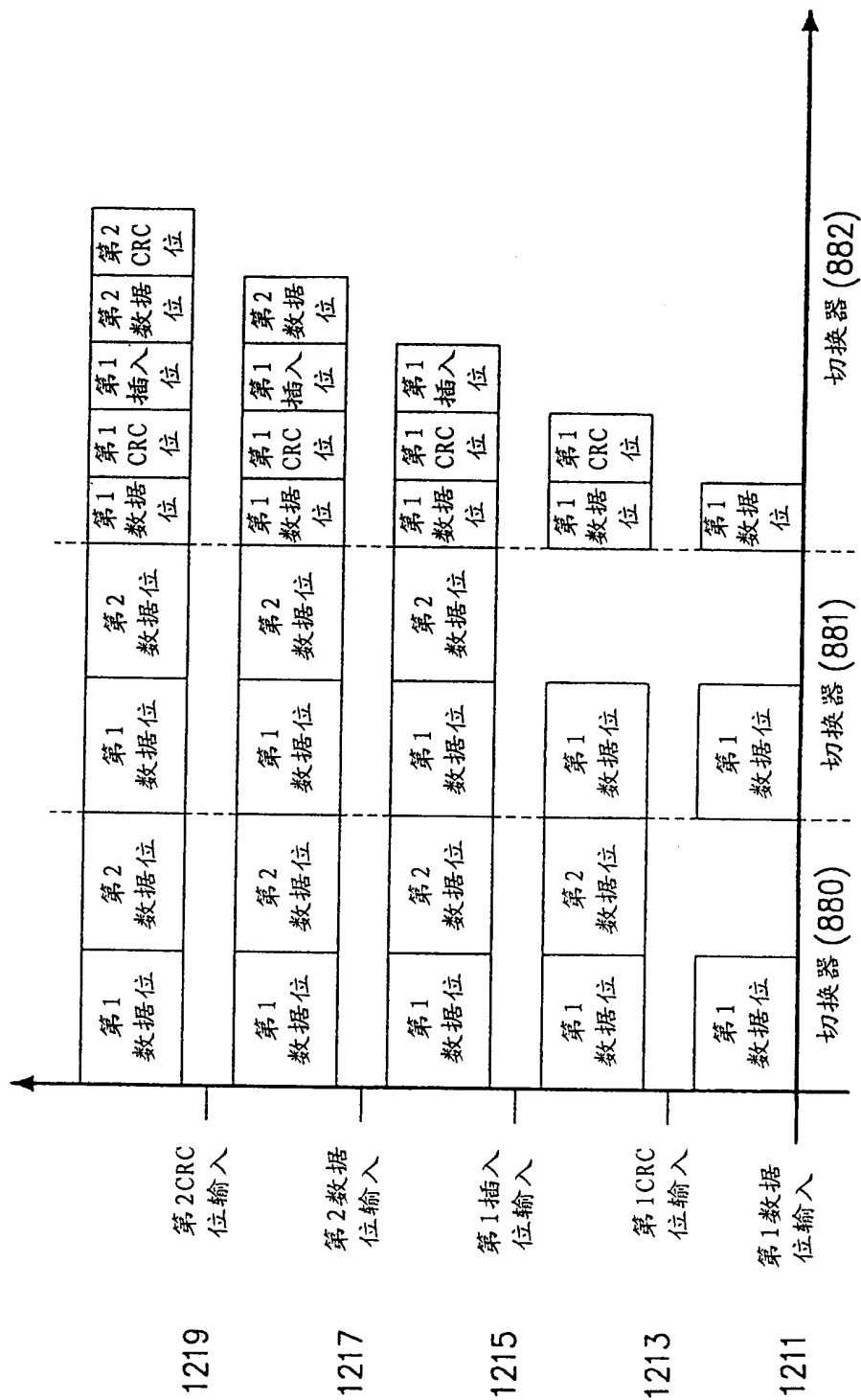


图 12

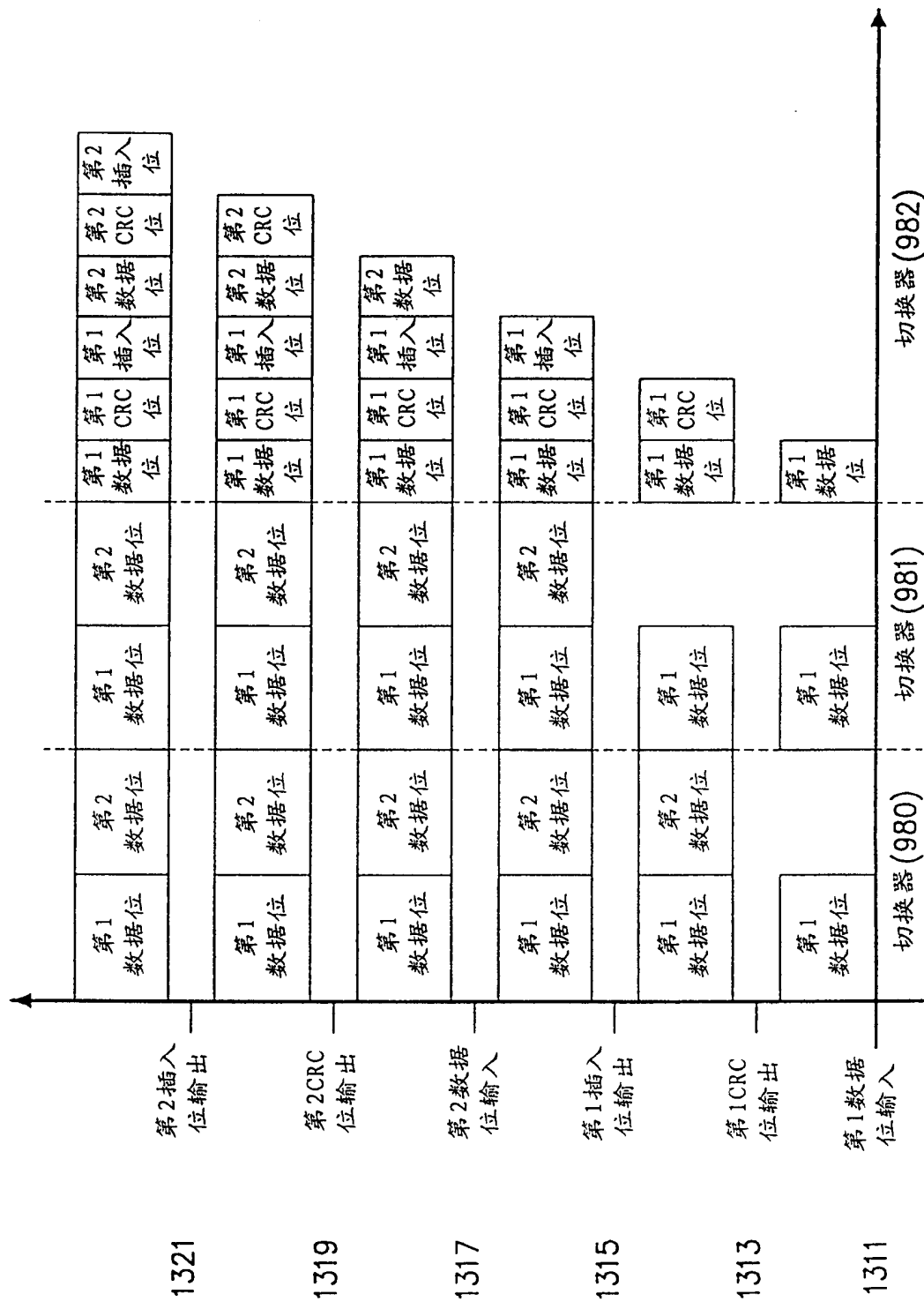


图 13

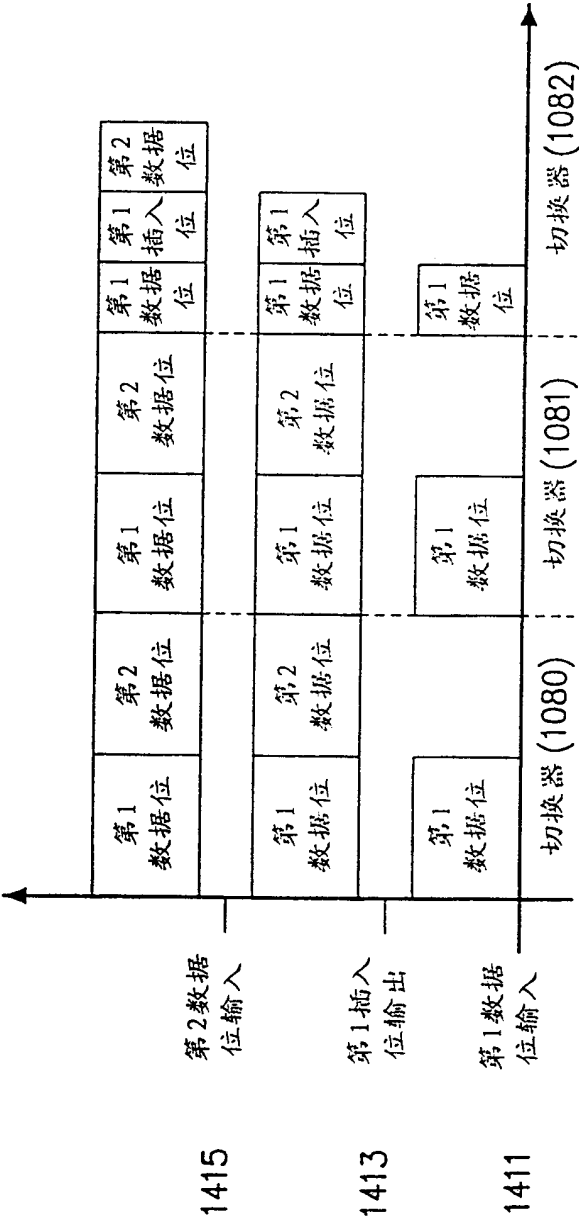


图 14

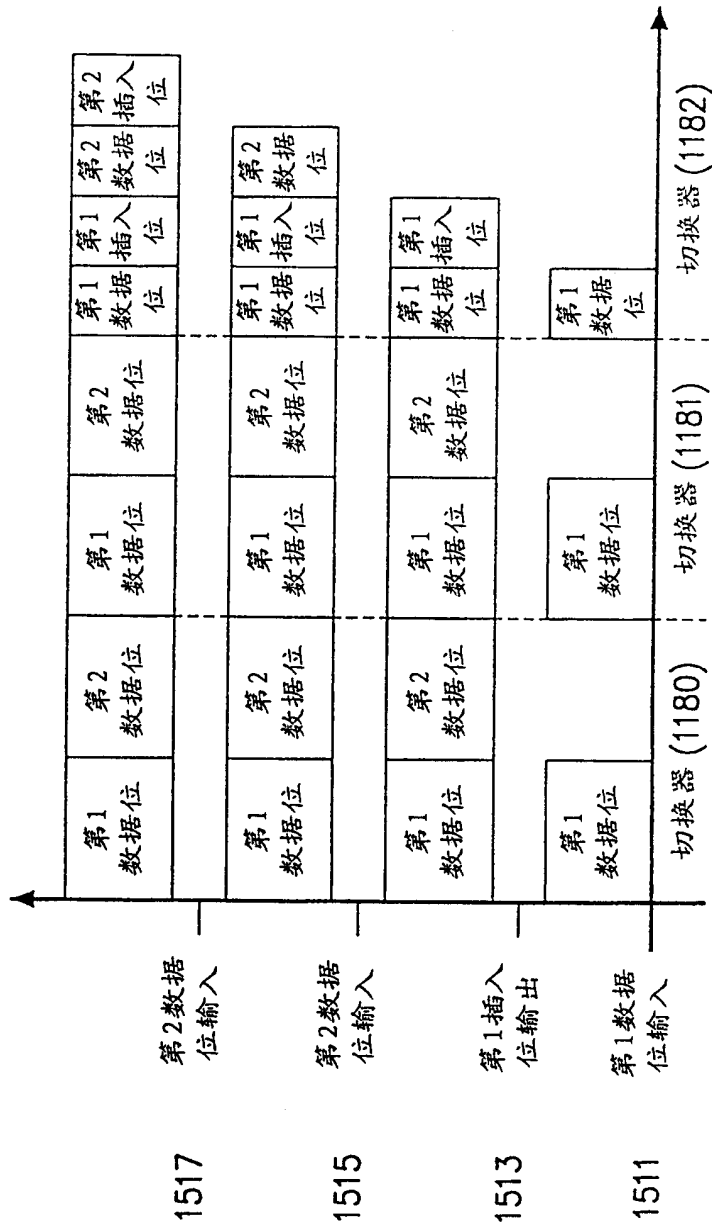


图 15