(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0040792
(43) 공개일자 2023년03월23일

(51) 국제특허분류(Int. Cl.)
*G05F 1/575* (2006.01) *G05F 1/565* (2006.01)
*G05F 3/26* (2006.01)
(52) CPC특허분류
*G05F 1/575* (2013.01)
*G05F 1/565* (2013.01)
(21) 출원번호 10-2021-0124327
(22) 출원일자 2021년09월16일
심사청구일자 2021년09월16일

(71) 출원인
**고려대학교 산학협력단**
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
**이형민**
서울특별시 성북구 길음로 16, 508동 1304호 (길음동, 길음뉴타운)
**박현준**
서울특별시 성북구 안암로9가길 71, 제니하우스 303A호(안암동5가)
(74) 대리인
**윤귀상**

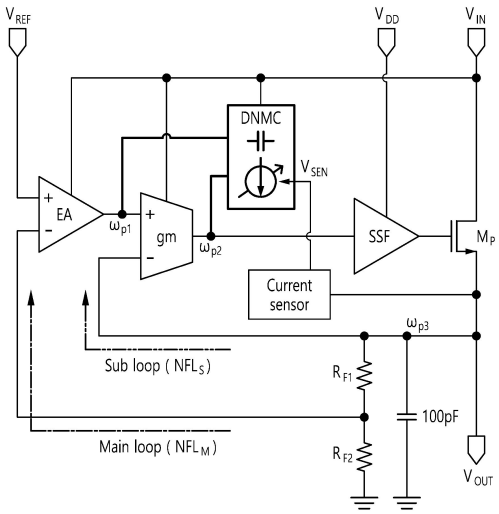
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터**

## (57) 요 약

이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터는, 복수의 피드백 저항, 에러 앰프 및 트랜스컨덕턴스(이하, gm 셀)을 포함하여, 에러 앰프를 거치는 메인 루프와 에러 앰프를 거치지 않고 gm 셀을 통과하는 서브 루프를 형성하는 캡리스 이중 피드백 루프부; 에러 앰프의 출력에 위치한 제1 메인폴(pole), gm 셀의 출력에 위치한 제2 메인폴과 연결되어, 캡리스 이중 피드백 루프부의 로드 전류에 따라 밀러 효과를 이용한 동적 주파수 보상을 제1 메인폴 및 제2 메인폴에 제공하는 동적 보상부; 및 이중 피드백 루프부의 로드에 형성되는 제3 메인폴의 로드 전류를 측정하여 동적 보상부에 제공하는 로드 전류 측정부;를 포함한다. 이에 따라, 넓은 로드 전류 범위에서 향상된 루프 안정도와 과도 응답 성능을 갖는 LDO 전압 레귤레이터를 제공할 수 있다.

*대 표 도* - 도3



(52) CPC특허분류
*G05F 3/26* (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1415173303
과제번호 20010712
부처명 산업통상자원부
과제관리(전문)기관명 한국산업기술평가관리원
연구사업명 전자부품산업기술개발(R&D)
연구과제명 고속 SSD 메모리 시스템을 위한 고효율 저비용 인덕터 커패시터 혼합형 통합내장 PMIC 개발
기 여 율 1/1
과제수행기관명 고려대학교산학협력단
연구기간 2021.01.01 ~ 2021.12.31

# 명 세 서

## 청구범위

### 청구항 1

복수의 피드백 저항, 에러 앰프 및 트랜스컨덕턴스(이하, gm 셀)을 포함하여, 에러 앰프를 거치는 메인 루프와 에러 앰프를 거치지 않고 gm 셀을 통과하는 서브 루프를 형성하는 캡리스 이중 피드백 루프부;

에러 앰프의 출력에 위치한 제1 메인폴(pole), gm 셀의 출력에 위치한 제2 메인폴과 연결되어, 캡리스 이중 피드백 루프부의 로드 전류에 따라 밀러 효과를 이용한 동적 주파수 보상을 제1 메인폴 및 제2 메인폴에 제공하는 동적 보상부; 및

이중 피드백 루프부의 로드에 형성되는 제3 메인폴의 로드 전류를 측정하여 동적 보상부에 제공하는 로드 전류 측정부;를 포함하는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

### 청구항 2

제1항에 있어서, 상기 동적 보상부는,

제1 메인폴 및 제2 메인폴에 각각 연결된 제1 보상 커패시터 및 제2 보상 커패시터; 및

제2 메인폴과 연결되고, 로드 전류 측정부에서 전달되는 로드 전류에 따라 밀러 효과를 다르게 적용하는 차동 앰프; 를 포함하는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

### 청구항 3

제2항에 있어서, 상기 동적 보상부는,

제2 메인폴과 연결되는 제1 저항 및 제2 커패시터를 포함하여 차동 앰프의 입력 바이어스를 제공하는 저역 통과 필터;를 더 포함하는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

### 청구항 4

제3항에 있어서, 상기 동적 보상부는,

밀러 효과에 의해 발생하는 RHP(Right Half Plane) 제로를 제거하기 위해 제1 보상 커패시터 및 제2 보상 커패시터에 직렬로 연결되는 널 저항;을 더 포함하는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

### 청구항 5

제2항에 있어서, 상기 로드 전류 측정부는,

측정된 로드 전류에 따라 차동 앰프의 전류를 조절하는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

### 청구항 6

제5항에 있어서, 상기 로드 전류 측정부는,

로드 전류가 미리 설정한 제1 임계치보다 낮은 경우, 차동 앰프의 전류를 낮게 조절하여 이득을 증가시키고, 증

가된 이득에 따라 로드 전류에게 높은 안정도를 제공하는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

**청구항 7**

제5항에 있어서, 상기 로드 전류 측정부는,

로드 전류가 미리 설정한 제2 임계치보다 높은 경우, 차동 앰프의 전류를 높게 조절하여 이득을 감소시키고, 감소된 이득에 따라 대역폭이 넓어져 로드 전류의 과도 응답 특성을 향상시키는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

**청구항 8**

제2항에 있어서, 상기 동적 보상부는,

제1 메인폴에 gm 셀과 차동 앰프의 전압 이득이 더해진 만큼 밀러 효과를 적용하는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

**청구항 9**

제2항에 있어서, 상기 동적 보상부는,

제2 메인폴에 차동 앰프의 전압 이득만큼 밀러 효과를 적용하는, 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터에 관한 것으로서, 더욱 상세하게는 넓은 로드 전류 범위에서 향상된 루프 안정도와 과도 응답 성능을 갖기 위해 밀러 효과를 이용하여 이중 피드백 루프에 존재하는 폴 주파수를 다양하게 이동시키는 아날로그 회로 설계 기술에 관한 것이다.

### *배 경 기 술*

[0003] 높은 직류 전압을 낮은 직류 전압으로 변환 및 정류하기 위해 벅 컨버터 또는 스위치 커패시터와 같은 고효율 스위칭타입 전압 변환 회로가 사용된다. 하지만, 스위칭타입 전압 변환 회로는 출력 전압에 큰 리플 및 스위칭 노이즈가 발생한다는 단점이 있다.

[0004] 이를 개선하기 위해 작은 출력 전압 리플로 정확한 직류 전력을 출력 단에 공급해줄 수 있는 아날로그 LDO(low dropout) 전압 레귤레이터가 많이 사용된다. 뿐만 아니라, 외부 커패시터를 사용하지 않는 캡리스 LDO(Capacitor-less low dropout LDO) 레귤레이터는 작은 리플만을 가지면서, 적은 비용과 간단한 구조로, 정확한 출력 전압을 제공할 수 있다. 따라서, Internet of Things(IoT), System on Chip(SoC) 등의 다양한 반도체 회로에 사용된다.

[0005] 하지만, 캡리스 LDO는 로드 전류($I_{LOAD}$)가 순간적으로 변하게 되면, 내부에 저장된 전류를 먼저 로드에 공급함으로써 1차적인 전압 변화를 막아주는 큰 외부 출력 커패시터가 존재하지 않기에, 출력 전압이 순간적으로 크게 변하여 과도 응답 성능이 좋지 않다는 단점이 있다.

[0006] 또한, 캡리스 LDO는 로드 전류($I_{LOAD}$)가 작아질수록, 로드에 존재하는 고주파 폴이 점차 저주파로 이동하게 되면서 피드백 루프에 존재하는 다른 저주파 폴들과 가까워지게 되어 피드백 루프의 안정도가 떨어지게 된다. 따라

서, 모든 로드 전류($I_{LOAD}$) 영역에서 안정도를 유지하면서 동작을 하고, 과도 응답 특성을 개선시키기 위한 다양한 회로 기술들이 제시되어 왔다.

[0007] LDO에 있어서, 과도 응답 특성을 결정 하는 것은 대역폭과 슬루레이트라 할 수 있다. 캡리스 LDO에서 더 넓은 대역폭을 갖기 위한 여러 가지 회로 기술들 중 하나는 피드백 루프 두 개를 겹치는 이중 루프 구조의 활용이다.

[0008] 이중 루프 구조를 활용하는 다양한 LDO중에서 도 1(a)의 캡리스 LDO를 보면, 피드백 저항($R_{F1}$, $R_{F2}$)과 에러 앰프(EA)를 거치는 메인 루프($NFL_M$)와 EA를 거치지 않고 바로 gm 셀을 통과하는 서브 루프($NFL_S$)가 존재한다.

[0009] 이 구조에서는 총 3개의 메인 폴(EA의 출력에 존재하는 $\omega_{P1}$, gm 셀의 출력에 위치한 $\omega_{P2}$, 마지막으로 로드에 놓인 $\omega_{P3}$)들이 존재한다. 캡리스 LDO의 경우, 로드의 작은 커패시턴스로 인해 로드의 $\omega_{P3}$가 보통 3개의 메인 폴들 중 가장 고주파수 대역에 위치한다.

[0010] 만약에, EA의 출력에 위치한 $\omega_{P1}$이 그들 중 가장 저주파수 대역에 위치한다면, 캡리스 LDO는 도 1(b)의 보데 플랏을 갖게 된다. 메인 루프($NFL_M$)는 EA와 gm 셀을 모두 지나기 때문에 높은 루프 이득을 가지지만, 두 개의 폴($\omega_{P1}$, $\omega_{P2}$)을 모두 지나기 때문에 불안정한 루프이다.

[0011] 반면에, 서브 루프($NFL_S$)는 EA와 가장 낮은 주파수 폴($\omega_{P1}$)을 지나지 않아 루프 이득은 낮지만, 넓은 대역폭을 안정적으로 가지는 루프이다. 이 두 가지 루프는 경로가 겹치는 주파수에서 제로를 발생시켜 높은 루프 이득과 넓은 대역폭을 가지는 안정적인 글로벌 루프($NFL_G$)를 형성한다.

[0012] 이중 루프 구조는 크게 두 가지 문제를 갖고 있다. 첫 번째로, 적절한 주파수에서 제로를 발생시켜 도 1(b)와 같은 안정도를 갖는 보데 플랏을 가지려면, $\omega_{P1}$에 충분한 사이즈의 커패시터가 추가되어 가장 우세한 폴로 만들어야 한다.

[0013] 두 번째로, 도 2(a)와 같이 로드 전류($I_{LOAD}$)가 점차 작아지게 되어 로드 저항 성분이 커지면, $\omega_{P3}$가 $\omega_{P1}$과 $\omega_{P2}$에 점차 가까워지게 되어 글로벌 루프($NFL_G$)를 불안정 하게 만든다.

[0014] 따라서, 로드 전류($I_{LOAD}$)가 낮을 때의 안정적인 동작을 대비하여 도 2(b)와 같이 보상 커패시터를 이용하여 $\omega_{P1}$과 $\omega_{P2}$를 $\omega_{P3}$와 분리시키면 안정도는 향상되지만, 전반적인 로드 전류($I_{LOAD}$) 상황에서 대역폭을 줄이게 되는 역효과가 나게 된다.

[0015] 반대로, 대역폭을 줄이지 않기 위해서 크지 않은 보상 커패시터를 $\omega_{P1}$과 $\omega_{P2}$에 사용한다면, 낮은 로드 전류($I_{LOAD}$) 상황에서의 LDO 동작은 한계가 발생한다.

## *선행기술문헌*

### *특허문헌*

[0017] (특허문헌 0001) KR 10-2138768 B1

(특허문헌 0002) KR 10-1592500 B1

(특허문헌 0003) KR 10-0995515 B1

### *비특허문헌*

[0018] (비특허문헌 0001) S. W. Hong and G. H. Cho, "High-gain wide-bandwidth capacitor-less low-dropout regulator (LDO) for mobile applications utilizing frequency response of multiple feedback loops," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 63, no. 1, pp. 46-57, Jan. 2016.

## 발명의 내용

### 해결하려는 과제

[0019] 이에, 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로 본 발명의 목적은 로드의 상황에 맞게 역동적으로 변하는 밀러 효과를 통해, 적은 용량의 커패시터만으로 모든 로드 전류 상황에서 주파수 보상을 해주고, 로드 전류가 클 경우에는 대역폭을 제한하지 않게 함으로써 과도 응답 특성을 좋게 하는 캡리스 저전압 강하 레귤레이터를 제공하는 것이다.

### 과제의 해결 수단

[0021] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터는, 복수의 피드백 저항, 에러 앰프 및 트랜스컨덕턴스(이하, gm 셀)을 포함하여, 에러 앰프를 거치는 메인 루프와 에러 앰프를 거치지 않고 gm 셀을 통과하는 서브 루프를 형성하는 캡리스 이중 피드백 루프부; 에러 앰프의 출력에 위치한 제1 메인폴(pole), gm 셀의 출력에 위치한 제2 메인폴과 연결되어, 캡리스 이중 피드백 루프부의 로드 전류에 따라 밀러 효과를 이용한 동적 주파수 보상을 제1 메인폴 및 제2 메인폴에 제공하는 동적 보상부; 및 이중 피드백 루프부의 로드에 형성되는 제3 메인폴의 로드 전류를 측정하여 동적 보상부에 제공하는 로드 전류 측정부;를 포함한다.

[0022] 본 발명의 실시예에서, 상기 동적 보상부는, 제1 메인폴 및 제2 메인폴에 각각 연결된 제1 보상 커패시터 및 제2 보상 커패시터; 및 제2 메인폴과 연결되고, 로드 전류 측정부에서 전달되는 로드 전류에 따라 밀러 효과를 다르게 적용하는 차동 앰프;를 포함할 수 있다.

[0023] 본 발명의 실시예에서, 상기 동적 보상부는, 제2 메인폴과 연결되는 제1 저항 및 제2 커패시터를 포함하여 차동 앰프의 입력 바이어스를 제공하는 저역 통과 필터;를 더 포함할 수 있다.

[0024] 본 발명의 실시예에서, 상기 동적 보상부는, 밀러 효과에 의해 발생하는 RHP(Right Half Plane) 제로를 제거하기 위해 제1 보상 커패시터 및 제2 보상 커패시터에 직렬로 연결되는 널 저항;을 더 포함할 수 있다.

[0025] 본 발명의 실시예에서, 상기 로드 전류 측정부는, 측정된 로드 전류에 따라 차동 앰프의 전류를 조절할 수 있다.

[0026] 본 발명의 실시예에서, 상기 로드 전류 측정부는, 로드 전류가 미리 설정한 제1 임계치보다 낮은 경우, 차동 앰프의 전류를 낮게 조절하여 이득을 증가시키고, 증가된 이득에 따라 로드 전류에게 높은 안정도를 제공할 수 있다.

[0027] 본 발명의 실시예에서, 상기 로드 전류 측정부는, 로드 전류가 미리 설정한 제2 임계치보다 높은 경우, 차동 앰프의 전류를 높게 조절하여 이득을 감소시키고, 감소된 이득에 따라 대역폭이 넓어져 로드 전류의 과도 응답 특성을 향상시킬 수 있다.

[0028] 본 발명의 실시예에서, 상기 동적 보상부는, 제1 메인폴에 gm 셀과 차동 앰프의 전압 이득이 더해진 만큼 밀러 효과를 적용할 수 있다.

[0029] 본 발명의 실시예에서, 상기 동적 보상부는, 제2 메인폴에 차동 앰프의 전압 이득만큼 밀러 효과를 적용할 수 있다.

### 발명의 효과

[0031] 이와 같은 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터에 따르면, 로드 전류($I_{LOAD}$)를 감지하여, 폴 주파수를 로드에 따라 역동적으로 이동시킬 수 있으며, 앰프 1개의 사용으로 두 개의 폴 노드에 밀러 효과를 낼 수 있다. 즉, 앰프의 전류를 로드 전류($I_{LOAD}$)에 따라 크거나 작게 조절하여 밀러 효과를 달리할 수 있다.

[0032] 이에 따라, LDO의 로드 전류($I_{LOAD}$)가 작아짐에 따라 떨어지는 피드백 루프의 안정도를 개선시킴으로써 더 넓은

범위의 로드 전류($I_{LOAD}$)에서 동작을 가능하게 하고, 로드 전류($I_{LOAD}$)가 커짐에 따라 주파수 대역을 넓힘으로써 과도 응답 성능을 향상시킬 수 있다. 또한, 작은 용량의 커패시터를 사용하여 칩의 면적이 작아지므로, 생산 단가 측면에서 절감 효과를 가져올 수 있다.

## 도면의 간단한 설명

[0034] 도 1(a)는 이중 피드백 루프 구조의 캡리스 LDO 레귤레이터이고, 도 1(b)는 도 1(a)에 따른 보데 플랏을 나타낸 도면이다.

도 2(a)는 로드 전류가 낮은 상황에서의 보데 플랏을 나타내고, 도 2(b)는 보상 커패시터를 추가한 경우의 보데 플랏을 나타낸 도면이다.

도 3은 본 발명의 일 실시예에 따른 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터의 블록도이다.

도 4는 본 발명의 일례가 적용된 캡리스 저전압 강하 레귤레이터를 보여주는 도면이다.

도 5는 로드 전류에 따른 주파수 응답 파형을 보여주는 그래프이다.

## 발명을 실시하기 위한 구체적인 내용

[0035] 후술하는 본 발명에 대한 상세한 설명은, 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 당업자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.

[0036] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0037] 도 3은 본 발명의 일 실시예에 따른 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터의 블록도이다.

[0038] 본 발명에 따른 이중 피드백 루프 구조를 이용한 캡리스 저전압 강하 레귤레이터(10, 이하 LDO 전압 레귤레이터)는 피드백 루프에 존재하는 폴 주파수를 밀러 효과를 통해 다양하게 이동시키는 아날로그 회로의 설계 기술을 제공한다.

[0039] 구체적으로, 로드 전류($I_{LOAD}$)가 작아짐에 따라 떨어지는 피드백 루프의 안정도를 개선시킴으로써 더 넓은 범위의 로드 전류($I_{LOAD}$)에서 동작을 가능하게 하고, 로드 전류($I_{LOAD}$)가 커짐에 따라 주파수 대역을 넓힘으로써 과도 응답 성능을 향상시키는 LDO 전압 레귤레이터를 제공한다.

[0040] 도 3을 참조하면, 본 발명에 따른 LDO 전압 레귤레이터(10)는 캡리스 이중 피드백 루프부, 동적 보상부(DNMC) 및 로드 전류 측정부(Current sensor)를 포함한다.

[0041] 캡리스 이중 피드백 루프부는 외부 출력 커패시터가 존재하지 않는 캡리스(Capacitor-less) 구조로서, 피드백 저항($R_{F1}$, $R_{F2}$)과 에러 앰프(EA)를 거치는 메인 루프($NFL_M$)와 에러 앰프(EA)를 거치지 않고 바로 트랜스컨덕턴스(이하, gm 셀)을 통과하는 서브 루프($NFL_S$)가 존재한다.

[0042] 외부 커패시터를 사용하지 않는 캡리스 LDO(Capacitor-less low dropout LDO) 레귤레이터는 작은 리플만을 가지면서, 적은 비용과 간단한 구조로, 정확한 출력 전압을 제공할 수 있다. 따라서, Internet of Things(IoT), System on Chip(SoC) 등의 다양한 반도체 회로에 사용된다.

[0043] 캡리스 이중 피드백 루프부의 구조에서는 총 3개의 메인 폴(pole)들이 존재한다. 즉, 에러 앰프(EA)의 출력에

존재하는 제1 메인폴($\omega_{P1}$), gm 셀의 출력에 위치한 제2 메인폴($\omega_{P2}$), 마지막으로 로드에 놓인 제3 메인폴($\omega_{P3}$)이 존재한다.

[0044] 동적 보상부(DNMC)는 에러 앰프(EA)의 출력에 위치한 제1 메인폴($\omega_{P1}$), gm 셀의 출력에 위치한 제2 메인폴($\omega_{P2}$)과 연결되어, 캡리스 이중 피드백 루프부의 로드 전류($I_{LOAD}$)에 따라 밀러 효과(miller effect)를 이용한 동적 주파수 보상을 제1 메인폴($\omega_{P1}$) 및 제2 메인폴($\omega_{P2}$)에 제공한다.

[0045] 전압 레귤레이터인 LDO에서, 넓은 범위의 로드 전류 상황에서 안정적인 동작을 하는 것과, 급격한 로드 전류($I_{LOAD}$)의 변화가 발생 시 빠른 과도 응답 특성을 갖는 것은 중요한 성능 지표이다. 또한, 생산 측면에서도 넓은 범위의 면적을 차지하는 커패시터의 사용을 줄이는 것도 단가 절감을 할 수 있기에 중요하다고 할 수 있다.

[0046] 그러나, 캡리스 LDO는 외부 커패시터의 부재로 인해 과도 응답 특성이 좋지 않고, 로드 전류($I_{LOAD}$)가 낮을 때 안정성이 떨어지게 되어 좁은 범위의 로드 전류($I_{LOAD}$)에서만 동작을 할 수 있다는 단점이 있다.

[0047] 이를 개선하기 위해, 이중 피드백 루프 구조를 사용하여 대역폭을 넓히고 과도 응답 특성을 개선하긴 하였으나, 추가적인 보상 커패시터가 필요하다.

[0048] 또한, 보상 커패시터로 인한 대역폭의 손실을 줄이기 위해서는 좁은 범위의 로드 전류($I_{LOAD}$)에서만 안정적으로 동작을 할 수 있다는 트레이드-오프(trade-off) 관계가 발생한다.

[0049] 이를 해결하기 위하여, 본 발명에서는 도 3과 같이 로드 전류($I_{LOAD}$)를 감지하여, 폴 주파수를 로드에 따라 역동적으로 이동시키는 dynamic nested Miller compensation(DNMC)을 제안한다.

[0050] 동적 보상부(DNMC)는 앰프 한 개만의 사용으로 두 가지 폴 노드에 밀러 효과를 낼 수 있고, 그 밀러 효과는 로드 상황에 맞게 크거나 작게 조절할 수 있다.

[0051] 캡리스 LDO는 로드의 폴인 제3 메인폴($\omega_{P3}$)이 가장 고주파 대역에 위치해 있으므로, 로드 전류($I_{LOAD}$)가 작아질수록, 다른 폴들과 가까워져 피드백 루프의 안정도가 떨어진다.

[0052] 그러므로, 로드 전류($I_{LOAD}$)가 작을 때는 동적 보상부(DNMC)의 밀러 효과를 키워서 안정도를 확보하고, 로드 전류($I_{LOAD}$)가 커질수록 동적 보상부(DNMC)의 밀러 효과를 작게 하여 대역폭을 넓게 한다.

[0053] 이를 위해, 로드 전류($I_{LOAD}$)의 제1 임계치 및 제2 임계치를 미리 설정해둘 수 있다.

[0054] 도 3에서 제안한 로드 전류 측정부(Current sensor)를 통해, 로드 전류($I_{LOAD}$)의 상황에 따라 역동적으로 변하는 밀러 효과를 이용한 동적 보상부(DNMC) 블록은 도 4와 같은 예시로 들 수 있다.

[0055] 도 4는 본 발명의 일례가 적용된 캡리스 저전압 강하 레귤레이터를 보여주는 도면이다.

[0056] 도 4를 참조하면, 본 발명의 일 실시예에서 동적 보상부(DNMC)는 제1 보상 커패시터($C_{M1}$) 및 제2 보상 커패시터($C_{M2}$), 차동 앰프(Amp) 및 저역 통과 필터($R_1$, $C_1$)를 포함할 수 있다. 동적 보상부(DNMC)는 널 저항($R_Z$)을 더 포함할 수 있다.

[0057] 제1 보상 커패시터($C_{M1}$) 및 제2 보상 커패시터($C_{M2}$)는 제1 메인폴($\omega_{P1}$) 및 제2 메인폴($\omega_{P2}$)에 각각 연결된다. 차동 앰프(Amp)는 제2 메인폴($\omega_{P2}$)과 연결되고, 로드 전류 측정부에서 전달되는 로드 전류($I_{LOAD}$)에 따라 밀러 효과를 다르게 적용한다. 저역 통과 필터($R_1$, $C_1$)는 제2 메인폴($\omega_{P2}$)과 연결되는 제1 저항($R_1$) 및 제2 커패시터($C_1$)를 포함하여 차동 앰프(Amp)에 안정적인 입력 바이어스를 제공한다.

[0058] Nested Miller compensation은 두 노드에 커패시터 두 개($C_{M1}$, $C_{M2}$)와 앰프(Amp) 한 개만으로 밀러 효과를 이용하여 주파수 보상을 해주는 방법이다.

[0059] 본 발명은 작은 커패시터만으로 두 노드에 주파수 보상을 해줄 수 있기에 제안하는 LDO에 접목 하였다. 뿐만 아니라, 로드의 전류 상황에 따라 밀러 효과를 달리 주기 위해 앰프의 전류는 전류 측정부(Current sensor)를 통해 조절된다.

[0060] 이 때, 제2 메인폴($\omega_{P2}$)가 위치한 노드의 직류 전압 값은 동작 상태에 따라 달라지므로, 저역 통과 필터($R_1$, $C_1$)를 통해 차동 앰프(Amp)의 입력 바이어스(bias)를 안정적으로 주었다.

[0061] 또한, 기존의 밀러 보상 기법은 RHP(Right Half Plane) 제로가 발생하므로, 이를 효과적으로 제거하기 위해 널 저항($R_Z$) 한 개를 두 커패시터($C_{M1}$, $C_{M2}$)에 직렬로 배치하였다.

[0062] 동적 보상부(DNMC)의 동작 원리에 대해 자세히 설명하면, 제1 메인폴($\omega_{P1}$)은 gm 셀과 차동 앰프(Amp)의 전압 이득이 더해진 만큼 밀러 효과가 적용된다.

[0063] 예를 들어, gm 셀이 10배의 전압 이득을 갖고 있고, 전류량에 따라 달라지는 차동 앰프(Amp)의 전압 이득이 $1^{-10}$배라면, 제1 메인폴($\omega_{P1}$)은 로드 전류($I_{LOAD}$)에 따라 제1 보상 커패시터($C_{M1}$)보다 $10^{-100}$배 커진 밀러 커패시터가 적용될 것이다.

[0064] 제2 메인폴($\omega_{P2}$)는 차동 앰프(Amp)의 전압 이득만큼 밀러 효과가 적용되어, 제2 보상 커패시터($C_{M2}$)보다 $1^{-10}$배 커진 밀러 보상이 될 것이다.

[0065] 앞서 언급한 바와 같이, 로드 전류($I_{LOAD}$)가 낮다면 제3 메인폴($\omega_{P3}$)이 저주파에 위치하므로 제1 메인폴($\omega_{P1}$) 및 제2 메인폴($\omega_{P2}$) 또한 더 저주파로 이동해야 안정도를 갖는다.

[0066] 반대로, 로드 전류($I_{LOAD}$)가 커질수록 제3 메인폴($\omega_{P3}$)이 고주파로 이동하게 되므로, 제1 메인폴($\omega_{P1}$) 및 제2 메인폴($\omega_{P2}$)이 저주파에 위치하여 대역폭을 낮출 필요가 없다. 이를 위해, 밀러 효과는 로드 전류($I_{LOAD}$)의 상황에 따라 이득을 달리 해야 한다.

[0067] 로드 전류 측정부(Current sensor)는 로드 전류($I_{LOAD}$)가 낮을 때는 차동 앰프(Amp)의 이득이 커야 큰 밀러 효과를 통해 안정도를 갖게 하므로 차동 앰프(Amp)의 전류를 낮춘다. 반대로, 로드 전류($I_{LOAD}$)가 커질수록 차동 앰프(Amp)의 전류를 키워 이득을 낮추고, 대역폭을 넓게 하여 과도 응답 특성을 향상시킨다.

[0068] 본 발명의 LDO 전압 레귤레이터(10)는 로드 전류($I_{LOAD}$)를 감지하여, 폴 주파수를 로드에 따라 역동적으로 이동시킬 수 있으며, 앰프 1개의 사용으로 두 개의 폴 노드에 밀러 효과를 낼 수 있다. 즉, 앰프의 전류를 로드 전류($I_{LOAD}$)에 따라 크거나 작게 조절하여 밀러 효과를 달리할 수 있다.

[0069] 이에 따라, LDO의 로드 전류($I_{LOAD}$)가 작아짐에 따라 떨어지는 피드백 루프의 안정도를 개선시킴으로써 더 넓은 범위의 로드 전류($I_{LOAD}$)에서 동작을 가능하게 하고, 로드 전류($I_{LOAD}$)가 커짐에 따라 주파수 대역을 넓힘으로써 과도 응답 성능을 향상시킬 수 있다. 또한, 작은 용량의 커패시터를 사용하여 칩의 면적이 작아지므로, 생산 단가 측면에서 절감 효과를 가져올 수 있다.

[0070] 도 5는 로드 전류에 따른 주파수 응답 파형을 보여주는 그래프이다.

[0071] 도 5는 $V_{IN}$ = 1.2 V, $V_{OUT}$ = 1 V이고 로드 전류($I_{LOAD}$)가 각각 0.1 mA, 1 mA, 10 mA, 그리고 100 mA일 때, 본 발명에서 제안한 LDO 전압 레귤레이터(10)의 보데 플랏을 보여준다.

[0072] 각 로드 전류($I_{LOAD}$) 상황에서 UGF(Unity Gain Frequency)는 각각 8.1 MHz, 12.9 MHz, 14.6 MHz, 그리고 14.8 MHz이고, PM(Phase Margin)은 64 도, 60 도, 75 도, 그리고 75도를 보여준다.

[0073] UGF는 이중 루프 구조를 사용한 기존 기술(선행기술문헌의 비특허문헌 1)이 최대 3 MHz 인 것에 비해 더 고주파에 위치한 것을 알 수 있고, PM은 전 구간에서 60도 이상의 안정적인 수치를 보여준다.

[0074] 이 때, 제1 보상 커패시터($C_{M1}$) 및 제2 보상 커패시터($C_{M2}$)는 각각 350 fF, 2 pF으로 아주 작은 커패시터만이 사용되어서 종래 기술이 사용한 주파수 보상방법 보다 더 좁은 면적이 필요하다는 장점을 보여준다.

[0075] 본 발명은 이중 피드백 루프 구조를 이용한 캡리스 LDO 전압 레귤레이터에서, 로드 전류를 감지하고, 이를 이용하여 폴 노드들의 주파수를 보상하는 nested 밀러 앰프의 이득을 역동적으로 바꾼다. 이를 통해 더 넓은 범위의 로드 전류에서 안정적으로 동작하고, 대역폭을 넓힘으로써 과도 응답 특성을 개선할 수 있다.

[0076] 다시 말해, LDO의 로드 전류($I_{LOAD}$)가 작아짐에 따라 떨어지는 피드백 루프의 안정도를 개선시킴으로써 더 넓은 범위의 로드 전류($I_{LOAD}$)에서 동작을 가능하게 하고, 로드 전류($I_{LOAD}$)가 커짐에 따라 주파수 대역을 넓힘으로써 과도 응답 성능을 향상시킬 수 있다. 또한, 작은 용량의 커패시터를 사용하여 칩의 면적이 작아지므로, 생산 단가 측면에서 절감 효과를 가져올 수 있다.

[0077] 본 발명에 따른 캡리스 LDO 전압 레귤레이터는 제품의 작동을 위해 전력변환 및 전력관리를 필요로 하는 분야에서 사용될 수 있다. 예를 들어서, 스마트폰, IoT 기기, SSD 등을 위해 활용될 수 있으며, 이 외에도 높은 입력 전압을 낮은 출력 전압으로 변환하는 기능이 필요한 모바일 기기, 웨어러블 기기, 전자 기기 등 모든 시장에 적용될 수 있다.

[0078] 이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

## *산업상 이용가능성*

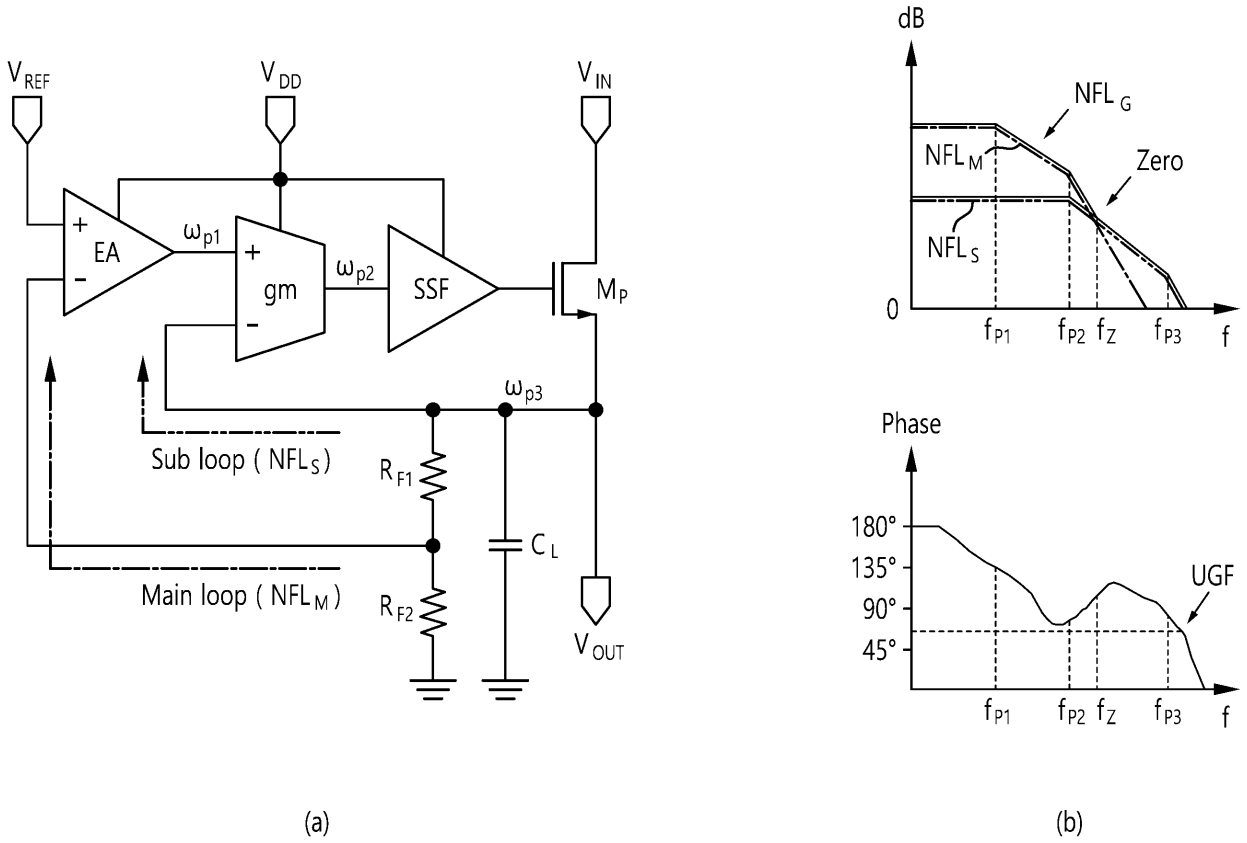
[0080] 본 발명의 LDO 전압 레귤레이터는 작은 리플만을 가지면서, 적은 비용과 간단한 구조로, 정확한 출력 전압을 제공할 수 있기에, 스위칭 타입 DC-DC 컨버터들의 뒷단에 자주 접목된다.

[0081] 따라서, 정확하고 흔들림 없는 전압원을 필요로 하는 Internet of Things(IoT), System on Chip(SoC) 등의 다양한 반도체 회로에 사용되고, 특히 한 시스템 내에서 여러 레벨의 전압원을 필요로 하는 SSD와 같은 분야에 적용될 수 있다.

[0082] 이 외에도 높은 입력 전압을 낮은 출력 전압으로 변환하는 기능이 필요한 모바일 기기, 웨어러블 기기, 전자 기기 등 다양한 분야에 사용될 수 있다.

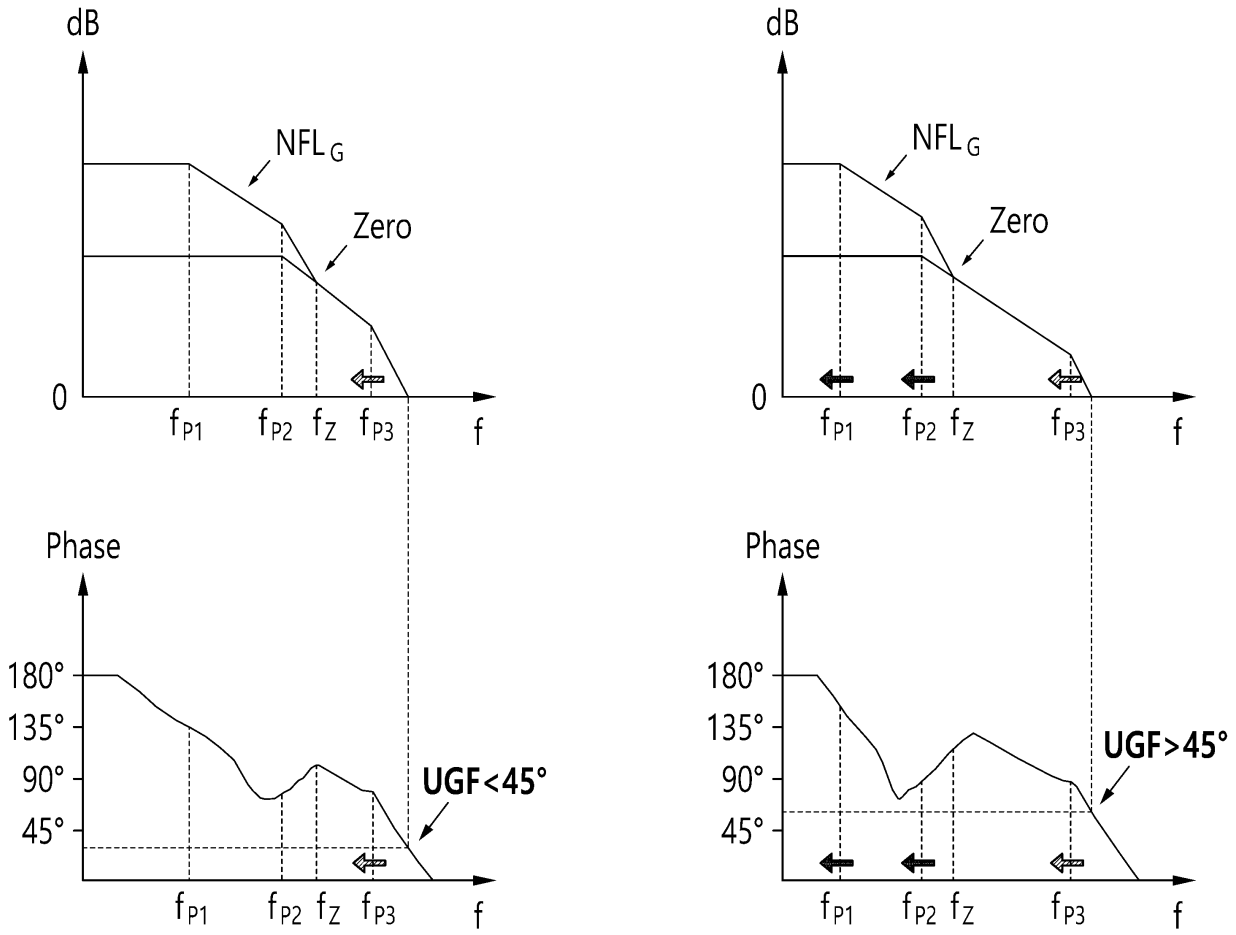
도면

도면1

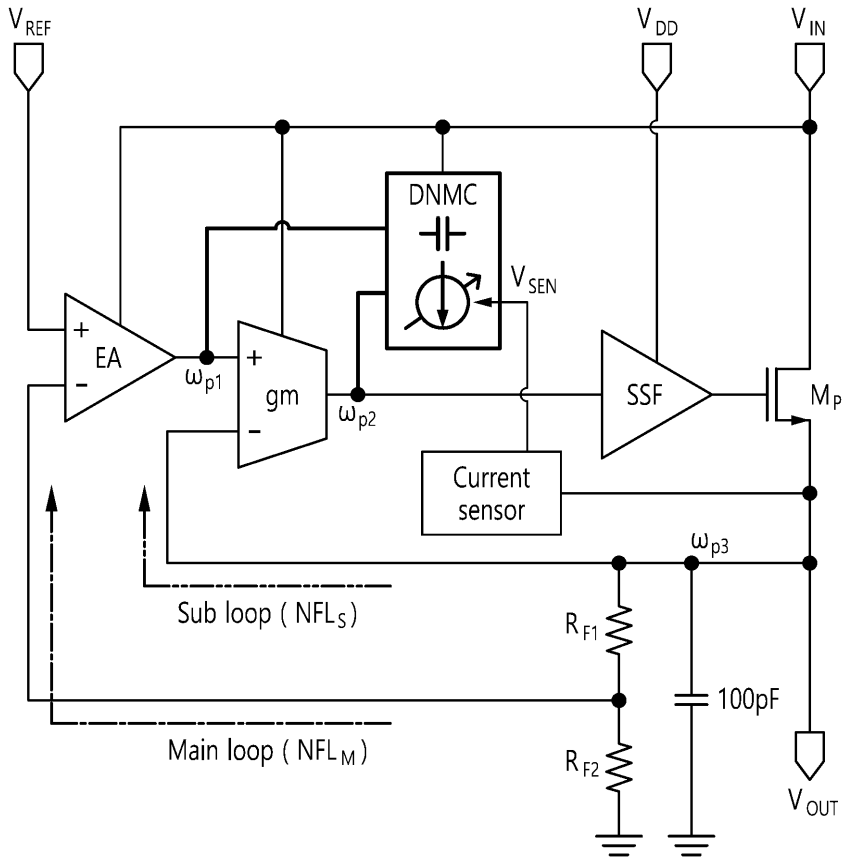

V_REF
V_DD
V_IN
EA
gm
SSF
M_P
ω_p1
ω_p2
ω_p3
Sub loop ( NFL_S )
Main loop ( NFL_M )
R_F1
R_F2
C_L
V_OUT
dB
NFL_G
NFL_M
NFL_S
Zero
0
f_P1
f_P2
f_Z
f_P3
f
Phase
180°
135°
90°
45°
UGF

(a) (b)

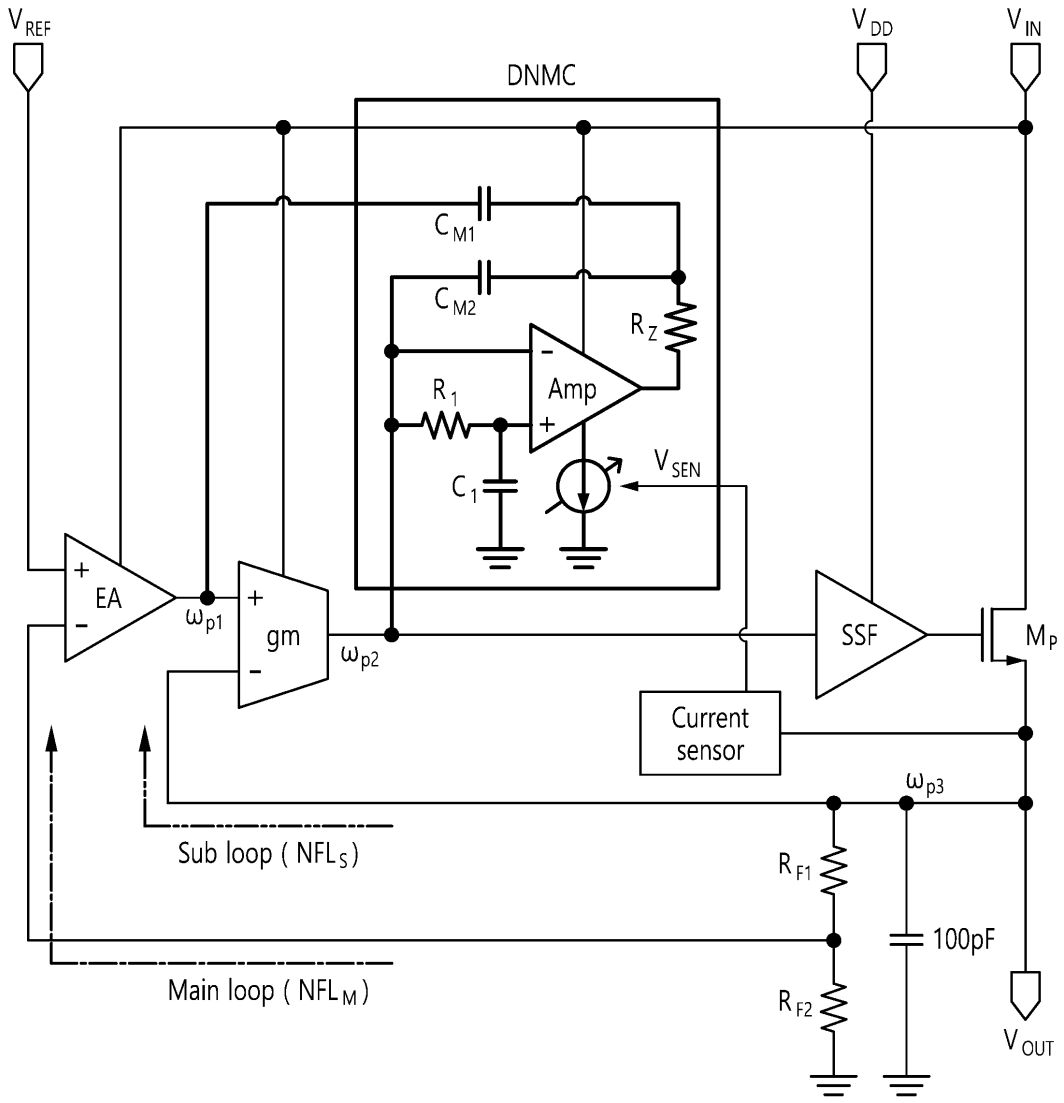
도면2


dB
NFL G
Zero
0
fP1
fP2
fZ
fP3
f
Phase
180°
135°
90°
45°
UGF<45°
UGF>45°
(a)
(b)

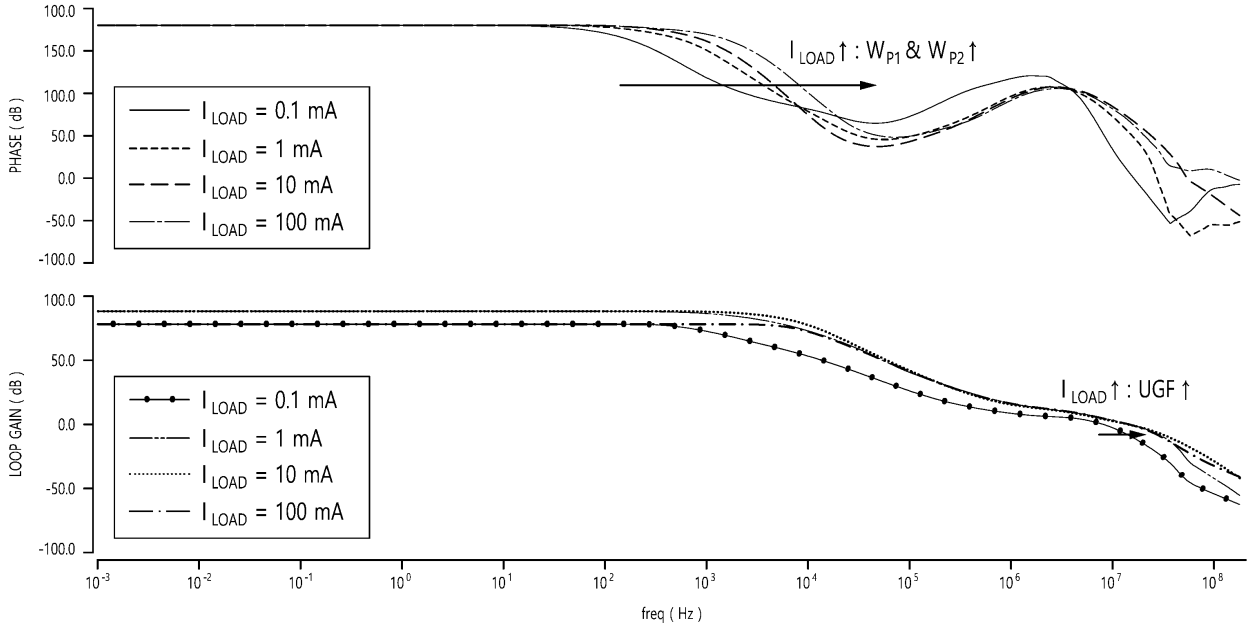
도면3


V REF
V DD
V IN
DNMC
V SEN
EA
gm
ω p1
ω p2
SSF
M P
Current sensor
ω p3
Sub loop ( NFL S )
R F1
100pF
Main loop ( NFL M )
R F2
V OUT

도면4


V REF
V DD
V IN
DNMC
C M1
C M2
R Z
R 1
Amp
C 1
V SEN
EA
ω p1
gm
ω p2
SSF
M P
Current sensor
ω p3
Sub loop ( NFL S )
R F1
100pF
R F2
Main loop ( NFL M )
V OUT

도면5


100.0
150.0
100.0
50.0
0.0
-50.0
-100.0
PHASE ( dB )
I LOAD = 0.1 mA
I LOAD = 1 mA
I LOAD = 10 mA
I LOAD = 100 mA
I LOAD↑ : WP1 & WP2↑
100.0
50.0
0.0
-50.0
-100.0
LOOP GAIN ( dB )
I LOAD = 0.1 mA
I LOAD = 1 mA
I LOAD = 10 mA
I LOAD = 100 mA
I LOAD↑ : UGF↑
10-3
10-2
10-1
100
101
102
103
104
105
106
107
108
freq ( Hz )