

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 6 部門第 2 区分
【発行日】令和 6 年 5 月 20 日(2024.5.20)

【公開番号】特開 2024-16235(P2024-16235A)
【公開日】令和 6 年 2 月 6 日(2024.2.6)
【年通号数】公開公報(特許)2024-023
【出願番号】特願 2023-192619(P2023-192619)
【国際特許分類】

G 0 9 G 3/20(2006.01)
G 0 9 G 3/3225(2016.01)
G 0 9 F 9/30(2006.01)
G 1 1 C 19/28(2006.01)

10

【F I】

G 0 9 G 3/20 6 2 2 E
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/3225
G 0 9 F 9/30 3 6 5
G 0 9 F 9/30 3 3 8
G 1 1 C 19/28 2 3 0

20

【手続補正書】
【提出日】令和 6 年 5 月 10 日(2024.5.10)
【手続補正 1】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項 1】

30

表示装置に適用されるシフトレジスタであって、画素補償選択回路、保持回路及び N 個のシフトレジスタ回路を備え、N は 1 よりも大きい自然数であり、

前記保持回路は、ブランキング入力信号を保持するように構成され、

前記 N 個のシフトレジスタ回路の各々は、ブランキング入力回路と出力回路とを備え、

前記ブランキング入力回路は、前記ブランキング入力信号及びブランキング制御信号に応じてブランキングプルダウン信号をブランキング入力回路と出力回路の間の第 1 ノード(Q)に提供するように構成され、

前記出力回路は、前記第 1 ノード(Q)の電圧に応じて、シフト信号出力端子からシフト信号を出力し、第 1 駆動信号出力端子から第 1 駆動信号を出力するように構成され、

前記画素補償選択回路は、補償選択制御信号及び前記 N 個のシフトレジスタ回路のうちの 1 個のシフトレジスタ回路により出力される前記シフト信号に応じて、画素補償選択回路とブランキング入力回路の間の第 1 制御ノード(H)を経由して前記保持回路及び前記 N 個のシフトレジスタ回路に前記ブランキング入力信号を提供するように構成され、

40

前記ブランキング制御信号は第 1 クロック信号であり、前記ブランキングプルダウン信号は第 1 電圧であり、前記ブランキング入力回路は前記第 1 ノード(Q)を介して前記出力回路に電氣的に接続し、前記画素補償選択回路は前記第 1 制御ノード(H)を介して前記ブランキング入力回路に電氣的に接続し、

前記画素補償選択回路は第 1 トランジスタと第 1 リーク防止トランジスタを含み、前記第 1 トランジスタの制御電極は補償選択制御信号端子に結合されて前記補償選択制御信号を受信し、前記第 1 トランジスタの第 1 電極は前記 N 個のシフトレジスタ回路のうちの 1

50

個のシフトレジスタ回路の前記シフト信号出力端子に結合され、前記第 1 トランジスタの第 2 電極は前記第 1 リーク防止トランジスタの第 1 電極に結合され、前記第 1 リーク防止トランジスタの制御電極は前記補償選択制御信号端子に結合されて前記補償選択制御信号を受信し、前記第 1 リーク防止トランジスタの第 2 電極は前記第 1 制御ノード (H) に結合され、前記第 1 リーク防止トランジスタの第 1 電極は更に第 2 8 トランジスタの第 2 電極に結合され、前記第 2 8 トランジスタの制御電極は前記第 1 制御ノード (H) に結合され、前記第 2 8 トランジスタの第 1 電極は第 2 電圧端子に結合されて第 2 電圧を受信するシフトレジスタ。

【請求項 2】

前記保持回路は第 1 コンデンサを備え、

10

前記第 1 コンデンサは、第 1 端子が前記第 1 制御ノード (H) に結合され、もう 1 つの端子が第 2 電圧端子に結合されて第 2 電圧を受信する請求項 1 に記載のシフトレジスタ。

【請求項 3】

前記ブランキング入力回路は第 2 トランジスタ及び第 3 トランジスタを備え、

前記第 2 トランジスタの制御電極は前記第 1 制御ノード (H) に結合され、前記第 2 トランジスタの第 1 電極は第 1 電圧端子に結合されて第 1 電圧を前記ブランキングプルダウン信号として受信し、前記第 2 トランジスタの第 2 電極は前記第 3 トランジスタの第 1 電極に結合され、

前記第 3 トランジスタの制御電極は第 1 クロック信号端子に結合されて第 1 クロック信号を前記ブランキング制御信号として受信し、前記第 3 トランジスタの第 2 電極は前記第 1 ノード (Q) に結合される請求項 1 に記載のシフトレジスタ。

20

【請求項 4】

前記出力回路は第 1 9 トランジスタ、第 2 2 トランジスタ及び第 2 コンデンサを備え、

前記第 1 9 トランジスタの制御電極は前記第 1 ノード (Q) に結合され、前記第 1 9 トランジスタの第 1 電極は第 4 クロック信号端子に結合されて第 4 クロック信号を受信し、前記第 1 9 トランジスタの第 2 電極は前記シフト信号出力端子に結合され、

前記第 2 2 トランジスタの制御電極は前記第 1 ノード (Q) に結合され、前記第 2 2 トランジスタの第 1 電極は前記第 4 クロック信号端子に結合されて第 4 クロック信号を受信し、前記第 2 2 トランジスタの第 2 電極は前記第 1 駆動信号出力端子に結合され、

前記第 2 コンデンサは前記第 1 ノード (Q) と前記シフト信号出力端子との間に結合される請求項 1 に記載のシフトレジスタ。

30

【請求項 5】

各前記シフトレジスタ回路は表示入力回路をさらに備え、

前記表示入力回路は、表示入力信号に応じて表示プルダウン信号を前記第 1 ノード (Q) に提供するように構成される請求項 1 に記載のシフトレジスタ。

【請求項 6】

前記表示入力回路は第 4 トランジスタを備え、

前記第 4 トランジスタの制御電極は表示入力信号端子に結合されて前記表示入力信号を受信し、前記第 4 トランジスタの第 1 電極は第 1 電圧端子に結合されて第 1 電圧を前記表示プルダウン信号として受信し、前記第 4 トランジスタの第 2 電極は前記第 1 ノード (Q) に結合される請求項 5 に記載のシフトレジスタ。

40

【請求項 7】

各前記シフトレジスタ回路は第 1 制御回路、プルアップ回路及び第 2 制御回路をさらに備え、

前記第 1 制御回路は、前記第 1 ノード (Q) の電圧に応じてプルアップノードの電圧を制御するように構成され、

前記プルアップ回路は、前記プルアップノードの電圧に応じて、第 2 電圧端子からの第 2 電圧を前記第 1 ノード (Q)、前記シフト信号出力端子及び前記第 1 駆動信号出力端子に提供するように構成され、

前記第 2 制御回路は、前記ブランキング制御信号及び前記第 1 制御ノード (H) の電圧

50

に応じて前記プルアップノードの電圧を制御し、前記表示入力信号に応じて前記プルアップノードの電圧を制御するように構成される請求項 6 に記載のシフトレジスタ。

【請求項 8】

前記プルアップノードは第 1 プルアップノードを備え、

前記第 1 制御回路は、第 7 トランジスタ、及び第 8 トランジスタを備え、

前記第 7 トランジスタの制御電極及び第 1 電極は第 3 電圧端子に結合され、前記第 7 トランジスタの第 2 電極は前記第 1 プルアップノードに結合され、

前記第 8 トランジスタの制御電極は前記第 1 ノード (Q) に結合され、前記第 8 トランジスタの第 1 電極は前記第 1 プルアップノードに結合され、前記第 8 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

10

前記プルアップ回路は、第 9 トランジスタ、第 20 トランジスタ、及び第 23 トランジスタを備え、

前記第 9 トランジスタの制御電極は前記第 1 プルアップノードに結合され、前記第 9 トランジスタの第 1 電極は前記第 1 ノード (Q) に結合され、前記第 9 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 20 トランジスタの制御電極は前記第 1 プルアップノードに結合され、前記第 20 トランジスタの第 1 電極は前記シフト信号出力端子に結合され、前記第 20 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 23 トランジスタの制御電極は前記第 1 プルアップノードに結合され、前記第 23 トランジスタの第 1 電極は前記第 1 駆動信号出力端子に結合され、前記第 23 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

20

前記第 2 制御回路は、第 13 トランジスタ、第 14 トランジスタ、及び第 15 トランジスタを備え、

前記第 13 トランジスタの制御電極は第 1 クロック信号端子に結合されて第 1 クロック信号を前記ブランキング制御信号として受信し、前記第 13 トランジスタの第 1 電極は前記第 1 プルアップノードに結合され、

前記第 14 トランジスタの制御電極は前記第 1 制御ノード (H) に結合され、前記第 14 トランジスタの第 1 電極は前記第 13 トランジスタの第 2 電極に結合され、前記第 14 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 15 トランジスタの制御電極は表示入力信号端子に結合されて前記表示入力信号を受信し、前記第 15 トランジスタの第 1 電極は前記第 1 プルアップノードに結合され、前記第 15 トランジスタの第 2 電極は前記第 2 電圧端子に結合される請求項 7 に記載のシフトレジスタ。

30

【請求項 9】

前記プルアップノードは第 2 プルアップノードをさらに備え、

前記第 1 制御回路は、第 10 トランジスタ、及び第 11 トランジスタをさらに備え、

前記第 10 トランジスタの制御電極及び第 1 電極は第 4 電圧端子に結合され、前記第 10 トランジスタの第 2 電極は前記第 2 プルアップノードに結合され、

前記第 11 トランジスタの制御電極は前記第 1 ノード (Q) に結合され、前記第 11 トランジスタの第 1 電極は前記第 2 プルアップノードに結合され、前記第 11 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

40

前記プルアップ回路は、第 12 トランジスタ、第 21 トランジスタ、及び第 24 トランジスタをさらに備え、

前記第 12 トランジスタの制御電極は前記第 2 プルアップノードに結合され、前記第 12 トランジスタの第 1 電極は前記第 1 ノード (Q) に結合され、前記第 12 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 21 トランジスタの制御電極は前記第 2 プルアップノードに結合され、前記第 21 トランジスタの第 1 電極は前記シフト信号出力端子に結合され、前記第 21 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 24 トランジスタの制御電極は前記第 2 プルアップノードに結合され、前記第 2

50

4 トランジスタの第 1 電極は前記第 1 駆動信号出力端子に結合され、前記第 2 4 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 2 制御回路は、第 1 6 トランジスタ、第 1 7 トランジスタ、及び第 1 8 トランジスタをさらに備え、

前記第 1 6 トランジスタの制御電極は第 1 クロック信号端子に結合されて第 1 クロック信号を前記ブランキング制御信号として受信し、前記第 1 6 トランジスタの第 1 電極は前記第 2 プルアップノードに結合され、

前記第 1 7 トランジスタの制御電極は前記第 1 制御ノード (H) に結合され、前記第 1 7 トランジスタの第 1 電極は前記第 1 6 トランジスタの第 2 電極に結合され、前記第 1 7 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 1 8 トランジスタの制御電極は表示入力信号端子に結合されて前記表示入力信号を受信し、前記第 1 8 トランジスタの第 1 電極は前記第 2 プルアップノードに結合され、前記第 1 8 トランジスタの第 2 電極は前記第 2 電圧端子に結合される請求項 8 に記載のシフトレジスタ。

【請求項 1 0】

各前記シフトレジスタ回路はリセット回路をさらに備え、

前記リセット回路は、ブランキングリセット信号端子からのブランキングリセット信号に応じて前記第 1 ノード (Q) をリセットし、表示リセット信号端子からの表示リセット信号に応じて前記第 1 ノード (Q) をリセットするように構成される請求項 7 に記載のシフトレジスタ。

【請求項 1 1】

前記リセット回路は第 5 トランジスタ及び第 6 トランジスタを備え、

前記第 5 トランジスタの制御電極は前記ブランキングリセット信号端子に結合され、前記第 5 トランジスタの第 1 電極は前記第 1 ノード (Q) に結合され、前記第 5 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 6 トランジスタの制御電極は前記表示リセット信号端子に結合され、前記第 6 トランジスタの第 1 電極は前記第 1 ノード (Q) に結合され、前記第 6 トランジスタの第 2 電極は前記第 2 電圧端子に結合される請求項 1 0 に記載のシフトレジスタ。

【請求項 1 2】

前記出力回路は第 2 5 トランジスタ及び第 3 コンデンサをさらに備え、

前記第 2 5 トランジスタの制御電極は前記第 1 ノード (Q) に結合され、前記第 2 5 トランジスタの第 1 電極は第 5 クロック信号端子に結合されて第 5 クロック信号を受信し、前記第 2 5 トランジスタの第 2 電極は第 2 駆動信号出力端子に結合され、

前記第 3 コンデンサは前記第 1 ノード (Q) と前記第 2 駆動信号出力端子との間に結合される請求項 9 に記載のシフトレジスタ。

【請求項 1 3】

前記プルアップ回路は第 2 6 トランジスタ及び第 2 7 トランジスタをさらに備え、

前記第 2 6 トランジスタの制御電極は前記第 1 プルアップノードに結合され、前記第 2 6 トランジスタの第 1 電極は前記第 2 駆動信号出力端子に結合され、前記第 2 6 トランジスタの第 2 電極は前記第 2 電圧端子に結合され、

前記第 2 7 トランジスタの制御電極は前記第 2 プルアップノードに結合され、前記第 2 7 トランジスタの第 1 電極は前記第 2 駆動信号出力端子に結合され、前記第 2 7 トランジスタの第 2 電極は前記第 2 電圧端子に結合される請求項 1 2 に記載のシフトレジスタ。

【請求項 1 4】

前記シフトレジスタは 1 個の補償選択回路及び 1 個の保持回路を備える請求項 1 に記載のシフトレジスタ。

【請求項 1 5】

ゲート駆動回路であって、M 個の請求項 1 ~ 1 4 のいずれか一項に記載のシフトレジスタ及び第 1 サブクロック信号線を備え、

前記第 1 サブクロック信号線は各シフトレジスタに補償選択制御信号を提供するゲート

10

20

30

40

50

駆動回路。

【請求項 16】

第 2 サブクロック信号線及びブランキングリセット信号線をさらに備え、

第 i 個のシフトレジスタ回路により出力されるシフト信号は、表示入力信号として第 $i + 2$ 個のシフトレジスタ回路に提供され、

前記第 2 サブクロック信号線は各シフトレジスタ回路に第 1 クロック信号を提供し、

前記ブランキングリセット信号線は各シフトレジスタ回路にブランキングリセット信号を提供し、

第 $i + 3$ 個のシフトレジスタ回路により出力されるシフト信号は、表示リセット信号として第 i 個のシフトレジスタ回路に提供される請求項 15 に記載のゲート駆動回路。

10

【請求項 17】

第 3 サブクロック信号線、第 4 サブクロック信号線、第 5 サブクロック信号線及び第 6 サブクロック信号線をさらに備え、

前記第 3 サブクロック信号線は第 $4i - 3$ 個のシフトレジスタ回路に第 4 クロック信号を提供し、

前記第 4 サブクロック信号線は第 $4i - 2$ 個のシフトレジスタ回路に第 4 クロック信号を提供し、

前記第 5 サブクロック信号線は第 $4i - 1$ 個のシフトレジスタ回路に第 4 クロック信号を提供し、

前記第 6 サブクロック信号線は第 $4i$ 個のシフトレジスタ回路に第 4 クロック信号を提供する請求項 15 又は 16 に記載のゲート駆動回路。

20

【請求項 18】

第 7 サブクロック信号線、第 8 サブクロック信号線、第 9 サブクロック信号線及び第 10 サブクロック信号線をさらに備え、

前記第 7 サブクロック信号線は第 $4i - 3$ 個のシフトレジスタ回路に第 5 クロック信号を提供し、

前記第 8 サブクロック信号線は第 $4i - 2$ 個のシフトレジスタ回路に第 5 クロック信号を提供し、

前記第 9 サブクロック信号線は第 $4i - 1$ 個のシフトレジスタ回路に第 5 クロック信号を提供し、

前記第 10 サブクロック信号線は第 $4i$ 個のシフトレジスタ回路に第 5 クロック信号を提供する請求項 15 又は 16 に記載のゲート駆動回路。

30

【請求項 19】

請求項 15 ~ 18 のいずれか一項に記載のゲート駆動回路を備えるアレイ基板。

【請求項 20】

請求項 19 に記載のアレイ基板を備える表示装置。

【請求項 21】

請求項 1 ~ 14 のいずれか一項に記載のシフトレジスタを駆動するための方法であって、

補償選択制御信号及び N 個のシフト信号のうちの 1 個のシフト信号に応じて、ブランキング入力信号を提供するステップと、

40

前記ブランキング入力信号を保持するステップと、

前記ブランキング入力信号及びブランキング制御信号に応じてブランキングプルダウン信号を第 1 ノード (Q) に提供するステップと、

前記第 1 ノード (Q) の電圧に応じて、 N 個のシフト信号出力端子から N 個のシフト信号を出力し、 N 個の第 1 駆動信号出力端子から N 個の第 1 駆動信号を出力するステップと、を含むシフトレジスタを駆動するための方法。