



[12] 发明专利申请公开说明书

[21]申请号 95108326.0

[51]Int.Cl⁶

H04L 1/20

[43]公开日 1996年3月13日

[22]申请日 95.6.16

[30]优先权

[32]94.6.16 [33]JP[31]134485/94

[71]申请人 株式会社东芝

地址 日本神奈川县

[72]发明人 馆石亨 村野胜巳

青木孝泰 佐藤裕明

[74]专利代理机构 中国专利代理(香港)有限公司

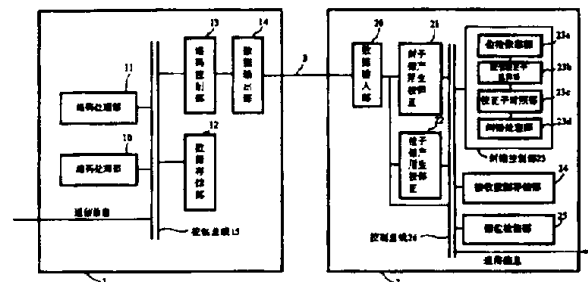
代理人 叶恺东 王忠忠

权利要求书 10 页 说明书 21 页 附图页数 8 页

[54]发明名称 纠错设备及其方法

[57]摘要

本发明提供一种纠错设备及其方法，将信息比特作重叠纠错编码，在谋求提高通信信息的可靠性时，高效率地判断是否纠正，使处理延迟降低。在纠错和检错技术相结合情况下，在使信息比特纠错后不作检错，用校正子电平判定是否差错。用纠错技术检测错位时，通过错位作逆向运算。上述错位是把在检错技术检测同样差错时生成的校正子作为疑似校正子检测的，将用检错技术实际生成的校正子与疑似校正子作比较，用校正子电平确认差错的是非。



权利要求书

1. 一种纠错设备, 其特征是备置有:

接收装置, 用来接收利用多个生成行列使所表示通信内容的信息比特作多重编码的通信数据;

错位检测装置, 用来根据与前述多个生成行列中规定的一个生成行列正交的检查行列, 使通过前述接收装置接收的通信数据解码, 检测前述信息比特中产生的错位;

疑似校正子产生装置, 用来根据与前述错位检测装置使用的生成行列以外的生成行列分别正交的多个检查行列和通过前述错位检测装置检测的错位, 产生表示在前述信息比特中出现的差错的多个疑似校正子;

校正子产生装置, 用来根据前述接收装置接收的通信数据和前述多个检查行列的乘积, 产生表示在前述信息比特中发生的差错症状的多个校正子;

纠错装置, 用来仅在前述疑似校正子产生装置生成的多个疑似校正子和前述校正子产生装置生成的多个校正子相互一致情况下, 纠正前述信息比特中产生的差错。

2. 如权利要求1的纠错设备, 其特征是,

前述通信数据通过1个或多个规约标准形生成行列使利用规定的生成行列对被前述信息比特编码的数据进行编码, 包括在前述信息比特上附加多个检查比特的数据结构。

3. 如权利要求2的纠错设备, 其特征是,

前述接收装置接收两种数据，其一为第1数据，是首先利用根据第1生成多项式的第1生成行列使表示通信内容的信息比特编码，利用根据第2生成多项式的规约标准形的第2生成行列再使前述第1数据编码的前述第1数据，其二为由检查比特组成的第2数据；

前述错位检测装置根据与前述第2生成行列正交的第2检查行列使通过前述接收装置接收的第2数据译码，检测在所述第1数据中产生的错位；

前述疑似校正子产生装置根据由前述错位检测装置检测的错位和前述第1生成多项式，产生在所述信息比特中形成的差错疑似校正子；

前述校正子产生装置取从由前述接收装置接收的第2数据中排除前述检查比特的数据，与和前述第1生成行列正交的第1检查行列之乘积，生成表示在所述信息比特中产生的差错症状的校正子；

前述纠错装置当前述疑似校正子产生装置生成的疑似校正子，与前述校正子产生装置生成的校正子相同时，纠正所述信息比特中产生的差错。

4. 如权利要求3的纠错设备，其特征是，

前述错位检测装置是以前述第2数据右端比特为基准位置的错位来检测差错产生的比特位置；

前述疑似校正子产生装置把前述错位检测装置检测的错位变换成使前述第1数据右端比特成为基准的错位，根据变换后的错位生成疑似校正子；

前述校正子产生装置生成把前述第1数据右端比特作为基准的校正子。

5. 如权利要求3的纠错设备,其特征是,

前述错位检测装置作为以前述第2数据右端比特为基准位置的错位,检测差错产生的比特位置;

前述疑似校正子产生装置根据前述错位检测装置检测的错位,形成适合于前述校正子产生装置生成的校正子形式的疑似校正子;

前述校正子产生装置生成把前述第1数据左端比特作为基准的校正子。

6. 如权利要求4的纠错设备,其特征是,

前述第1检查行列是由错位校正子 i 和使用前述第1生成多项式变换该错位校正子 i 的 $f(i)$ 组成的循环冗余码所构成。

7. 如权利要求6的纠错设备,其特征是,

前述疑似校正子产生装置具有前述第1生成多项式所属的伽罗瓦(ガロア)体上的普罗贝纽斯(フロベニウス)变换表格,参照该普罗贝纽斯变换表格,产生对应于由前述错位检测装置检测的错位的疑似校正子。

8. 如权利要求2的纠错设备,其特征是,

前述接收装置接收两种数据,其一为第1数据,是首先利用根据第1生成多项式的规约标准形第1生成行列使表示通信内容的信息比特编码,利用根据第2生成多项式的规约标准形的第2生成行列再使前述第1数据编码的前述第1数据,其二为由第2检查比特组成的第2数据;

前述错位检测装置根据与前述第1生成行列正交的第1检查行列,使从由前述接收装置接收的第2数据中除去第2检查比特的数据译码,检测在前述第1数据中产生的错位;

前述疑似校正子产生装置根据由前述错位检测装置检测的错位和前述第2生成多项式，产生在前述信息比特中产生的差错的疑似校正子；

前述校正子产生装置取由前述接收装置接收的第2数据，和与前述第2生成行列正交的第2检查行列乘积，生成在前述信息比特中产生的差错的校正子；

前述纠错装置如果前述疑似校正子产生装置生成的疑似校正子和前述校正子产生装置生成的校正子相同，则纠正在前述信息比特中产生的差错。

9. 如权利要求8的纠错设备，其特征是，

前述错位检测装置作为以前述第2数据右端比特为基准位置的错位，检测差错产生的比特位置；

前述疑似校正子产生装置把前述错位检测装置检测的错位变换成把前述第2数据右端比特作为基准的错位，根据变换后的错位产生疑似校正子；

前述校正子产生装置产生将前述第2数据右端的比特作为基准的校正子。

10. 一种纠错系统，具有编码设备，输出使表示通信内容的信息比特作多重编码的通信数据；和译码设备，使前述编码设备输出的通信数据译码，实施纠错，其特征是，

前述编码设备具有：

编码装置，产生由多个生成行列使前述信息比特作多重编码的通信数据；

发射装置，发射前述编码装置产生的通信数据；

前述译码装置备有：

接收装置，接收前述编码装置输出的前述通信数据；

错位检测装置，根据与前述多个生成行列中规定的1个生成行列正交的检查行列使由前述接收装置接收的通信数据译码，检测在前述信息比特中产生的错位；

疑似校正子产生装置，根据与前述错位检测装置使用的生成行列以外的生成行列分别正交的多个检查行列和由前述错位检测装置检测的错位，产生表示在前述信息比特中生成的差错的多个疑似校正子；

校正子产生装置，取前述接收装置接收的通信数据和前述多个检查行列的乘积，产生表示在前述信息比特中形成的差错的症状的多个校正子；

纠错装置，仅在前述疑似校正子产生装置生成的多个疑似校正子和前述校正子产生装置生成的多个校正子相互一致情况下，纠正前述信息比特中产生的差错。

11. 如权利要求10的纠错系统，其特征是，

前述通信数据是这样一种数据构成，用1个或多个规约标准形的生成行列使由规定的生成行列使已被编码的前述信息比特的数据再编码，在前述信息比特上附加多个检查比特。

12. 如权利要求11的纠错系统，其特征是，

前述编码装置备有：

第1编码装置，利用根据第1生成多项式的第1生成行列使前述信息比特编码，产生实行上述编码的第1数据；

第2编码装置，产生由前述第1数据及检查比特组成的第2数据，

前述第1数据是利用根据第2生成多项式的规约标准形的第2生成行列使通过前述第1编码装置产生的第1数据编码的数据;

前述错位检测装置根据与前述第2生成行列正交的第2检查行列使前述接收装置接收的第2数据译码,检测在前述第1数据中产生的错位;

前述疑似校正子产生装置根据前述错位检测装置检测的错位和前述第1生成多项式,产生在前述信息比特中形成的差错的疑似校正子;

前述校正子产生装置取从前述接收装置接收的第2数据中除去前述检查比特的数据与前述第1生成行列正交的第1检查行列乘积,生成表示前述信息比特中产生的差错的症状的校正子;

前述纠错装置当前述疑似校正子产生装置生成的疑似校正子与前述校正子产生装置生成的校正子相同时,纠正前述信息比特中产生的差错。

13. 如权利要求12的纠错系统,其特征是,

前述错位检测装置作为以前述第2数据右端比特为基准位置的错位,检测差错产生的比特位置;

前述疑似校正子产生装置把前述错位检测装置检测的错位变换成把前述第1数据右端比特作为基准的错位,根据变换后的错位产生疑似校正子;

前述校正子产生装置产生把前述第1数据右端比特作为基准的校正子。

14. 如权利要求11的纠错系统,其特征是,

前述编码设备具有:

第1编码装置，生成第1数据，该数据由信息比特和第1检查比特组成，上述信息比特是用根据第1生成多项式的规约标准形的第1生成行列使前述信息比特编码的信息比特，

第2编码装置，生成第2数据，该数据由前述第1数据和第2检查比特组成，上述第1数据是通过根据第2生成多项式的规约标准形的第2生成行列使前述第1编码装置生成的第1数据编码的数据；

前述错位检测装置根据与前述第1生成行列正交的第1检查行列，使从前述接收装置接收的第2数据中除去第2检查比特的数据译码，检测在所述第1数据中产生的错位；

前述疑似校正子产生装置根据前述错位检测装置检测的错位和前述第2生成多项式，产生在所述信息比特中出现的差错的疑似校正子；

前述校正子产生装置取前述接收装置接收的第2数据和与前述第2生成行列正交的第2检查行列的乘积，产生在所述信息比特中生成的差错的校正子；

前述纠错装置若前述疑似校正子产生装置生成的疑似校正子和前述校正子产生装置生成的校正子是相同时，纠正前述信息比特中产生的差错。

15. 如权利要求14的纠错系统，其特征是，

前述错位检测装置作为以前述第2数据右端比特为基准位置的错位，检测差错产生的比特位置；

前述疑似校正子产生装置把前述错位检测装置检测的错位变换成使前述第2数据右端比特作为基准的错位，根据变换后的错位产生疑似校正子；

前述校正子产生装置产生把前述第2数据右端的比特作为基准的校正子。

16. 一种纠错方法，包括下述步骤：

步骤1，接收通过多个生成行列使表示通信内容的信息比特作多重编码的通信数据；

步骤2，根据与在前述多个生成行列中的规定的1个生成行列正交的检查行列，使在步骤1中接收的通信数据译码，检测在前述信息比特中产生的错位；

步骤3，根据与前述步骤2使用的生成行列以外的生成行列分别正交的多个检查行列和在步骤2检测的错位，产生表示在前述信息比特中生成的差错的多个疑似校正子；

步骤4，取前述步骤1接收的通信数据和前述多个检查行列的乘积，产生表示在前述信息比特中产生的差错的症状的多个校正子；

步骤5，只有在前述步骤3生成的多个疑似校正子和前述步骤4产生的多个校正子彼此一致情况下，纠正在前述信息比特中生成的差错。

17. 如权利要求16的纠错方法，其特征是，

前述通信数据所包括的数据构成是，通过1个或多个规约标准形的生成行列，使通过规定的生成行列对前述信息比特进行编码的数据再进行编码，在前述信息比特上附加多个检查比特。

18. 如权利要求17的纠错方法，其特征是，

步骤1，接收两种数据、其一为第1数据，是首先利用根据第1生成多项式的第1生成行列使前述信息比特编码，利用根据第2生

成多项式的规约标准形的第二生成行列再使前述第1数据编码的前述第1数据，其二为由检查比特组成的第2数据；

步骤2，根据与前述第2生成行列正交的第2检测行列，使步骤1接收的第2数据译码，检测前述第1数据中产生的错位；

步骤3，根据前述步骤2检测的错位和前述第1生成多项式，产生在前述信息比特生成的疑似校正子；

步骤4，取从前述步骤1接收的第2数据中除去前述检查比特的数据与和前述第1生成行列正交的第1检查行列的乘积，产生表示在前述信息比特中生成的差错的校正子；

步骤5，若前述步骤3产生的疑似校正子和前述步骤4产生的校正子相同时，纠正在前述信息比特中产生的差错。

19. 如权利要求18的纠错方法，其特征是，

步骤2，作为以前述第2数据的右端的比特为基准位置的错位，检测差错产生的比特位置；

步骤3，将前述步骤2检测的错位变换成使以前述第1数据右端比特成为基准的错位，根据变换后的错位产生疑似校正子；

步骤4，产生将以前述第1数据右端比特作为基准的校正子。

20. 如权利要求17的纠错方法，其特征是，

步骤1，接收两种数据，其一为第1数据，是首先利用根据第1生成多项式的规约标准形第1生成行列使表示通信内容的信息比特编码，利用根据第2生成多项式的规约标准形的第2生成行列再使前述第1数据编码的前述第1数据，其二为由第2检查比特组成的第2数据；

步骤2，根据与前述第1生成行列正交的第1检查行列，使从前

述步骤1接收的第2数据中除去第2检查比特的数据译码，检测在前述第1数据中产生的错位；

步骤3，根据前述步骤2检测的错位和前述第2生成多项式，产生在前述信息比特中产生的差错的疑似校正子；

步骤4，取前述步骤1接收的第2数据和与前述第2生成行列正交的第2检查行列乘积，产生表示在前述信息比特中出现的差错症状的校正子；

步骤5，如果前述步骤3产生的疑似校正子和前述步骤4产生的校正子相同，则纠正前述信息比特中出现的差错。

21. 如权利要求20的纠错方法，其特征是，

步骤2，作为以前述第2数据的右端的比特为基准位置的错位，检测差错产生的比特位置；

步骤3，把步骤2检测的位置变换成把前述第1数据右端比特作为基准的错位，根据变换后的错位产生疑似校正子；

步骤4，产生把前述第1数据右端比特作基准的校正子。

纠错设备及其方法

本发明涉及纠错设备及其方法，特别是有关对通信内容实行多个纠错编码，以减少误纠的纠错设备及其方法。

以往，为了纠正通信内容传送时产生的差错，发射局使应该发射的通信内容(以下称“信息比特”)作冗余编码后发射，接收局根据该冗余码进行纠错，上述纠错技术是熟知的技术。

该纠错技术根据信息比特长度及其所赋与的纠错能力，使所用的编码方式和生成多项式特定化，通过该编码方式及生成多项式对生成行列实行编码，用与该生成行列垂直的检查行列执行译码。

具体来说，在发射局采用信息比特串和生成行列 G 的内积作成信息串，将含该信息串的通信数据发射到接收局，在接收局采用与该生成行列 G 垂直的检查行列 $H(G \cdot H=0)$ 和接收信息串的内积算出差错的校正子(シンドロ-ム)。

这里，所谓该校正子是表示接收信息串内是否存在有差错的数据。通过对该校正子的确认可作差错检测。但是，该校正子由于没有直接表示出差错位置，为使差错位置特定，所以有必要根据该校正子作因数分解等。

具体来说，若该校正子为0，则表示在接收信息串中无差错存在；反之若该校正子不为0，则意味着有某种程度的差错存在。

象这样，通过使用校正子纠错，可自动纠正比特错误及脉冲串错误。

然而，即使是使用该纠错技术的情况下，也并非能跟踪全部差错，存在着漏纠和误纠的现象。

因此，在要求高通信质量的系统中，不是仅仅使用纠错，而是采用纠错和检错(错误检出)相配合来提高纠错的可靠性的技术措施。

比如，在发射局，信息比特串加生成行列G1，在作检错编码的信息串上再加生成行列G2，把作纠错编码的数据发射到接收局；在接收局，利用使该数据与生成行列G2正交的检查行列H2实施纠错之后，使用使该数据与生成行列G1正交的检查行列H1，确认有无错误。

下面，说明有关纠错技术和检错技术相配合的上述传统技术的处理程序。

图9是纠错技术和错误检测技术相配合时在接收局的处理顺序的程序方框图。

如图9所示，接收局接收来自发射局发射的信息串(步骤901)。在接收局最先开始确认信息串内有无错误。

即接收局的接收信息串上加检测行列H2，算出用于纠错的校正子(步骤902)，根据该校正子确认在信息串内是否发生错误(步骤903)。

然后，在信息串内存在错误情况下，根据该纠错用校正子使错误位置特定(步骤904)，使错误位置处的错误得以纠正(步骤905)。

这里，步骤904的错位特定因编码方式而异，比如在2重纠正

BCH码的情况下，将校正子的值作为系数对所持有的多项式因数进行分解，或通过检索有该因数分解结果的图表进行特定。

接着为了验证上述步骤903-905的纠错处理，根据检查行列H1算出错误检测用校正子(步骤906)，检查在所作纠错的信息串内是否残留错误(步骤907)。

然后，在纠错的信息串内不存在错误的情况下，判断为无漏错和误纠，则程序正常结束(步骤908)；在有错误存在情况下，认识到有漏错或误纠，则要求重新发射(步骤909)。

象这样，通过使用纠错技术和错误检测技术相配合的传统技术，确认漏错或误纠的有无，可使通信信息的可靠性提高。

然而，根据该传统技术，由于是在纠正信息串中产生的错误之后判断纠正是非，所以不可能通过检错处理达到使纠正处理结束。

因此，若与只作纠错处理情况相比，由于增加了使用检错技术判断纠错是非的时间(校正子发生处理时间+输入输出所需时间)部分，因而使纠正处理延迟。

引起这样的处理时间的延迟，在纠错技术领域是致命性缺陷。

即由于纠错功能是数据通信功能的附加功能，从用户角度来看，使用费时的纠错处理在技术上是不值得的，变成通过重新发射确认差错。

象这样，使纠错技术和检错技术相配合的传统技术，由于是牺牲处理时间来提高可靠性，从而难以实用。

于是不采取纠错和检错技术相配合，而是采用双重使用纠错

技术，使纠错处理并行化的技术。

即该技术构成是利用双重实施的纠错技术，检测各个差错位置，比较两者的差错位置，若错位一致，则实行纠错。

在该情况下，构成必须是使第2纠错编码处理中使用的生成行列G2成为规约标准形，把发射的信息串作为用G1编码了的数据和检查比特的结合数据形式，可以并行地进行对应生成行列G1的检查行列H1而产生的译码处理和对应生成行列G2的检查行列H2而产生的译码处理。

但是，在使用该技术情况下，最后在对照两者错位确认差错的正确性关系上，由检查行列H1及检查行列H2而形成的译码处理作为算出的校正子还不够，还必须进行所有错位的检测。

若双重地作该错位检测，不仅附加的检查比特数增大，而且在纠错处理中求出最复杂的错位不得不进行2次处理，从而使效率很差。

如上所述，在使用纠错码和检错码相配合的传统技术情况下，问题在于：由于必须按序处理，所以使处理延迟；用作双重纠错编码的传统技术使码长度增加，同时对复杂的错位特定必须进行2次。

本发明目的在于为解决上述问题而提供一种纠错设备及其方法，将信息比特作重迭纠错编码，在谋求提高通信信息的可靠性时，高效率地判断是否纠正，使处理延迟降低。

为实现上述目的，本发明构成是，在纠错和检错技术相结合情况下，在使信息比特纠错后不作检错，用校正子电平判定是否差错。

即利用纠错技术检测错位时，通过错位作逆向运算。上述错位是把检错技术检测同样差错时生成的校正子作为疑似校正子检测的，将用检错技术实际生成的校正子与疑似校正子作比较，用校正子电平确认差错的是非。

即使是用传统技术情况下，也把发射的开始比特作为差错基准位置，并且若用同一编码方法(比如BCH码)，则用校正子电平可确认差错的是非。

然而，在使用可变长度数据把差错的基准位置作为最终比特时，和使用校正子形式不同的编码方法(比如加权平均码和BCH码)的情况下，不可能用校正子电平确认差错的是非。

本发明即便是在象这样用可变长度数据把差错基准位置作为最终比特情况下，利用校正子形式不同的编码方法情况下，也能用校正子电平确认差错的是非。

并且，由于纠错处理和检错处理可并行实施，所以可更高效地实行纠错处理。

此外，在由错位作逆向运算的疑似校正子和通过接收数据求出的校正子不一致情况下，因不作纠正处理，所以可缩短纠错处理所需时间。

图1是本发明第1实施例的纠错系统结构方框图；

图2是对于可变长度信息比特实行检错编码及纠错编码时的通信数据的数据结构图；

图3是图1所示的纠错控制部处理步骤的流程图；

图4是在纠错编码后实行检错编码时的通信数据的数据结构图；

图5是对于固定长度信息比特实行检错编码及纠错编码时的通

信数据的数据结构图；

图6是使用图5所示的数据结构时的纠错用控制部的处理步骤的流程图；

图7是在将检错编码及纠错编码进行3重以上组合时的数据结构的一个例子；

图8是应用本发明的无线通信装置及有线通信装置构成的方框图；

图9是合用纠错码和检错码的传统技术处理步骤流程图。

下面，参照附图说明本发明第1实施例。在该第1实施例中，描述了对于64比特—512比特的可变长度通信内容(信息比特)实行检错编码后，作纠错编码的情况。

图1是本发明第1实施例的纠错系统结构方框图。

如图1所示，该纠错系统构成包括：编码装置1，用来对从用户来的通信内容作检错编码和纠错编码，把含上述所编码的信息串的通信数据输出到信道3；译码装置2，用来将从上述信道3接收的通信数据译码，再输出所译码的通信信息。

编码装置1由编码处理部10，编码处理部11，数据存储部12、编码控制部13和数据输出部14构成。

编码处理部10的功能是在编码控制部13的控制下，通过控制总线15获取输入数据，再对该输入数据作检错编码。

具体来说，在该编码处理部10，通过获取输入数据和生成行列G1的内积，实行检错编码。另外，在本实施例，把该生成行列G1作成规约标准形，该编码数据的数据形式为在输入数据上附加有检查比特的数据形式。

编码处理部11与编码处理部10一样，受编码控制部13的控制，实行用规约标准形的生成行列G2的纠错编码。

另外，编码处理部11所作的纠错编码，在采取输入数据和生成行列的内积这一点上，虽然还没有变成编码处理部10执行的检错编码处理，但编码处理部10使用的生成行列G1不一定是规约标准形，对此，所不同的是编码处理部11使用的生成行列G2必定是规约标准形。

其理由是因为，如果编码处理部11使用的生成行列G2不是规约标准形，则不会成为信息串在输入数据上附加检查比特的数据形式，则在后述的译码装置2中不实行并行处理。

数据存储部12是把输入编码装置1的输入数据暂时存储起来的缓冲存储器，对在该数据存储部12存储的输入数据依次进行编码。

编码控制部13是使在数据存储部12存储的数据依次进行编码控制的控制部，具体来说，首先把最初在数据存储部12存储的数据输出给编码处理部10，对信息比特实行检错处理后，再把该数据输出至编码处理部11，实施纠错编码，然后输出至数据输出部14。

即，编码处理部10的编码对象是输入的通信信息本身；编码处理部11的编码对象是编码处理部10输出的码数据。另外，编码处理部10和11，由于同时使用规约标准形的生成行列，所以通信数据的数据结构表示成在通信信息的信息比特上附加检错用检查比特(FCS1)和纠错用检查比特(FCS2)的形式。

数据输出部14将从编码控制部13获得的信息串附加上通信标志等并将其输出到信道3。

使用具有上述构成的编码装置1, 可以把使输入到编码装置1的通信信息进行双重编码, 将其通信数据输出至信道3。

接着说明从上述编码装置1输出的通信数据的数据结构。

图2是图1所示的信道3的通信数据的数据结构图。

如图2所示, 该通信数据是在由64比特—512比特组成的可变长度信息比特(I)上, 附加有由16比特组成的检错用检查比特(FCS1)及由16比特组成的纠错用检查比特(FCS2), 以及通信用标志(FLG)及控制信号(CONT)等所构成。

即, FCS1是由编码装置1的编码处理部10附加的检错用检查比特; FCS2是由编码装置1的编码处理部11附加的纠错用检查比特。

还有, 在本实施例, 由于将信息比特作为可变长度处理, 所以在后述的译码装置2中, 在使错位特定时, 不是从FLG侧计算错位, 而是从FCS1或FCS2侧计算。

因此, 在实行用FCS2的译码时, 以FCS2的最终比特作为基准表示错位, 在实行用FCS1的译码时, 将FCS1的最终比特作为基准表示错位。

例如在使用FCS2译码时, 若对图2所示的比特A及比特B作差错检测, 则比特A及比特B的错位表示为,

$$\text{比特A: } X_i = 16 + 16 + i$$

$$\text{比特B: } X_j = 16 + 16 + j$$

另外在使用FCS1译码时, 若对比特A及比特B作差错检测, 则比特A和比特B的错位表示为:

比特A: $X_i=16+i$

比特B: $X_j=16+j$

这样，用FCS2译码时的错位和用FCS1 译码时的错位之间产生FCS1的比特数(16比特)的差。

其次，说明对从上述信道3 接收的通信数据实行译码处理的译码装置2 的构成。

译码装置2构成包括：数据输入部20、纠错用校正子产生部21、检错用校正子产生部22、纠错控制部23、接收数据存储部24、错位检测部25。

数据输入部20把自信道3接收的接收数据输出至纠错用校正子产生部21、检错用校正子产生部22及接收数据存储部24。

纠错用校正子产生部21的功能是将通信数据信息串(信息比特+FCS1+FCS2)乘检查行列H2，算出纠错用校正子S2，与编码处理部11对应。

与上述相对应，检错用校正子产生部22 的功能是从信息数据的信息串除去FCS2的数据(信息比特+FCS1)乘检查行列H1，算出检错用校正子S1，与编码处理部10相对应。

即使纠错用校正子产生部21使用的检查行列H2 与编码处理部11使用的生成行列G2正交($G2 \cdot H2=0$)；检错用校正子产生部22 使用的检查行列H1与编码处理部10使用的生成行列G1正交($G1 \cdot H1=0$)。

另外，纠错用校正子产生部21产生的纠错用校正子S2 表示把FCS2最终比特作为错位基准点的信息比特、FCS1及FCS2 中产生的差错症状。

另一方面，检错用校正子产生部22产生的检错用校正子S1表示把FCS1最终比特作为错位基准点的信息比特及FCS1中产生的差错症状。

这样，纠错用校正子产生部21算出把FCS2最终比特作为基准点的校正子；检错用校正子产生部22算出把FCS1最终比特作为基准点的校正子。因此，例如即使两者使用同样的检查行列，各个校正子的值也不一样。

纠错控制部23是根据从纠错用校正子产生部21和检错用校正子产生部22接受的校正子S1及S2作为纠错控制的控制部，它包括位检依靠部23a、疑似校正子运算部23b、校正子对照部23c和纠错处理部23d。

位检依靠部23a将来自纠错用校正子产生部21通过控制总线26接收的校正子输出至错位检测部25，依靠错位检测部25进行错位检测，通过错位检测部25取得相应于该校正子的错位。

疑似校正子运算部23b的功能是，在从位检依靠部23a取得的错位假定是正确的情况下，反向运算检错用校正子产生部22产生的校正子，将该校正子作为疑似校正子运算。

校正子对照部23c的功能是，使疑似校正子运算部23b运算的疑似校正子，与从检错用校正子产生部22通过控制总线26取得的校正子进行对照。

纠错处理部23d是根据校正子对照部23c的对照结果进行纠错的处理部。具体来说，只有在疑似校正子运算部23b运算的疑似校正子和从检错用校正子产生部22取得的校正子一致的情况下，错位检测部25才实行错位纠正的检测；在两个校正子不一致情况下，

在编码装置1实施重发射要求。

这样，该纠错控制部23对整个译码装置2进行控制，同时用校正子电平检证纠错的是非。

接收数据存储部24是暂时存储译码装置2接收的接收数据的缓冲存储器，在纠错用校正子产生部21或检错用校正子产生部22工作的情况下，输入通信数据被临时存贮在该接收数据存储部24中。另外在该接收数据存储部24中临时存储有纠错控制部23的处理过程中的必要的中间数据。

错位检测部25在纠错控制部23的控制下，根据纠错用校正子产生部21产生的纠错用校正子S2检测错位，并将该错位输出至纠错控制部23。

另外，象已说明的那样，纠错用校正子产生部21产生的纠错用校正子S2，由于将FCS2最终比特作为错位基准点，所以就该错位检测部25检测的错位而言，也将FCS2的最终比特作为错位的基准点。

并且疑似校正子运算部23b由于处于检错用校正子产生部22的地位，是产生疑似校正子的装置，所以在该疑似校正子运算部23b中，把从错位检测部25检测的错位减去FCS2的比特数(16比特)的FCS1最终比特作为基准点，运算疑似校正子。

这样，译码装置2的构成不象已有技术分别对照双重检测的错位那样，验证错位的妥当性，而是用校正子电平验证错位的妥当性。其理由是因为与通过校正子求得错位相比，通过错位反算校正子要来得容易。

下面详细说明上述纠错控制部23的处理步骤。

图3是图1所示的纠错控制部23处理步骤的流程图。

如图3所示，首先纠错控制部23通过控制总线得到纠错用校正子产生部21产生的纠错用校正子S2(步骤301)，判断该校正子S2是否为0(步骤302)、确认有无差错。

即在无差错的情况下校正子为零，由于在差错存在情况下表示该差错的症状，所以利用该性质来进行接收数据的检测。

并且，在该校正子S2为零的情况下，通过控制总线获得检错用校正子产生部22产生的检错用校正子S1(步骤303)，判断该检错用校正子S1是否为零(步骤304)。

然后，在该检错用校正子S1为零情况下，视为无差错(步骤305)，处理结束。该检错用校正子S1若不是零，则对发射处理部要求重发射(步骤306)，然后处理告终。

即仅在纠错用校正子S2和检错用校正子S1同时为零的情况下，判断为无差错。在纠错用校正子S2与检错用校正子S1相矛盾情况下，判断为漏错。

下面说明在步骤302，纠错用校正子S2不为零的情况。

这时，纠错控制部23对错位检测部25输出纠正用校正子，使该差错比特位置i、j为特定(步骤307)。另外如已述的，将FCS2最终比特作为基准而算出该差错比特的的位置。

而且，如果通过错位检测部25获得差错比特的的位置i、j，则进行：

$$i=i-16$$

$$j=j-16$$

的减法运算处理(步骤308)后，确认i和j是否为正(步骤309)。

这里，进行步骤308减法处理的理由是因为：将把FCS2最终比特作为基准的差错位置通过座标变换成把FCS1 最终比特作为基准的差错比特的的位置；如本实施例所示，在使用16比特的FCS2时，必须减去该比特数。

作步骤309判定的理由是因为：在*i*和*j*都非正数情况下，在信息比特(I)和FCS1中不产生差错。

并且在*i*和*j*都非正数时，即信息比特(I)和FCS1中无差错情况下，使(步骤310)：

$$Y_i=0$$

$$Y_j=0$$

*i*或*j*任何一个为正时，即判断成FCS2中产生1个差错时，比如假定*i*不为正、*J*为正时：

$$Y_i=0$$

$$Y_j=f(j)$$

成为： $Y_k=0 (k \leq 0)$

$$Y_k=f(k) (k > 0) \quad (\text{步骤311})$$

*i*和*j*同时为正时，即判断成仅在信息比特(I)和FCS1中产生差错情况下，成为：

$$Y_i = f(i)$$

$$Y_j = f(j) \quad (\text{步骤311})$$

再成为: $Y = Y_i + Y_j$ (步骤312)

在此, 该 Y_i 和 Y_j 是用生成多项式具有的根(原始根)的幂乘表示差错比特位置 i 、 j 的数。 f 通过编码处理部10实施编码时使用的编码方法来确定。

并且 Y 是使用错位疑似地逆算检错用校正子产生部22产生的校正子。

在步骤310-312处理中, 通过纠错用校正子逆算求出检错用校正子产生部22使用检查行列 H_1 产生的校正子 S_1 。

从而, 如果该疑似校正子 Y 和校正子 S_1 一致, 则可判断错位检测部25检测的错位是正当的; 若不一致, 则可判断错位检测部25检测的差错比特位置是不正当的。

因此, 接着将检错用校正子产生部22产生的检错用校正子 S_1 从控制总线26取出(步骤313), 检查该检错用校正子 S_1 与疑似校正子 Y 是否一致(步骤314)。

若两者不一致, 则要求实施重发射(步骤306); 若两者一致, 则纠正在错位检测部25检测的位置上存在的差错比特。

利用上述一系列处理, 象已有技术进行纠错之后, 不判断其正确与否, 但可判断纠错前纠正的正确与否。

换言之, 若数据输入部20接收信息串, 由于可使纠错用校正子产生部21和检错用校正子产生部22并行地开始处理, 所以缩短

了处理时间。

如上所述，第1实施例在译码装置2中通过错位检测部25 检测的错位，逆算相应于检错用校正子产生部22 产生的检错用校正子S1的疑似校正子。使该疑似校正子与检错用校正子S1比较，由于其构成是使得能判断的是非纠正，所以可使纠错用校正子产生部21的处理和检错用校正子产生部22的处理并行执行。

用校正子电平判断纠正的是非，可使错位检测处理简化。

另外，在本实施例中为说明方便起见，虽然是在发射局一侧仅有发射处理部1，接收局一侧仅有接收处理部2 的情况下进行描述，但也可以是发射局和接收局各自都有发射处理部1和接收处理部2。

但是，在上述实施例中，由于其构成要使得能在通信内容作检错编码后，再实行纠错编码，所以包含通信数据的信息串由信息比特(I)、检错用检查比特(FCS1)及纠错用检查比特构成。

然而，本发明不限于上述第1实施例的构成，也可适用在对通信内容作纠错编码后再作检错编码的情况。

这种情况的通信数据的数据结构如图4所示，与图2所示的通信数据相比较，检错用检查比特FCS1 的位置和纠错用检查比特FCS2的位置倒置。

因此，在错位检测部25，将图4所示的FCS2最终比特作为基准位置求出错位。

在这种情况下，疑似校正子运算部23b运算疑似校正子时，如图3步骤308所示，不使错位i, j的座标减16比特，相反要加16比特。

在实施这样的纠错时，由于可不对应FCS1中产生的差错，所以与FCS1的比特长度比较，在信息比特长度非常长时是有效的。

以上说明了因使用了可变长度信息比特，所以把FCS1 或FCS2的最终比特作为差错基准位置的第1实施例。

接着说明使用固定长度信息比特、同时把信息比特的开始比特作为差错基准位置的第2实施例。即使在这种情况下，其结构也可与图1所示的编码装置1和编码装置2一样。

图5是对于固定长度的信息比特，实行检错编码及纠错编码时的通信数据的数据的结构图。

如图5所示，这时的数据结构与图2所示的数据结构一样，不同的是信息比特(I)为512比特的固定长度。

这样，在信息比特(I)为固定长度时，由于没有必要沿差错位置把FCS1或FCS2的最终比特作为基准位置，所以能把信息比特(I)的最初比特作为差错的基准位置。

其次，说明在把差错基准位置作为信息比特(I)的最初比特时，与上述第1实施例的不同点。

在本实施例中，因使用固定长度的信息比特(I)，所以图1所示的纠错用校正子产生部21及检错用校正子可把任何信息比特(I)的最初比特作为错位的基准点。

所以无需在第1实施例的图3的步骤308作减法处理。并且若将检错用校正子产生部22使用的检查行列H1 作成与纠错用校正子产生部21使用的检查行列H2相同或使其变为穿孔码(バンクチセド)，即使不使用疑似校正子，也要使纠错用校正子S2 和检错用校正子S1一致。

但是，例如在作纠错的生成行列G2及检查行列H2 试图作双重纠错情况下，生成行列G1及检查行列H1若作1重纠错双重检错是十分必要的，若用同样检查行列也不会引起编码长度的增加。

在使用穿孔码的情况下，因通过去除若干检查比特所得到的码的检错能力会发生变化，在实际应用时必须充分研究。

通过上述，纵然在把差错基准位置作为信息比特(I)的开始比特的情况下，依然难以用校正子电平判断纠错的是非。

因此，在该情况下也可应用本发明的与第1实施例一样反算疑似校正子，用校正子电平验证纠正的是非。

图6是这种情况的纠错用控制部23的处理步骤的流程图。

与图3所示的情况一样，纠错控制部23通过控制总线获得纠错用校正子S2(步骤601)，该校正子S2判断是否为零(步骤602)，以确认有无差错。

并且，在该校正子S2为零时，读入检错用校正子S1(步骤603)，该检错用校正子S1判断是否为零(步骤604)。

当该检错用校正子S1为零时，定为无差错(步骤605)、处理结束，若检错用校正子S1不为零，则对发射处理部1作重发射要求(步骤606)，然后结束处理。

另一方面，在步骤602，当纠错用校正子S2不为零时，纠错控制部23在错位检测部25使差错比特的位置i、j特定(步骤607)。在此，该情况的差错比特的的位置与图3所示的情况不同，将信息比特(I)的起始比特作为基准点计算出。

然后，纠错控制部23从错位检测部25获得差错比特的的位置i、j，计算：

$$Y_i = f(i)$$

$$Y_j = f(j) \quad (\text{步骤608})$$

如下式 Y_i 和 Y_j 相加求出 Y :

$$Y = Y_i + Y_j \quad (\text{步骤609})$$

接着读入检错用校正子 S_1 (步骤610), 该检错用校正子 S_1 检查与疑似校正子 Y 是否一致 (步骤611), 若两者不一致, 则要求重新发射 (步骤606), 在两者一致情况下对检测的位置的比特差错进行纠正 (步骤612)。

这样, 本发明如第1实施例那样, 不仅仅在把FCS1或FCS2的最终比特作为差错基准位置的情况下, 而且象本实施例这样, 在把信息比特(I)起始比特作为差错基准位置情况下也是适用的。

上面说明了把信息比特(I)的起始比特作为基准位置的第2实施例。

但是在上述的第1实施例及第2实施例中, 尽管就有关重迭检错编码及纠错编码实施的情况作为了说明, 但本发明并不局限于上述情况, 也适用于对检错编码及纠错编码为3重以上组合的情况。

例如, 如图7所示, 对于使信息比特(I)分离的各信息比特 I_1 - I_n , 实行第1实施例或第2实施例中所述的检错编码及纠错编码, 在附加检错用检查比特FCS11- FCS13 及纠错用检查比特FCS21-FCS23时, 考虑整个区组1-3再作纠错编码、附加纠错用检查比特FCS3的情况。

这时，根据纠错用检查比特FCS21-FCS23，检测每个区段差错位置。通过该差错位置计算每个区段的疑似校正子，同时使该计算的疑似校正子与根据检错用检查比特FCS11-FCS13算出的校正子作比较，用校正子电平验证检错的是非。

而且，根据最后附加的纠错用检查比特FCS3 求出整个通信数据的差错位置，同时求出通过该差错位置对于区段的疑似校正子，用校正子电平验证检错的是非。

然后，这些验证结果是仅在所有的校正子一致情况下才实施纠错。

这样，本发明也能适用于检错编码及纠错编码为3重以上配合的情况。另外，实行多重检错编码及纠错编码，因附加的冗余比特增长而引起通信效率下降，所以作为重要通信选择，也可使纠错用检查比特FCS3占有一定位置。

其次，再对有关在无线通信装置及有线通信装置上应用该纠错系统进行说明。

图8(a)是应用该发明的无线通信装置构成方框图。

如图8(a)所示，由于该无线通信装置800以分时多路(TDMA)方式实行数据通信，所以被连接到作数据收发的计算机(PC)87。

该无线通信装置800的构成包括由TDMA译码器及TDMA编码器组成的TDMA部83；由解调部401及调制部402组成的调制—解调部84；具有接收部、发射部、合成器、收发分频开关的无线部85；和控制各部的控制部86；此外再附加纠错部88。

该纠错部88是有关本发明实施纠错的处理部，具有如图1所示的编码装置1及译码装置2的两种功能。即该纠错部88对从PC87 获

取的发射数据实行检错编码及纠错编码并输出到TDMA部83，同时从TDMA部83接受接收数据，用校正子电平对该接收数据中产生的差错一边验证一边纠错。

该无线通信装置800其构成虽然要连接作数据通信的PC87，但也可在无线通信装置800内设置显示部及输入部等，构成独立的无线数据通信装置。

图8(b)是表示该发明与无线电话装置连接时结构的方框图。

如图8(b)所示，该无线电话装置810由于用分时多路(TDMA)方式进行声音通信及数据通信，所以其构成包括连接扬声器80a及话筒80b的脉码调制编码器—译码器81和模拟—数字变换脉码调制编码器—译码器82；由TDMA译码器及TDMA编码器组成的TDMA部83；由解调部401及调制部402组成的调制—解调部84；备有发射部、接收部、合成器、收发分频开关的无线部85；和控制各部的控制部86。PC87通过具有纠错部88的数据处理装置820，被连接到该无线电话装置810。

如上所述，该纠错部88是实行有关本发明纠错的处理部，具有图1所示的编码装置1及解码装置2的两种功能。

这样，把具有用校正子电平可验证纠错是非的纠错部88的数据处理装置820连至无线电话装置810，借此能执行可高效纠错的数据通信。

图8(c)是应用本发明的有线通信装置的构成方框图。

如图8(c)所示，该有线通信装置在调制—解调部90及PC87之间配置了纠错部88。

即纠错部88对从PC87得到的发射数据实行检错漏码及纠错编

码，向调制—解调部90输出，同时从调制—解调部90 获得接收数据，用校正子电平一边验证该接收数据中产生的差错；一边实施纠错。

据此，通过调制—解调部90及网络控制部(NCU)91可把作冗余编码的数据输出至信息包交换网(PCTN)92，同时对从(PCTN)92 取得的接收数据可一边作差错验证，一边纠错。

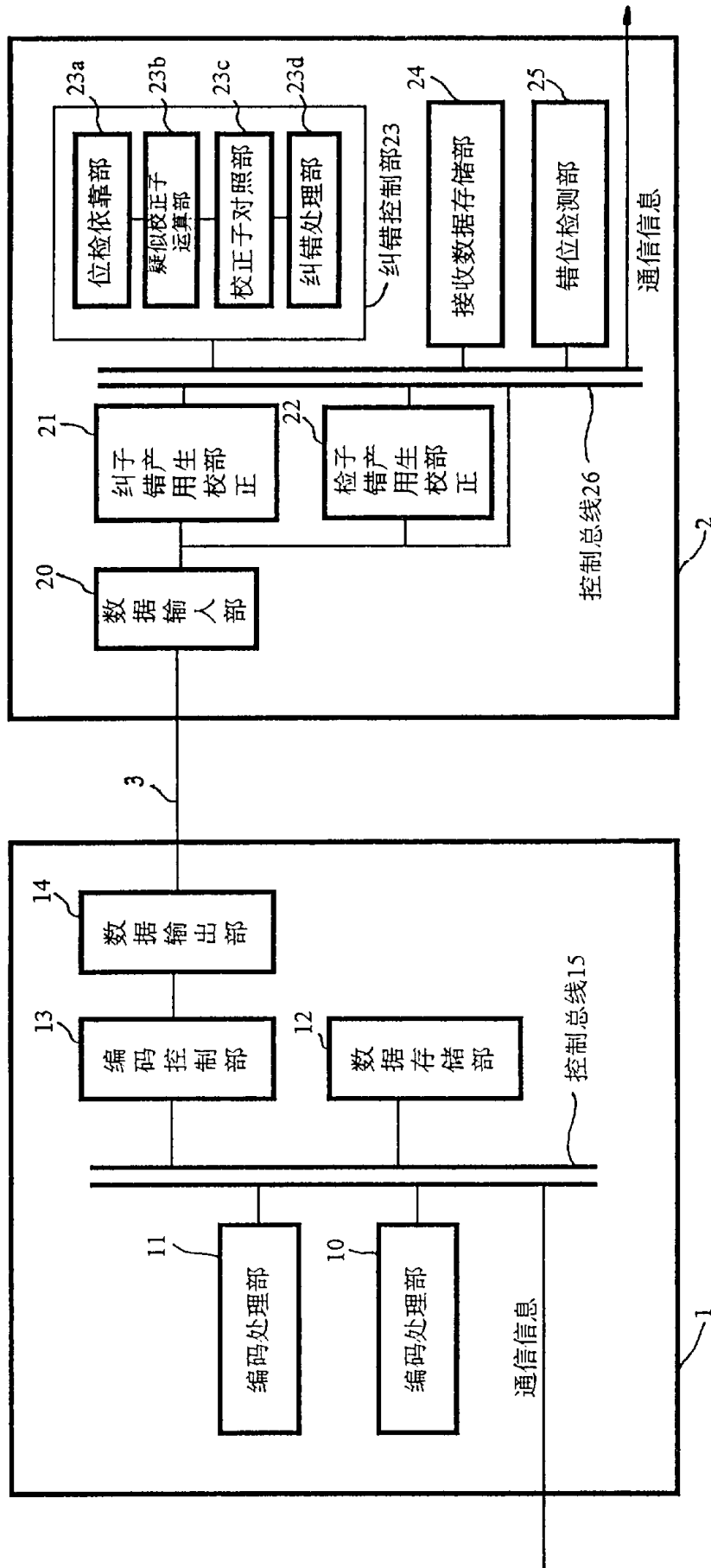


图 1

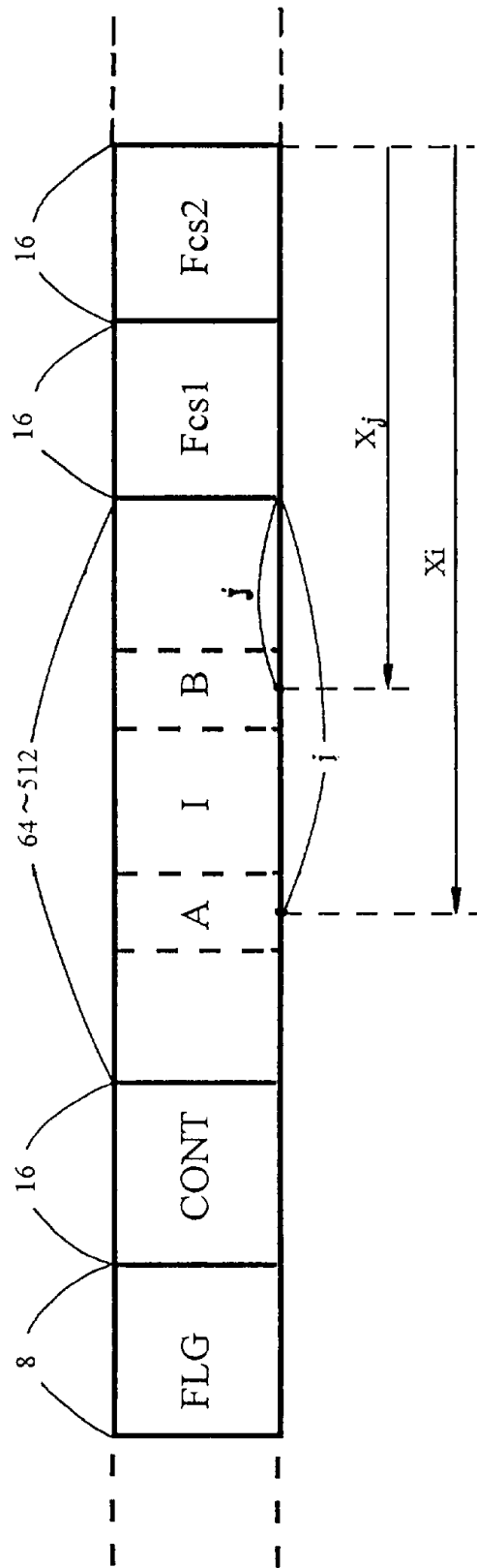


图 2

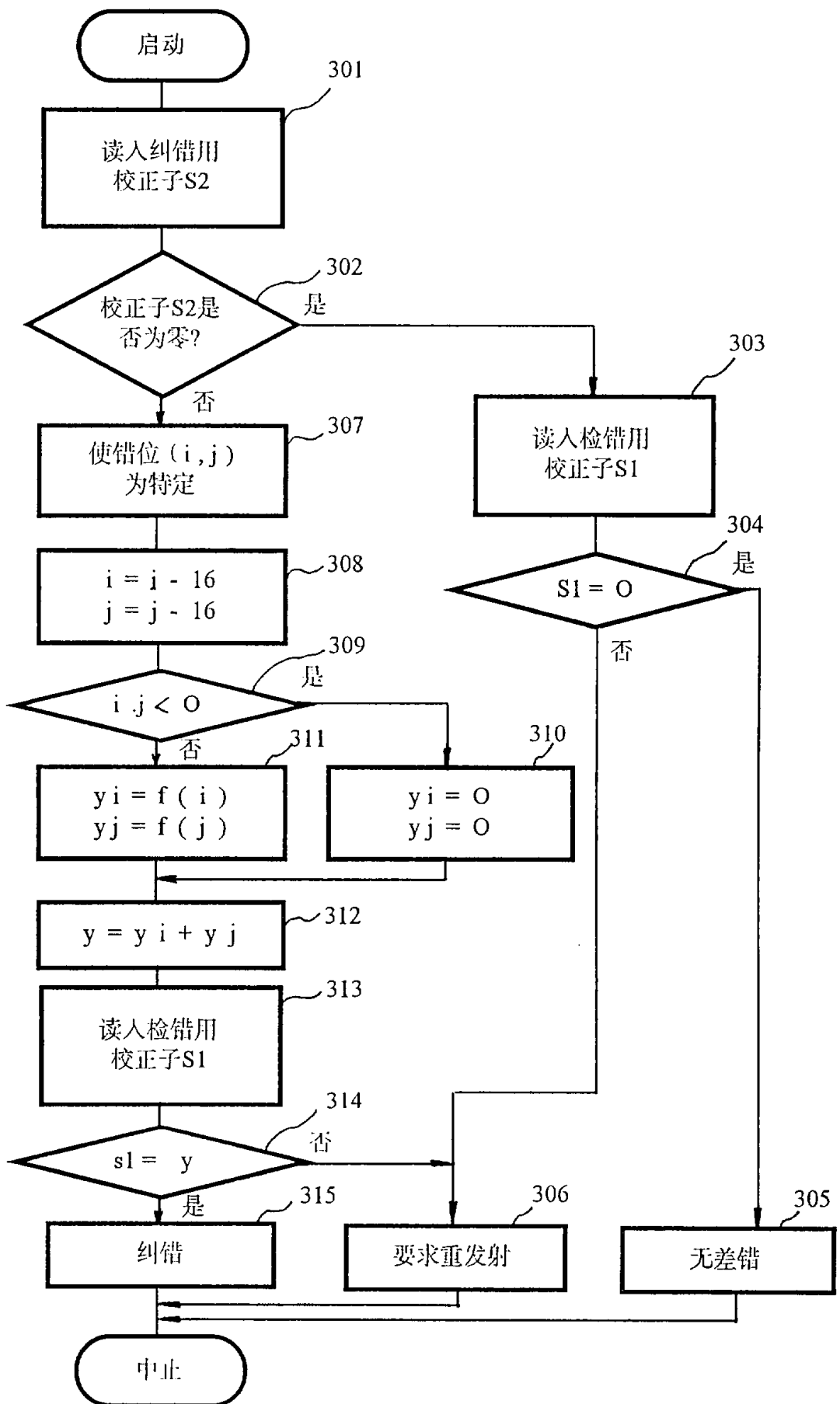


图 3

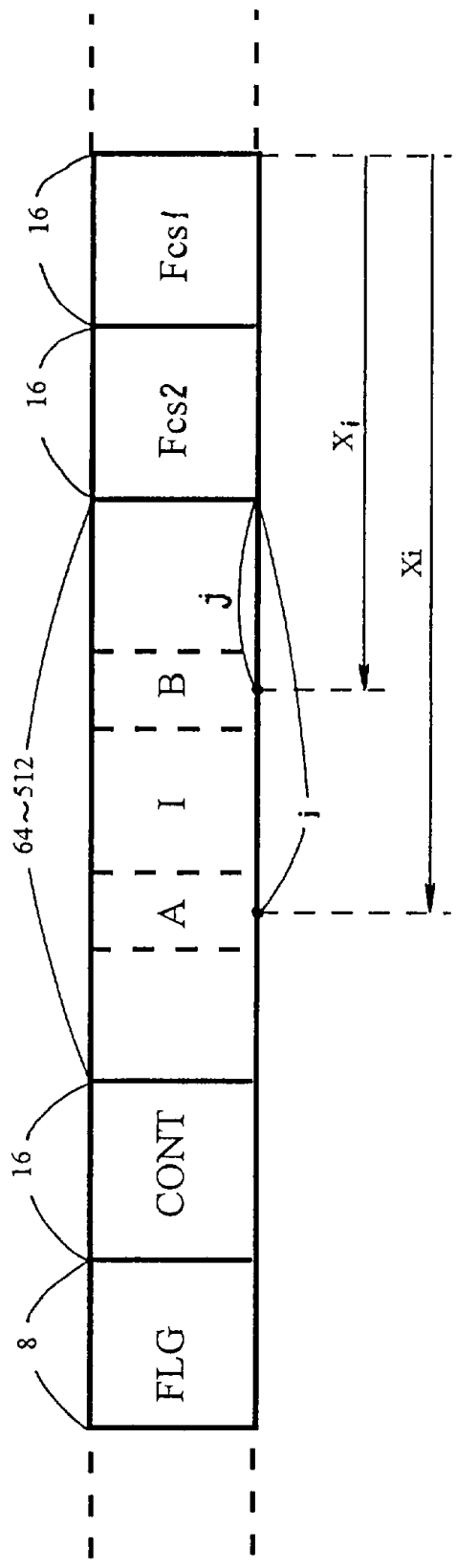


图 4

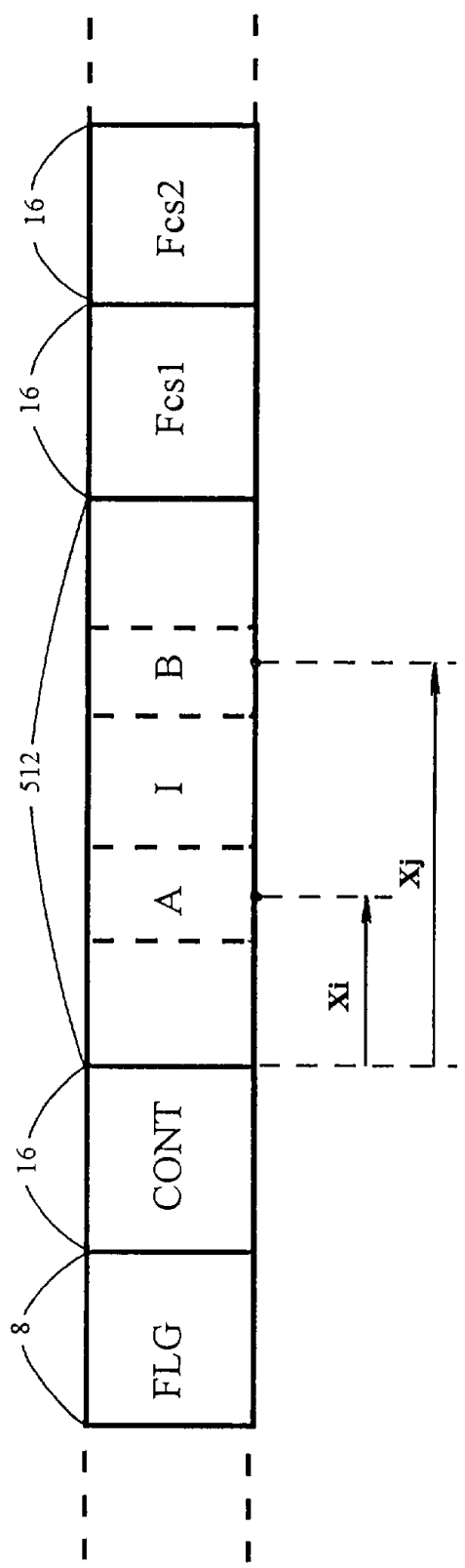


图 5

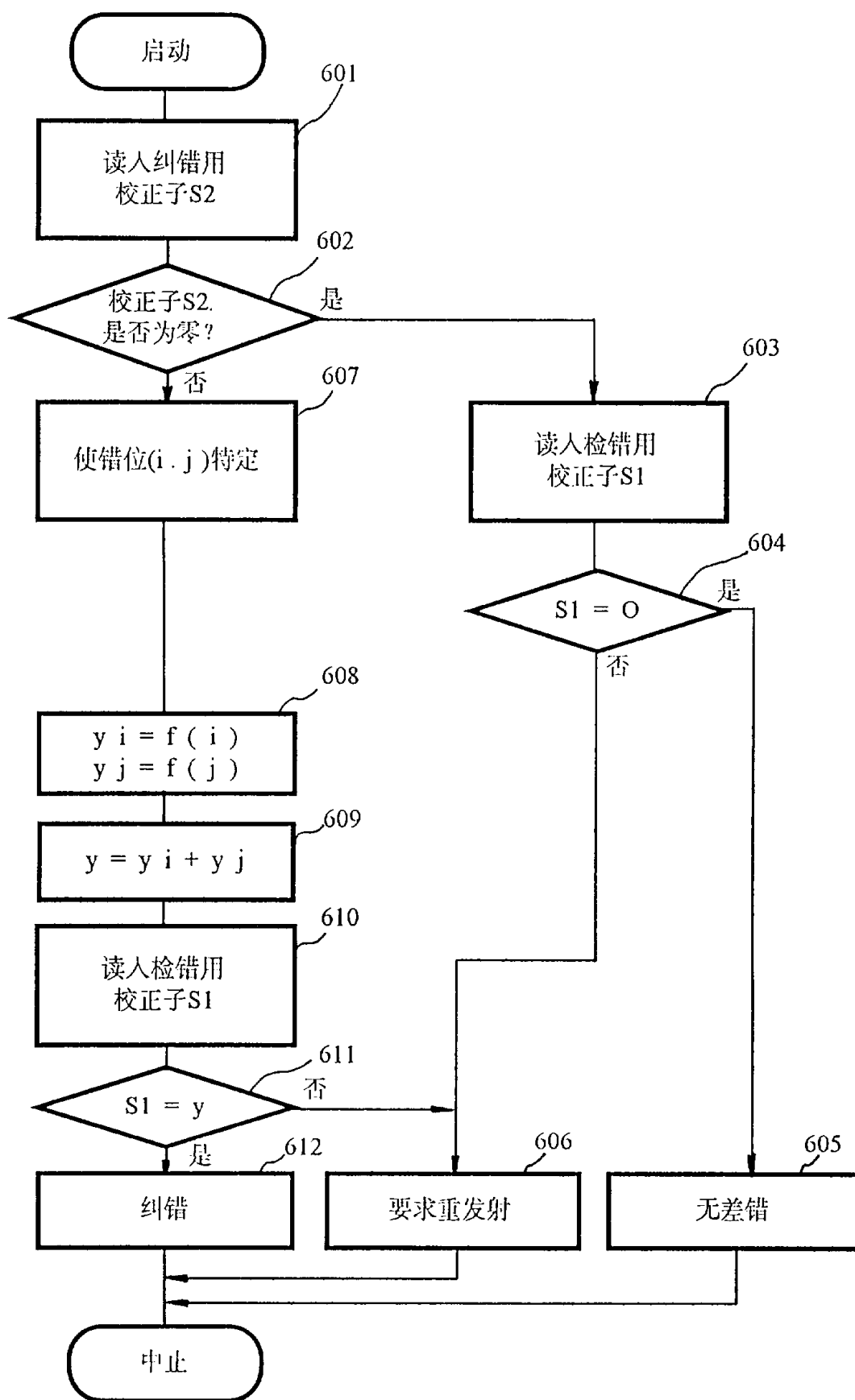


图 6

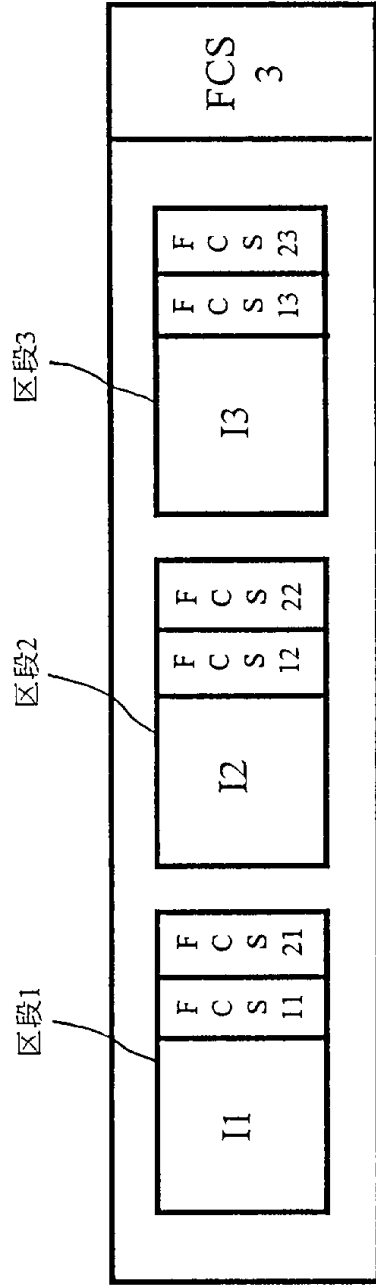


图 7

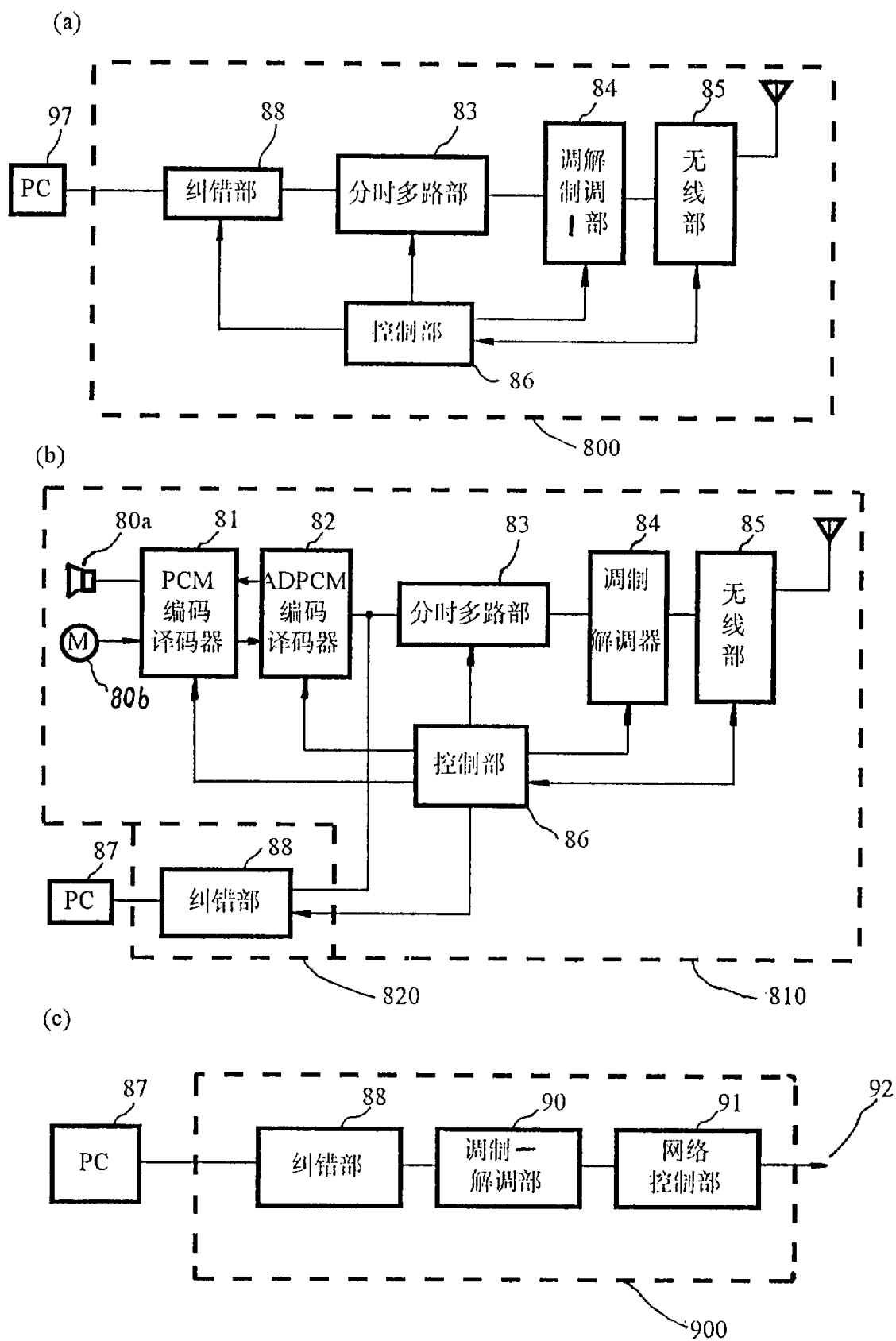


图 8

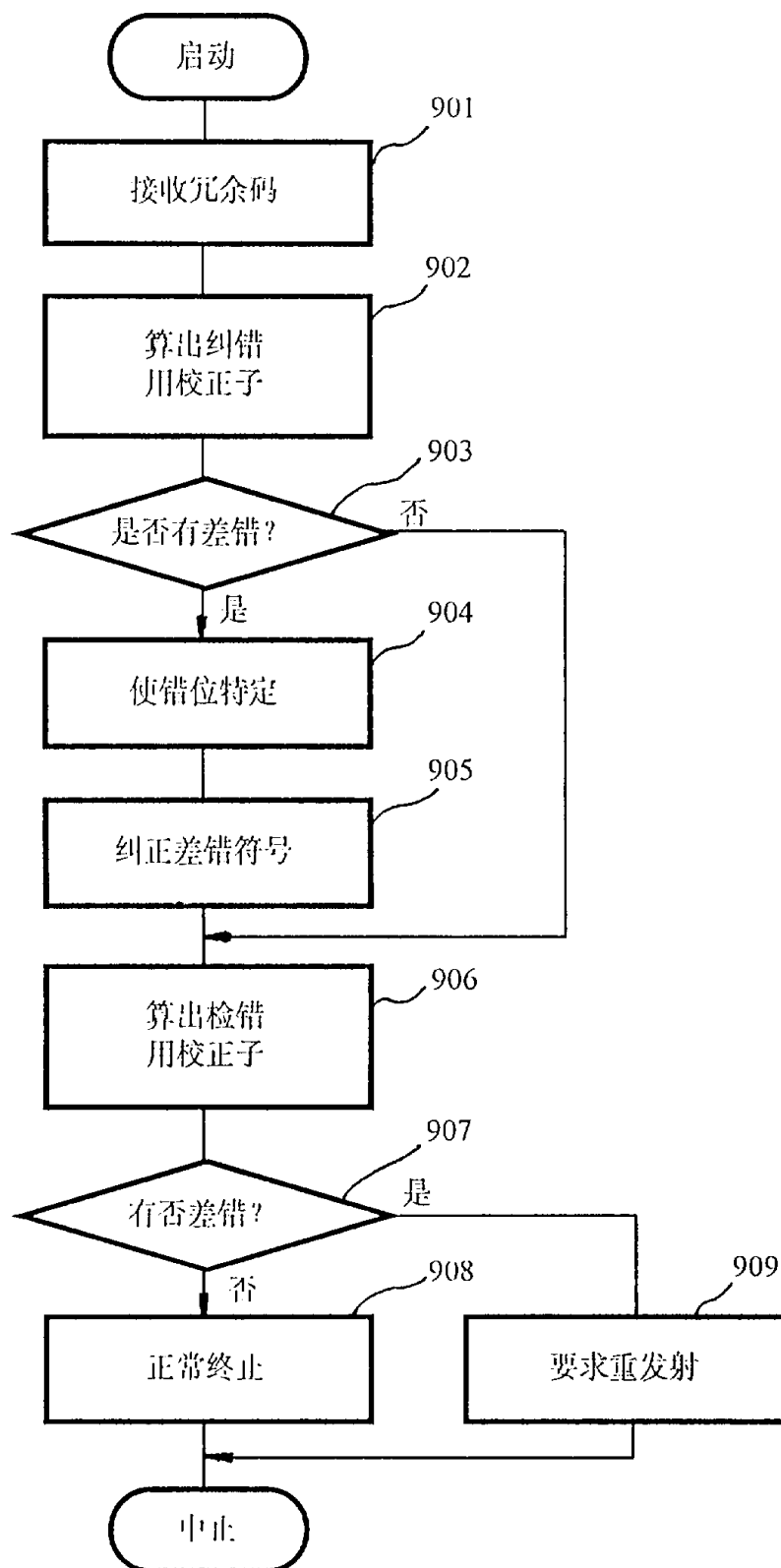


图 9