



(10) **DE 10 2011 056 317 B4** 2019.07.18

(12) **Patentschrift**

(21) Aktenzeichen: **10 2011 056 317.2**
(22) Anmeldetag: **13.12.2011**
(43) Offenlegungstag: **12.07.2012**
(45) Veröffentlichungstag
der Patenterteilung: **18.07.2019**

(51) Int Cl.: **H01L 23/60 (2006.01)**
H01L 29/78 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
12/987,658 **10.01.2011** **US**

(73) Patentinhaber:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
**Viering, Jentschura & Partner mbB Patent- und
Rechtsanwälte, 01099 Dresden, DE**

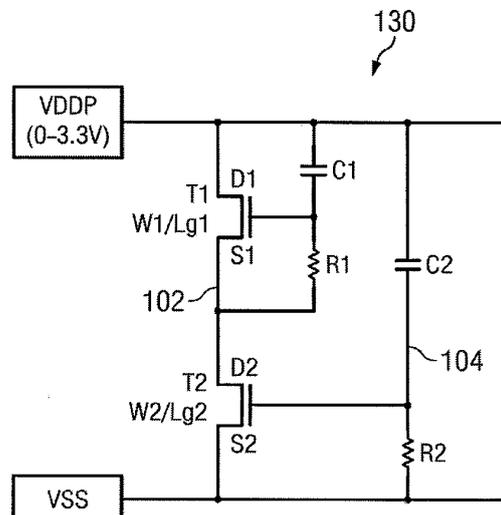
(72) Erfinder:
**Alvarez, David, 80799 München, DE; Domanski,
Krzysztof, 81547 München, DE; Ille, Adrien
Benoit, 80333 München, DE; Russ, Christian
Cornelius, 86420 Diedorf, DE; Soldner, Wolfgang,
82008 Unterhaching, DE**

(56) Ermittelter Stand der Technik:
siehe Folgeseiten

(54) Bezeichnung: **Halbleiter-ESD-Schaltung und Verfahren**

(57) Hauptanspruch: Schaltung gegen elektrostatische Entladung (100), kurz ESD-Schaltung genannt, zum Bereitstellen eines Schutzes zwischen einem ersten Knoten und einem zweiten Knoten, wobei die ESD-Schaltung (100) Folgendes aufweist:

- ein erstes MOS-Bauelement (T1) mit einer an einen ersten Knoten gekoppelten ersten Source-/Drainelektrode (D1) und einer an einen Zwischenknoten (102) gekoppelten zweiten Source-/Drainelektrode (S1);
- einen zwischen eine Gateelektrode des ersten MOS-Bauelements (T1) und den ersten Knoten gekoppelten ersten Kondensator (C1);
- einen zwischen die Gateelektrode des ersten MOS-Bauelements (T1) und den Zwischenknoten (102) gekoppelten ersten Widerstand (R1),
- wobei ein Knoten zwischen dem ersten Widerstand (R1) und dem ersten Kondensator (C1) direkt elektrisch leitend mit der Gateelektrode des ersten MOS-Bauelements (T1) verbunden ist, und
- wobei der erste Kondensator (C1) und der erste Widerstand (R1) in Hochpasskonfiguration verschaltet sind deren Eingang von dem ersten Knoten und dem Zwischenknoten (102) und deren Ausgang von der Gateelektrode des ersten MOS-Bauelements (T1) und dem Zwischenknoten (102) gebildet wird;
- ein zweites MOS-Bauelement (T2) mit einer an den Zwischenknoten (102) gekoppelten ersten Source-/Drainelektrode (D2) und einer an den zweiten Knoten gekoppelten zweiten Source-/Drainelektrode (S2);
- einen zwischen eine Gateelektrode des zweiten MOS-Bauelements (T2) und den ersten Knoten gekoppelten zweiten Kondensator (C2) ...



(56) Ermittelter Stand der Technik:

DE	10 2004 062 205	A1
US	2008 / 0 049 365	A1

**ANDERSON, W.R.; KRAKAUER, D.B.: ESD
Protection for Mixed-Voltage I/O Using NMOS
Transistors Stacked in Cascode Configuration. In:
Proceedings of the EOS/ESD Symposium, 1998,
S. 54-62.**

Beschreibung

ERFINDUNGSGEBIET

[0001] Die vorliegende Erfindung betrifft allgemein Halbleiterschaltungen und Verfahren und insbesondere eine Halbleiter-ESD-Schutzschaltung und ein Verfahren.

ALLGEMEINER STAND DER TECHNIK

[0002] Da Elektronikkomponenten zusammen mit den internen Strukturen in integrierten Schaltungen immer kleiner werden, wird es leichter, Elektronikkomponenten entweder vollständig zu zerstören oder anderweitig zu beeinträchtigen. Insbesondere sind viele integrierte Schaltungen für eine Beschädigung aus der Entladung von statischer Elektrizität höchst anfällig. Allgemein ist die elektrostatische Entladung (ESD - electrostatic discharge) der Transfer einer elektrostatischen Ladung zwischen Körpern auf verschiedenen elektrostatischen Potentialen oder Spannungen, die durch direkten Kontakt verursacht oder durch ein elektrostatisches Feld induziert werden. Die Entladung von statischer Elektrizität oder ESD ist für die Elektronikindustrie ein kritisches Problem geworden.

[0003] Bauelementausfälle, die sich aus ESD-Ereignissen ergeben, sind nicht immer sofort katastrophal oder offensichtlich. Oftmals wird das Bauelement nur geringfügig geschwächt, ist aber weniger in der Lage, normalen Betriebsbeanspruchungen zu widerstehen. Ein derartiges geschwächtes Bauelement kann zu Zuverlässigkeitsproblemen führen. Deshalb werden in der Regel verschiedene ESD-Schutzschaltungen in Schaltungen aufgenommen, um ihre verschiedenen Komponenten zu schützen. Derartige Schaltungen sind bekannt aus US 2008 / 0 049 365 A1, DE 10 2004 062 205 A1; ANDERSON, W.R.; KRAKAUER, D.B.: ESD Protection for Mixed-Voltage I/O Using NMOS Transistors Stacked in Cascode Configuration. In: Proceedings of the EOS/ESD Symposium, 1998, S. 54-62.

[0004] Gestapelte MOS-Klemmbauelemente werden üblicherweise für den ESD-Schutz verwendet. Diese Bauelemente verwenden in der Regel einen Stapel aus einem oder mehreren MOS-Bauelementen, die von einem schnellen ESD-Transienten dynamisch ausgelöst werden, aber während des normalen Betriebs keinen Strom leiten. Gestapelte MOS-Leistungsklemmen werden beispielsweise in Schaltungen mit mehreren Leistungsbereichen verwendet. Beispielsweise kann ein Leistungsbereich für eine E/A-Schaltung unter Einsatz einer 3,3 V-Stromversorgung arbeiten, während ein anderer Leistungsbereich für die Verarbeitungslogik bei 1,8 V arbeiten kann, während er kleine, schnelle Niederspannungstransistoren verwendet, die bei einer höheren Ver-

sorgungsspannung durchschlagen. Allgemein werden Versorgungsknoten und E/A-Pins unter Verwendung von gestapelten MOS-Klemmen geschützt, um eine Zerstörung von Bauelementen aufgrund einer augenblicklichen Hochspannung zu verhindern.

KURZE DARSTELLUNG DER ERFINDUNG

[0005] Bei einer Ausführungsform enthält eine Schaltung gegen elektrostatische Entladung (ESD) zum Bereitstellen eines Schutzes zwischen einem ersten Knoten und einem zweiten Knoten ein erstes MOS-Bauelement mit einer an einen ersten Knoten gekoppelten ersten Source-/Drainelektrode und einer an einen Zwischenknoten gekoppelten zweiten Source-/Drainelektrode. Die ESD-Schaltung enthält auch einen zwischen eine Gateelektrode des ersten MOS-Bauelements und den ersten Knoten gekoppelten ersten Kondensator; einen zwischen die Gateelektrode des ersten MOS-Bauelements und den Zwischenknoten gekoppelten ersten Widerstand; ein zweites MOS-Bauelement mit einer an den Zwischenknoten gekoppelten ersten Source-/Drainelektrode und einer an den zweiten Knoten gekoppelten zweiten Source-/Drainelektrode; einen zwischen eine Gateelektrode des zweiten MOS-Bauelements und den ersten Knoten gekoppelten zweiten Kondensator und einen zwischen die Gateelektrode des zweiten MOS-Bauelements und den zweiten Knoten gekoppelten zweiten Widerstand.

[0006] Die Einzelheiten von einer oder mehreren Ausführungsformen der Erfindung werden in den beiliegenden Zeichnungen und der folgenden Beschreibung dargelegt. Weitere Merkmale, Aufgaben und Vorteile der Erfindung ergeben sich aus der Beschreibung und den Zeichnungen und aus den Ansprüchen.

Figurenliste

[0007] Für ein umfassenderes Verständnis der vorliegenden Erfindung und ihrer Vorteile wird nun auf die folgenden Beschreibungen in Verbindung mit den beiliegenden Zeichnungen Bezug genommen. Es zeigen:

Fig. 1a-1c ein ESD-Bauelement gemäß einer Ausführungsform der vorliegenden Erfindung;

Fig. 2a-2b Wellenformdiagramme, die die Leistung eines ESD-Ausführungsformbauelements zeigen;

Fig. 3a-3c ein Layout, einen Querschnitt und eine Äquivalenzschaltung eines ESD-Bauelements gemäß einer Ausführungsform der vorliegenden Erfindung;

Fig. 4a-4c Layouts und eine Äquivalenzschaltung eines ESD-Bauelements gemäß einer weiteren Ausführungsform;

Fig. 5a-5b ein Layout und eine Äquivalenzschaltung eines ESD-Bauelements gemäß einer weiteren Ausführungsform;

Fig. 6a-6b grafische Darstellungen, die Leistungen eines ESD-Ausführungsformbauelements zeigen; und

Fig. 7 ein Ausführungsformanwendungsbeispiel für ESD-Ausführungsformbauelemente.

AUSFÜHRLICHE BESCHREIBUNG VON VERANSCHAULICHENDEN AUSFÜHRUNGSFORMEN

[0008] Die Herstellung und Verwendung der gegenwärtig bevorzugten Ausführungsformen werden unten ausführlich erörtert. Es versteht sich jedoch, dass die vorliegende Erfindung viele anwendbare erfindungsgemäße Konzepte liefert, die in einer großen Vielzahl von spezifischen Kontexten verkörpert werden können. Die erörterten spezifischen Ausführungsformen veranschaulichen lediglich spezifische Wege zum Herstellen und Verwenden der Erfindung und beschränken nicht den Schutzbereich der Erfindung.

[0009] Die vorliegende Erfindung wird bezüglich bevorzugter Ausführungsformen in einem spezifischen Kontext beschrieben, nämlich eines gestapelten MOS-ESD-Bauelements. Die Erfindung kann jedoch auch auf andere Halbleiterstrukturen angewendet werden.

[0010] Bei einer Ausführungsform werden RC-Schaltungen zum Vorspannen und Auslösen einer aus NMOS-Bauelementen **T1** und **T2** hergestellten gestapelten MOS-ESD-Leistungsklemme verwendet. Bei einer Ausführungsform weist eine RC-MOS-Leistungsklemme mehrere gestapelte MOS zusammen mit einer assoziierten RC-Auslöseschaltungsanordnung auf. Bei einer Ausführungsform werden die gestapelten Bauelemente von mehreren RC-Brücken, die an die Gateelektroden jedes Bauelements gekoppelt sind, ausgelöst.

[0011] **Fig. 1a** zeigt ein Funktionsblockdiagramm eines ESD-Bauelements **100** gemäß einer Ausführungsform der vorliegenden Erfindung. Das ESD-Bauelement **100** weist Transistor **T1** und **T2** auf, die aufeinander gestapelt sind. Beim normalen Betrieb sind **T1** und **T2** abgeschaltet. Während eines ESD-Ereignisses aktiviert ein RC-Zeitgeber **110** das Bauelement **T1** und der RC-Zeitgeber **114** das Bauelement **T2**, wodurch ein leitender Pfad zwischen der Versorgung **VDDP** und der Versorgung **VSS** hergestellt wird. Ein Gate-Bias-Generator **112** liefert eine Biasspannung für die Gateelektrode des Transistors **T1**. Bei einer Ausführungsform werden die Transistoren **T1** und **T2** derart vorgespannt, dass die Gateelektroden dieser Bauelemente einen Höchstwert nicht

übersteigen, um eine Verschlechterung oder Zerstörung des Bauelements beim normalen Betrieb und während einiger ESD-Ereignisse zu verhindern. Bei einigen Fällen wird dieser Höchstwert als eine absolute Grenzwertspannung bezeichnet. Bei einer Ausführungsform wird eine selbstreferenzierte Spannung zum Vorspannen der Gateelektroden von **T1** und **T2** verwendet, und die Leistung dieser Bauelemente wird bezüglich ESD-relevanter Leistungsparameter optimiert.

[0012] **Fig. 1b** zeigt ein Schemadiagramm einer ESD-Schaltung **130** gemäß einer Ausführungsform der vorliegenden Erfindung. Die ESD-Schaltung **130** weist die NMOS-Bauelemente **T1** und **T2** auf, die aufeinander gestapelt sind. Die Drainelektrode von **T1** ist an den Versorgungsknoten **VDDP** gekoppelt, die Sourceelektrode von **T1** ist an die Drainelektrode von **T2** gekoppelt, und die Sourceelektrode von **T2** ist an den Versorgungsknoten **VSS** gekoppelt. Die Gateelektrode ist über einen Kondensator **C1** an den Versorgungsknoten **VDDP** und über einen Widerstand **R1** an die Sourceelektrode von **T1** gekoppelt. Analog ist die Gateelektrode von **T2** über einen Kondensator **C2** an den Versorgungsknoten **VDDP** und über **R2** an die Sourceelektrode von **T2** gekoppelt. Beim normalen Nicht-ESD-Betrieb sind die Gateelektroden sowohl von **T1** als auch **T2** zu ihrer Sourceelektrode vorgespannt und deshalb abgeschaltet. Während eines ESD-Transienten am Knoten **VDDP** jedoch wird die Gateelektrode von **T1** über den Kondensator **C1** und die Gateelektrode von **T2** über den Kondensator **C2** hochgezogen, wodurch die Transistoren durchgeschaltet werden, was einen niederohmigen Strompfad zwischen den Versorgungsknoten **VDDP** und **VSS** erzeugt. Dieser Strompfad kann je nach der Ausführungsform innerhalb der leitenden Kanäle von **T1** und **T2** selbst und/oder innerhalb von mit diesen Bauelementen assoziierten parasitären Bipolarbauelementen auftreten.

[0013] Bei einer Ausführungsform sind beide NMOS-Bauelemente **T1** und **T2** Niederspannungsbaulemente. Bei einem Ausführungsbeispiel sind **T1** und **T2** jeweils für einen Betrieb bei einer Höchstspannung von 1,8 Volt zum Einsatz mit einer Nennversorgungsspannung von 3,3 Volt ausgelegt. Es versteht sich, dass bei alternativen Ausführungsformen andere Technologien, Bauelementtypen, Nennspannungen und Stromversorgungsspannungen für die Transistoren **T1** und **T2** verwendet werden können. Beispielsweise können die Transistoren **T1** und **T2** so ausgelegt sein, dass sie bei einer höheren oder niedrigeren Spannung arbeiten. Weiterhin können die Transistoren **T1** und **T2** PMOS-Bauelemente oder andere Bauelementtypen wie etwa DEMOS-Bauelemente, FINFET-Bauelemente, Bipolarbauelemente oder Thyristoren sein. Außerdem können bei alternativen Ausführungsformen andere Nennversorgungsspannungen verwendet werden. Bei einer wei-

teren Ausführungsform können weitere Reihenbauelemente in Reihe mit **T1** und **T2** platziert werden, wobei jedes der weiteren Reihenbauelemente eine Auslöseschaltungsanordnung aufweist, unter Verwendung eines an das nächste Reihenbauelement gekoppelten Zwischenknotens. Bei einer Ausführungsform kann diese Auslöseschaltungsanordnung eine andere Instanziierung des Gate-Bias-Generators **112** und des RC-Zeitgebers **110** (Fig. 1a) oder eine zusätzliche RC-Schaltung ähnlich **R1** und **C1**, in Fig. 1b gezeigt, enthalten.

[0014] Bei einer Ausführungsform ist die RC-Zeitkonstante von Widerstand **R1** und **C1** und Widerstand **R2** und **C2** auf zwischen etwa 100 ns und etwa 200 ns eingestellt. Alternativ kann die RC-Zeitkonstante auf zwischen 10 ns und 1000 ns oder sogar Zeitkonstanten außerhalb dieses Bereichs eingestellt sein. Bei einer Ausführungsform wird die RC-Zeitkonstante durch Einstellen von **R1** und **R2** auf jeweils etwa 100 k Ω und Einstellen der Kondensatoren **C1** und **C2** auf jeweils etwa 1,5 pF auf etwa 150 ns eingestellt. Bei einer derartigen Anordnung ist die RC-Auslöseschaltung gegenüber einem ESD-Stress mit einer Anstiegsgeschwindigkeit von unter 100 ns empfindlich. Nachdem die gestapelten MOS-Bauelemente durchgeschaltet sind, bleiben sie für eine durch die RC-Zeitkonstante der Auslöseschaltungsanordnung definierte Zeit in einem niederohmigen Zustand. Bei einigen Ausführungsformen kann dies im Bereich einer HBM-(Human Body Model) ESD-Impulsdauer liegen, die etwa 150 ns andauert. Bei alternativen Ausführungsformen können andere Bereiche und Werte für die RC-Zeitkonstanten und für die Komponentenwerte von **R1**, **R2**, **C1** und **C2** verwendet werden.

[0015] Bei einer Ausführungsform sind die Breite **W1** und Länge **Lg1** des Transistors **T1** so eingestellt, dass sie etwa gleich der Breite **W2** und Länge **Lg2** des Transistors **T2** sind. Indem die Größe der Bauelemente **T1** und **T2** angeglichen wird und indem die RC-Zeitkonstante von **R1** und **C1** gleich der Zeitkonstante von **R2** und **C2** gemacht wird, bleiben sowohl **T1** als auch **T2** während eines ESD-Ereignisses für etwa die gleiche Zeit durchgeschaltet. Durch Betreiben beider Bauelemente zur gleichen Durchschaltzeit kann veranlasst werden, dass jedes Bauelement innerhalb seines Nennspannungsbereichs arbeitet. Bei alternativen Ausführungsformen können **T1** und **T2** voneinander verschieden bemessen werden, um die Leistung zu verstellen und/oder zu optimieren. Weiterhin kann die Zeitkonstante von **R1** und **C1** und **R2** und **C2** bei alternativen Ausführungsformen zueinander verstellt oder modifiziert werden.

[0016] Im normalen Betrieb, wenn eine Nenngleichspannung an der Versorgung anliegt, erfährt die Kapazität **C1** eine Spannungsdifferenz zwischen der Versorgung **VDDP** und dem Zwischenknoten **102**. Da die Transistoren **T1** und **T2** ein ähnliches Breite-Län-

ge-Verhältnis der Gateelektrode aufweisen, beträgt das Potential des Zwischenknotens **102** etwa $VDDP/2$. Bei einer derartigen Ausführungsform können die Transistoren **T1** und **T2** und der Kondensator **C1** durch Bauelemente mit einer Spannungsspezifikation von unter **VDDP** implementiert werden, weil die ganze Versorgungsspannung nicht an diesen Bauelementen gesehen wird.

[0017] Wie in Fig. 1c gezeigt, kann **C2**, indem der Kondensator **C2** zu einer Reihenkombination aus zwei Kondensatoren **C2a** und **C2b** gemacht wird, auch unter Verwendung von Bauelementen mit einer Spannungsspezifikation von unter **VDDP** implementiert werden. Bei einer Ausführungsform werden die Kondensatoren **C1**, ein **C2a** und **C2b** unter Verwendung von 1,8 V-NMOS-Kondensatoren implementiert, wobei **C1** einen Nennwert von etwa 1,5 pF aufweist und **C2a** und **C2b** jeweils einen Nennwert von etwa 3 pF aufweisen. Bei normalem Betrieb mit einer Nenngleichspannung an der Versorgung **VDDP** bilden die Reihen Kondensatoren **C2a** und **C2b** einen kapazitiven Spannungsteiler zwischen Versorgung und Masse. Bei einer Ausführungsform, wenn **C2a** und **C2b** den gleichen Wert aufweisen, beträgt das Potential am Knoten **106** etwa $VDDP/2$. Deshalb können die Kondensatoren **C2a** und **C2b** unter Verwendung von Bauelementen mit einer Spannungsspezifikation von etwa $VDDP/2$ hergestellt werden. Bei einer Ausführungsform werden die Widerstände **R1** und **R2** unter Einsatz von Polysiliziumwiderständen implementiert. Bei alternativen Ausführungsformen können andere Strukturen und Werte für die Kondensatoren **C1**, **C2a** und **C2b** und die Widerstände **R1** und **R2** verwendet werden.

[0018] Bei einer Ausführungsform kann die Spannung an dem Zwischenknoten **102** durch Verstellen der Breite-Länge-Verhältnisse der Gateelektroden von **T1** und **T2** abgestimmt werden. Falls in einem Fall $W1/Lg1 > W2/Lg2$, dann kann der Vorspannungspunkt am Zwischenknoten **102** auf höhere Spannungen abgestimmt werden, wogegen die Spannung am Zwischenknoten **102** für $W1/Lg1 < W2/Lg2$ herabgesetzt werden kann.

[0019] Fig. 2a zeigt ein Wellenformdiagramm, das das Transientenverhalten der ESD-Schaltung **130** (Fig. 1c) zeigt, wenn die Stromversorgung **VDDP** von 0V auf 3,3V hochgefahren wird. Die Kurve **210** stellt die Versorgungsspannung **VDDP** dar, die Kurven **212**, **214** und **216** stellen die Spannung am Zwischenknoten **102** für verschiedene Fälle mit $W1/Lg1 > W2/Lg2$ dar, Kurve **218** stellt die Spannung am Zwischenknoten **102** für $W1/Lg1 = W2/Lg2$ dar, und Kurve **220** stellt die Spannung am Zwischenknoten **104** dar. Bei einer Ausführungsform sind die Verhältnisse $W1/Lg1$ und $W2/Lg2$ derart optimiert, dass der Zwischenknoten **102** einen Wert von $VDDP/2$ annimmt.

[0020] Fig. 2b zeigt ein simuliertes Wellenformdiagramm, das das Transientenverhalten der ESD-Schaltung 130 (Fig. 1C) zeigt, wenn die Stromversorgung VDDP mit einer hohen Spannung gepulst wird. Kurve 230 stellt die Versorgungsspannung VDDP dar, Kurve 232 stellt die Spannung am Zwischenknoten 102 dar, und Kurve 234 stellt den zwischen den Versorgungsknoten VDDP und VSS fließenden Strom dar. Es ist ersichtlich, dass VDDP nach 1 ns auf etwa 4,4 V geklemmt wird, der Zwischenknoten 102 einen Wert von 1,4 V annimmt und der von VDDP durch das ESD-Bauelement nach VSS fließende Strom etwa 980 mA ist. Alternativ kann je nach der jeweiligen Ausführungsform und ihrer spezifischen Implementierung eine andere Leistung gesehen werden.

[0021] Fig. 3a zeigt einen Abschnitt des Ausführungsformslayouts 300, wo die Transistoren T1 und T2 in einem gemeinsamen Layoutstil angeordnet sind. Bei einer Ausführungsform ist der Transistor T1 in T1a und T1b aufgeteilt und ist der Transistor T2 in T2a und T2b aufgeteilt. Die Sourceelektrode S1a von T1a wird gemeinsam mit der Drainelektrode D2a von T2a genutzt, die Sourceelektrode S1b von T1b wird gemeinsam mit der Drainelektrode D2b von T2b genutzt und die Sourceelektrode S2a von T2a wird gemeinsam mit der Sourceelektrode S2b von T2b genutzt. Jeder Transistor weist ein Gategebiet 310 und Source-/Draingebiete 308 vom n-Typ mit silizierten Kontaktgebieten 304 mit Kontakten 306 auf. Bei einer Ausführungsform sind die Transistoren von einem optionalen Schutzring vom p-Typ aus siliziertem Material 312 vom p-Typ und optional von einem Schutzring vom n-Typ mit einer n-Mulde 302, die von silizierten Gebieten 304 vom n-Typ kontaktiert wird, umgeben. Fig. 3a zeigt einen Abschnitt dieser Schutzringe, doch können diese Schutzringe bei einigen Ausführungsformen die Transistoren T1a, T1b, T2a und T2b umgeben. Bei weiteren Ausführungsformen können die Transistoren T1 und T2 in mehr als die beiden dargestellten Elemente zerlegt werden.

[0022] Bei einer Ausführungsform sind die Drainelektroden D1a und D1b der Transistoren T1a und T1b an VDDP gekoppelt, die Sourceelektroden S2a und S2b der Transistoren T2a und T2b sind an VSS gekoppelt, der Schutzring vom p-Typ ist an VSS gekoppelt und der Schutzring vom n-Typ ist an VDDP gekoppelt. Die Gateelektroden der Transistoren T1a, T1b, T2a und T2b sind an ihre jeweiligen Kondensatoren und Widerstände gekoppelt. Diese obenerwähnten Verbindungen sind aus Gründen der Vereinfachung der Darstellung in Fig. 3a nicht dargestellt, doch ist zu verstehen, dass diese Verbindungen beispielsweise unter Verwendung von Metalllinien und Polysiliziumlinien unter Verwendung von Prozessen und Techniken, die in der Technik bekannt sind, hergestellt werden könnten. Bei einer Ausführungsform ist der Kondensator 340 als ein Kondensator

mit n-Mulde mit Gategebiet 310 und eine Bodenplatte vom n-Typ, die von einem silizierten Gebiet 304 vom n-Typ kontaktiert ist, das in der n-Mulde 302 angeordnet ist, implementiert. Das Dielektrikum des Gategebiets dient als das Dielektrikum des Kondensators. Der Widerstand 342 ist als ein Polysiliziumwiderstand mit einem silizierten geblockten Polysiliziumgebiet 332 und einem silizierten Polysiliziumkontaktgebiet 330 implementiert. Die physischen Abmessungen des Kondensators 340 und des Widerstands 310 werden gemäß Designwerten eingestellt. Fig. 3a zeigt ein Beispiel eines Kondensators und ein Beispiel eines Widerstands aus Gründen der Vereinfachung der Darstellung, doch ist zu verstehen, dass mehrere Fälle von Widerständen und Kondensatoren zum Implementieren von ESD-Ausführungsformbauelementen verwendet werden könnten. Weiterhin ist zu verstehen, dass, wenngleich die in Fig. 3a und Fig. 3b gezeigte Ausführungsform unter Verwendung von NMOS-Bauelementen implementierte ESD-Bauelemente zeigt, auch andere Ausführungsformen, die PMOS-Bauelemente verwenden, implementiert werden könnten.

[0023] Fig. 3b zeigt einen Querschnitt 350 eines ESD-Ausführungsformbauelements entsprechend einer Querschnittsindikatorlinie 350, in Fig. 3a gezeigt. Bei einer Ausführungsform sind die Source-/Draingebiete vom n-Typ aus Material 308 vom n-Typ hergestellt und innerhalb einer p-Mulde 316 über einem Substrat 318 vom p-Typ angeordnet, und der Schutzring vom n-Typ ist durch die n-Mulde 302 implementiert. Bei einer Ausführungsform sind silizierte Gebiete 304 vom n-Typ unter Kontakten 306 angeordnet, wodurch Abschnitte der Source-/Draingebiete frei von Silizid bleiben, wodurch der Widerstand dieser Gebiete steigt. Bei einer Ausführungsform werden diese silizidfreien Gebiete durch in der Technik bekannte Silizidblockiertechniken implementiert. Bei alternativen Ausführungsformen können die Source-/Draingebiete ganz oder teilweise siliziert sein.

[0024] Bei einer Ausführungsform macht der höhere Widerstand der silizidblockierten Source-/Draingebiete das ESD-Bauelement anfälliger für eine Leitung durch parasitäre Bipolarbauelemente B1 und B2 während eines ESD-Ereignisses. Wegen eines höheren p-Mulden- und Substratwiderstands, der sich aus dem Abstand von den ESD-Transistoren zu dem geerdeten Schutzring vom p-Typ ergibt, wird außerdem ESD-Strom von dem parasitären Bipolarbauelement B3 mit einem an die Drainelektrode D1a des Transistors T1a gekoppelten Kollektor und einem an die Sourceelektrode S2a des Transistors T2a gekoppelten Emitter geleitet.

[0025] Fig. 3C zeigt einen ESD-Strompfad für das ESD-Bauelementlayout von Fig. 3a, die einen durch das parasitäre Bipolarbauelement B3 fließenden IESD-Strom zeigt. Falls bei einer Ausführungsform

die gestapelten MOS-Bauelemente **T1** und **T2** ausgelöst werden und die Spannung an dem geschützten Knoten **VDDP** weiterhin ansteigt, werden **T1** und **T2** gesättigt. Bei ausreichend hohen Spannungen werden die parasitären Bipolarbauelemente **B1** und **B2** aktiviert und ein neuer niederohmiger Pfad zu Masse wird hergestellt. Bei noch höheren Spannungen löst der parasitäre Bipolartransistor **B3** aus, was einen weiteren parallelen niederohmigen Pfad zu Masse öffnet. Falls alle von den Transistoren **T1**, **T2**, **B1**, **B2** und **B3** erzeugten parallelen Strompfade aktiviert werden, erreicht das Bauelement bei einigen Ausführungsformen einen kleinsten Widerstand und eine größte Stromkapazität.

[0026] Die **Fig. 4a** und **Fig. 4b** zeigen ESD-Ausführungsformbauelementlayouts, bei denen sich gestapelte MOS-Bauelemente **T1a**, **T2a**, **T1b** und **T2b** keine Source-/Draingebiete teilen. In **Fig. 4a** ist jedes MOS-Bauelement bei einem anderen ausgelegt, während in **Fig. 4b** jede MOS-Bauelementeinheit durch den Schutzring **370** vom p-Typ getrennt ist. Bei einer Ausführungsform wird durch das Aufteilen der MOS-Bauelemente der Effekt des parasitären Bipolarbauelements **B3** unterdrückt, wodurch die parasitären Bipolarbauelemente **B1** und **B2** zurückbleiben. Der Effekt der zusätzlichen Schutzringabschnitte zwischen den beiden, in **Fig. 4b** gezeigten Bauelementeinheiten unterdrückt weiterhin den Effekt des parasitären Bipolarbauelements **B3**. **Fig. 4c** zeigt eine schematische Darstellung der ESD-Bauelemente von Ausführungsformen von **Fig. 4a** und **Fig. 4b**, die einen durch die parasitären Bipolarbauelemente **B1** und **B2** fließenden IESD-Strom zeigen. Es versteht sich, dass zwar die **Fig. 4a** und **Fig. 4b** zwei gestapelte Bauelementeinheiten darstellen, bei alternativen Ausführungsformen mehr als zwei gestapelte Einheiten implementiert werden können. Beispielsweise ist in **Fig. 1d** eine Ausführungsform mit drei gestapelten Bauelementen gezeigt.

[0027] **Fig. 5a** zeigt ein ESD-Ausführungsformbauelementlayout, bei dem Transistoren **T1a**, **T2a**, **T1b** und **T2b** separat ausgelegt sind, ohne dass sie Source- und Draindiffusionen teilen. Hier sind die Transistoren **T1a**, **T2a**, **T1b** und **T2b** um einen größeren Abstand getrennt als die in **Fig. 4a** gezeigten Bauelemente. Bei einer Ausführungsform unterdrückt das weitere Trennen der individuellen Bauelemente den Effekt der parasitären Bipolarbauelemente **B1** und **B2**, so dass der ESD-Strom primär durch die MOS-Kanäle der Transistoren **T1a**, **T2a**, **T1b** und **T2b** während eines ESD-Ereignisses geleitet wird. Bei einer Ausführungsform sind die Source-/Draingebiete der Transistoren **T1a**, **T2a**, **T1b** und **T2b** vollständig siliziiert, und die Länge zwischen Source-Drain-Kontakten und den Gateelektroden der Bauelemente ist verkürzt, um die Source-Drain-Widerstände zu reduzieren. Bei dieser Ausführungsform sind einzelne Kontakte an gewählten Orten in den Source-/Draingebiete

ten der Transistoren **T1a**, **T2a**, **T1b** und **T2b** platziert, um einen Spannungsbias der **T1**-Gateelektrode vom Zwischenknoten **102** bereitzustellen. **Fig. 5b** zeigt eine schematische Darstellung des ESD-Bauelements der Ausführungsformfiguren **5a**, die einen durch die Transistoren **T1** und **T2** fließenden IESD-Strom zeigen. Bei einigen Ausführungsformen, bei denen der parasitäre Bipolareffekt unterdrückt ist, sind die MOS-Bauelemente der ESD-Bauelemente größer bemessen, um eine äquivalente Menge an Strom wie ein ESD-Bauelement zu leiten, bei dem der parasitäre Bipolareffekt nicht unterdrückt ist.

[0028] **Fig. 6a** zeigt eine TLP-Charakterisierung eines Ausführungsformbauelements gemäß der Ausführungsform der **Fig. 3a-3c**. Hier wird das Bauelement mit einem 100 ns breiten Impuls mit einer 10 ns steigenden und abfallenden Flanke gepulst. Die Kurve **402** stellt den Impulsstrom durch das ESD-Bauelement bezüglich angelegter Spannung dar. Wenn die angelegte Eingangsspannung auf etwa 5,4 V erhöht wird, erfolgt der größte Teil der Leitung in den Kanälen der Transistoren **T1** und **T2**. Wenn die Spannung über 5,4 V erhöht wird, beginnen die parasitären Transistoren **B1**, **B2** und **B3** zu leiten, wodurch ein höherer Strom durch das ESD-Bauelement gestattet wird. Kurve **404** stellt einen Leckgleichstrom bezüglich des angelegten TLP-Stromimpulses dar. Es ist ersichtlich, dass das anfängliche Leck bei dieser bestimmten Ausführungsform unter 10 nA bei 3,3 V beträgt. Das Leck bleibt bis zu Impulsströmen von über 1,8 A stabil. Dann ist die größte Stromkapazität erreicht und das Bauelement fällt schließlich mit thermischer Zerstörung aus, was als eine starke und plötzliche Zunahme beim Leck sichtbar wird. Bei alternativen Ausführungsformen der vorliegenden Erfindung können verschiedene Ausführungsformen verschiedene Leistungscharakteristika aufweisen.

[0029] **Fig. 6b** zeigt eine Gleichstromcharakterisierung eines ESD-Bauelements gemäß der Ausführungsform der **Fig. 3a-3c**. Die Kurve **406** stellt den Ausgangsstrom bezüglich des angelegten Gleichstroms dar. Es ist zu sehen, dass das ESD-Bauelement bei einer angelegten Spannung von etwa 8,4 V Gleichstrom zu leiten beginnt, wenn die Transistoren **T1** und **T2** durchzuschlagen beginnen. Wegen der Gleichstromblockiercharakteristika der Kondensatoren **C1**, **C2a** und **C2b** werden die Gatespannungen der Transistoren **T1** und **T2** nicht hochgezogen. Im Vergleich mit dem Fall einer gepulsten Spannung kann deshalb eine höhere Gleichspannung an das ESD-Bauelement angelegt werden, bevor das ESD-Bauelement bei dieser Ausführungsform Strom leitet.

[0030] **Fig. 7** zeigt ein Implementierungsbeispiel von ESD-Ausführungsformklemmen, die einen E/A-Puffer 508 schützen. Die ESD-Ausführungsformklemmen **502** und **504** sind zwischen Versorgungspin **VDDP** und dem Eingangspin E/A bzw. zwi-

schen Eingangspin E/A und Versorgungspin **VSS** gekoppelt. Die ESD-Ausführungsformklemme **506** ist zwischen dem Versorgungspin **VDDP** und dem Versorgungspin **VSS** gekoppelt. Es versteht sich, dass die Ausführungsform von **Fig. 7** eine Darstellung eines Implementierungsbeispiels von ESD-Ausführungsformklemmenschaltungen ist. ESD-Ausführungsformstrukturen können zum Schützen des E/A, der Versorgungsknoten und chipinterner Schaltungsanordnungen verwendet werden, wobei viele verschiedene Strukturen, Architekturen und Konfigurationen verwendet werden. Bei alternativen Ausführungsformen können weitere ESD-Schutzschaltungen zusätzlich zu ESD-Ausführungsformklemmen implementiert werden.

[0031] Zu Vorteilen von Ausführungsformen zählt die Fähigkeit, Niederspannungsbaulemente mit Betriebsspannungen unter einer Nennarbeitsspannung zu verwenden. Bezüglich Kondensatoren, die die MOS-Baulemente auslösen, ist der Einsatz eines Niederspannungsbaulements wie etwa eines NMOS-Kondensators vorteilhaft, weil diese Niederspannungsbaulemente ein dünneres Oxid und eine höhere Kapazität pro Einheit aufweisen. Bei einigen Ausführungsformen kann ein gestapeltes ESD-Baulement unter Verwendung von Baulementen implementiert werden, die eine größte Spannung besitzen, die zweimal kleiner ist als die Spannung des geschützten Knotens. Als solches muss weniger Fläche den Auslösekondensatoren gewidmet werden. Bei einigen Ausführungsformen belegt der NMOS-Kondensator weniger Metallschichten als ein äquivalenter Metallkondensator, was mehr Freiheit bei der Leitungsführung gestattet.

[0032] Ein weiterer Vorteil einiger Ausführungsformen beinhaltet einen niedrigen Auslösestrom, der von der einfachen Topologie der ESD-Struktur kommt. Bei einigen Ausführungsformen ist der Auslösestrom wegen der geringen Kapazität der ESD-Auslöseschaltung niedrig. Zu einem weiteren Vorteil von Ausführungsformen zählt eine niedrige Auslösespannung, die um den Schwellwert der gestapelten MOS-Baulemente herum liegt. Zu einem weiteren Vorteil zählt ein geringes Schwingungsrisiko, wenn sich das Baulement in normalem Betrieb befindet, insbesondere während einer Leistungserhöhung.

[0033] Zu einem weiteren Vorteil von ESD-Ausführungsformbaulementen zählt die Fähigkeit für einen Designer, die MOS-Auslöseschaltung auf Geschwindigkeit in dem Charged-Device-Model-Bereich (CDM) zu optimieren. Beispielsweise kann ein Ausführungsformbaulement so optimiert werden, dass es einen ESD-Strom von etwa 10 A bei einer gegebenen Anstiegszeit von 100 ps liefert. Zu einem weiteren Vorteil von einigen Ausführungsformen zählt die Fähigkeit zum Herstellen eines ESD-Ausführungsformbaulements unter Verwendung keiner

zusätzlichen Prozessschritte und keiner ESD-Implantierungen. Zu einem weiteren Vorteil zählt die Fähigkeit zum Verwenden von Bauelementen aus der gleichen Prozesstechnologie (d.h. CMOS), um das ESD-Baulement herzustellen. Ein weiterer Vorteil beinhaltet die Flexibilität beim Layout für die Leitungsführung. Bei einigen Ausführungsformen ist die Verwendung einer Hilfsspannung aus Zuverlässigkeitsgründen nicht erforderlich.

[0034] Während die vorliegende Erfindung unter Bezugnahme auf veranschaulichende Ausführungsformen beschrieben worden ist, soll diese Beschreibung nicht in einem beschränkenden Sinne ausgelegt werden. Verschiedene Modifikationen und Kombinationen der veranschaulichenden Ausführungsformen sowie anderer Ausführungsformen der Erfindung ergeben sich dem Fachmann unter Bezugnahme auf die Beschreibung. Es ist deshalb beabsichtigt, dass die beigefügten Ansprüche alle solchen Modifikationen oder Ausführungsformen umfassen.

Patentansprüche

1. Schaltung gegen elektrostatische Entladung (100), kurz ESD-Schaltung genannt, zum Bereitstellen eines Schutzes zwischen einem ersten Knoten und einem zweiten Knoten, wobei die ESD-Schaltung (100) Folgendes aufweist:

- ein erstes MOS-Baulement (T1) mit einer an einen ersten Knoten gekoppelten ersten Source-/Drainelektrode (D1) und einer an einen Zwischenknoten (102) gekoppelten zweiten Source-/Drainelektrode (S1);
- einen zwischen eine Gateelektrode des ersten MOS-Baulements (T1) und den ersten Knoten gekoppelten ersten Kondensator (C1);
- einen zwischen die Gateelektrode des ersten MOS-Baulements (T1) und den Zwischenknoten (102) gekoppelten ersten Widerstand (R1),
- wobei ein Knoten zwischen dem ersten Widerstand (R1) und dem ersten Kondensator (C1) direkt elektrisch leitend mit der Gateelektrode des ersten MOS-Baulements (T1) verbunden ist, und
- wobei der erste Kondensator (C1) und der erste Widerstand (R1) in Hochpasskonfiguration verschaltet sind deren Eingang von dem ersten Knoten und dem Zwischenknoten (102) und deren Ausgang von der Gateelektrode des ersten MOS-Baulements (T1) und dem Zwischenknoten (102) gebildet wird;
- ein zweites MOS-Baulement (T2) mit einer an den Zwischenknoten (102) gekoppelten ersten Source-/Drainelektrode (D2) und einer an den zweiten Knoten gekoppelten zweiten Source-/Drainelektrode (S2);
- einen zwischen eine Gateelektrode des zweiten MOS-Baulements (T2) und den ersten Knoten gekoppelten zweiten Kondensator (C2) und
- einen zwischen die Gateelektrode des zweiten MOS-Baulements (T2) und den zweiten Knoten gekoppelten zweiten Widerstand (R2),

- wobei ein Knoten zwischen dem zweiten Widerstand (R2) und dem zweiten Kondensator (C2) direkt elektrisch leitend mit der Gateelektrode des zweiten MOS-Bauelements (T2) verbunden ist, und
- wobei der zweite Kondensator (C2) und der zweite Widerstand (R2) in Hochpasskonfiguration verschaltet sind deren Eingang von dem ersten Knoten und dem zweiten Knoten und deren Ausgang von der Gateelektrode des zweiten MOS-Bauelements (T1) und dem zweiten Knoten gebildet wird.

2. ESD-Schaltung (100) gemäß Anspruch 1,

- wobei der erste Kondensator (C1) eine erste Kapazität (C1) aufweist; und
- wobei der zweite Kondensator (C2) eine Reihenkombination aus zwei Kondensatoren (C2a, C2b) einer zweiten Kapazität (C2) aufweist.

3. ESD-Schaltung (100) gemäß Anspruch 1 oder 2, wobei eine RC-Zeitkonstante des ersten Kondensators (C1) und des ersten Widerstands (R1) zwischen etwa 10 ns und 1000 ns liegt.

4. ESD-Schaltung (100) gemäß einem der Ansprüche 1 bis 3, wobei das erste MOS-Bauelement (T1) und das zweite MOS-Bauelement (T2) Niederspannungs-NMOS-Bauelemente aufweisen.

5. ESD-Schaltung (100) gemäß einem der Ansprüche 1 bis 4, wobei das erste MOS-Bauelement (T1) und das zweite MOS-Bauelement (T2) separat ausgelegte Bauelemente aufweisen, so dass ein ESD-Strom primär durch einen Kanal des ersten MOS-Bauelements (T1) und einen Kanal des zweiten MOS-Bauelements (T2) fließt.

6. ESD-Schaltung (100) gemäß einem der Ansprüche 1 bis 5, wobei die zweite Source-/Drainelektrode (S1) des ersten MOS-Bauelements (T1) und die erste Source-/Drainelektrode (D2) des zweiten MOS-Bauelements (T2) ein erstes gemeinsames Source-/Drainengebiet aufweisen und eine erste gestapelte Bauelementeinheit bilden, so dass ein ESD-Strom primär durch ein erstes parasitäres Bipolarbauelement, das zwischen die erste Source-/Drainelektrode (S1) und die zweite Source-/Drainelektrode (D1) des ersten MOS-Bauelements (T1) gekoppelt ist, und durch ein zweites parasitäres Bipolarbauelement, das zwischen das erste Source-/Drainengebiet (D2) des zweiten MOS-Bauelements und das zweite Source-/Drainengebiet (S2) des zweiten MOS-Bauelements (T2) gekoppelt ist, fließt.

7. ESD-Schaltung (100) gemäß dem Anspruch 6, ferner aufweisend:

eine zweite gestapelte Bauelementeinheit, derart bei der ersten gestapelten Bauelementeinheit angeordnet, dass die zweite Source-/Drainelektrode des zweiten MOS-Bauelements (T2) der ersten gestapelten Bauelementeinheit und die zweite Sour-

ce-/Drainelektrode des zweiten MOS-Bauelements der zweiten gestapelten Bauelementeinheit ein zweites gemeinsames Source-/Drainengebiet derart bilden, dass ESD-Strom weiterhin durch ein drittes parasitäres Bipolarbauelement fließt, das zwischen die ersten Source-/Drainengebiete der ersten MOS-Bauelemente der ersten und zweiten gestapelten Bauelementeinheiten und das zweite gemeinsame Source-/Drainengebiet gekoppelt ist.

8. ESD-Schaltung (100) gemäß Anspruch 6 oder 7, wobei mindestens ein Abschnitt des ersten gemeinsamen Source-/Drainengebiets der ersten gestapelten Bauelementeinheit kein darüber angeordnetes Silizid aufweist.

9. Halbleiterschaltung (100), die Folgendes aufweist:

- ein ESD-Bauelementgebiet, das innerhalb eines Halbleiterkörpers von einem ersten Halbleitertyp angeordnet ist;
- ein erstes Source-/Drainengebiet von einem zweiten Halbleitertyp, wobei der zweite Halbleitertyp dem ersten Halbleitertyp entgegengesetzt ist;
- ein erstes Gategebiet, das bei dem ersten Source-/Drainengebiet angeordnet ist;
- ein zweites Source-/Drainengebiet vom zweiten Halbleitertyp, das bei dem ersten Gategebiet angeordnet ist, wobei das erste Source-/Drainengebiet, das zweite Source-/Drainengebiet und das erste Gategebiet ein in dem ESD-Bauelementgebiet angeordnetes erstes MOS-Bauelement (T1) ausbilden;
- ein drittes Source-/Drainengebiet vom zweiten Halbleitertyp, das an das zweite Source-/Drainengebiet gekoppelt ist;
- ein zweites Gategebiet, das bei dem dritten Source-/Drainengebiet angeordnet ist;
- ein viertes Source-/Drainengebiet vom zweiten Halbleitertyp, das bei dem zweiten Gategebiet angeordnet ist, wobei das dritte Source-/Drainengebiet, das vierte Source-/Drainengebiet und das zweite Gategebiet ein in dem ESD-Bauelementgebiet angeordnetes zweites MOS-Bauelement (T2) ausbilden;
- einen ersten Kondensator (C1), der zwischen das erste Source-/Drainengebiet und das erste Gategebiet gekoppelt ist;
- einen ersten Widerstand (R1), der zwischen das erste Gategebiet und das zweite Source-/Drainengebiet gekoppelt ist;
- einen zweiten Kondensator (C2), der zwischen das erste Source-/Drainengebiet und das zweite Gategebiet gekoppelt ist; und
- einen zweiten Widerstand (R2), der zwischen das zweite Gategebiet und das vierte Source-/Drainengebiet gekoppelt ist,
- wobei ein Knoten zwischen dem ersten Widerstand (R1) und dem ersten Kondensator (C1) direkt elektrisch leitend mit dem ersten Gategebiet verbunden ist, und

- wobei der erste Kondensator (C1) und der erste Widerstand (R1) in Hochpasskonfiguration verschaltet sind deren Eingang von dem ersten Source-/Draingebiet und dem zweiten Source-/Draingebiet und deren Ausgang von dem ersten Gategebiet und dem zweiten Source-/Draingebiet gebildet wird;
- wobei ein Knoten zwischen dem zweiten Widerstand (R2) und dem zweiten Kondensator (C2) direkt elektrisch leitend mit dem zweiten Gategebiet verbunden ist, und
- wobei der zweite Kondensator (C2) und der zweite Widerstand (R2) in Hochpasskonfiguration verschaltet sind deren Eingang von dem ersten Source-/Draingebiet und dem vierten Source-/Draingebiet und deren Ausgang von dem zweiten Gategebiet und dem vierten Source-/Draingebiet gebildet wird.

10. Halbleiterschaltung (100) gemäß Anspruch 9, wobei das erste Source-/Draingebiet, das zweite Source-/Draingebiet, das dritte Source-/Draingebiet und das vierte Source-/Draingebiet mit Silizid bedeckt sind.

11. Halbleiterschaltung (100) gemäß Anspruch 9 oder 10, wobei das erste Source-/Draingebiet, das zweite Source-/Draingebiet, das dritte Source-/Draingebiet und das vierte Source-/Draingebiet jeweils einen Abschnitt aufweisen, der nicht mit Silizid bedeckt ist.

12. Halbleiterschaltung (100) gemäß einem der Ansprüche 9 bis 11,

- wobei der erste Halbleitertyp der p-Typ ist;
- wobei der zweite Halbleitertyp der n-Typ ist; und
- wobei das erste MOS-Bauelement (T1) und das zweite MOS-Bauelement (T2) NMOS-Bauelemente aufweisen.

13. Halbleiterschaltung (100) gemäß Anspruch 12, wobei das erste MOS-Bauelement (T1) und das zweite MOS-Bauelement (T2) Niederspannungs-NMOS-Bauelemente aufweisen.

14. Halbleiterschaltung (100) gemäß einem der Ansprüche 9 bis 13, wobei das zweite Source-/Draingebiet und das dritte Source-/Draingebiet ein gemeinsames Source-/Draingebiet aufweisen.

15. Halbleiterschaltung (100) gemäß einem der Ansprüche 9 bis 14, ferner aufweisend:

- ein fünftes Source-/Draingebiet vom zweiten Halbleitertyp;
- ein drittes Gategebiet, das bei dem fünften Source-/Draingebiet angeordnet ist;
- ein sechstes Source-/Draingebiet vom zweiten Halbleitertyp, das bei dem dritten Gategebiet angeordnet ist, wobei das fünfte Source-/Draingebiet, das sechste Source-/Draingebiet und das dritte Gategebiet ein in dem ESD-Bauelementgebiet angeordnetes drittes MOS-Bauelement ausbilden;

- ein viertes Gategebiet, das bei dem sechsten Source-/Draingebiet angeordnet ist;
- ein siebtes Source-/Draingebiet vom zweiten Halbleitertyp, das bei dem vierten Gategebiet angeordnet ist, wobei das sechste Source-/Draingebiet, das siebte Source-/Draingebiet und das vierte Gategebiet ein in dem ESD-Bauelementgebiet angeordnetes viertes MOS-Bauelement ausbilden, wobei
- das fünfte Source-/Draingebiet an das erste Source-/Draingebiet gekoppelt ist und
- das siebte Source-/Draingebiet und das vierte Source-/Draingebiet ein gemeinsames Source-/Draingebiet bilden.

16. Halbleiterschaltung (100) gemäß Anspruch 15, wobei das erste Source-/Draingebiet, das zweite Source-/Draingebiet, das dritte Source-/Draingebiet, das vierte Source-/Draingebiet, das fünfte Source-/Draingebiet, das sechste Source-/Draingebiet und das siebte Source-/Draingebiet jeweils einen Abschnitt aufweisen, der nicht mit Silizid bedeckt ist.

17. Halbleiterschaltung (100) gemäß Anspruch 15 oder 16, ferner aufweisend:
einen ersten Schutzring, der das ESD-Bauelementgebiet umgibt, wobei der erste Schutzring ein dotiertes Gebiet vom ersten Halbleitertyp aufweist.

18. Halbleiterschaltung (100) gemäß Anspruch 17, ferner aufweisend:
einen zweiten Schutzring, der den ersten Schutzring umgibt, wobei der zweite Schutzring ein dotiertes Gebiet vom zweiten Halbleitertyp aufweist.

19. Verfahren zum Betreiben einer Halbleiterschaltung (100), wobei das Verfahren Folgendes aufweist: Bereitstellen eines Schutzbauelements zwischen einem ersten geschützten Knoten und einem zweiten geschützten Knoten, wobei der erste geschützte Knoten und der zweite geschützte Knoten an Schaltungsanordnungen in einem Halbleitersubstrat gekoppelt sind, wobei das Schutzbauelement Folgendes aufweist:

- ein erstes MOS-Bauelement mit einer an den ersten geschützten Knoten gekoppelten ersten Source-/Drainelektrode und einer an einen Zwischenknoten gekoppelten zweiten Source-/Drainelektrode,
- einen ersten Kondensator, der zwischen einer Gateelektrode des ersten MOS-Bauelements und den ersten geschützten Knoten gekoppelt ist,
- einen ersten Widerstand, der zwischen die Gateelektrode des ersten MOS-Bauelements und den Zwischenknoten gekoppelt ist,
- ein zweites MOS-Bauelement mit einer an den Zwischenknoten gekoppelten ersten Source-/Drainelektrode und einer an den zweiten geschützten Knoten gekoppelten zweiten Source-/Drainelektrode,
- einen zweiten Kondensator, der zwischen eine Gateelektrode des zweiten MOS-Bauelements und den ersten geschützten Knoten gekoppelt ist, und

- einen zweiten Widerstand, der zwischen die Gateelektrode des zweiten MOS-Bauelements und den zweiten geschützten Knoten gekoppelt ist,
 - wobei ein Knoten zwischen dem ersten Widerstand und dem ersten Kondensator mit der Gateelektrode des ersten MOS-Bauelements direkt elektrisch leitend verbunden ist, und
 - wobei der erste Kondensator und der erste Widerstand in Hochpasskonfiguration verschaltet sind, deren Eingang von dem ersten geschützten Knoten und dem Zwischenknoten und deren Ausgang von der Gateelektrode des ersten MOS-Bauelements und dem Zwischenknoten gebildet wird;
 - wobei ein Knoten zwischen dem zweiten Widerstand und dem zweiten Kondensator mit der Gateelektrode des zweiten MOS-Bauelements direkt elektrisch leitend verbunden ist, und
 - wobei der zweite Kondensator und der zweite Widerstand in Hochpasskonfiguration verschaltet sind, deren Eingang von dem ersten geschützten Knoten und dem Zwischenknoten und deren Ausgang von der Gateelektrode des ersten MOS-Bauelements und dem zweiten geschützten Knoten gebildet wird; und
- Schützen der Schaltungsanordnung gegenüber einer schnellen transienten Spannung an dem ersten geschützten Knoten, wobei das Schützen Folgendes aufweist:
- Koppeln der schnellen transienten Spannung an die Gateelektrode des ersten MOS-Bauelements über den ersten Kondensator,
 - Koppeln der schnellen transienten Spannung an die Gateelektrode des zweiten MOS-Bauelements über den zweiten Kondensator,
 - Nebenschließen eines Stroms durch das Schutzbauelement von dem ersten geschützten Knoten zu dem zweiten geschützten Knoten.

20. Verfahren gemäß Anspruch 19, wobei das Nebenschließen des Stroms ferner das Nebenschließen des Stroms durch ein erstes parasitäres Bipolarbauelement, das zwischen die erste Source-/Drainelektrode des ersten MOS-Bauelements und die zweite Source-/Drainelektrode des ersten MOS-Bauelements gekoppelt ist, und durch ein zweites parasitäres Bipolarbauelement, das zwischen die erste Source-/Drainelektrode des zweiten MOS-Bauelements und die zweite Source-/Drainelektrode des zweiten MOS-Bauelements gekoppelt ist, aufweist.

21. Verfahren gemäß Anspruch 20, wobei das Nebenschließen des Stroms ferner das Nebenschließen des Stroms durch ein drittes parasitäres Bipolarbauelement, das zwischen die erste Source-/Drainelektrode des ersten MOS-Bauelements und die zweite Source-/Drainelektrode des zweiten MOS-Bauelements gekoppelt ist, aufweist.

22. Verfahren gemäß einem der Ansprüche 19 bis 21, ferner aufweisend:

das Bereitstellen einer selbstgenerierten Biasquelle, die an den Zwischenknoten gekoppelt ist, um das erste MOS-Bauelement und das zweite MOS-Bauelement innerhalb maximaler Nennspannungen vorzuspannen.

23. Verfahren gemäß Anspruch 22, ferner aufweisend:

- das Anlegen einer ersten normalen Betriebsspannung an den ersten geschützten Knoten und den zweiten geschützten Knoten,
- wobei die erste normale Betriebsspannung die größte Nennspannung des ersten und zweiten MOS-Bauelements übersteigt; und
- wobei Spannungen an dem ersten MOS-Bauelement und dem zweiten MOS-Bauelement innerhalb der größten Nennspannungen gehalten werden, wenn die erste normale Betriebsspannung zwischen dem ersten und zweiten geschützten Knoten angelegt wird.

Es folgen 11 Seiten Zeichnungen

Anhängende Zeichnungen

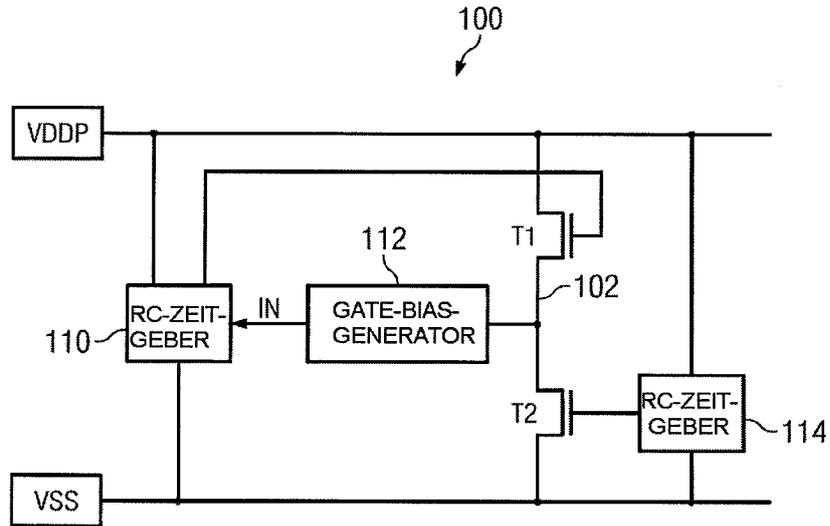


FIG. 1a

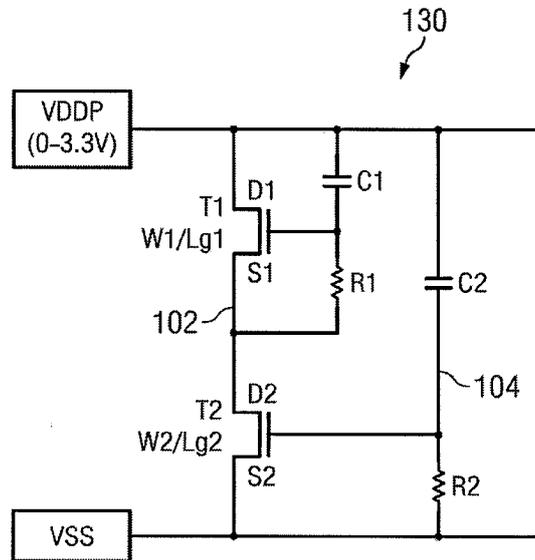


FIG. 1b

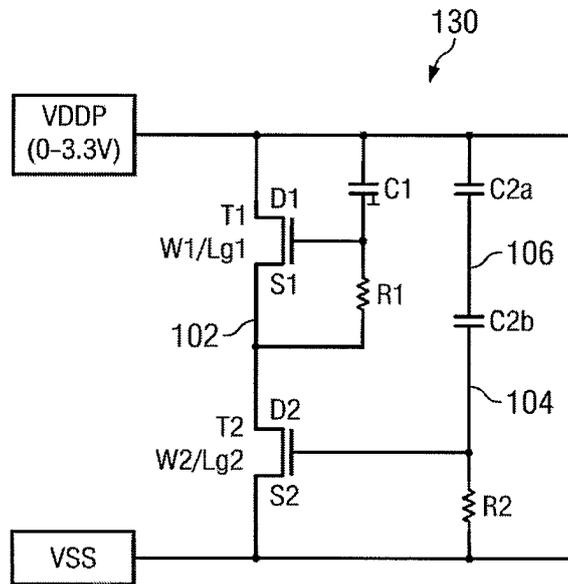


FIG. 1c

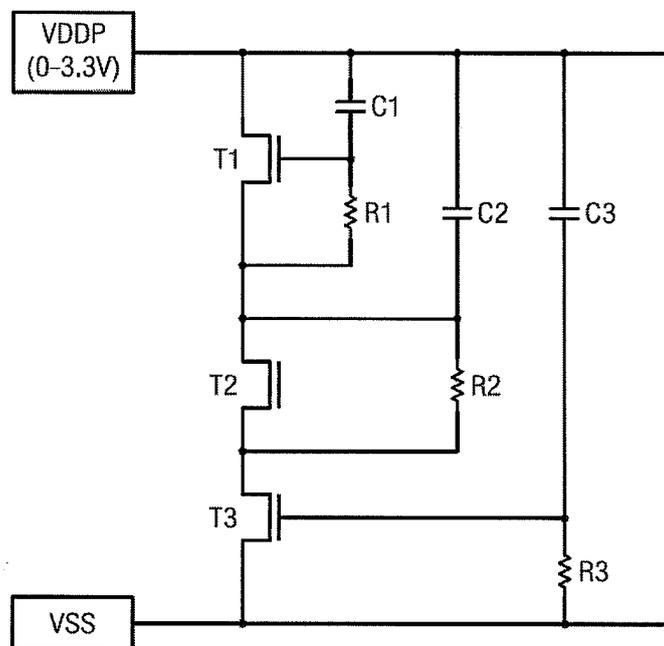


FIG. 1d

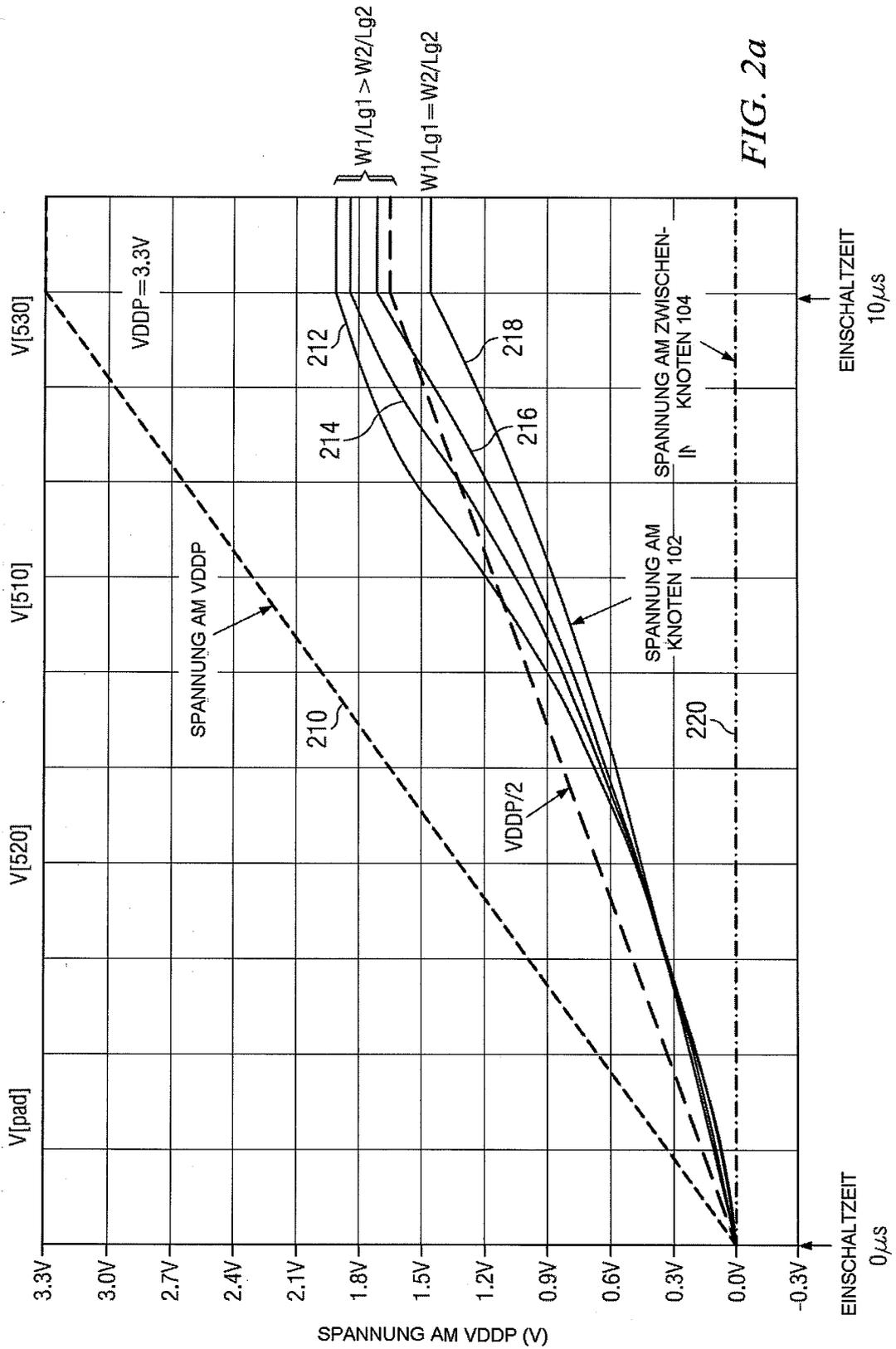


FIG. 2a

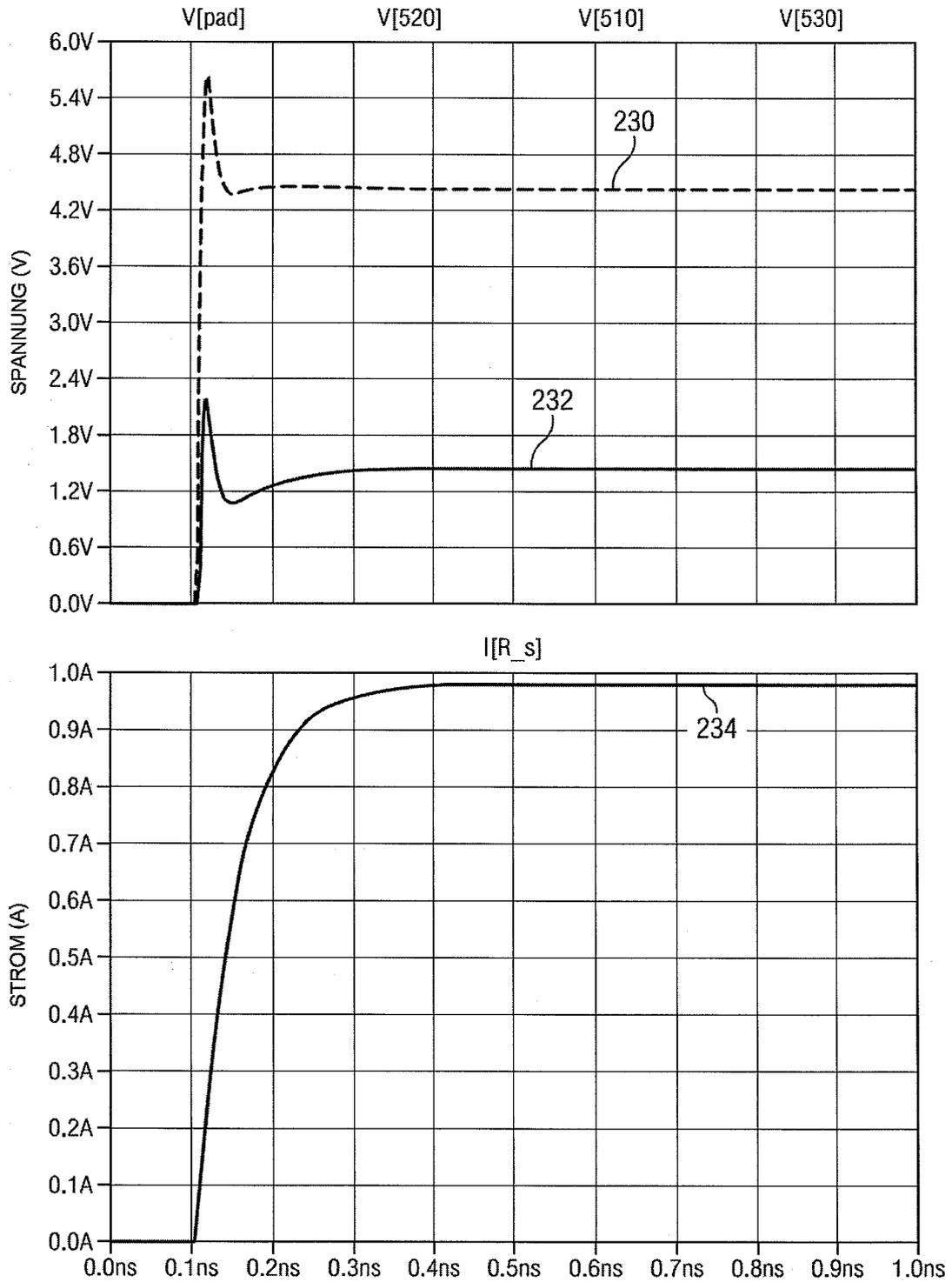


FIG. 2b

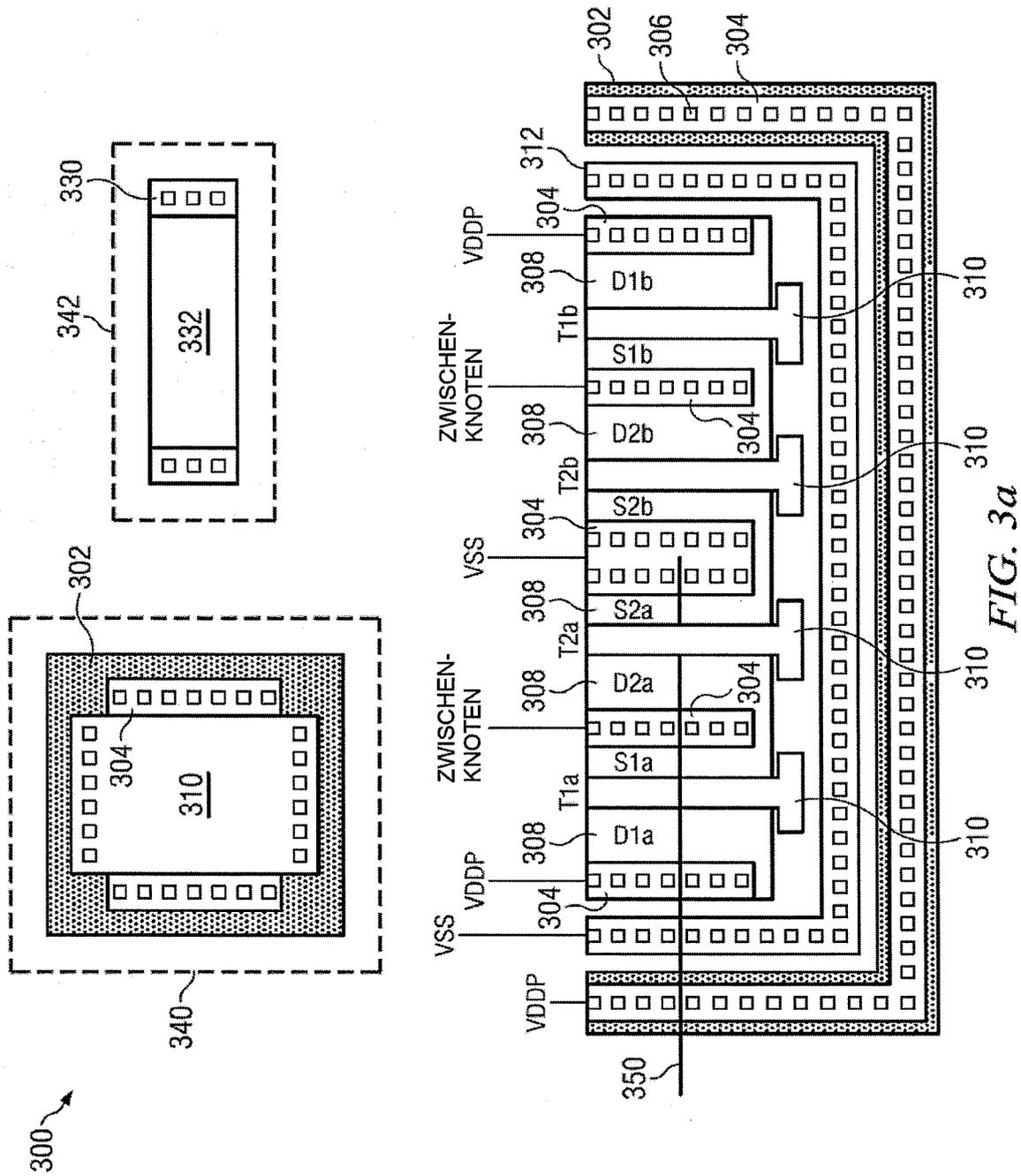


FIG. 3a

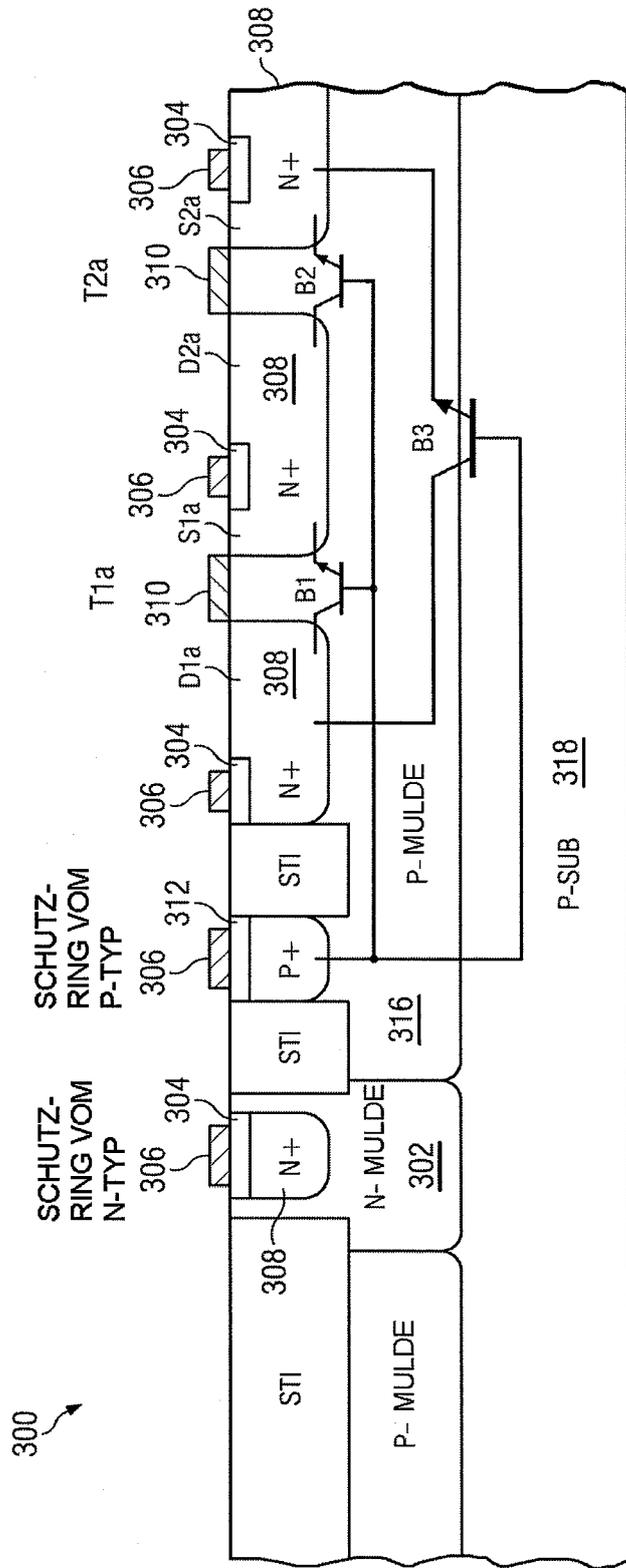


FIG. 3b

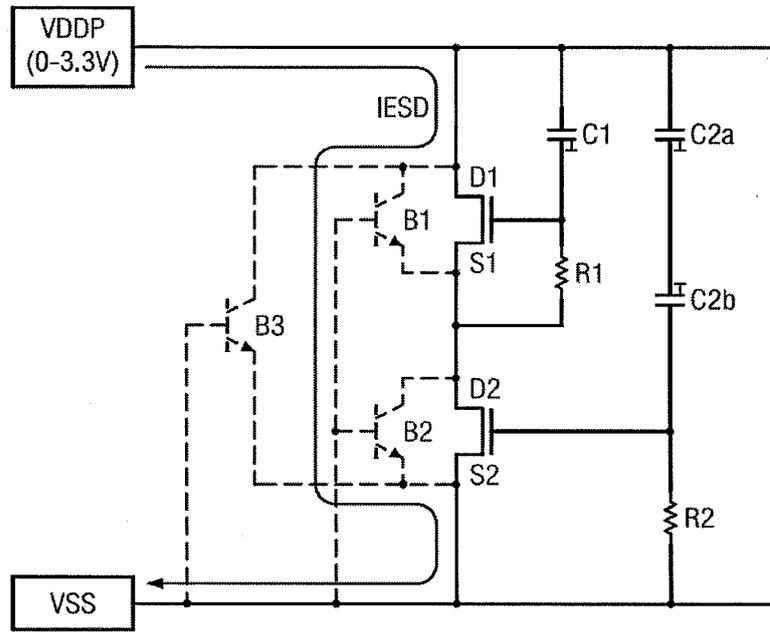


FIG. 3c

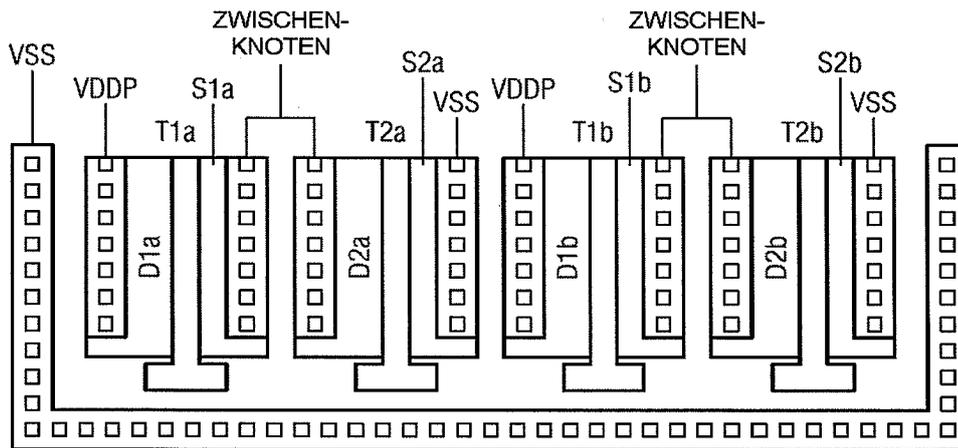


FIG. 4a

370

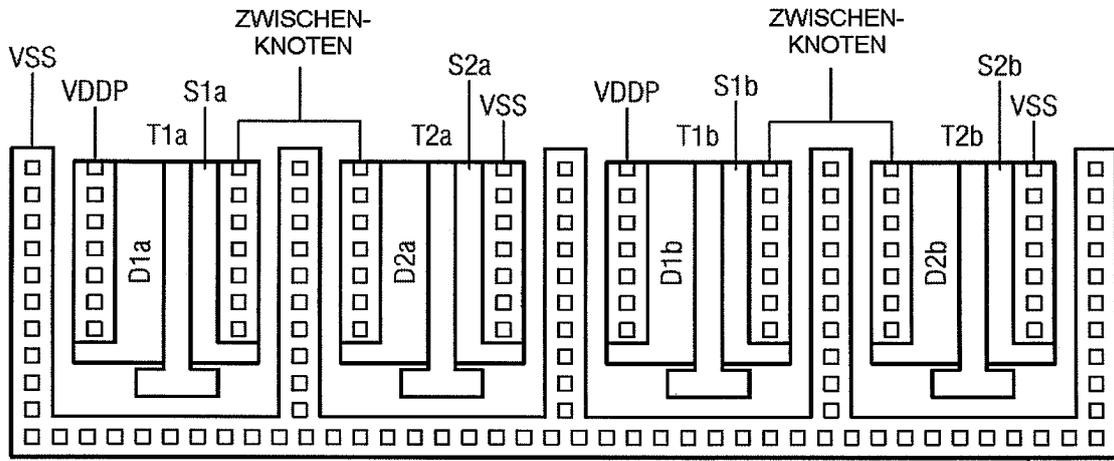


FIG. 4b

370

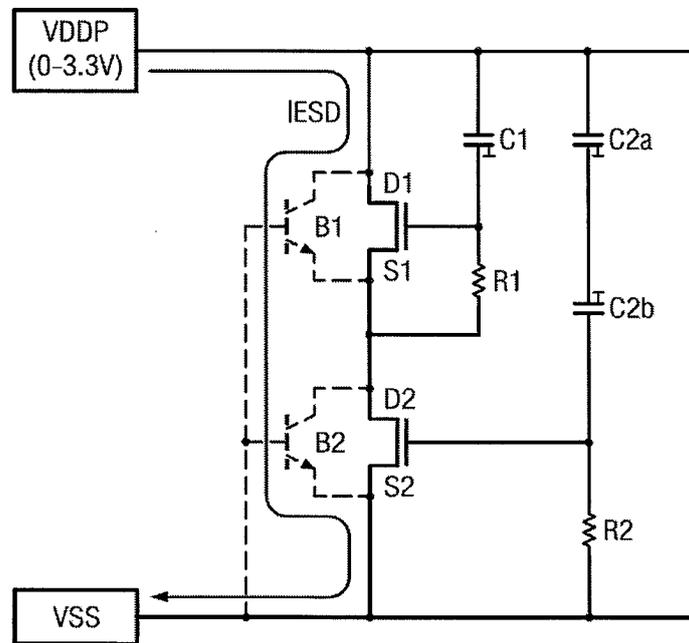


FIG. 4c

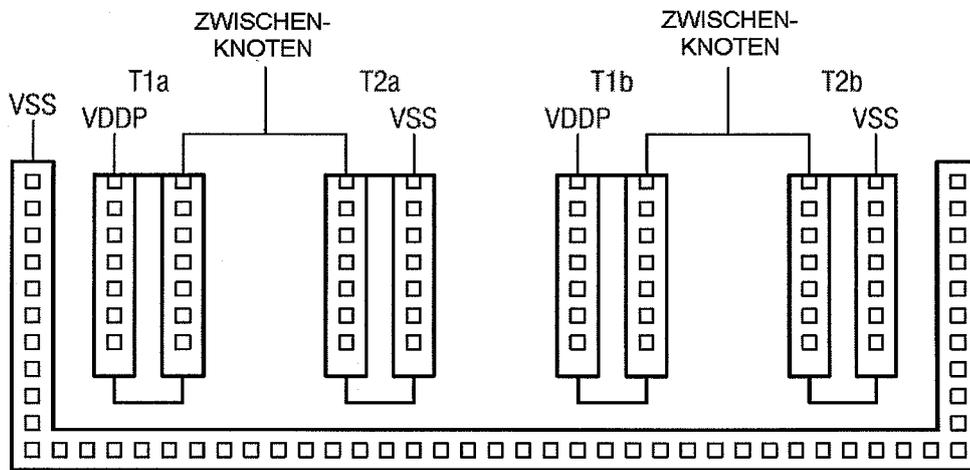


FIG. 5a

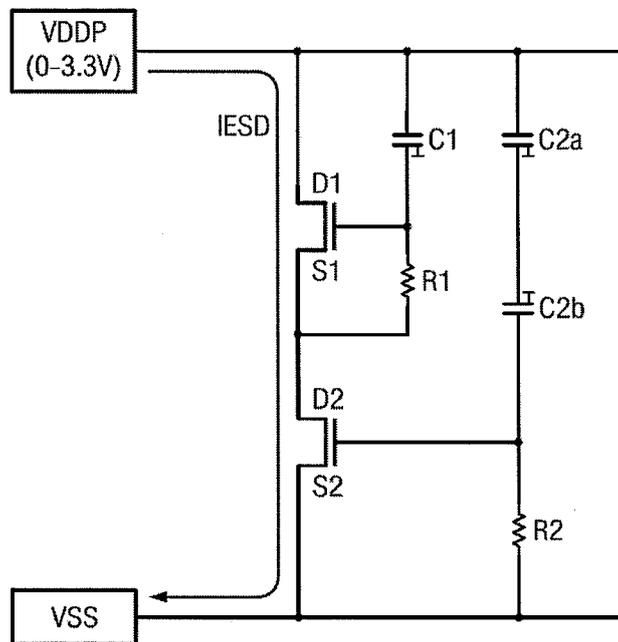


FIG. 5b

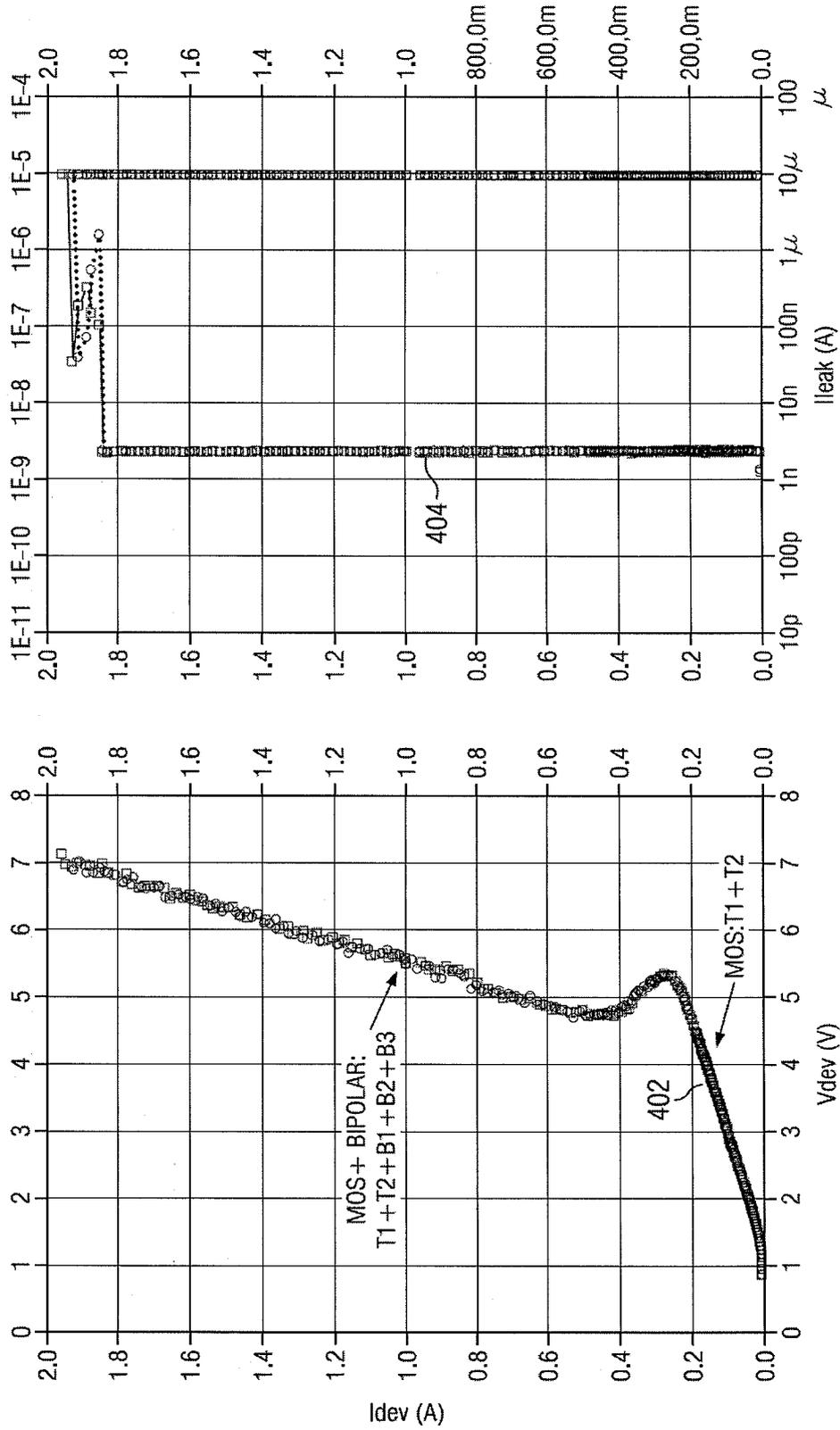


FIG. 6a

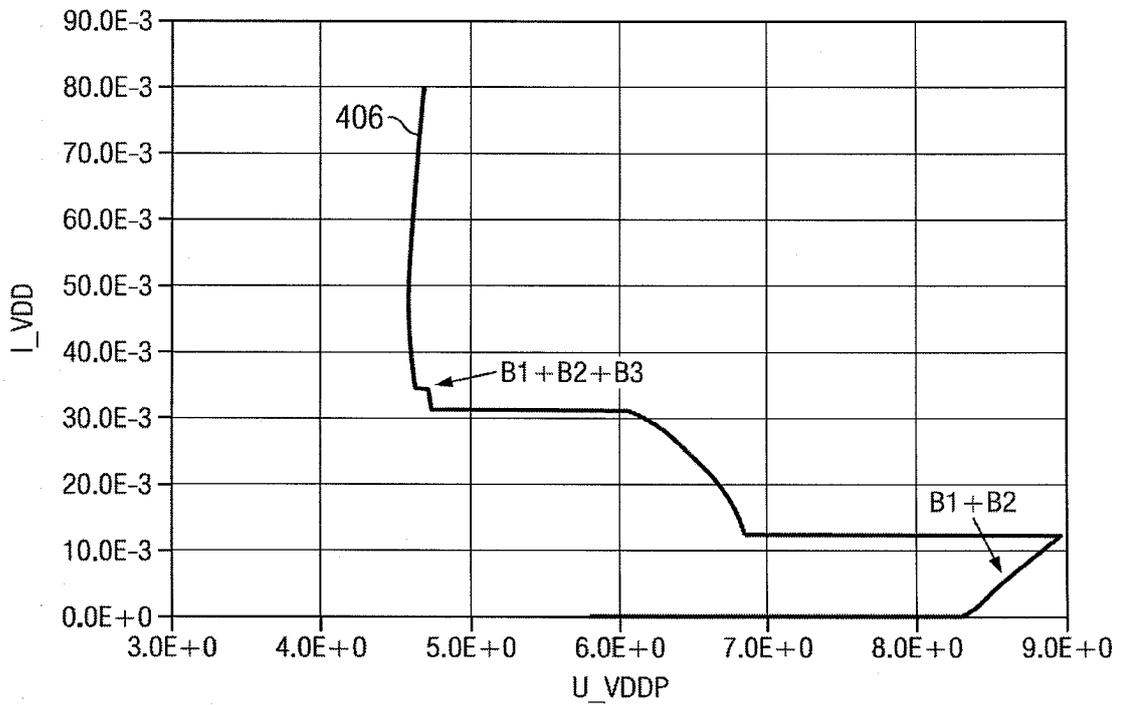


FIG. 6b

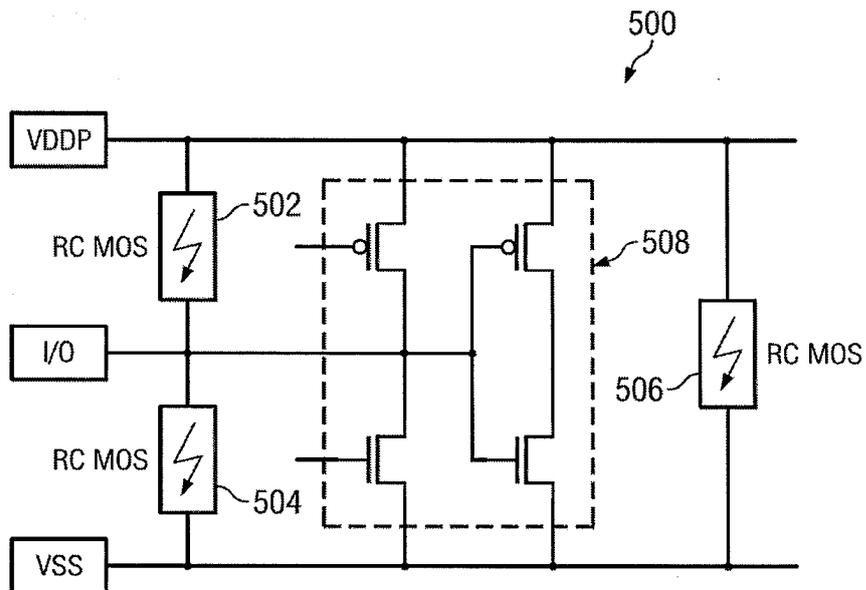


FIG. 7