



(12) **EUROPÄISCHE PATENTANMELDUNG**

(43) Veröffentlichungstag:
07.01.2009 Patentblatt 2009/02

(51) Int Cl.:
G06G 7/16^(2006.01)

(21) Anmeldenummer: **08103649.3**

(22) Anmeldetag: **22.04.2008**

(84) Benannte Vertragsstaaten:
AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HR HU IE IS IT LI LT LU LV MC MT NL NO PL PT RO SE SI SK TR
Benannte Erstreckungsstaaten:
AL BA MK RS

(71) Anmelder: **Siemens AG Österreich**
1210 Wien (AT)

(72) Erfinder: **Hallak, Jalal**
1220 Wien (AT)

(74) Vertreter: **Maier, Daniel Oliver**
Siemens AG
Postfach 22 16 34
80506 München (DE)

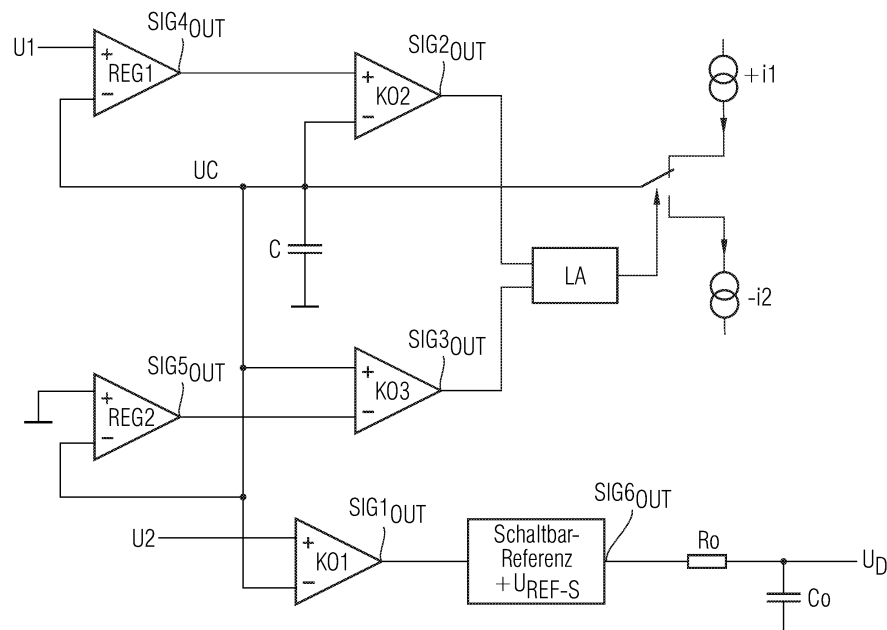
(30) Priorität: **19.06.2007 AT 9432007**

(54) **Analog Dividierer**

(57) Die Erfindung betrifft ein Verfahren zum Betreiben eines Analog Dividierers, wobei ein Sägezahn- oder Dreieckssignal aus einer ersten Eingangsspannung (U1) als Divisor gebildet wird, und wobei dieses Sägezahn- oder Dreieckssignal mittels eines ersten Komparators (KO1) mit einer zweiten Eingangsspannung (U2) als Dividend in der Weise verglichen wird, dass als ein erstes Vergleichssignal (SIG1_{OUT}) ein pulswidenmoduliertes Signal erzeugt wird, dessen Mittelwert als Quotienten der Division ausgegeben wird. Dabei wird das Sägezahn- oder Dreieckssignal mittels eines ersten und ei-

nes zweiten Reglers (REG1, REG2) gebildet und dem ersten Regler (REG1) die erste Eingangsspannung (U1) oder eine dazu proportionale Spannung und das Sägezahn- oder Dreieckssignal oder ein dazu proportionales Signal in der Weise zugeführt, dass der obere Spitzenwert des Sägezahn- oder Dreieckssignals der ersten Eingangsspannung nachgeregelt wird. Des Weiteren wird dem zweiten Regler (REG2) das Bezugspotenzial und das Sägezahn- oder Dreieckssignal in der Weise zugeführt, dass der untere Spitzenwert des Sägezahn- oder Dreieckssignals dem Wert des Bezugspotenzials nachgeregelt wird.

FIG 9



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Betreiben eines Analog Dividierers, wobei ein Sägezahn- oder Dreieckssignal gebildet wird, zu dessen Generierung eine erste Eingangsspannung als Divisor und ein Bezugspotenzial vorgegeben werden, und wobei dieses Sägezahn- oder Dreieckssignal mittels eines ersten Komparators mit einer zweiten Eingangsspannung als Dividend in der Weise verglichen wird, dass als ein erstes Vergleichssignal ein pulsweitenmoduliertes Signal erzeugt wird, dessen Mittelwert als Quotienten der Division ausgegeben wird. Des Weiteren betrifft die Erfindung einen Analog Dividierer zur Ausführung des Verfahrens.

[0002] Analoge Dividierer sind Schaltungen, die vor allem in der Regelungstechnik genutzt werden. Beispielsweise ist bei elektrischen Geräten, die leistungsgeregelt sind, eine Quotientenbildung erforderlich, um aus einer vorgegebenen Leistung und einer gemessenen Spannung einen Sollstrom zu ermitteln. Eine andere Anwendung ist in der Regelung komplexer getakteter Wandler mit zwei Polstellungen gegeben. Dabei werden eine Eingangsspannung und eine Ausgangsspannung gemessen und entsprechend dem Typ des Wandlers eine Tastverhältnisgröße abgeleitet, indem beispielsweise die Ausgangsspannung durch die Summe aus Eingangs- und Ausgangsspannung dividiert wird.

[0003] Nach dem Stand der Technik kennt man unterschiedlich aufgebaute analoge Dividierer, mittels derer aus zwei Eingangsspannungen eine Ausgangsspannung abgeleitet wird, welche dem Quotienten der Division der beiden Eingangsspannungen entspricht. Dabei kommen in der Regel Operationsverstärker zum Einsatz. Diese Operationsverstärker sind mit entsprechender Beschaltung als Logikbausteinen wie z.B. Subtrahierer, Logarithmierer oder De-Logarithmierer ausgebildet. Ein analoger Dividierer setzt sich dann beispielsweise aus zwei Logarithmierern, einem Subtrahierer und einem De-Logarithmierer zusammen (vgl. Fig. 1).

[0004] Derartige Schaltungen sind aufwendig aufgebaut und ungenau, da die elektrischen Eigenschaften der Bauelemente zur Beschaltung der Operationsverstärker Toleranz unterliegen.

[0005] Um den Einfluss der Bauelementetoleranz zu reduzieren, ist in der JP 2005 157 721 A1 eine Schaltung angegeben, bei der eine erste Eingangsspannung als Divisor einem Sägezahn- oder Dreiecksgenerator zugeführt ist. Dieser Generator bildet ein Sägezahn- oder Dreieckssignal, wobei als positiver Spitzenwert des Signals der Wert der ersten Eingangsspannung vorgegeben wird. In einem nachfolgenden Komparator wird dieses Sägezahn- oder Dreieckssignal mit einer zweiten Eingangsspannung verglichen. Als Vergleichssignal erhält man dabei ein pulsweitenmoduliertes Signal, dessen Mittelwert als Quotienten der Division der zweiten durch die erste Eingangsspannung ausgegeben wird.

[0006] Ein Sägezahn- oder Dreiecksgenerator umfasst dabei in der Regel Bauelemente, deren Toleranzen wiederum zu Ungenauigkeiten führen. Nach dem Stand der Technik werden derartige Schaltungen deshalb kalibriert, was jedoch mit erheblichem Aufwand verbunden ist. Zudem ist eine einmalige Kalibrierung nicht geeignet, um beispielsweise Ungenauigkeiten infolge einer Temperaturtrift einzelner Bauelemente zu reduzieren.

[0007] Es sind auch Schaltungsanordnungen zur Generierung eines Sägezahn- oder Dreieckssignals bekannt, bei welcher weitere Komparatoren in der Weise angeordnet sind, dass sich der Einfluss einzelner Bauelemente aufhebt.

[0008] Das ist beispielsweise der Fall, wenn ein Kondensator über einen Widerstand an eine konstante Referenzspannung geschaltet ist, wobei ein Komparator die Spannung am Kondensator laufend mit der ersten Eingangsspannung als Divisor vergleicht. Bei Erreichen der Eingangsspannung löst ein Signalwechsel am Ausgang des Komparators mittels eines Mono-Flip-Flops einen Schaltimpuls zur Betätigung eines Schaltelements aus, wodurch der Kondensator kurzzeitig kurzgeschlossen und somit entladen wird (vgl. Fig. 2).

[0009] Sobald der Kondensator entladen ist, beginnt ein neuer Ladevorgang, sodass am Kondensator ein Sägezahnsignal anliegt (vgl. Fig. 3). Dabei bewirken die Schaltimpulszeiten Abflachungen der unteren Spitzenwerte des Sägezahnsignals, was wiederum zu Ungenauigkeiten bei der Quotientenbildung führt.

[0010] Um den Einfluss der ersten Eingangsspannung auf die Frequenz des Sägezahnsignals aufzuheben und damit den negativen Einfluss der Schaltimpulszeiten konstant zu halten, wird in der Regel eine Referenzspannung erzeugt, die proportional zur ersten Eingangsspannung ist (vgl. Fig. 4).

[0011] Der negative Einfluss der Schaltimpulszeiten fällt weg, wenn ein Dreieckssignal erzeugt wird. Eine bekannte Schaltungsanordnung eines Dreieckssignalgenerators umfasst zwei Komparatoren und einen Kondensator, an dem das Dreieckssignal anliegt. Dabei vergleicht ein Komparator das Dreieckssignal mit der ersten Eingangsspannung und der andere Komparator das Dreieckssignal mit einem Bezugspotenzial. Ausgelöst durch die Signalwechsel am Ausgang der Komparatoren schaltet eine Steuerung den Kondensator abwechselnd an eine Stromquelle und eine Stromsenke (vgl. Fig. 5).

[0012] Eine andere Schaltungsanordnung zur Generierung eines Dreieckssignals ist ähnlich aufgebaut, umfasst jedoch anstelle der Stromquelle und der Stromsenke eine positive und eine negative Spannungsquelle. An das Schaltelement zur Umschaltung zwischen positiver und negativer Spannungsquelle ist dann ein beispielsweise als beschalteter Operationsverstärker ausgebildeter Integrator geschaltet, an dessen Ausgang das Dreieckssignal abgreifbar ist (vgl. Fig. 6).

[0013] Ein auf diese Weise erzeugtes Dreieckssignal hat den Nachteil, dass aufgrund der Ansprechzeiten der Komparatoren Verzögerungen bei der Umschaltung des Schaltelements auftreten, die zu einem ungenauen Dreieckssignal

führen (vgl. Fig. 7 und 8). Infolgedessen ist auch der Quotient der Division fehlerbehaftet.

[0014] Der Erfindung liegt die Aufgabe zugrunde, für einen analogen Dividierer der eingangs genannten Art eine Verbesserung gegenüber dem Stand der Technik anzugeben.

[0015] Erfindungsgemäß wird diese Aufgabe gelöst durch ein Verfahren zum Betreiben eines Analog Dividierers, wobei ein Sägezahn- oder Dreieckssignal gebildet wird, zu dessen Generierung eine erste Eingangsspannung als Divisor und ein Bezugspotenzial vorgegeben werden, und wobei dieses Sägezahn- oder Dreieckssignal mittels eines ersten Komparators mit einer zweiten Eingangsspannung als Dividend in der Weise verglichen wird, dass als ein erstes Vergleichssignal ein pulswidenmoduliertes Signal erzeugt wird, dessen Mittelwert als Quotienten der Division ausgegeben wird. Dabei wird das Sägezahn- oder Dreieckssignal mittels eines ersten und eines zweiten Reglers gebildet und dem ersten Regler (REG1) die erste Eingangsspannung (U_1) oder eine dazu proportionale Spannung und das Sägezahn- oder Dreieckssignal oder ein dazu proportionales Signal in der Weise zugeführt, dass der obere Spitzenwert des Sägezahn- oder Dreieckssignals der ersten Eingangsspannung nachgeregelt wird. Des Weiteren wird dem zweiten Regler (REG2) das Bezugspotenzial und das Sägezahn- oder Dreieckssignal in der Weise zugeführt, dass der untere Spitzenwert des Sägezahn- oder Dreieckssignals dem Wert des Bezugspotenzials nachgeregelt wird.

[0016] Damit werden sowohl die Einflüsse der Toleranzen als auch die Ansprechzeiten der in der Schaltung angeordneten Komponenten kompensiert. Der Sägezahn- oder Dreiecksgenerator liefert ein Signal, dass gegenüber dem Stand der Technik zu höheren Genauigkeiten bei Analog Dividierern führt.

[0017] In einer vorteilhaften Ausprägung des Verfahrens wird mittels erstem Regler ein Stellsignal als oberer Soll-Spitzenwert gebildet und dieses Stellsignal einem zweiten Komparator zum Vergleich mit dem Sägezahn- oder Dreieckssignal zugeführt. Des Weiteren wird mittels zweitem Regler ein Stellsignal als unterer Soll-Spitzenwert gebildet und dieses Stellsignal einem dritten Komparator zum Vergleich mit dem Sägezahn- oder Dreieckssignal zugeführt wird. Das zweite Vergleichssignal am Ausgang des zweiten Komparators und das dritte Vergleichssignal am Ausgang des dritten Komparators werden einer Steuerung zugeführt, mittels der das Aufladen und Entladen eines Kondensators zur Bildung des Sägezahn- oder Dreieckssignals gesteuert wird. Anstelle der erwünschten Werte für die Spitzenwerte des Dreieckssignals werden den Komparatoren also die Stellsignale der Regler zum Vergleich mit dem Dreieckssignal vorgegeben. Auf diese Weise erhält man zwei Regelstrecken zur Generierung eines Dreieckssignals, dessen Spitzenwerte genau den erwünschten Werten entsprechen.

[0018] In einem einfachen Verfahren wird das Stellsignal des ersten Reglers aus der Abweichung des oberen Ist-Spitzenwertens des Dreieckssignals von der ersten Eingangsspannung gebildet und das Stellsignal des zweiten Reglers aus der Abweichung des unteren Ist-Spitzenwertens des Dreieckssignals vom Bezugspotenzial gebildet. Beispielsweise gibt der erste Regler ein niedrigeres Stellsignal vor, wenn der obere Ist-Spitzenwert des Dreieckssignals über den Wert der ersten Eingangsspannung ansteigt. Fällt hingegen der obere Ist-Spitzenwert des Dreieckssignals unter den Wert der ersten Eingangsspannung ab, gibt der erste Regler ein höheres Stellsignal vor.

[0019] Für hohe erste Eingangsspannungen ist ein Verfahren vorgesehen, bei dem das Stellsignal des ersten Reglers aus der Abweichung des mittels Tiefpassfilter gemittelten Dreieckssignals von der halben ersten Eingangsspannung gebildet wird und bei dem das Stellsignal des zweiten Reglers aus der Abweichung des unteren Ist-Spitzenwertens des Dreieckssignals vom Bezugspotenzial gebildet wird. Die am ersten Regler anliegende erste Eingangsspannung halbiert sich also, weshalb für dieses Verfahren ein Regler mit niedrigerer zulässiger Eingangsspannung verwendbar ist.

[0020] Eine weitere Ausprägung des Verfahrens sieht vor, dass das erste Vergleichssignal mittels eines ersten und eines zweiten Tiefpassfilters geglättet wird und dass eine am Ausgang des zweiten Tiefpassfilters anliegende Ausgangsspannung (U_D) mittels eines dritten Reglers einem geglätteten Signal am Ausgang des ersten Tiefpassfilters nachgeregelt wird.

[0021] Gelöst wird die vorliegende Aufgabe zudem durch einen Analog Dividierer, welchem eine erste Eingangsspannung als Divisor und eine zweite Eingangsspannung als Dividend zugeführt sind und welcher einen Sägezahn- oder Dreiecksgenerator umfasst, dem die erste Eingangsspannung als oberer Spitzenwert eines generierten Sägezahn- oder Dreieckssignals vorgegeben ist, wobei der Ausgang des Sägezahn- oder Dreiecksgenerators mit einem Eingang eines ersten Komparator verbunden ist, welchem zudem die zweite Eingangsspannung zugeführt ist, sodass am Ausgang des ersten Komparators ein pulswidenmoduliertes Signal als erstes Vergleichssignal des Sägezahn- oder Dreieckssignals und der zweiten Eingangsspannung anliegt und einer Glättungseinheit zugeführt ist, an dessen Ausgang das gemittelte pulswidenmodulierte Signal als Quotient der Division anliegt und als eine Ausgangsspannung abgreifbar ist. Dabei umfasst der Sägezahn- oder Dreiecksgenerator einen ersten Regler, dem als Eingangssignal die erste Eingangsspannung oder eine dazu proportionale Spannung und das Sägezahn- oder Dreieckssignal zugeführt sind und dessen Stellsignal einem zweiten Komparator zugeführt ist, welcher das Sägezahn- oder Dreieckssignal mit dem Stellsignal des ersten Reglers vergleicht und an dessen Ausgang ein zweites Vergleichssignal anliegt. Des Weiteren umfasst der Sägezahn- oder Dreiecksgenerator einen zweiten Regler, an dessen Eingang das Bezugspotenzial anliegt und dem das Sägezahn- oder Dreieckssignal zugeführt ist und dessen Stellsignal einem dritten Komparator zugeführt ist, welcher das Sägezahn- oder Dreieckssignal mit dem Stellsignal des zweiten Reglers vergleicht und an dessen Ausgang ein drittes Vergleichssignal anliegt. Das zweite und das dritte Vergleichssignal sind einer Steuerung zugeführt, welche

alternierend eine Ladeschaltung und eine Entladeschaltung an einen Kondensator zur Bildung des Sägezahn- oder Dreieckssignals schaltet.

[0022] In einer einfachen Ausprägung der Erfindung sind dem ersten Regler die erste Eingangsspannung und das Sägezahn- oder Dreieckssignal zur Bildung des Stellsignals zugeführt. Für hohe erste Eingangsspannungen ist es vorteilhaft, wenn dem ersten Regler die halbe erste Eingangsspannung in der Weise zugeführt ist, dass die erste Eingangsspannung über einen Spannungsteiler an den ersten Regler geschaltet ist und dass des Weiteren dem ersten Regler ein mittels Tiefpassfilter gemitteltetes Sägezahn- oder Dreieckssignal zugeführt ist. Der Spannungsteiler wird in einfacher Weise aus zwei gleichen Widerständen gebildet, die in Reihe zwischen die erste Eingangsspannung und das Bezugspotenzial geschaltet sind, wobei ein Verbindungspunkt zwischen den Widerständen mit dem ersten Regler verbunden ist.

[0023] Vorteilhaft ist es zudem, wenn die Steuerung ein Latch umfasst, dem das zweite und dritte Vergleichssignal zugeführt sind und mittels dem ein Schaltelement angesteuert ist, welches den Kondensator alternierend an eine positive Stromquelle und eine negative Stromquelle anschaltet. Auf diese Weise ist eine einfache Schaltung zur Erzeugung eines stabilen Dreieckssignals gegeben.

[0024] Dabei ist es günstig, wenn die Frequenz des Dreieckssignals unabhängig von der Höhe der ersten Eingangsspannung ist. Das wird erreicht, indem die Stromquelle einen positiven Strom liefert, der aus der ersten Eingangsspannung mal einem positiven Koeffizienten gebildet ist und indem die Stromsenke einen negativen Strom liefert, der aus der ersten Eingangsspannung mal einem negativen Koeffizienten gebildet ist.

[0025] Für Schaltungen, innerhalb derer eine positive und eine negative Spannungsquelle mit Referenzspannungen zur Verfügung steht, ist es vorteilhaft, wenn die Steuerung ein Latch umfasst, dem das zweite und dritte Vergleichssignal zugeführt sind und mittels dem ein Schaltelement angesteuert ist, welches über einen Widerstand den Kondensator alternierend an diese positive Spannungsquelle und diese negative Spannungsquelle anschaltet und wenn der Widerstand und der Kondensator Beschaltungselemente eines als Integrator ausgebildeten Operationsverstärkers sind, an dessen Ausgang das Sägezahn- oder Dreieckssignal anliegt.

[0026] In einer weiteren vorteilhaften Ausprägung der Erfindung ist vorgesehen, dass das erste Vergleichssignal über einen ersten Tiefpassfilter einem dritten Regler zugeführt ist, dessen Ausgang mit einem zweiten Tiefpassfilter verbunden ist und dass die am Ausgang des zweiten Tiefpassfilters anliegende Ausgangsspannung wiederum dem dritten Regler als Regelgröße zugeführt ist. Auf diese Weise wird als Quotient der Division eine Ausgangsspannung ausgegeben, die sich Änderungen der ersten oder zweiten Eingangsspannung sehr schnell anpasst. Damit ist eine Schaltung geschaffen, die auch bei stark schwankendem Divisor und Dividenten nahezu verzögerungsfrei einen genauen Quotienten der Division ausgibt.

[0027] Die Genauigkeit der analogen Division wird zudem gesteigert, wenn dem ersten Komparator eine umschaltbare Referenzeinheit REF nachgeschaltet ist. Auf diese Weise werden Ungenauigkeiten des Komparators vermieden, die durch Schwankungen der Signalzustände am Ausgang des Komparators auftreten können. Die Signalzustände des pulsweitenmodulierten Signals am Ausgang der Referenzeinheit nehmen stabil die von der Referenzeinheit vorgegeben High- und Low-Werte an.

[0028] Die Erfindung wird nachfolgend in beispielhafter Weise unter Bezugnahme auf die beigelegten Figuren erläutert. Es zeigen in schematischer Darstellung:

Fig. 1 Analog Dividierer, aufgebaut mit logischen Baugruppen

Fig. 2 Schaltungsanordnung eines Analog Dividierers mit Sägezahn-generator

Fig. 3 Signalverläufe eines Analog Dividierers nach Figur 2

Fig. 4 Schaltungsanordnung eines Analog Dividierers mit Sägezahn-generator mit konstanter Frequenz

Fig. 5 Schaltungsanordnung eines Analog Dividierers mit Dreiecksgenerator und Stromquelle

Fig. 6 Schaltungsanordnung eines Analog Dividierers mit Dreiecksgenerator und Spannungsquelle mit Integrator

Fig. 7 Signalverläufe eines Analog Dividierers nach Figur 5 oder Figur 6

Fig. 8 Auswirkung der Ansprechzeiten der Komparatoren auf die Signalverläufe eines Analog Dividierers mit Dreiecksgenerator

Fig. 9 Schaltungsanordnung eines Analog Dividierers mit Dreiecksgenerator und Kompensation der Ansprechzeiten der Komparatoren mittels Spitzenwertregler

Fig. 10 Schaltungsanordnung eines Analog Dividierers mit Dreiecksgenerator und Kompensation der Ansprechzeiten der Komparatoren mittels Mittelwertregler

Fig. 11 Signalverläufe eines Analog Dividierers nach Figur 9 oder Figur 10

Fig. 12 Schaltungsanordnung eines Analog Dividierers mit modifizierter Glättungseinheit

Fig. 13 Signalverläufe eines Analog Dividierers nach Figur 12

[0029] Figur 1 zeigt einen Schaltungsaufbau eines Analog Dividierers nach dem Stand der Technik. Dabei sind zwei Eingangsspannungen U1, U2 an jeweils einen Logarithmierer ln angeschaltet. Die Ausgänge der Logarithmierer ln sind einem Dividierer Δ zugeführt, wobei dessen Ausgang mit dem Eingang eines De-Logarithmierers e^x verbunden ist. Logarithmierer ln, De-Logarithmierer e^x und Dividierer Δ sind dabei als beschaltete Operationsverstärker ausgeführt. Die Streuung elektrischen Eigenschaften der Beschaltungsbaulemente führt dabei zu Ungenauigkeiten.

[0030] Um die Anzahl der Bauelemente zu reduzieren kennt man deshalb auch Analog Dividierer mit einem Sägezahn- oder Dreiecksgenerator gemäß der Gattung der vorliegenden Erfindung.

[0031] In Figur 2 ist ein solcher Analog Dividierer dargestellt, mit der die bei logischen Schaltungen gemäß Figur 1 auftretenden Ungenauigkeiten minimiert werden. Dabei wird, wie aus dem Stand der Technik bekannt, mittels eines ersten Komparators KO1 ein Sägezahnsignal, dessen Spitzenwert dem Wert einer ersten Eingangsspannung U1 entspricht, mit dem Wert einer zweiten Eingangsspannung U2 verglichen. Der Quotient der Division der zweiten Eingangsspannung U2 durch die erste Eingangsspannung U1 entspricht dann dem Verhältnis der Dauer des High-Signalzustandes t2 des pulswidenmodulierten Signals am Ausgang des ersten Komparators KO1 zur Periodendauer t1 des Sägezahnsignals, also:

$$U2/U1 = t2/t1$$

[0032] Der Quotient entspricht demnach dem als Ausgangsspannung U_D anliegenden Mittelwert des pulswidenmodulierten Signals. Die Genauigkeit der Division hängt dabei einerseits von der Güte des Sägezahnsignals und andererseits vom Ansprechverhalten des ersten Komparators KO1 ab.

[0033] Die in Figur 2 dargestellte Schaltungsanordnung liefert ein Sägezahnsignal, dass unabhängig von den elektrischen Eigenschaften einer Ladeschaltung immer die anliegende erste Eingangsspannung U1 als Spitzenwert erreicht. Die Ladeschaltung umfasst dabei beispielhaft eine Spannungsquelle, die eine konstante Referenzspannung U_{REF} liefert und über einen Widerstand R an den negativen Anschluss eines zweiten Komparators KO2 angeschaltet ist. Alternativ dazu kann auch eine Stromquelle angeschaltet sein, die einen Strom i als Produkt eines Koeffizienten K mit einer Referenzspannung U_{REF} bereitstellt (i=K*U_{REF}).

[0034] Der negative Anschluss des zweiten Komparators KO2 ist dabei auch mit einem Kondensator C verbunden, der mittels Ladeschaltung aufgeladen wird. Am positiven Anschluss des zweiten Komparators KO2 liegt die erste Eingangsspannung U1 an, sodass am Ausgang ein zweites Vergleichssignal SIG2_{OUT} abnehmbar ist. Dieses zweite Vergleichssignal SIG2_{OUT} zeigt demnach mit einem High-Low-Übergang an, dass die Spannung UC am Kondensator C den Wert der ersten Eingangsspannung U1 erreicht hat. Zur Erzeugung des Sägezahnsignals wird bei Erreichung dieses Zustands mittels eines Mono-Flip-Flops MFF eine abrupte Entladung des Kondensators C herbeigeführt. Zu diesem Zweck ist als Teil der Entladeschaltung dem Kondensator C ein Schaltelement parallel geschaltet, wobei das Mono-Flip-Flop MFF, dem das zweite Vergleichssignal SIG2_{OUT} zugeführt ist, bei jedem High-Low-Übergang einen Einschaltimpuls mit einer Impulsdauer t_{FF} größer der Entladezeit des Kondensators C liefert.

[0035] Damit ist folgender Zusammenhang der einzelnen Signale gegeben:

[0036] Der Ladestrom i des Kondensators C mit der Kapazität C ist bekanntermaßen:

$$i = C * du/dt$$

$$i \approx U_{REF}/R$$

mit R als Widerstandwert oder

$$i = K \cdot U_{REF}$$

5 **[0037]** Für kurze Ladezyklen gilt:

$$du = U1$$

10

$$dt = t1$$

15 **[0038]** Die Periodendauer $t1$ ergibt sich dann aus dem Anstieg der Spannung UC am Kondensator C bei Erreichung der ersten Eingangsspannung $U1$:

$$t1 = U1 \cdot C / (K \cdot U_{REF})$$

20

[0039] Entsprechend ergibt sich die Dauer des High-Signalzustandes $t2$ des pulswidenmodulierten Signals bei Erreichung der zweiten Eingangsspannung:

25

$$t2 = U2 \cdot C / (K \cdot U_{REF})$$

30 **[0040]** Das Tastverhältnis des pulswidenmodulierten Signals am Ausgang des ersten Kondensators $KO1$ ist somit unabhängig von den elektrischen Eigenschaften des Kondensators C und des Widerstands R bzw. des Koeffizienten K .

$$t2/t1 = (U2 \cdot C / (K \cdot U_{REF})) / (U1 \cdot C / (K \cdot U_{REF}))$$

35

$$t2/t1 = U2/U1$$

40 **[0041]** Am Ausgang des ersten Komparators $KO1$ ist ein Glättungsglied angeordnet, bestehend aus einem Glättungswiderstand R_O und einem Glättungskondensator C_O , wobei der Glättungskondensator C_O gegen ein Bezugspotenzial der Spannungen geschaltet ist. Am Ausgang dieses Glättungsglieds liegt dann als Mittelwert des ersten Vergleichssignals $SIG1_{OUT}$ eine Ausgangsspannung U_D als Quotient der Division an.

45 **[0042]** Figur 3 zeigt die Signalverläufe beim Betreiben der Schaltungsanordnung gemäß Figur 2, wobei übereinander vier Diagramme mit einer gleichbleibenden Zeitachse als Abszisse dargestellt sind. Im ersten Diagramm sind die Spannung UC am Kondensator C und die zweite Eingangsspannung $U2$ über der Zeit t dargestellt. Die Spannung UC am Kondensator C folgt dabei einem Sägezahnsignal mit einem Spitzenwert gleich dem Wert der ersten Eingangsspannung $U1$. Die Schnittpunkte zwischen den beiden Spannungsverläufen markieren die High-Low-Übergänge des ersten Vergleichssignals $SIG1_{OUT}$ am Ausgang des ersten Komparators $KO1$, dargestellt im vierten Diagramm. Im vierten Diagramm ist zudem die Ausgangsspannung U_D am Ausgang des Glättungsglieds als Mittelwert des ersten Vergleichssignals $SIG1_{OUT}$ eingezeichnet.

50 **[0043]** Das zweite Diagramm zeigt den Verlauf des zweiten Vergleichssignals $SIG2_{OUT}$ am Ausgang des zweiten Komparators $KO2$ über der Zeit t . Während des Spannungsanstiegs am Kondensator C liegt am Ausgang des zweiten Komparators $KO2$ ein High-Signalzustand an. Der High-Low-Übergang erfolgt, sobald die Spannung UC am Kondensator C den Wert der ersten Eingangsspannung $U1$ erreicht. Jeder High-Low-Übergang löst dabei mittels Mono-Flip-Flop MFF einen Einschaltimpuls des Schaltelements der Entladeschaltung aus, sodass die Spannung UC am Kondensator C abrupt abfällt und das zweite Vergleichssignal $SIG2_{OUT}$ wieder den High-Signalzustand annimmt. Die Dauer, für die das zweite Vergleichssignal $SIG2_{OUT}$ den Low-Signalzustand annimmt, bestimmt sich dabei aus dem Ansprechverhalten

55

des zweiten Komparators KO2 (Response Time) und des Mono-Flip-Flops MFF. Im Dritten Diagramm sind die Einschaltimpulse am Ausgang des Mono-Flip-Flops MFF über der Zeit t dargestellt. Dabei muss die Dauer t_{FF} jedes Einschaltimpulses mindestens so lange wie die Entladedauer des Kondensators C sein. Die Impulsdauer t_{FF} darf die Entladedauer jedoch nicht wesentlich überschreiten, weil die dann nach Abfallen der Kondensatorspannung U_C kurzzeitig auftretenden konstanten Abschnitte des Sägezahnsignals Ungenauigkeiten bei der Quotientenbildung hervorrufen. Der auftretende Fehler ist dabei umso größer, je größer die Frequenz ist. Die in Figur 2 dargestellte Schaltung hat den Nachteil, dass die Frequenz des Sägezahnsignals mit sinkender Eingangsspannung U_1 ansteigt. Über einen gleichbleibenden Betrachtungszeitraum treten somit mehr konstante Abschnitte des Sägezahnsignals auf.

[0044] Um eine Unabhängigkeit der Frequenz des Sägezahnsignals von der ersten Eingangsspannung U_1 zu erreichen, wird die Hilfsspannung der Ladeschaltung in ein fixes Verhältnis zur ersten Eingangsspannung U_1 gesetzt. Eine entsprechende Schaltungsanordnung ist in Figur 4 dargestellt. Bis auf die Bildung der Hilfsspannung entspricht die Anordnung der in Figur 2 dargestellten. Anstelle einer konstanten Referenzspannung ist hier die Hilfsspannung von der ersten Eingangsspannung U_1 abgeleitet, zum Beispiel mittels eines Verstärkers, wobei der Verstärkungsfaktor F größer eins (z.B. $F=2$) sein muss. Mit sinkender erster Eingangsspannung U_1 sinkt auch die Ladegeschwindigkeit des Kondensators C , die Rampe des Sägezahnsignals wird also flacher. Der Ladestrom i des Kondensators C ist entsprechend einer Ersatzstromquelle gleich der Eingangsspannung U_1 mal einem Koeffizienten K :

$$i = K \cdot U_1$$

[0045] Da bei einer niedrigen Eingangsspannung U_1 auch die Hilfsspannung der Ladeschaltung entsprechend niedrig ist, bleibt die Frequenz des Sägezahnsignals gegenüber einem Signal mit höherer erster Eingangsspannung U_1 konstant.

$$t_1 = U_1 \cdot C / (K \cdot U_1) = C / K = \text{konstant}$$

[0046] Zur Vermeidung des von den Einschaltimpulsen t_{FF} des Mono-Flip-Flops MFF verursachten Fehlers wird in der Schaltung anstelle eines Sägezahngenerators ein Dreiecksgenerator angeordnet. In Figur 5 ist eine entsprechende Schaltungsanordnung dargestellt. Am positiven Eingang des ersten Komparators KO1 liegt wieder die zweite Eingangsspannung U_2 als Dividend an. Dem negativen Eingang des ersten Komparators KO1 ist ein Dreieckssignal zugeführt, dessen Spitzenwert dem Wert der ersten Eingangsspannung U_1 entspricht. Gebildet wird dieses Dreieckssignal mittels eines zweiten Komparators KO2, an dessen positivem Eingang die erste Eingangsspannung U_1 und an dessen negativem Eingang ein Kondensator C angeschlossen ist. Der negative Eingang des zweiten Komparators KO2 ist dabei mit dem negativen Eingang des ersten Komparators KO1 verbunden.

[0047] Der Kondensator C wird mittels einer Lade- und Entladeschaltung in der Weise zyklisch geladen und entladen, dass ein Dreieckssignal gegeben ist. Die Lade- und Entladeschaltung umfasst dabei ein Schaltelement, das den Kondensator C abwechselnd an eine Stromquelle mit einem Ladestrom $+i_1$ und an eine Stromsenke mit einem Entladestrom $-i_2$ anschaltet. Gesteuert wird dieses Schaltelement mittels eines Latch LA, auch Delay-Flip-Flop genannt, dessen erster Eingang mit dem Ausgang des zweiten Komparators KO2 und dessen zweiter Eingang mit dem Ausgang eines dritten Komparators KO3 verbunden ist. Der dritte Komparator KO3 ist dabei mit dem negativen Eingang an ein Bezugspotenzial der Spannungen geschaltet und der positive Eingang ist mit den negativen Eingängen der beiden anderen Komparatoren KO1, KO2 verbunden.

[0048] Das erste Eingangssignal des Latch LA weist einen High-Low-Übergang auf, wenn die Spannung U_C am Kondensator C den Wert der ersten Eingangsspannung U_1 erreicht. Ein High-Low-Übergang des zweiten Eingangssignals des Latch LA tritt auf, wenn die Spannung am Kondensator C den Wert des Bezugspotenzials erreicht.

[0049] In Figur 6 ist ebenfalls eine Schaltungsanordnung mit Dreiecksgenerator dargestellt, wobei hier anstelle der Stromquellen und der Stromsenke eine positive und eine negative Spannungsquelle $+U_{REF1}$, $-U_{REF2}$ vorgesehen sind. Das in gleicher Weise wie in Figur 7 dargestellt angesteuerte Latch LA schaltet die Spannungsquellen $+U_{REF1}$, $-U_{REF2}$ alternierend an den Eingang eines Integrators INT, welcher beispielsweise als mit einem Kondensator C und einem Widerstand R beschalteter Operationsverstärker ausgebildet ist. Am Ausgang liegt dann wiederum das gewünschte Dreieckssignal $U_{Dreieck}$ an, welches dem negativen Eingang des ersten Komparators KO1 zugeführt ist.

[0050] Die entsprechenden Diagramme der Signalabfolgen bei einem Analog Dividierer mit Dreiecksgenerator sind in Figur 7 dargestellt. Dabei sind sechs Diagramme mit einer gleichbleibenden Zeitachse als Abszisse angeordnet. Das erste Diagramm zeigt den Verlauf der Spannung U_C am Kondensator C , die erste Eingangsspannung U_1 und die zweite

Eingangsspannung U_2 über der Zeit t . Die Kondensatorspannung U_C folgt dabei einem Dreieckssignal mit zyklischer Abfolge einer steigenden Rampe vom Wert des Bezugspotenzials bis zum Wert der ersten Eingangsspannung U_1 während einem ersten Zeitabschnitt t_s und einer abfallenden Rampe vom Wert der ersten Eingangsspannung U_1 bis zum Wert des Bezugspotenzials während einem zweiten Zeitabschnitt t_f . Die Periodendauer t_1 des Dreieckssignals entspricht somit der Summe dieser beiden Zeitabschnitte t_s und t_f :

$$t_1 = t_s + t_f = (C \cdot U_1 / i_1) + (C \cdot U_1 / i_2)$$

oder

$$t_1 = C \cdot U_1 \cdot [(1/i_1) + (1/i_2)]$$

[0051] Die beiden Eingangssignale des Latch LA nehmen dabei nur für die Dauer der Ansprechzeiten der entsprechenden Komparatoren KO2, KO3 die Low-Signalzustände an und gehen dann sofort wieder in den High-Signalzustand über, weil unmittelbar nach dem Ansprechen eines Komparators KO2, KO3 ein Umschalten des Schaltelements mittels Latch LA erfolgt. Die Verläufe des ersten und des zweiten Eingangssignals über der Zeit t sind im zweiten und dritten Diagramm der Figur 7 dargestellt.

[0052] Das vierte Diagramm zeigt die Anschaltzeiten der Stromquelle an den Kondensator C über der Zeit t . Die Anschaltung ON erfolgt mittels Schaltelement, sobald der zweite Eingang des Latch LA mit einem High-Low-Übergang beaufschlagt wird, wobei ein positiver Ladestrom $+i_1$ in den Kondensator C fließt. Sobald die Kondensatorspannung U_C den Wert der ersten Eingangsspannung U_1 erreicht, erfolgt die Abschaltung OFF. Die Abschaltung OFF von der Stromquelle ist gleichzeitig die Anschaltung ON an die Stromsenke und es fließt ein Entladestrom $-i_2$ aus dem Kondensator C zur Stromsenke, bis die Kondensatorspannung U_C den Wert des Bezugspotenzials erreicht hat. Dann erfolgt wieder eine Abschaltung OFF der Stromsenke und gleichzeitig eine Anschaltung ON der Stromquelle. Der Verlauf der Anschaltzeiten der Stromsenke an den Kondensator C ist im fünften Diagramm dargestellt.

[0053] Das auf diese Weise erzeugte Dreieckssignal wird im ersten Komparator KO1 mit der zweiten Eingangsspannung U_2 verglichen. Das erste Vergleichssignal $SIG1_{OUT}$ am Ausgang des ersten Komparators KO1 ist dann wieder ein pulswidenmoduliertes Signal, dessen Tastverhältnis dem Quotienten der Division der zweiten Eingangsspannung U_2 durch die erste Eingangsspannung U_1 entspricht:

$$U_2 / U_1 = t_2 / t_1$$

mit t_2 als Dauer des High-Signalzustandes

[0054] Um die Frequenz des Dreieckssignals unabhängig vom Potenzial der ersten Eingangsspannung U_1 zu machen, ist eine Stromquelle und eine Stromsenke in Abhängigkeit der ersten Eingangsspannung U_1 vorzusehen, beispielsweise durch zwei konstante Koeffizienten K_1 und K_2 , die den Ladestrom $+i_1$ und den Entladestrom $-i_2$ in ein Verhältnis zur ersten Eingangsspannung setzen:

$$+i_1 = K_1 \cdot U_1$$

$$-i_2 = K_2 \cdot U_1$$

[0055] Für die Zeitabschnitte t_s und t_f einer steigenden und einer fallenden Rampe des Dreieckssignals ergeben sich konstante Werte, wenn die Kapazität des Kondensators C und die Koeffizienten K_1 , K_2 konstant sind:

$$t_s = C / K_1$$

$$t_f = C/K2$$

5 **[0056]** Der Fehler infolge der Ansprechzeiten der Komparatoren KO2, KO3 bleibt also auch bei niedrigen ersten Eingangsspannungen konstant.

[0057] Die ersten fünf Diagramme der Figur 7 sind in detaillierter Form auch in Figur 8 dargestellt. Bei ansteigender Spannung UC am Kondensator C erreicht diese den Wert der ersten Eingangsspannung U1, der High-Low-Übergang des zweiten Vergleichssignal (SIG2_{OUT}) wird dabei jedoch aufgrund der Ansprechzeit t_{d-KO2} des zweiten Komparators KO2 verzögert. Nach erfolgtem High-Low-Übergang wird auch das Umschalten des Schaltelements aufgrund der Ansprechzeit des Latch t_{d-LA} verzögert.

[0058] In gleicher Weise treten Verzögerungen durch die Ansprechzeit t_{d-KO3} des dritten Komparators KO3 und die Ansprechzeit t_{d-LA} des Latch LA auf, wenn die abfallende Spannung UC am Kondensator C den Wert des Bezugspotenzials erreicht.

15 **[0059]** In Summe ergeben sich dadurch folgende Ansprechzeiten t_{d1}, t_{d2} :

$$t_{d1} = t_{d-KO2} + t_{d-LA}$$

20

$$t_{d2} = t_{d-KO3} + t_{d-LA}$$

25 **[0060]** Nimmt man an, dass die Ansprechzeiten der Komparatoren KO2, KO3 ungefähr gleich lang sind (t_{d-KO2} = t_{d-KO3}), dann ergibt sich folgende Gesamtansprechzeit pro Periodendauer t1:

$$t_d = 2 * t_{d1}$$

30

[0061] Gegenüber einem fehlerfreien Quotienten t2/t1 erhält man einen fehlerbehafteten Quotienten t2/(t1-t_d). Der prozentuelle Fehler ((t2/t1)/(t2/(t1-t_d))*100%) liegt dann zum Beispiel bei 4,167%, wenn die Ansprechzeit t_{d1} gleich 200ns ist und eine Dreieckssignalfrequenz von 100kHz angenommen wird.

35 **[0062]** Die durch die Ansprechzeiten der Komparatoren (KO2, KO3) und des Latch (LA) hervorgerufenen Fehler werden bei einem erfindungsgemäßen Analog Dividierer vermieden.

[0063] Eine beispielhafte Ausprägung der Erfindung ist in Figur 9 dargestellt. Den beiden Komparatoren KO2, KO3 eines Dreiecksgenerators sind dabei zwei Regler REG1, REG2 vorgeschaltet. Dem ersten Regler REG1 wird die erste Eingangsspannung U1 als Sollwertsignal zugeführt. Dieses Sollwertsignal wird mittels erstem Regler REG1 mit den Istwerten der oberen Spitzenwerte des Dreieckssignals verglichen. Zu diesem Zweck ist das als Kondensatorspannung UC ausgebildete Dreieckssignal einem Eingang des ersten Reglers REG1 zugeführt. Der erste Regler REG1 bildet aus den Eingangsgrößen ein Stellsignal SIG4_{OUT}, das dem zweiten Komparator KO2 zum Vergleich mit dem Dreieckssignal zugeführt ist. Das Stellsignal SIG4_{OUT} wird dabei so vorgegeben, dass die Ist-Spitzenwerte des Dreieckssignals der ersten Eingangsspannung U1 nachgeregelt werden.

45 **[0064]** In gleicher Weise ist dem zweiten Regler REG2 das Dreieckssignal zugeführt. Der zweite Regler REG2 vergleicht die unteren Ist-Spitzenwerte des Dreieckssignals mit einem Bezugspotenzial. Das Stellsignal SIG5_{OUT} des zweiten Reglers REG2 wird dem dritten Komparator KO3 zum Vergleich mit dem Dreieckssignals zugeführt. Dabei werden die unteren Spitzenwerte des Dreieckssignals dem Wert des Bezugspotenzials nachgeregelt.

[0065] Es ist zu beachten, dass in der Regel Komparatoren eine höhere Anstiegsrate (Slew Rate) als Operationsverstärker aufweisen. Deshalb sind Regler REG1, REG2 mit entsprechend hohen Anstiegsraten vorzusehen.

50 **[0066]** Bei der in Figur 10 dargestellten Ausprägung der Erfindung wird mittels erstem Regler REG1 der Ist-Mittelwert des Dreieckssignals dem halbem Wert der ersten Eingangsspannung U1 nachgeregelt.

[0067] Der Mittelwert des Dreieckssignals wird dabei mittels eines Tiefpassfilters TPF gebildet, der dem ersten Regler REG1 vorgeschaltet ist. Der halbe Wert der ersten Eingangsspannung U1 wird mittels eines Spannungsteilers gebildet. Der Spannungsteiler umfasst dabei zwei hochohmige Widerstände R, die in Serie zwischen erster Eingangsspannung U1 und Bezugspotenzial angeordnet sind, wobei ein Verbindungspunkt zwischen den Widerständen R mit einem Eingang des ersten Reglers REG1 verbunden ist. Ansonsten entspricht die in Figur 10 dargestellte Anordnung der in Figur 9 dargestellten.

[0068] Figur 11 zeigt den Signalverlauf beim Betreiben eines erfindungsgemäßen Analog Dividierers. Im ersten Diagramm ist das Dreieckssignal als Kondensatorspannung UC dargestellt, überlagert von den Verläufen des Bezugspotenzials 0, der ersten Eingangsspannung U1, der zweiten Eingangsspannung U2 und der Stellsignale SIG4_{OUT}, SIG5_{OUT} der beiden Regler REG1, REG2.

[0069] Der erste Regler REG1 bildet ein Stellsignal SIG4_{OUT}, dessen Verlauf unterhalb des Verlaufes der Eingangsspannung U1 liegt. Die Differenz zur Eingangsspannung U1 ist dabei so groß, dass die Ansprechzeiten t_{d-KO2} , t_{d-LA} des zweiten Komparators KO2 und des Latch LA kompensiert werden und die ansteigende Rampe des Dreieckssignals genau bei Erreichung des Wertes der Eingangsspannung U1 endet.

[0070] In gleicher Weise bildet der zweite Regler REG2 ein Stellsignal SIG4_{OUT}, dessen Verlauf oberhalb des Verlaufes des Bezugspotenzials 0 liegt. Die Differenz zum Bezugspotenzial 0 ist dabei wiederum so groß, dass die Ansprechzeiten t_{d-KO3} , t_{d-LA} des dritten Komparators KO3 und des Latch LA kompensiert werden und die abfallende Rampe des Dreieckssignals genau bei Erreichung des Bezugspotenzials endet.

[0071] Damit erhält man genaue Werte für die Dauer der ansteigenden Rampe t_s und die Dauer der abfallenden Rampe t_f des Dreieckssignals, die in Summe eine Periodendauer t_1 des Dreieckssignals ergeben, welche von den Ansprechzeiten der Komparatoren KO1, KO2 und des Latch LA unbeeinflusst ist. Mit einem auf diese Weise erzeugten Dreieckssignal erreicht die Quotientenbildung eine Genauigkeit, die weit über der eines bekannten Analog Dividierers liegt.

[0072] Eine weitere Steigerung der Genauigkeit wird durch die Stabilisierung der beiden Signalzustände am Ausgang des ersten Komparators KO1 erreicht. Dazu wird dem ersten Komparators KO1 eine umschaltbare Referenzeinheit REF nachgeschaltet. Am Ausgang der Referenzeinheit REF liegt dann ein referenziertes Signal SIG6_{OUT} an, dass entsprechend dem ersten Vergleichssignal SIG1_{OUT} am Ausgang des ersten Komparators KO1 zwischen einem referenzierten High-Wert $+U_{REF-S}$ und einem referenzierten Low-Wert wechselt.

[0073] Um die Schnelligkeit, mit welcher der Analog Dividierer auf eine Änderung einer Eingangsspannung U1, U2 reagiert, zu erhöhen, wird dem ersten Komparator bzw. der Referenzeinheit REF eine Glättungseinheit nachgeschaltet, welche zwei Tiefpassfilter TPF1, TPF2 und einen dritte Regler REG3 umfasst. Die entsprechende Schaltungsanordnung ist in Figur 12 dargestellt.

[0074] Der erste Tiefpassfilter TPF1 ist beispielsweise als sogenanntes RC-Glied mit einem ersten Widerstand R1 und einem ersten Kondensator C1 ausgebildet. Auch der zweite Tiefpassfilter TPF2 ist als ein RC-Glied mit einem zweiten Widerstand R2 und einem zweiten Kondensator C2 ausgebildet.

[0075] Die Grenzfrequenz f_{g1} des ersten Tiefpassfilters TPF1 ist dabei kleiner als die Grenzfrequenz f_{g2} des zweiten Tiefpassfilters TPF2 ($f_{g2} \approx 5 \cdot f_{g1}$ bis $10 \cdot f_{g1}$). Die Auslegung der Grenzfrequenzen f_{g1} , f_{g2} hängt dabei von der Frequenz des Dreieckssignals ab und kann in einfacher Weise ermittelt werden.

[0076] Zwischen den ersten Tiefpassfilter TPF1 und den zweiten Tiefpassfilter TPF2 ist der dritte Regler REG3 geschaltet, wobei dem dritten Regler auch die Ausgangsspannung U_D als Regelgröße zugeführt ist. Der dritte Regler REG3 regelt die Ausgangsspannung U_D dem mittels erstem Tiefpassfilter TPF1 geglätteten Signal SIG7_{OUT} nach. Dabei werden die ansteigenden und abfallenden Abschnitte des geglätteten Signal SIG7_{OUT} steiler oder flacher, wenn sich das pulswidenmodulierten Signals am Eingang des ersten Tiefpassfilters TPF1 ändert. Diese Verstärkung der Änderungen am Eingang der Glättungseinheit bewirkt, dass sich auch die Ausgangsspannung U_D schneller ändert.

[0077] Die entsprechenden Signalverläufe sind in Figur 13 dargestellt. Das erste Diagramm zeigt wieder den Verlauf des Dreieckssignals, überlagert von den Verläufen der ersten und zweiten Eingangsspannung U1, U2 sowie der beiden Stellsignale SIG4_{OUT}, SIG5_{OUT}.

[0078] Im Diagramm darunter ist der Verlauf des ersten Vergleichssignals SIG1_{OUT} am Ausgang des ersten Komparators dargestellt. Das dritte Diagramm zeigt das entsprechende Vergleichssignal SIG6_{OUT} am Ausgang der Referenzeinheit mit den zwei referenzierten Signalzuständen $+U_{REF-S}$, 0.

[0079] Das unterste Diagramm zeigt den Verlauf der Signale am Ausgang des ersten Tiefpassfilters SIG7_{OUT} um am Ausgang des zweiten Tiefpassfilters U_D . Das geglättete Signal SIG7_{OUT} am Ausgang des ersten Tiefpassfilters TPF1 weist ausgeprägte abfallende und ansteigende Abschnitte auf, wohingegen die Ausgangsspannung U_D am Ausgang des zweiten Tiefpassfilters TPF2 nahezu vollständig geglättet ist.

Patentansprüche

1. Verfahren zum Betreiben eines Analog Dividierers, wobei ein Sägezahn- oder Dreieckssignal gebildet wird, zu dessen Generierung eine erste Eingangsspannung (U1) als Divisor und ein Bezugspotenzial vorgegeben werden, und wobei dieses Sägezahn- oder Dreieckssignal mittels eines ersten Komparators (KO1) mit einer zweiten Eingangsspannung (U2) als Dividend in der Weise verglichen wird, dass als ein erstes Vergleichssignal (SIG1_{OUT}) ein pulswidenmoduliertes Signal erzeugt wird, dessen Mittelwert als Quotienten der Division ausgegeben wird, **dadurch gekennzeichnet, dass** das Sägezahn- oder Dreieckssignal mittels eines ersten und eines zweiten Reglers (REG1, REG2) gebildet wird und dass dem ersten Regler (REG1) die erste Eingangsspannung (U1) oder eine dazu pro-

portionale Spannung und das Sägezahn- oder Dreieckssignal oder ein dazu proportionales Signal in der Weise zugeführt werden, dass der obere Spitzenwert des Sägezahn- oder Dreieckssignals der ersten Eingangsspannung nachgeregelt wird und dass des Weiteren dem zweiten Regler (REG2) das Bezugspotenzial und das Sägezahn- oder Dreieckssignal in der Weise zugeführt werden, dass der untere Spitzenwert des Sägezahn- oder Dreieckssignals dem Wert des Bezugspotenzials nachgeregelt wird.

2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet, dass** mittels erstem Regler (REG1) ein Stellsignal ($SEG4_{OUT}$) als oberer Soll-Spitzenwert gebildet wird und dass dieses Stellsignal ($SEG4_{OUT}$) einem zweiten Komparator (KO2) zum Vergleich mit dem Sägezahn- oder Dreieckssignal zugeführt wird, dass des Weiteren mittels zweitem Regler (REG2) ein Stellsignal ($SEG5_{OUT}$) als unterer Soll-Spitzenwert gebildet wird und dass dieses Stellsignal ($SEG5_{OUT}$) einem dritten Komparator (KO3) zum Vergleich mit dem Sägezahn- oder Dreieckssignal zugeführt wird und dass das zweite Vergleichssignal ($SIG2_{OUT}$) am Ausgang des zweiten Komparators (KO2) und das dritte Vergleichssignal ($SIG3_{OUT}$) am Ausgang des dritten Komparators (KO3) einer Steuerung zugeführt werden, mittels der das Aufladen und Entladen eines Kondensators zur Bildung des Sägezahn- oder Dreieckssignals gesteuert wird.
3. Verfahren nach Anspruch 2, **dadurch gekennzeichnet, dass** das Stellsignal ($SEG4_{OUT}$) des ersten Reglers (REG1) aus der Abweichung des oberen Ist-Spitzenwerts des Dreieckssignals von der ersten Eingangsspannung (U_1) gebildet wird und dass das Stellsignal ($SEG5_{OUT}$) des zweiten Reglers (REG2) aus der Abweichung des unteren Ist-Spitzenwerts des Dreieckssignals vom Bezugspotenzial gebildet wird.
4. Verfahren nach Anspruch 2, **dadurch gekennzeichnet, dass** das Stellsignal ($SEG4_{OUT}$) des ersten Reglers (REG1) aus der Abweichung des mittels Tiefpassfilter gemittelten Dreieckssignals von der halben ersten Eingangsspannung (U_1) gebildet wird und dass das Stellsignal ($SEG5_{OUT}$) des zweiten Reglers (REG2) aus der Abweichung des unteren Ist-Spitzenwerts des Dreieckssignals vom Bezugspotenzial gebildet wird.
5. Verfahren nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet, dass** das erste Vergleichssignal ($SIG1_{OUT}$) mittels eines ersten und eines zweiten Tiefpassfilters (TF1, TF2) geglättet wird und dass eine am Ausgang des zweiten Tiefpassfilters (TPF2) anliegende Ausgangsspannung (U_D) mittels eines dritten Reglers (REG3) einem geglätteten Signal ($SIG7_{OUT}$) am Ausgang des ersten Tiefpassfilters (TF1) nachgeregelt wird.
6. Analog Dividierer, welchem eine erste Eingangsspannung (U_1) als Divisor und eine zweite Eingangsspannung (U_2) als Dividend zugeführt sind und welcher einen Sägezahn- oder Dreiecksgenerator umfasst, dem die erste Eingangsspannung (U_1) als oberer Spitzenwert eines generierten Sägezahn- oder Dreieckssignals vorgegeben ist, wobei der Ausgang des Sägezahn- oder Dreiecksgenerators mit einem Eingang eines ersten Komparators (KO1) verbunden ist, welchem zudem die zweite Eingangsspannung (U_2) zugeführt ist, sodass am Ausgang des ersten Komparators (KO1) ein pulswidenmoduliertes Signal als erstes Vergleichssignal ($SIG1_{OUT}$) des Sägezahn- oder Dreieckssignals und der zweiten Eingangsspannung (U_2) anliegt und einer Glättungseinheit zugeführt ist, an dessen Ausgang das gemittelte pulswidenmodulierte Signal als Quotient der Division anliegt und als Ausgangsspannung (U_D) abgreifbar ist, **dadurch gekennzeichnet, dass** der Sägezahn- oder Dreiecksgenerator einen ersten Regler (REG1) umfasst, dem als Eingangssignale die erste Eingangsspannung (U_1) oder eine dazu proportionale Spannung und das Sägezahn- oder Dreieckssignal zugeführt sind und dessen Stellsignal ($SEG4_{OUT}$) einem zweiten Komparator (KO2) zugeführt ist, welcher das Sägezahn- oder Dreieckssignal mit dem Stellsignal ($SEG4_{OUT}$) des ersten Reglers (REG1) vergleicht und an dessen Ausgang ein zweites Vergleichssignal anliegt ($SIG2_{OUT}$), dass des Weiteren der Sägezahn- oder Dreiecksgenerator einen zweiten Regler (REG2) umfasst, an dessen Eingang das Bezugspotenzial anliegt und dem das Sägezahn- oder Dreieckssignal zugeführt ist und dessen Stellsignal ($SEG5_{OUT}$) einem dritten Komparator (KO3) zugeführt ist, welcher das Sägezahn- oder Dreieckssignal mit dem Stellsignal ($SEG5_{OUT}$) des zweiten Reglers (REG2) vergleicht und an dessen Ausgang ein drittes Vergleichssignal anliegt ($SIG3_{OUT}$) und dass das zweite und das dritte Vergleichssignal ($SIG2_{OUT}$, $SIG3_{OUT}$) einer Steuerung zugeführt sind, welche alternierend eine Ladeschaltung und eine Entladeschaltung an einen Kondensator (C) zur Bildung des Sägezahn- oder Dreieckssignals schaltet.
7. Analog Dividierer nach Anspruch 6, **dadurch gekennzeichnet, dass** dem ersten Regler (REG1) die erste Eingangsspannung (U_1) und das Sägezahn- oder Dreieckssignal zur Bildung des Stellsignals ($SEG4_{OUT}$) zugeführt sind.
8. Analog Dividierer nach Anspruch 6, **dadurch gekennzeichnet, dass** dem ersten Regler (REG1) die halbe erste Eingangsspannung (U_1) in der Weise zugeführt ist, dass die erste Eingangsspannung (U_1) über einen Spannungsteiler an den ersten Regler (REG1) geschaltet ist und dass des Weiteren dem ersten Regler (REG1) ein mittels Tiefpassfilter gemitteltes Sägezahn- oder Dreieckssignal zugeführt ist.

9. Analog Dividierer nach einem der Ansprüche 6 bis 8, **dadurch gekennzeichnet, dass** die Steuerung ein Latch (LA) umfasst, dem das zweite und dritte Vergleichssignal (SIG2_{OUT}, SIG3_{OUT}) zugeführt sind und mittels dem ein Schaltelement angesteuert ist, welches den Kondensator (C) alternierend an eine positive Stromquelle (+i1) und eine negative Stromquelle (-i2) anschaltet.
10. Analog Dividierer nach Anspruch 9, **dadurch gekennzeichnet, dass** die Stromquelle einen positiven Strom (+i1) liefert, der aus der ersten Eingangsspannung (U1) mal einem positiven Koeffizienten gebildet ist und dass die Stromsenke einen negativen Strom (-i2) liefert, der aus der ersten Eingangsspannung (U1) mal einem negativen Koeffizienten gebildet ist.
11. Analog Dividierer nach einem der Ansprüche 6 bis 9, **dadurch gekennzeichnet, dass** die Steuerung ein Latch (LA) umfasst, dem das zweite und dritte Vergleichssignal (SIG2_{OUT}, SIG3_{OUT}) zugeführt sind und mittels dem ein Schaltelement angesteuert ist, welches über einen Widerstand den Kondensator (C) alternierend an eine positive Spannungsquelle und eine negative Spannungsquelle anschaltet und dass der Widerstand und der Kondensator (C) Beschaltungselemente eines als Integrator ausgebildeten Operationsverstärkers sind, an dessen Ausgang das Sägezahn- oder Dreieckssignal anliegt.
12. Analog Dividierer nach einem der Ansprüche 6 bis 11, **dadurch gekennzeichnet, dass** das erste Vergleichssignal (SIG1_{OUT}) über einen ersten Tiefpassfilter (TPF1) einem dritten Regler (REG3) zugeführt ist, dessen Ausgang mit einem zweiten Tiefpassfilter (TPF2) verbunden ist und dass die am Ausgang des zweiten Tiefpassfilters (TPF2) anliegende Ausgangsspannung (U_D) wiederum dem dritten Regler (REG3) als Regelgröße zugeführt ist.
13. Analog Dividierer nach einem der Ansprüche 6 bis 12, **dadurch gekennzeichnet, dass** dem ersten Komparator (KO1) eine umschaltbare Referenzeinheit REF nachgeschaltet ist.

FIG 1

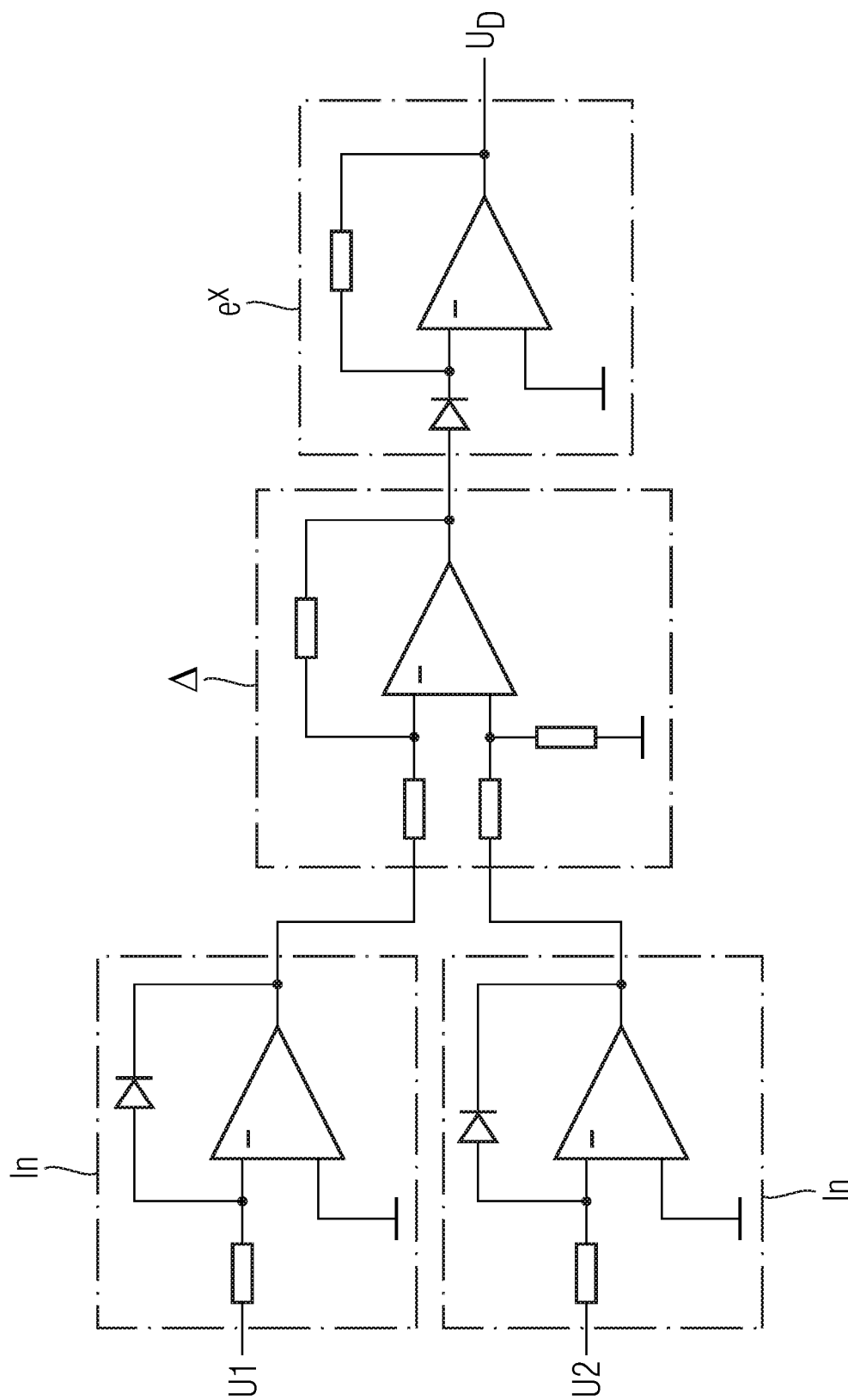


FIG 2

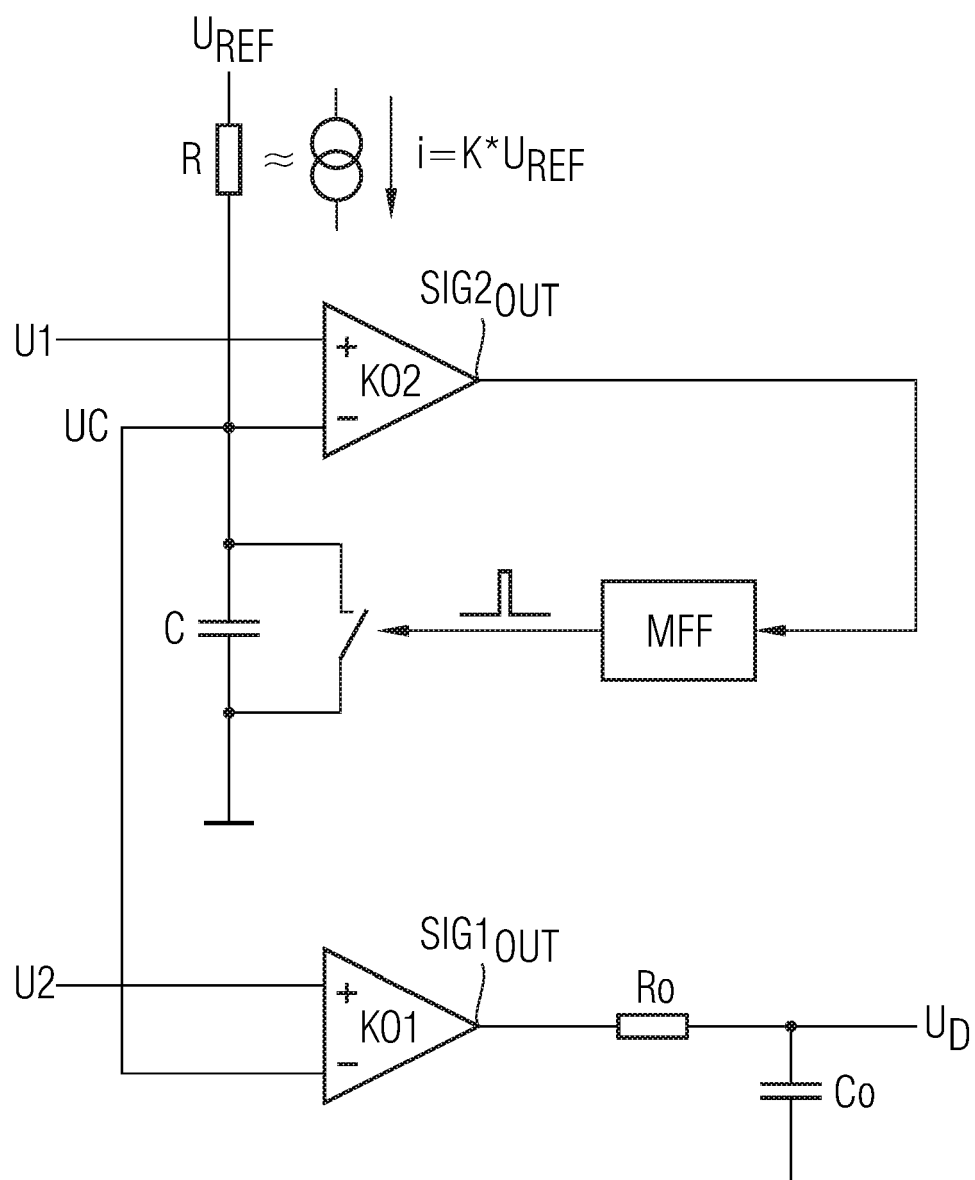


FIG 3

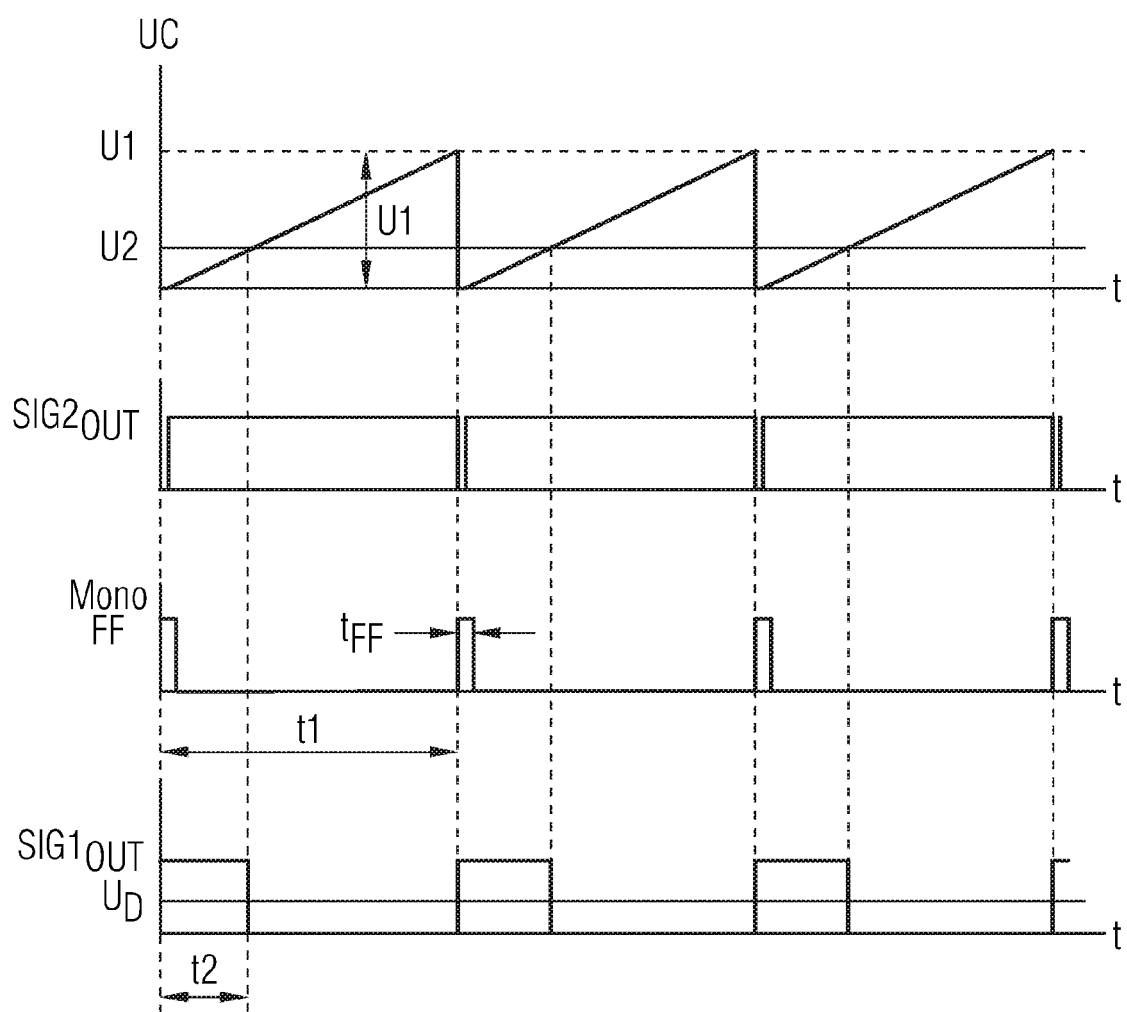


FIG 4

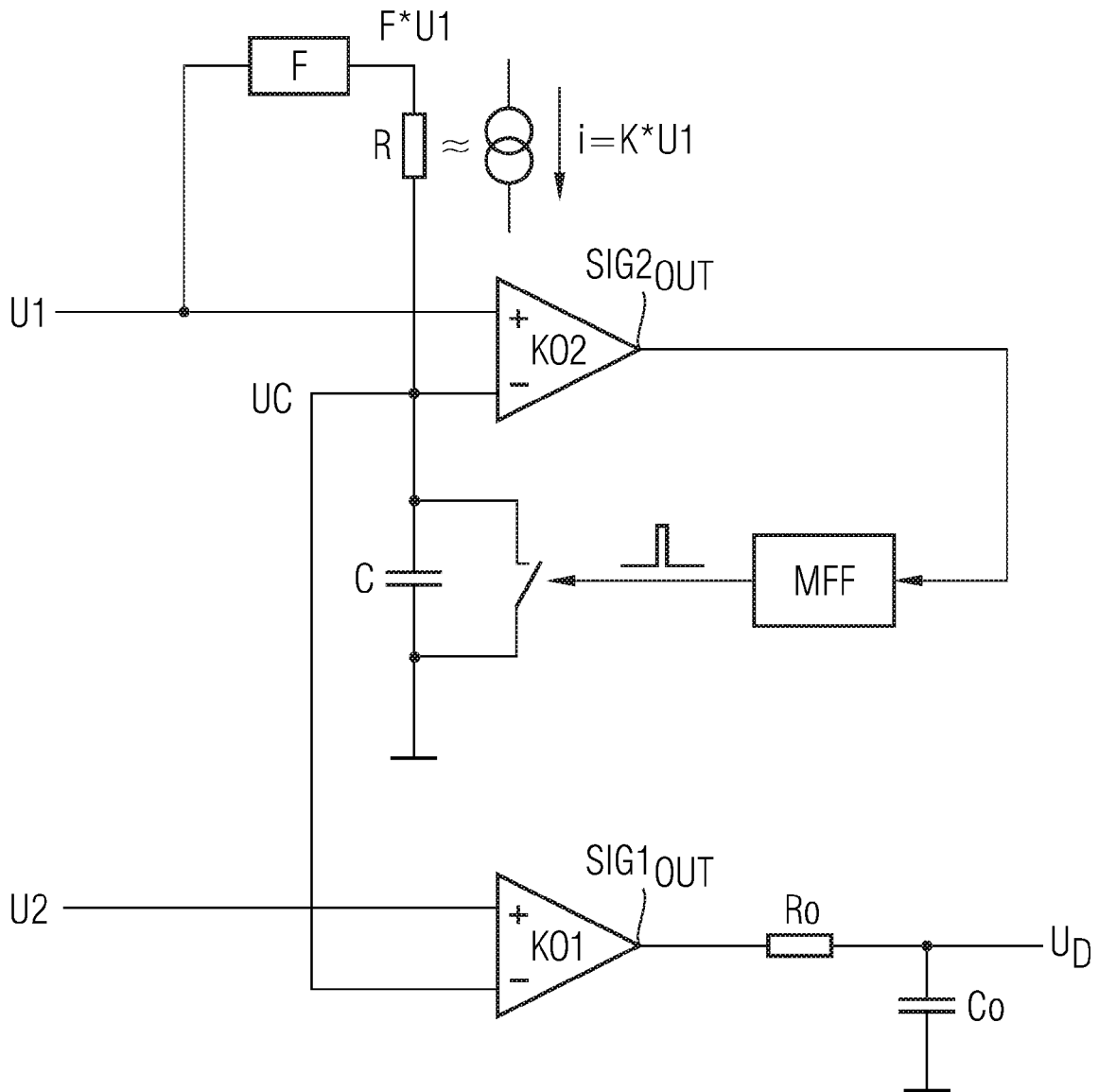


FIG 5

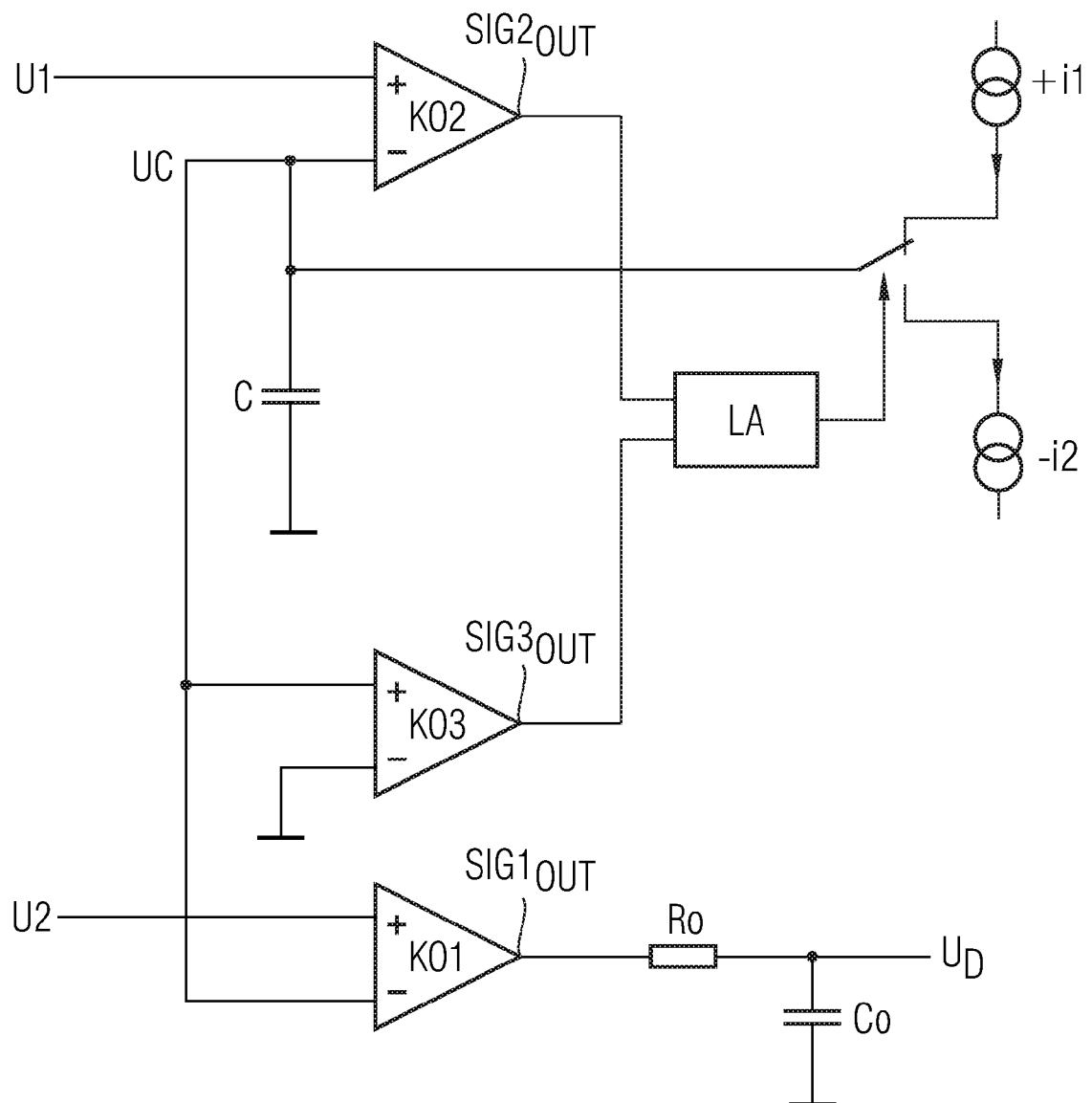


FIG 6

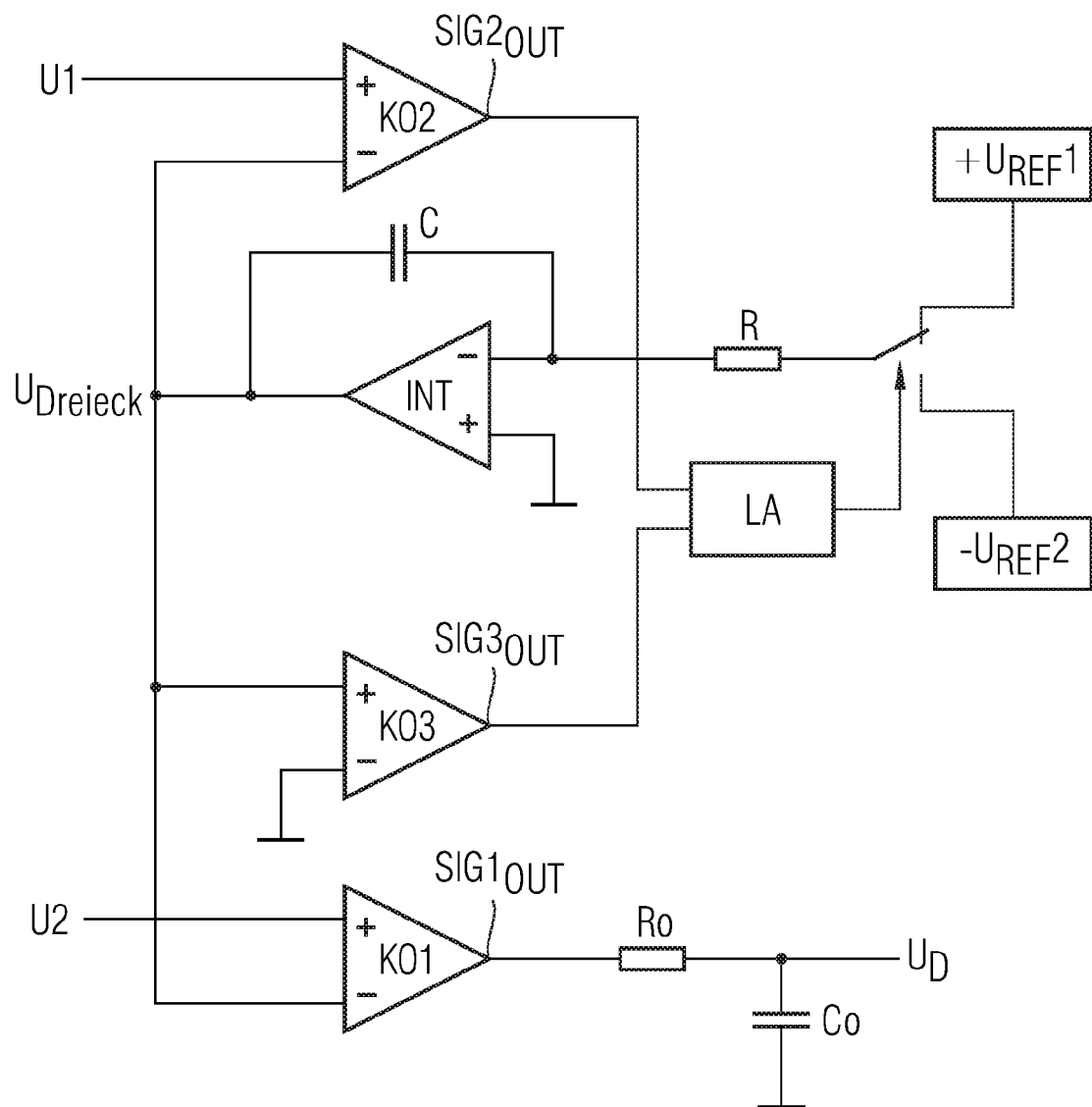


FIG 7

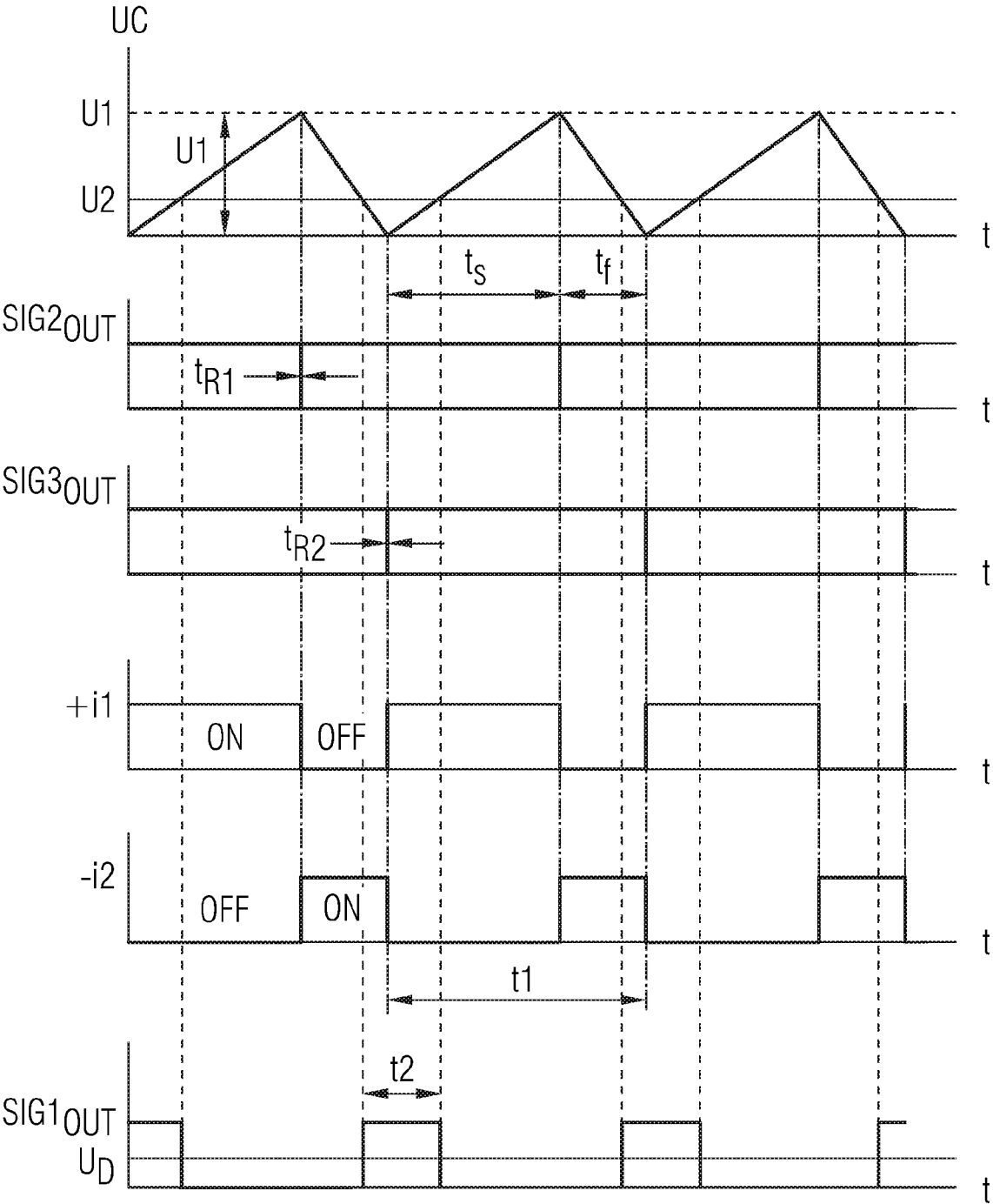


FIG 8

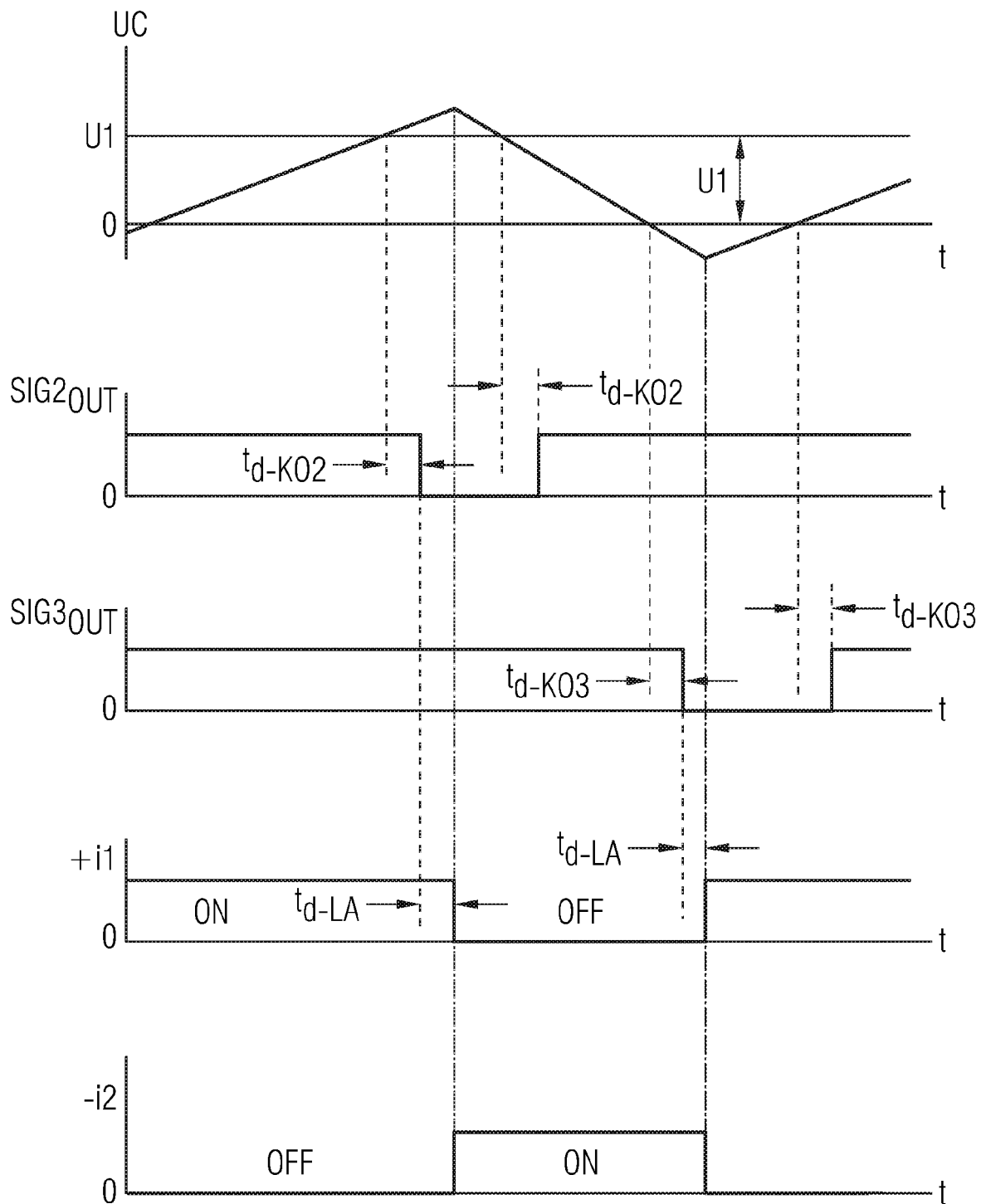
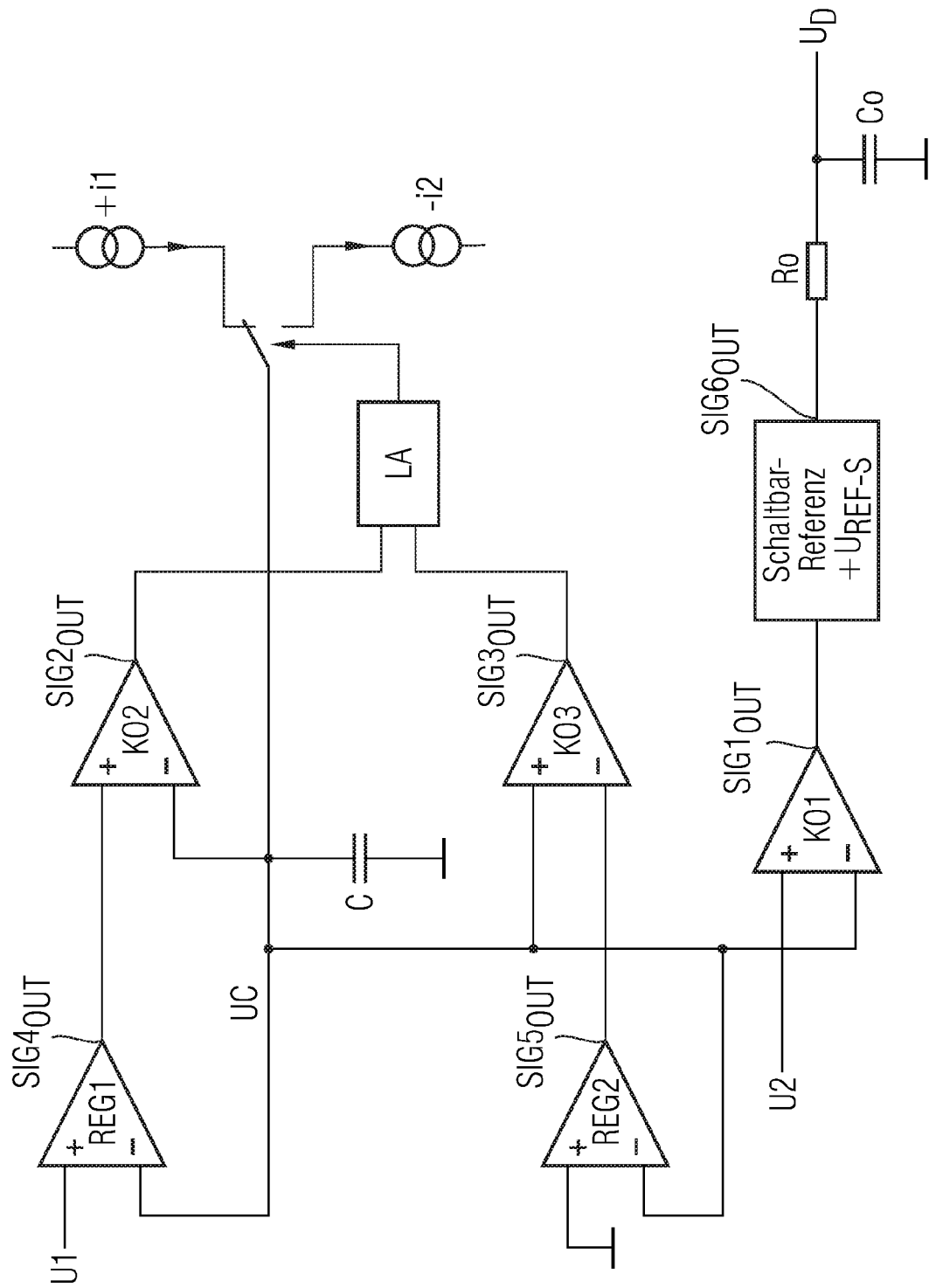


FIG 9



0
7
5
4

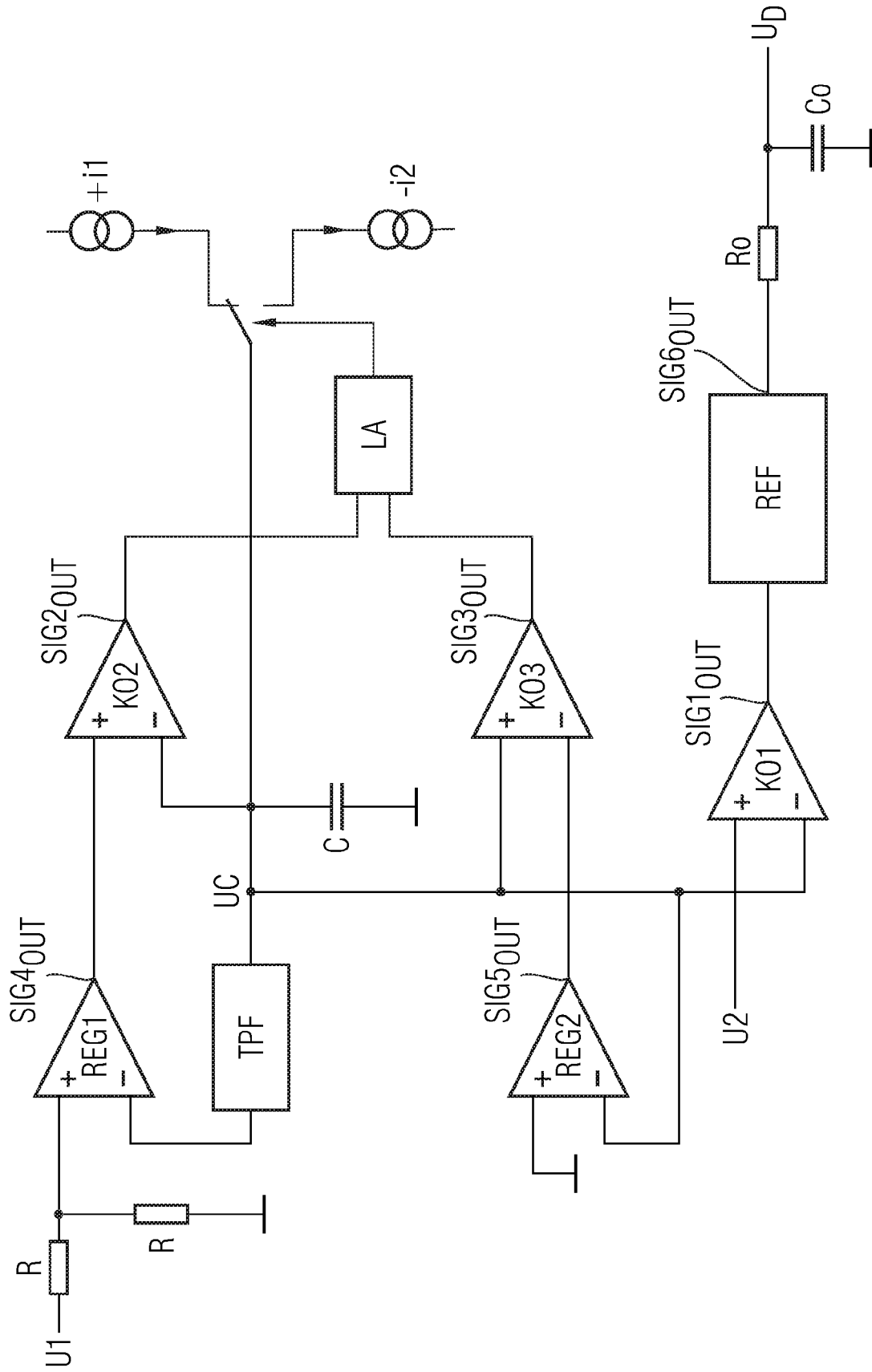


FIG 11

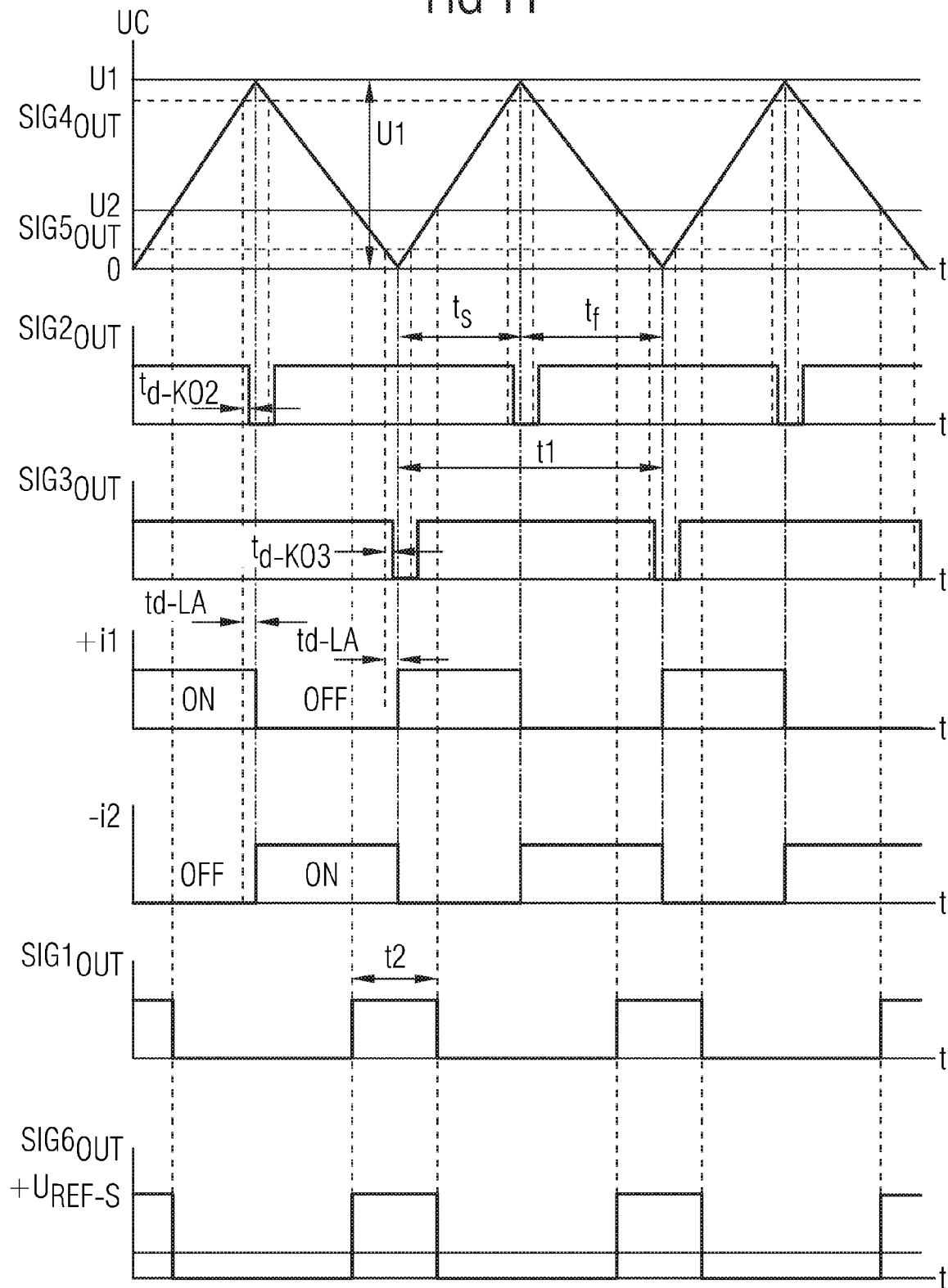


FIG 12

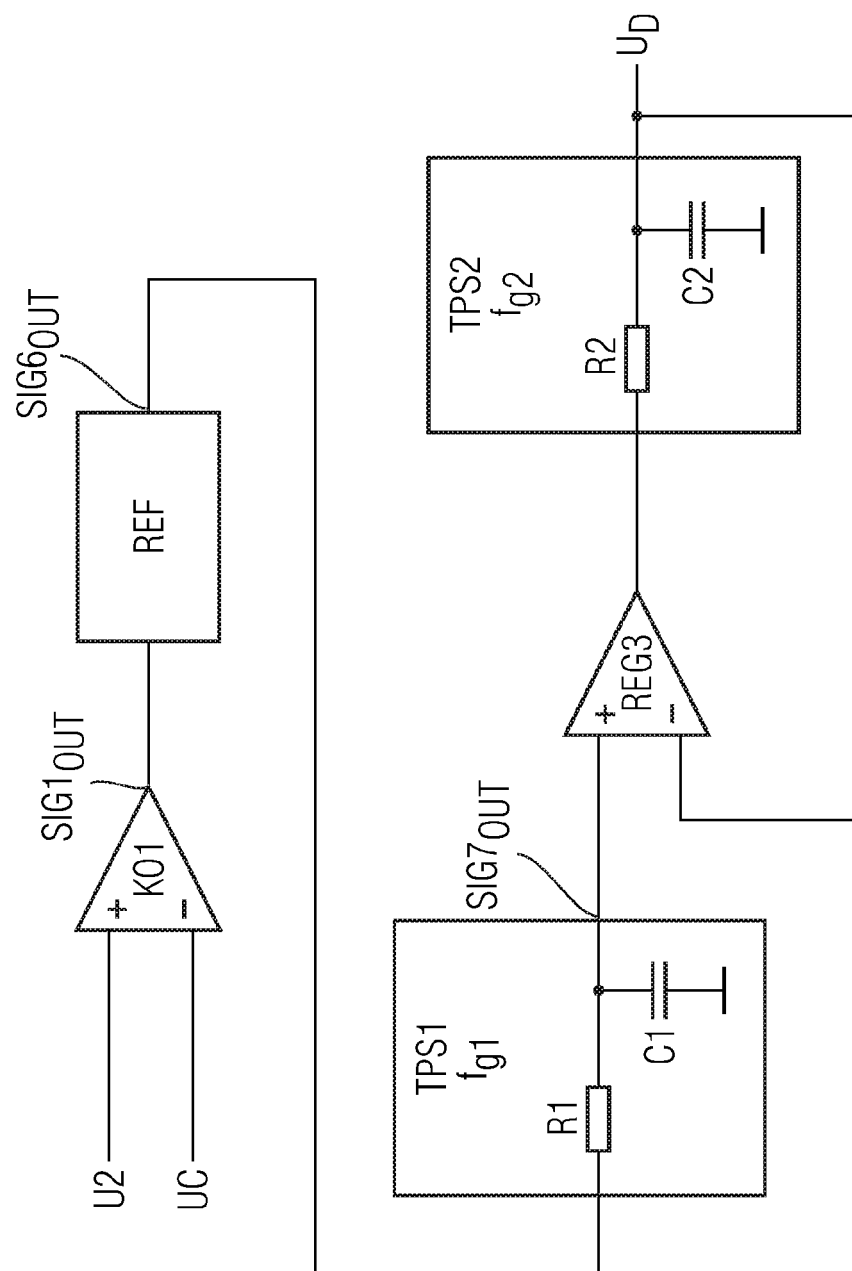
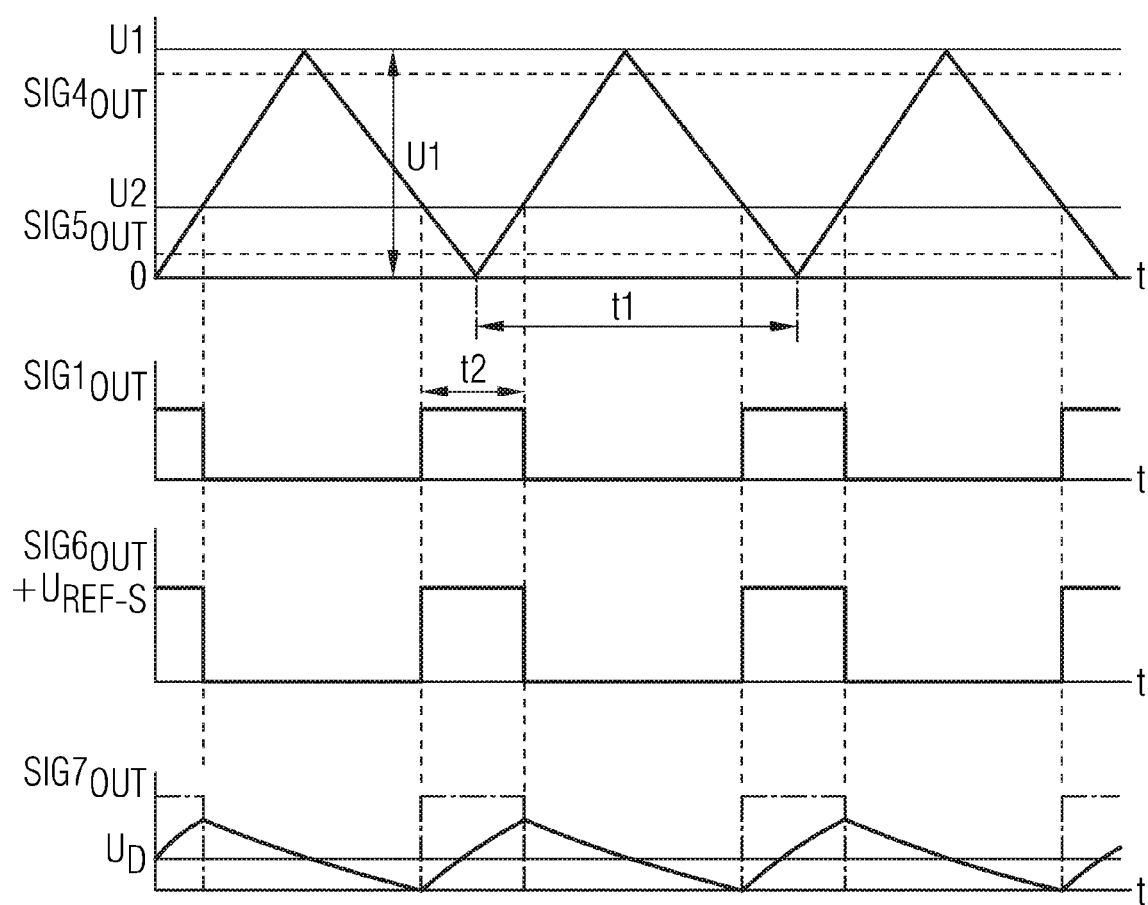


FIG 13



IN DER BESCHREIBUNG AUFGEFÜHRTE DOKUMENTE

Diese Liste der vom Anmelder aufgeführten Dokumente wurde ausschließlich zur Information des Lesers aufgenommen und ist nicht Bestandteil des europäischen Patentdokumentes. Sie wurde mit größter Sorgfalt zusammengestellt; das EPA übernimmt jedoch keinerlei Haftung für etwaige Fehler oder Auslassungen.

In der Beschreibung aufgeführte Patentdokumente

- JP 2005157721 A [0005]