

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 4 区分
 【発行日】平成 18 年 8 月 31 日 (2006.8.31)

【公開番号】特開 2001-37246 (P2001-37246A)
 【公開日】平成 13 年 2 月 9 日 (2001.2.9)
 【出願番号】特願 平 11-211659
 【国際特許分類】

H 0 2 M 7/48 (2006.01)

【F I】

H 0 2 M 7/48 R

H 0 2 M 7/48 V

【手続補正書】
 【提出日】平成 18 年 7 月 12 日 (2006.7.12)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【書類名】明細書
 【発明の名称】系統連系インバータ
 【特許請求の範囲】

【請求項 1】 直流電源と、直流電源の出力を昇圧する昇圧コンバータと、中間段コンデンサを介して前記昇圧コンバータに接続した複数のスイッチング素子と、前記複数のスイッチング素子の出力から高周波成分を除去するリアクトルと出力コンデンサと、前記リアクトルと出力コンデンサに接続した系統リレーと、前記系統リレーに接続した停電の有無を検知する停電検知手段と、前記リアクトルに流れる電流を検知する電流検出手段と、出力電圧を検知する出力電圧検知手段と、正弦波波形を示す信号を発生する正弦波発生手段と、前記正弦波発生手段の信号と、出力電圧検知手段または電流検出手段の信号とから前記複数のスイッチング素子を駆動するコンパレータとを備え、停電時は出力電圧検知信号と目標出力電圧とが一致するように前記コンパレータがヒステリシス制御を行うことにより電圧出力する系統連系インバータ。

【請求項 2】 出力電圧検知手段は、複数のスイッチング素子を形成する一方のアームのエミッタとコレクタの接続点と他方のアームのエミッタとコレクタの接続点の 2 端子間に接続した可変抵抗を有する分圧抵抗によって構成した請求項 1 に記載した系統連系インバータ。

【請求項 3】 直流電源の電圧を検知する入力電圧検知手段と、出力電圧検知手段の信号を積分する定数可変積分回路とを備え、前記定数可変積分回路の定数を入力電圧検知手段が検知する入力電圧に応じて調整する請求項 1 または 2 に記載した系統連系インバータ。

【請求項 4】 コンパレータは入力電圧検知手段が検知する入力電圧と、出力電圧検知手段が検知する出力電圧に応じてヒステリシス幅を調整する請求項 3 に記載した系統連系インバータ。

【請求項 5】 出力電流の最大値を検出する出力電流検出手段を有し、コンパレータはインバータの自立運転中に出力電流検出手段の検出値が一定値を越えた場合、正弦波発生手段が発生する正弦波信号の絶対値のピーク付近のみの振幅を一定値以下に制限する請求項 1 から 4 のいずれか 1 項に記載した系統連系インバータ。

【請求項 6】 自立運転時に自立リレーを介して出力電圧の波形を検知する出力電圧波形検知手段と、出力電圧波形検知手段が検知した波形の正弦波に対する誤差を検出する正

弦波誤差検出手段と、正弦波誤差検出手段が検出した誤差を補正する信号を発生する補正指令値発生手段とを有し、コンパレータは前記補正指令値発生手段が発生する指令値に基づいて複数のスイッチング素子を制御する請求項 1 から 5 のいずれか 1 項に記載した系統連系インバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、太陽電池、燃料電池等の直流電力を商用周波数の交流に変換して電力系統に連系する系統連系インバータに関するものである。

【0002】

【従来の技術】

図 10 は、従来使用している系統連系インバータの構成を示す接続図である。この系統連系インバータは、直流電源 1 と、昇圧コンバータ 2 と、中間段コンデンサ 3 と、ハーフブリッジインバータ 4 及び 5 と、出力から高周波リップルを除去する限流コイル 6 と、出力コンデンサ 7 とを備えている。直流電源 1 には、太陽電池或いは燃料電池を使用している。

【0003】

以上の構成で、直流電源 1 の出力を昇圧コンバータ 2 によって高周波の高電圧に変換し、ハーフブリッジインバータ 4 及び 5 が構成している 4 個のスイッチング素子によって商用周波数の正弦波交流に変換して、限流コイル 6 と出力コンデンサ 7 を介して系統 10 に出力しているものである。

【0004】

【発明が解決しようとする課題】

前記従来の構成の系統連系インバータは、系統の電源が停電したときに、商用周波数の正弦波の電圧を供給することが困難であるという課題を有している。

【0005】

すなわち、従来の構成の系統連系インバータは、限流コイル 6 に流れる電流を電流検出手段 12 によって検出し、この電流の波形を正弦波発生手段 13 が発生する正弦波信号と比較して、この差を補正するように 4 個のスイッチング素子を駆動しているものである。停電時には、限流コイル 6 に流れる電流が停電時に接続されている負荷の種類によって大きく変動するために、前記正弦波信号との差を補正するという制御を実行することは困難となるものである。

【0006】

【課題を解決するための手段】

本発明は、停電時は出力電圧検知信号と目標出力電圧とが一致するようにコンパレータがヒステリシス制御を行うことにより電圧出力することで、自立運転時にも正確な正弦波の電圧を供給できる系統連系インバータとしている。

【0007】

【発明の実施の形態】

請求項 1 に記載した発明は、直流電源と、直流電源の出力を昇圧する昇圧コンバータと、中間段コンデンサを介して前記昇圧コンバータに接続した複数のスイッチング素子と、前記複数のスイッチング素子の出力から高周波成分を除去するリアクトルと出力コンデンサと、前記リアクトルと出力コンデンサに接続した系統リレーと、前記系統リレーに接続した停電の有無を検知する停電検知手段と、前記リアクトルに流れる電流を検知する電流検出手段と、出力電圧を検知する出力電圧検知手段と、正弦波波形を示す信号を発生する正弦波発生手段と、前記正弦波発生手段の信号と、出力電圧検知手段または電流検出手段の信号とから前記複数のスイッチング素子を駆動するコンパレータとを備え、停電時は出力電圧検知信号と目標出力電圧とが一致するように前記コンパレータがヒステリシス制御を行うことにより電圧出力することで、自立運転時にも正確な正弦波の電圧を供給できる系統連系インバータとしている。

【 0 0 0 8 】

請求項 2 に記載した発明は、出力電圧検知手段が可変抵抗を有するものとして、分圧比を補正するようにして、特に直流成分や偶数次の歪み成分を低減した正弦波形の電流を供給できる系統連系インバータとしている。

【 0 0 0 9 】

請求項 3 に記載した発明は、入力電圧検知手段が検知する入力電圧が高いときは積分時定数を大きくして動作周波数を下げ、入力電圧が低いときは積分時定数を小さくして動作周波数を上げて、入力電圧の変化に対して動作周波数の範囲を限定でき、小型化が可能な系統連系インバータとしている。

【 0 0 1 0 】

請求項 4 に記載した発明は、複数のスイッチング素子を駆動するコンパレータが、入力電圧検知手段が検知する入力電圧と、出力電圧検知手段が検知する出力電圧に応じてヒステリシス幅を調整するようにして、インバータの損失を低く抑え、小型化が可能な系統連系インバータとしている。

【 0 0 1 1 】

請求項 5 に記載した発明は、出力電流の最大値を検出する出力電流検出手段を備えて、インバータの自立運転中に出力電流検出手段の検出値が一定値を越えた場合には、正弦波発生手段が発生する正弦波信号の絶対値のピーク付近のみの振幅を一定値以下に制限するように制御して、モータ負荷が接続されても素子が破壊することなく安全に動作できる系統連系インバータとしている。

【 0 0 1 2 】

請求項 6 に記載した発明は、出力電圧波形検知手段が検知した波形の正弦波に対する誤差を検出する正弦波誤差検出手段が検出した誤差を補正指令値発生手段が補正するようにして、確実に正弦波形の出力を得ることができ、接続している機器が誤動作を起こす可能性の低い系統連系インバータとしている。

【 0 0 1 3 】

【 実施例 】

(実施例 1)

以下、本発明の第 1 の実施例について説明する。図 1 は本実施例の構成を示す回路図である。本実施例の系統連系インバータは、太陽電池や燃料電池によって構成している直流電源 1 を入力として使用し、この直流電源 1 から供給された電力を商用周波数の交流に変換して、自立リレー 8 または系統リレー 9 を介して系統 10 に出力するものである。

【 0 0 1 4 】

直流電源 1 に接続している昇圧コンバータ 2 は、直流電源 1 から供給された電圧を系統 10 の電圧より高い電圧に高周波で昇圧する。昇圧コンバータ 2 に接続している中間段コンデンサ 3 は、数 100 μ F 程度以下の容量を有するものを使用しており、昇圧された電圧に含まれている高周波成分を除去するように作用する。2 個のスイッチング素子 Q 1、Q 2 によって構成しているハーフブリッジインバータ 4 は、前記中間段コンデンサ 3 から入力されている入力電圧が系統 10 の電圧に比べて低い領域ではこの電圧を降圧するように作用する。また、2 個のスイッチング素子 Q 3、Q 4 によって構成しているハーフブリッジインバータ 5 は、前記ハーフブリッジインバータ 4 が出力する出力電圧の極性を正負に切り換えるように作用している。限流コイル 6 は、一般にリアクトルと称されており、出力コンデンサ 7 と共に、前記ハーフブリッジインバータ 4、5 が出力している電圧から高周波リップルを除去するように作用しているものである。

【 0 0 1 5 】

前記 4 個のスイッチング素子 Q 1、Q 2、Q 3、Q 4 は、コンパレータ 14 によって制御されている。コンパレータ 14 は、正弦波発生手段 13 が発生している正弦波信号に所定の大きさのヒステリシス幅を設けた基準値を有しており、この基準値と前記限流コイル 6 に流れる出力電流を検出している電流検出手段 12 の信号と、前記 4 個のスイッチング素子 Q 1、Q 2、Q 3、Q 4 の出力電圧を検知する出力電圧検知手段の信号のどちらかと

を比較して、4個のスイッチング素子Q1、Q2、Q3、Q4を制御している。

【0016】

前記出力電圧検知手段は、4個のスイッチング素子Q1、Q2、Q3、Q4を形成する一方のアームQ1、Q2のエミッタとコレクタの接続点に接続している第2の分圧回路17と、他方のアームQ3、Q4のエミッタとコレクタの接続点に接続している第1の分圧回路16と、減算回路18と、積分回路19とによって構成している。第1の分圧回路16は、抵抗R1と抵抗R2によって、第2の分圧回路17は抵抗R3と抵抗R4によって構成している。減算回路18は、オペアンプ18aと、マイナス側入力抵抗18bと、プラス側入力抵抗18cと、帰還抵抗18dによって構成している。積分回路19は、コンデンサ19aと抵抗19bによって構成している。

【0017】

以下、本実施例の系統連系インバータの動作について説明する。中間段コンデンサ3の電圧は、系統10に電力を注入するために、系統10の電圧より少なくとも数10V程度は高くなければならない。このため、4個のスイッチング素子Q1、Q2、Q3、Q4を制御するコンパレータ14は、図2に示しているような制御を実行している。図2と図3は、各瞬時での4個のスイッチング素子Q1、Q2、Q3、Q4を駆動する駆動波形を示しており、図2は通常時の特性を、図3は停電時の特性を示している。

【0018】

系統が正常状態である場合、すなわち停電していない状態での動作を系統連系時の動作と称する。系統連系時には、系統リレー9はオン、自立リレー8はオフである。そこで、例えば入力電圧がDC200Vで系統10の電圧がAC200Vであるとする、ハーフブリッジインバータ4とハーフブリッジインバータ5を構成しているスイッチング素子Q1、Q2、Q3、Q4は系統電圧の絶対値が入力電圧よりも大きい期間(4~5ms)は、商用周波数の極性切換動作を行っている。この極性切換動作によって、限流コイル6に流れる出力電流は正弦波となっているものである。すなわち、コンパレータ14は出力電流が正弦波となるように、昇圧コンバータ2のスイッチング素子QB、QFを制御している。また、入力電圧が系統電圧の絶対値以上である期間は昇圧コンバータ2の駆動を停止し、前記ハーフブリッジインバータ4を構成しているスイッチング素子Q1、Q2を高周波スイッチング動作させて、限流コイル6に流れる電流の低周波成分が正弦波になるように制御している。なお、Q4がオンの時で、Q1がオンQ2がオフの場合には、限流コイル6には中間段コンデンサ3の両端の電圧VMから出力コンデンサ7の両端の電圧VOを減じたVM-VOが印加される。このため、Q4がオンの時は限流コイル6に流れる電流が増加する。また、Q1がオフ、Q2がオンの時は-VOが印加されるので、限流コイル6に流れる電流は減少する。

【0019】

電流検出手段12は限流コイル6に流れる電流を検出してコンパレータ14に伝達している。コンパレータ14は、この電流信号を正弦波発生手段13が出力している上限と下限を有する正弦波信号の指令値と比較しており、限流コイル6に流れている電流が前記指令値の上限を越えた時には、Q1をオフQ2をオンに、また下限を下回った時はQ1をオンQ2をオフに制御している。この制御は高速で行われるものであり、この結果スイッチング素子Q1とQ2とは高周波でオンオフを繰り返すものである。

【0020】

系統に停電が発生したときは、停電検知手段11が停電であることを検知する。このときは、コンパレータ14は自立運転を実行するものである。すなわち、コンパレータ14は停電検知手段11からの信号で停電を検知すると、コンパレータ14に入力する信号を前記電流検出手段12の信号から、ハーフブリッジインバータ4とハーフブリッジインバータ5の出力電圧V_{io}に切り換える。停電の時は、系統リレー9はオフ、自立リレー8はオンとなり、ハーフブリッジインバータ4とハーフブリッジインバータ5の出力は自立リレー8を介して出力される。このとき、ハーフブリッジインバータ4の出力は第1の分圧回路16で、ハーフブリッジインバータ5の出力は第2の分圧回路17でそれぞれ分圧

されている。この分圧信号は、減算回路 18 に伝達されている。オペアンプ 18a は、前記減算回路 18 から伝達される信号によってマイナス側端子を基準電位とした V_{io} 信号を検出する。例えば、Q4 オンの極性において Q1 がオン Q2 がオフした場合、 V_{io} = 入力電圧、Q1 がオフ Q2 がオンした時は $V_{io} = 0$ といったパルス列となる。さらにこの V_{io} 信号は抵抗 19b とコンデンサ 19a からなる積分回路 19 で一定のリップルをもつ電圧信号に変換される。前記電圧検出手段が検出したインバータの出力電圧 V_{io} を示す信号は、正弦波発生手段 13 から出力される上限と下限を有する正弦波状の指令値とコンパレータ 14 で比較される。コンパレータ 14 は、インバータの出力電圧 V_{io} の積分値が前記指令値の上限を越えた時には、Q1 はオフ、Q2 をオンとするように制御する。また、下限を下回った時は、Q1 をオン、Q2 をオフとするように制御する。このため、ハーフブリッジインバータ 4 とハーフブリッジインバータ 5 の出力は、系統が正常状態である場合と同様に正弦波形の電流を出力するものである。

【0021】

以上のように本実施例によれば、限流コイル 6 に流れる電流を、上限と下限をもつ正弦波状の指令値と比較して、スイッチング素子 Q1、Q2、Q3、Q4 のオンオフを決定するようにして、系統 10 が停電した時には限流コイル 6 を流れる電流の代わりにインバータ出力電圧を積分値として検出し、これを系統連系時と同様に上限と下限をもつ正弦波状の指令値と比較してスイッチング素子 Q1、Q2、Q3、Q4 のオンオフを決定するようにして、制御回路の大部分を従来の制御回路と共用化でき、安価な構成で自立運転時にも正確な正弦波の電圧を供給できる系統連系インバータを実現するものである。

【0022】

なお本実施例では、インバータは高周波スイッチングを行うハーフブリッジインバータの出力を商用周波数で切り換える動作としたが、4 石が全て高周波スイッチングする構成でも同様であることは言うまでもない。

【0023】

(実施例 2)

続いて本発明の第 2 の実施例について説明する。図 4 は本実施例の構成を示す回路図である。本実施例では、第 1 の分圧回路 26 を構成している抵抗 R2 を可変抵抗としているものである。このため、第 1 の分圧回路 26 の定数が可変できるものである。

【0024】

以下本実施例の動作について説明する。系統連系時の動作は、第 1 の実施例と同様であり、説明を省略する。停電時の動作について以下に説明する。ハーフブリッジインバータ 5 の高周波出力は、オペアンプ 18a のマイナス側電位を基準（ゼロ）として、第 1 の分圧回路 26 を介して検出される。ここでスイッチング素子 Q1 がオン、スイッチング素子 Q2 がオフのときは、ハーフブリッジインバータ 4 の高周波出力は $V_M \times (R_2 \times (R_1 + R_2))$ となる。また、Q1 がオフ、Q2 がオンの時はハーフブリッジインバータ 4 の高周波出力はゼロである。また、ハーフブリッジインバータ 5 の高周波出力は第 2 の分圧回路 17 によって検知されている。第 2 の分圧回路 17 が出力する低周波波形は、スイッチング素子 Q3 がオン、スイッチング素子 Q4 がオフの時は、 $V_M \times (R_4 \times (R_3 + R_4))$ である。また、Q3 がオフ、Q4 がオンの時はゼロである。この 2 波形は減算回路 18 で差をとることによって、 V_M 、ゼロ、 $-V_M$ の振幅を持つ高周波パルス列となる。得られたパルス列は、積分回路 19 で一定のリップルを持つ正弦波に変換される。コンパレータ 14 は、この変換された値を使用して、ハーフブリッジインバータ 4 の高周波出力が正弦波発生手段 13 が発生している正弦波信号の上限と下限の間に位置するように、スイッチング素子 Q1 とスイッチング素子 Q2 のオンオフ時間を制御する。なおハーフブリッジインバータ 4 とハーフブリッジインバータ 5 のスイッチング制御は、短絡を防止するためにスイッチング素子 Q1 とスイッチング素子 Q2、スイッチング素子 Q3 とスイッチング素子 Q4 が同時に導通しないようにしているものである。つまり、前記 2 個のスイッチング素子が共にオフとなっているデッドタイムを設定しているものである。また、このときスイッチング素子にはバラツキがあるため、第 1 の分圧回路 16 の分圧比と、第 2 の

分圧回路 27 の分圧比を同一に設定すると、正弦波の正側の波形と正弦波の負側の波形とが若干異なる場合がある。このため本実施例では、第 1 の分圧回路 26 に可変抵抗 R2 を使用して分圧比を変えるようにしているものである。このため、全てのバラツキを吸収でき、出力電圧の直流成分、偶数次の歪みを最小にした正弦波形の電流を供給できるものである。

【0025】

以上のように本実施例によれば、2 つの分圧回路 17, 26 の片方のみの分圧比を可変抵抗 R2 を使用するという簡素な構成とすることによって、ハーフブリッジインバータ 4 とハーフブリッジインバータ 5 の上下のスイッチング素子のバラツキやデッドタイムに起因する歪み波成分を補正でき、特に直流成分や偶数次の歪み成分を低減した正弦波形の電流を供給できる系統連系インバータを実現するものである。

【0026】

(実施例 3)

続いて本発明の第 3 の実施例について説明する。図 5 は本実施例の構成を示す回路図である。本実施例では、直流電源 1 の電圧を検知する入力電圧検知手段 30 と、出力電圧検知手段の信号を積分する定数可変積分回路 29 とを備えている。

【0027】

以下本実施例の動作について説明する。図 6 は、本実施例のコンパレータ 14 の動作を示す特性図である。限流コイル 6 に流れるインバータの出力電流 i_{L1} は、正弦波発生手段 13 の正弦波信号の指令値の上限と下限のヒステリシス幅を V_{H1} 、中間段コンデンサ 3 の電圧を V_M 、インバータの出力電圧を V_o 、限流コイル 6 のインダクタンスを L_1 とすると、 $(V_M - V_o) / L_1$ の傾きで電流が増加する。ここで V_M や V_o が変化した場合、前記ヒステリシス幅を V_{H2} に変化させた場合には、前記 i_{L1} を一定に保った上で、オン時間を一定に保つことが可能となる。例えば、 V_M が増加したときはヒステリシス幅を広げ、 V_M が減少した時はヒステリシス幅を小さくする。また、オフ時間は V_o / L_1 の傾きで電流が減少するため、オフ時間もほぼ一定とすることができる。

【0028】

以上の様に本実施例によれば、入力電圧が低いときは積分時定数を小さくして動作周波数を上げて、入力電圧の変化に対して動作周波数の範囲を限定でき、小型化が可能な系統連系インバータを実現するものである。

【0029】

(実施例 4)

続いて本発明の第 4 の実施例について説明する。図 7 は本実施例の構成を示す回路図である。本実施例では、抵抗、コンデンサ等で構成したヒステリシス幅可変手段 31 を設けている。

【0030】

ヒステリシス幅を一定とした場合は、系統電圧のゼロ付近では中間段コンデンサ 3 の電圧と出力電圧との差が大きくなるものである。このため、スイッチング素子のオン時間が同一であっても、限流コイル 6 に流れる出力電流は大きくなって、系統電圧のピーク付近に比べて動作周波数が大きくなるものである。つまり、出力電流の波形は正弦波から歪んだ形となるものである。そこで本実施例では、ヒステリシス幅可変手段 31 を動作させて、ヒステリシス幅をピークでは小さく、ゼロ付近では大きくするように調整しているものである。この結果、インバータの動作周波数は、正弦波の一周期内を通じて一定となるものである。

【0031】

以上の様に本実施例によれば、出力電圧検知手段が検知する出力電圧に応じてヒステリシス幅を調整する構成として、インバータの損失を低く抑え、小型化が可能な系統連系インバータを実現するものである。

【0032】

(実施例 5)

続いて、本発明の第 5 の実施例について説明する。図 8 は、本実施例の構成を示す回路図である。本実施例では、限流コイル電流ピークホールド回路 5 1 と、振幅制限手段 5 2 を設けているものである。

【 0 0 3 3 】

以下本実施例の動作について説明する。例えば本実施例の系統連系インバータの負荷として、出力が 1 k W 程度の掃除機が接続されている場合を考える。この場合は、系統連系インバータの負荷は掃除機のモータとなる。モータの場合には、起動時の起動電流は定格の 1 0 倍以上となるものである。つまり、起動電流のピーク値は 1 0 0 A 程度に達するものである。このような大電流が瞬間的であったとしても、回路に流れるとインバータに使用しているスイッチング素子が破壊されてしまうものである。そこで本実施例では、限流コイル電流ピークホールド回路 5 1 と、振幅制限手段 5 2 を使用しているものである。つまり、限流コイル電流ピークホールド回路 5 1 を使用して、限流コイル 6 に流れる電流が一定値を超えると、この瞬間の正弦波発生手段 1 3 のピーク値をホールドして、振幅制限手段 5 2 を使用してコンパレータ 1 4 の信号の振幅を所定値以内に制限するものである。このため、インバータの出力電流は所定のピーク値以内に制限されて、使用しているスイッチング素子を保護できるものである。

【 0 0 3 4 】

(実施例 6)

次に本発明の第 6 の実施例について説明する。図 9 は本実施例の構成を示す回路図である。本実施例では、自立運転時に自立リレー 8 を介して出力する系統連系インバータの出力電圧の波形を観測する出力電圧波形検出手段 6 1 と、この波形を理想の正弦波形と比較して逐次その差を検出する正弦波誤差検出手段 6 2 と、正弦波誤差検出手段 6 2 の信号に基づいて指令値を補正する指令値補正手段 6 3 と、補正指令値発生手段 6 4 とを備えている。

【 0 0 3 5 】

以下本実施例の動作について説明する。出力電圧または出力電流の小さい部分では、ハーフブリッジコンバータ 4 を構成するスイッチング素子 Q 1、Q 2 のオン時間を短くする必要がある。このため、コンパレータ 1 4 がスイッチング素子 Q 1、スイッチング素子 Q 2 をオンするためのパルス信号は、最小パルス幅を下回った場合にはすべて 0 となる。従って、特に出力電圧が低い部分では、換言すればゼロ点付近では出力電圧が 0 となる期間が発生するものである。すなわち、ゼロ点付近では出力電圧の波形が歪むものである。そこで本実施例では、前記しているように出力電圧波形検出手段 6 1 と、この波形を理想の正弦波形と比較して逐次その差を検出する正弦波誤差検出手段 6 2 とを使用して、商用周波数の一周期間の誤差信号を保持しておいて、一周後の出力電圧の指令値に対して誤差が負となる部分は出力電圧指令値を増加させるように補正する。また、誤差が正となる部分は出力電圧指令値を減少させる補正を行っているものである。

【 0 0 3 6 】

以上のように本実施例によれば、出力電圧の補正手段を追加することによって、出力電圧の歪みの少ない正弦波の出力電圧または出力電流を供給できるものである。従って接続している機器が誤動作を起こす可能性が低いものである。また、商用周波数の 1 周期遅れでフィードバック制御を実行しているため、インバータが発振しにくく、動作の安定した系統連系インバータを実現するものである。

【 0 0 3 7 】

【 発明の効果 】

本発明によれば、自立運転時にも正確な正弦波の電圧を供給できる系統連系インバータを実現するものである。

【 図面の簡単な説明 】

【 図 1 】

本発明の第 1 の実施例である系統連系インバータの構成を示す回路図

【 図 2 】

同、系統連系時の各部の動作を示す波形図

【図 3】

同、停電時の各部の動作を示す波形図

【図 4】

本発明の第 2 の実施例である系統連系インバータの構成を示す回路図

【図 5】

本発明の第 3 の実施例である系統連系インバータの構成を示す回路図

【図 6】

同、コンパレータの動作を示す説明図

【図 7】

本発明の第 4 の実施例である系統連系インバータの構成を示す回路図

【図 8】

本発明の第 5 の実施例である系統連系インバータの構成を示す回路図

【図 9】

本発明の第 6 の実施例である系統連系インバータの構成を示す回路図

【図 10】

従来の系統連系インバータの構成を示す回路図

【符号の説明】

- 1 入力電源
- 2 昇圧コンバータ
- 3 中間段コンデンサ
- 4 ハーフブリッジインバータ
- 5 ハーフブリッジインバータ
- 6 限流コイル
- 7 出力コンデンサ
- 8 自立リレー
- 9 系統リレー
- 10 系統
- 11 停電検知手段
- 12 電流検出手段
- 13 正弦波発生手段
- 14 コンパレータ
- 15 検知信号切換手段
- 16 第 1 の分圧回路
- 17 第 2 の分圧回路
- 18 減算回路
- 19 積分回路
- 26 第 1 の分圧回路
- 29 定数可変積分回路
- 30 入力電圧検知手段
- 31 ヒステリシス幅可変手段
- 51 限流コイル電流ピークホールド回路
- 52 振幅制限手段
- 61 出力電圧波形検出手段
- 62 正弦波誤差検出手段
- 63 指令値補正手段
- 64 補正指令値発生手段