



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I853953 B

(45)公告日：中華民國 113 (2024) 年 09 月 01 日

(21)申請案號：109120518 (22)申請日：中華民國 109 (2020) 年 06 月 18 日

(51)Int. Cl. : H01L27/14 (2006.01) H04N25/00 (2023.01)

(30)優先權：2019/06/26 日本 2019-119127

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：平松克規 HIRAMATSU, KATSUNORI (JP)；岡本晋太郎 OKAMOTO, SHINTARO (JP)；北野良昭 KITANO, YOSHIAKI (JP)；佐藤信也 SATO, SHINYA (JP)；前田雄也 MAEDA, YUYA (JP)

(74)代理人：陳長文

(56)參考文獻：

JP	2015-32687A	US	2015/0035029A1
US	2017/0125473A1	US	2017/0207259A1
US	2018/0090534A1		

審查人員：陳融詳

申請專利範圍項數：5 項 圖式數：89 共 223 頁

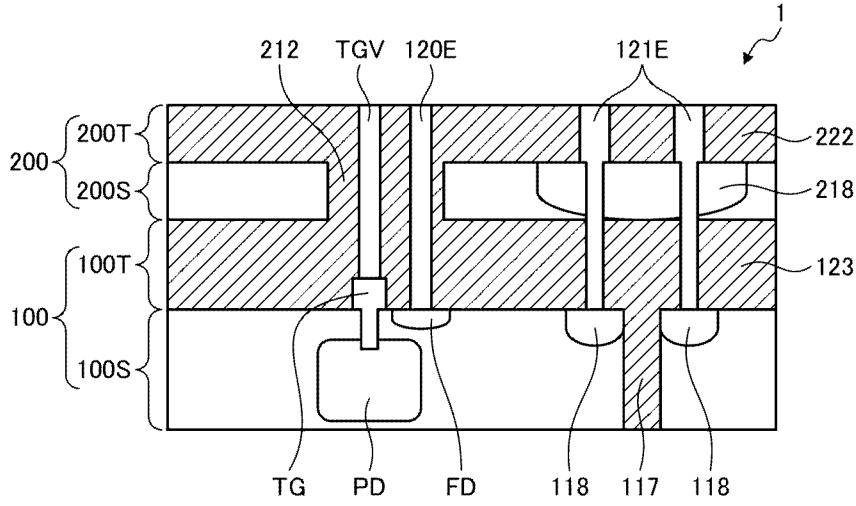
(54)名稱

攝像裝置

(57)摘要

本發明之實施形態之攝像裝置具有：第 1 半導體基板(100)，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；及第 2 半導體基板(200)，其設置有讀出電路部，該讀出電路部介隔第 1 層間絕緣膜設置於上述第 1 半導體基板(100)上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號。

指定代表圖：



【圖48】

符號簡單說明：

1:攝像裝置

100:基板

100S:半導體層

100T:配線層

117:像素分離部

118:VSS 接點區域

120E,121E:貫通電極

123:層間絕緣膜

212:絕緣區域

218:VSS 接點區域

222:層間絕緣膜

200:基板

200S:半導體層

200T:配線層

FD:浮動擴散部

PD:光電二極體

TG:傳輸閘極

TGV:貫通電極



公告本

I853953

【發明摘要】

【中文發明名稱】

攝像裝置

【中文】

本發明之實施形態之攝像裝置具有：第1半導體基板(100)，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；及第2半導體基板(200)，其設置有讀出電路部，該讀出電路部介隔第1層間絕緣膜設置於上述第1半導體基板(100)上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號。

【指定代表圖】

圖48

【代表圖之符號簡單說明】

1:攝像裝置

100:基板

100S:半導體層

100T:配線層

117:像素分離部

118:VSS接點區域

120E,121E:貫通電極

123:層間絕緣膜

212:絕緣區域

218:VSS接點區域

222:層間絕緣膜

200:基板

200S:半導體層

200T:配線層

FD:浮動擴散部

PD:光電二極體

TG:傳輸閘極

TGV:貫通電極

【發明說明書】

【中文發明名稱】

攝像裝置

【技術領域】

【0001】

本發明係關於一種攝像裝置。

【先前技術】

【0002】

先前，二維構造之攝像裝置的單位像素之面積之微細化可藉由導入微細程序及提高安裝密度來實現。近年來，為了實現攝像裝置之進一步之小型化及像素之高密度化，開發了一種三維構造之攝像裝置。於三維構造之攝像裝置中，例如具有複數個感測像素之半導體基板與具有對利用各感測像素獲得之信號進行處理之信號處理電路之半導體基板相互積層。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2010-245506號公報

【發明內容】

[發明所欲解決之問題]

【0004】

然，於三維構造之攝像裝置中，當積層3層半導體晶片時，無法將所有半導體基板於表面側之面彼此貼合。於隨意地積層3層半導體基板時，可能會因將半導體基板彼此電性連接之構造，而導致晶片尺寸變大或妨礙

單位像素之面積之微細化。因此，較理想的是提供一種晶片尺寸與以往相同，且不妨礙單位像素之面積之微細化的3層構造之攝像裝置。因此，本發明中提出一種晶片尺寸與以往相同，且不妨礙單位像素之面積之微細化的3層構造之攝像裝置。

[解決問題之技術手段]

【0005】

根據本發明，提供一種攝像裝置，其具備：第1半導體基板，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；第2半導體基板，其設置有讀出電路部，該讀出電路部介隔第1層間絕緣膜設置於上述第1半導體基板上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號；及貫通電極，其從上述第2半導體基板之與上述第1半導體基板對向之面的相反側之面，貫通上述第2半導體基板及上述第1層間絕緣膜，延伸至上述第1半導體基板，將上述第1半導體基板與上述第2半導體基板電性連接；且上述貫通電極之側面與上述第2半導體基板相接。

【0006】

又，根據本發明，提供一種攝像裝置，其具備：第1半導體基板，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；第2半導體基板，其設置有讀出電路部，該讀出電路部介隔第1層間絕緣膜設置於上述第1半導體基板上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號；及貫通電

極，其貫通上述第1層間絕緣膜，將上述第1半導體基板與上述第2半導體基板電性連接；且上述貫通電極之前端部嵌埋於上述第1半導體基板內。

【0007】

進而，根據本發明，提供一種攝像裝置，其具備：第1半導體基板，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；第2半導體基板，其設置有讀出電路部，該讀出電路部介隔第1層間絕緣膜設置於上述第1半導體基板上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號；第1電極，其與上述傳輸電晶體之間極電極電性連接；及第2電極，其與上述第1半導體基板內之半導體層電性連接；且上述第1及第2電極中之至少任一者設置於上述第1半導體基板之與上述第2半導體基板對向之面的相反側之面側。

【圖式簡單說明】

【0008】

圖1係表示本發明之一實施形態之攝像裝置之功能構成之一例的方塊圖。

圖2係表示圖1所示之攝像裝置之概略構成之俯視模式圖。

圖3係表示沿著圖2所示之III-III'線之剖面構成之模式圖。

圖4係圖1所示之像素共有單元之等效電路圖。

圖5係表示複數個像素共有單元與複數條垂直信號線之連接態樣之一例的圖。

圖6係表示圖3所示之攝像裝置之具體構成之一例的剖視模式圖。

圖7A係表示圖6所示之第1基板之主要部分之平面構成之一例的模式圖。

圖7B係表示圖7A所示之第1基板之主要部分及焊墊部之平面構成的模式圖。

圖8係表示圖6所示之第2基板(半導體層)之平面構成之一例的模式圖。

圖9係表示圖6所示之第1配線層、與像素電路及第1基板之主要部分之平面構成之一例的模式圖。

圖10係表示圖6所示之第1配線層及第2配線層之平面構成之一例的模式圖。

圖11係表示圖6所示之第2配線層及第3配線層之平面構成之一例的模式圖。

圖12係表示圖6所示之第3配線層及第4配線層之平面構成之一例的模式圖。

圖13係用以說明向圖3所示之攝像裝置輸入之輸入信號之路徑的模式圖。

圖14係用以說明圖3所示之攝像裝置之像素信號之信號路徑的模式圖。

圖15係表示圖8所示之第2基板(半導體層)之平面構成之一變化例的模式圖。

圖16係表示圖15所示之像素電路、與第1配線層及第1基板之主要部分之平面構成的模式圖。

圖17係表示圖16所示之第1配線層、與第2配線層之平面構成之一例

的模式圖。

圖18係表示圖17所示之第2配線層、與第3配線層之平面構成之一例的模式圖。

圖19係表示圖18所示之第3配線層、與第4配線層之平面構成之一例的模式圖。

圖20係表示圖7A所示之第1基板之平面構成之一變化例的模式圖。

圖21係表示圖20所示之第1基板上所積層之第2基板(半導體層)之平面構成之一例的模式圖。

圖22係表示圖21所示之像素電路、與第1配線層之平面構成之一例的模式圖。

圖23係表示圖22所示之第1配線層、與第2配線層之平面構成之一例的模式圖。

圖24係表示圖23所示之第2配線層、與第3配線層之平面構成之一例的模式圖。

圖25係表示圖24所示之第3配線層、與第4配線層之平面構成之一例的模式圖。

圖26係表示圖20所示之第1基板之平面構成之另一例的模式圖。

圖27係表示圖26所示之第1基板上所積層之第2基板(半導體層)之平面構成之一例的模式圖。

圖28係表示圖27所示之像素電路、與第1配線層之平面構成之一例的模式圖。

圖29係表示圖28所示之第1配線層、與第2配線層之平面構成之一例的模式圖。

圖30係表示圖29所示之第2配線層、與第3配線層之平面構成之一例的模式圖。

圖31係表示圖30所示之第3配線層、與第4配線層之平面構成之一例的模式圖。

圖32係表示圖3所示之攝像裝置之另一例之剖視模式圖。

圖33係用以說明向圖32所示之攝像裝置輸入之輸入信號之路徑的模式圖。

圖34係用以說明圖32所示之攝像裝置之像素信號之信號路徑的模式圖。

圖35係表示圖6所示之攝像裝置之另一例之剖視模式圖。

圖36係表示圖4所示之等效電路之另一例之圖。

圖37係表示圖7A等所示之像素分離部之另一例之俯視模式圖。

圖38係表示本發明之第1實施形態之變化例8之攝像裝置的構成例之厚度方向之剖視圖。

圖39係表示本發明之第1實施形態之變化例8之攝像裝置的構成例之厚度方向之剖視圖(其一)。

圖40係表示本發明之第1實施形態之變化例8之攝像裝置的構成例之厚度方向之剖視圖(其二)。

圖41係表示本發明之第1實施形態之變化例8之攝像裝置的構成例之厚度方向之剖視圖(其三)。

圖42係表示本發明之第1實施形態之變化例8之複數個像素單元的佈局例之水平方向之剖視圖(其一)。

圖43係表示本發明之第1實施形態之變化例8之複數個像素單元的佈

局例之水平方向之剖視圖(其二)。

圖44係表示本發明之第1實施形態之變化例8之複數個像素單元的佈局例之水平方向之剖視圖(其三)。

圖45係表示圖3所示之攝像裝置的構成之主要部分之一例之剖視模式圖(其一)。

圖46係對應於圖45之表示攝像裝置之製造方法之程序剖視圖。

圖47係表示本發明之第2實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖(其一)。

圖48係表示本發明之第2實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖(其二)。

圖49係對應於圖48之表示本發明之第2實施形態的攝像裝置1之製造方法之程序剖視圖。

圖50係表示本發明之第2實施形態之變化例1之攝像裝置的構成之主要部分之一例之剖視模式圖(其一)。

圖51係表示本發明之第2實施形態之變化例1之攝像裝置的構成之主要部分之一例之剖視模式圖(其二)。

圖52係對應於圖50之表示本發明之第2實施形態之變化例1的攝像裝置1之製造方法之程序剖視圖。

圖53係表示本發明之第2實施形態之變化例2之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖54係對應於圖53之表示本發明之第2實施形態之變化例2的攝像裝置1之製造方法之程序剖視圖。

圖55係表示圖3所示之攝像裝置的構成之主要部分之一例之剖視模式

圖(其二)。

圖56係表示本發明之第3實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖(其一)。

圖57係表示本發明之第3實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖(其二)。

圖58係對應於圖56之表示本發明之第3實施形態的攝像裝置之製造方法之程序剖視圖。

圖59係對應於圖56之表示本發明之第3實施形態的攝像裝置之另一製造方法之程序剖視圖。

圖60係表示本發明之第3實施形態之變化例之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖61係表示本發明之第3實施形態之變化例之攝像裝置的構成之主要部分之平面構成之一例之模式圖(其一)。

圖62係表示本發明之第3實施形態之變化例之攝像裝置的構成之主要部分之平面構成之一例之模式圖(其二)。

圖63係對應於圖60之表示本發明之第3實施形態之變化例的攝像裝置之製造方法之程序剖視圖。

圖64係表示圖3所示之攝像裝置的構成之主要部分之一例之剖視模式圖(其三)。

圖65係表示本發明之第4實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖66係對應於圖65之表示本發明之第4實施形態的攝像裝置之製造方法之程序剖視圖。

圖67係表示本發明之第4實施形態之變化例1之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖68係表示本發明之第4實施形態之變化例2之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖69係表示本發明之第4實施形態之變化例3之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖70係用以說明本發明之第5實施形態之技術背景的、表示攝像裝置之構成之主要部分之一例之剖視模式圖。

圖71係用以說明本發明之第5實施形態之技術背景的、表示攝像裝置之平面構成之主要部分之一例之模式圖(其一)。

圖72係用以說明本發明之第5實施形態之技術背景的、表示攝像裝置之平面構成之主要部分之一例之模式圖(其二)。

圖73係表示本發明之第5實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖74係表示本發明之第5實施形態之攝像裝置的構成之主要部分之平面構成之一例之模式圖(其一)。

圖75係表示本發明之第5實施形態之攝像裝置的構成之主要部分之平面構成之一例之模式圖(其二)。

圖76係表示本發明之第5實施形態之攝像裝置的構成之主要部分之平面構成之一例之模式圖(其三)。

圖77係表示本發明之第5實施形態之變化例之攝像裝置的構成之主要部分之平面構成之一例之模式圖(其一)。

圖78係表示本發明之第5實施形態之變化例之攝像裝置的構成之主要

部分之平面構成之一例之模式圖(其二)。

圖79係表示本發明之第6實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖80係表示本發明之第6實施形態之攝像裝置的構成之主要部分之平面構成之一例之模式圖(其一)。

圖81係表示本發明之第6實施形態之攝像裝置的構成之主要部分之平面構成之一例之模式圖(其二)。

圖82係表示本發明之第6實施形態之變化例1之攝像裝置的構成之主要部分之平面構成之一例之模式圖。

圖83係表示本發明之第6實施形態之變化例2之攝像裝置的構成之主要部分之一例之剖視模式圖。

圖84係表示具備上述實施形態及其變化例之攝像裝置之攝像系統之概略構成之一例的圖。

圖85係表示圖84所示之攝像系統之拍攝步序之一例的圖。

圖86係表示車輛控制系統之概略構成之一例之方塊圖。

圖87係表示車外資訊檢測部及攝像部之設置位置之一例的說明圖。

圖88係表示內視鏡手術系統之概略構成之一例之圖。

圖89係表示相機鏡頭及CCU之功能構成之一例之方塊圖。

【實施方式】

【0009】

以下，基於圖式對本發明之實施形態進行詳細說明。再者，於以下之各實施形態中，藉由對相同部位附上相同符號而省略重複之說明。

【0010】

又，以下說明中所參照之圖式係用以促進本發明之實施形態之說明及其理解之圖式，為了易於理解，圖中所示之形狀或尺寸、比例等有時與現實情況不同。進而，圖中所示之攝像裝置或攝像裝置中所包含之構成要素等可參考以下之說明及公知之技術而適當進行設計變更。又，於以下說明中，攝像裝置之積層構造之上下方向只要無特別說明，則對應於以使朝攝像裝置入射之光從下向上入射之方式配置攝像裝置時之相對方向。

【0011】

關於以下說明中之具體之長度(數值)或形狀之記載並非僅意味著與數學上定義之數值相同之值或幾何學上定義之形狀。詳細而言，以下說明中關於具體之長度(數值)或形狀之記載亦包含攝像裝置、其製造工序、及其使用、動作中存在被容許之程度之差異(誤差、應變)之情形或與其形狀類似之形狀。例如，以下說明中表現為「圓形」之情形並不限定於真圓，亦包含橢圓形等類似於真圓之形狀。

【0012】

進而，於以下之電路(電性連接)之說明中，只要無特別說明，則「電性連接」意味著以電氣(信號)導通之方式將複數個要素之間連接。此外，以下說明中之「電性連接」不僅包含將複數個要素直接地且電性連接之情形，亦包含經由其他要素間接地且電性連接之情形。

【0013】

又，於以下說明中，只要無特別說明，則「共通地設置」意味著以共有複數種要素中之一種要素之方式設置其他要素，換言之，意味著其他要素係規定數量之一種要素各自所共有。

【0014】

進而，於以下說明中，以將本發明之實施形態應用於背面照射型攝像裝置之情形為例進行說明。因此，於下述攝像裝置中，使光從背面側入射。

【0015】

以下，參照圖式對用以實施本發明之形態進行詳細說明。再者，說明係按照以下順序進行。

- 1.第1實施形態(具有3個基板之積層構造之攝像裝置)
- 2.變化例1(平面構成之例1)
- 3.變化例2(平面構成之例2)
- 4.變化例3(平面構成之例3)
- 5.變化例4(於像素陣列部之中央部具有基板間之接點部之例)
- 6.變化例5(具有平面型之傳輸電晶體之例)
- 7.變化例6(於1個像素電路連接1個像素之例)
- 8.變化例7(像素分離部之構成例)
- 9.變化例8
- 10.第2實施形態
- 11.第3實施形態
- 12.第4實施形態
- 13.第5實施形態
- 14.第6實施形態
- 15.應用例(攝像系統)
- 16.運用例
- 17.彙總

18.補充

【0016】

<1.第1實施形態>

[攝像裝置1之功能構成]

圖1係表示本發明之一實施形態之攝像裝置(攝像裝置1)之功能構成之一例的方塊圖。

【0017】

圖1之攝像裝置1例如包含輸入部510A、列驅動部520、時序控制部530、像素陣列部540、行信號處理部550、圖像信號處理部560及輸出部510B。

【0018】

於像素陣列部540，呈陣列狀重複配置有像素541。更具體而言，包含複數個像素之像素共有單元539成為重複單位，該重複單位呈由列方向及行方向構成之陣列狀重複配置。再者，本說明書中，為了方便起見，有時將列方向稱為H方向，將與列方向正交之行方向稱為V方向。於圖1之例中，1個像素共有單元539包含4個像素(像素541A、541B、541C、541D)。像素541A、541B、541C、541D分別具有光電二極體PD(下述圖6等所圖示)。像素共有單元539係共有1個像素電路(下述圖3之像素電路210)之單位。換言之，針對每4個像素(像素541A、541B、541C、541D)具有1個像素電路(下述像素電路210)。藉由使該像素電路分時動作，而依序讀出像素541A、541B、541C、541D各自之像素信號。像素541A、541B、541C、541D以例如2列×2行之方式配置。於像素陣列部540，設置有像素541A、541B、541C、541D、與複數條列驅動信號線542及複數

條垂直信號線(行讀出線)543。列驅動信號線542將像素陣列部540中並列排列於列方向上之複數個像素共有單元539各自所包含之像素541驅動。將像素共有單元539中之並列排列於列方向之各像素驅動。以下將參照圖4詳細地說明，於像素共有單元539設置有複數個電晶體。為了分別驅動該等複數個電晶體，於1個像素共有單元539連接有複數條列驅動信號線542。於垂直信號線(行讀出線)543，連接有像素共有單元539。經由垂直信號線(行讀出線)543從像素共有單元539中所包含之各像素541A、541B、541C、541D讀出像素信號。

【0019】

列驅動部520例如包含決定用於進行像素驅動之列之位置之列位址控制部、換言之為列解碼器部、及產生用以驅動像素541A、541B、541C、541D之信號之列驅動電路部。

【0020】

行信號處理部550例如具備負載電路部，該負載電路部連接於垂直信號線543，形成像素541A、541B、541C、541D(像素共有單元539)及源極隨耦電路。行信號處理部550亦可具有放大電路部，該放大電路部將經由垂直信號線543從像素共有單元539讀出之信號放大。行信號處理部550亦可具有雜訊處理部。於雜訊處理部中，例如，從自像素共有單元539讀出之作為光電轉換之結果之信號中去除系統之雜訊位準。

【0021】

行信號處理部550例如具有類比數位轉換器(ADC)。於類比數位轉換器中，從像素共有單元539讀出之信號或上述雜訊處理後之類比信號被轉換為數位信號。ADC例如包含比較器部及計數器部。於比較器部中，將

成為轉換對象之類比信號與成為其比較對象之參照信號加以比較。於計數器部中，對至比較器部之比較結果反轉為止之時間進行計測。行信號處理部550可包含進列掃描讀出行之控制之水平掃描電路部。

【0022】

時序控制部530基於向裝置輸入之基準時脈信號或時序控制信號，向列驅動部520及行信號處理部550供給控制時序之信號。

【0023】

圖像信號處理部560係對光電轉換後所獲得之資料、換言之、攝像裝置1之拍攝動作後所獲得之資料實施各種信號處理之電路。圖像信號處理部560例如包含圖像信號處理電路部及資料保持部。圖像信號處理部560亦可包含處理器部。

【0024】

圖像信號處理部560中執行之信號處理之一例係色調曲線修正處理，該色調曲線修正處理係當經AD轉換之攝像資料為拍攝較暗被攝體所得之資料時，使其具有多個灰階，當經AD轉換之攝像資料為拍攝較亮被攝體所得之資料時，減少灰階。於此情形時，關於基於哪種色調曲線來修正攝像資料之灰階，較理想的是將色調曲線之特性資料預先記憶於圖像信號處理部560之資料保持部中。

【0025】

輸入部510A例如用於從裝置外部向攝像裝置1輸入上述基準時脈信號、時序控制信號及特性資料等。時序控制信號例如為垂直同步信號及水平同步信號等。特性資料例如用於供記憶至圖像信號處理部560之資料保持部。輸入部510A例如包含輸入端子511、輸入電路部512、輸入振幅變

更部513、輸入資料轉換電路部514及電源供給部(未圖示)。

【0026】

輸入端子511係用以輸入資料之外部端子。輸入電路部512用以將輸入至輸入端子511之信號擷取至攝像裝置1之內部。於輸入振幅變更部513中，由輸入電路部512擷取之信號之振幅變更為容易於攝像裝置1之內部利用之振幅。於輸入資料轉換電路部514中，輸入資料之資料行之排列變更。輸入資料轉換電路部514例如包含並行串列轉換電路。於該並行串列轉換電路中，作為輸入資料而接收到之串列信號被轉換為並行信號。再者，於輸入部510A中，可省略輸入振幅變更部513及輸入資料轉換電路部514。電源供給部基於從外部向攝像裝置1供給之電源，供給被設定為攝像裝置1之內部所需之各種電壓之電源。

【0027】

於將攝像裝置1與外部之記憶體裝置連接時，於輸入部510A，可設置有接收來自外部之記憶體裝置之資料之記憶體介面電路。外部之記憶體裝置例如為快閃記憶體、SRAM(Static Random Access Memory，靜態隨機存取記憶體)及DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)等。

【0028】

輸出部510B向裝置外部輸出圖像資料。該圖像資料例如為利用攝像裝置1拍攝之圖像資料、及利用圖像信號處理部560進行信號處理後之圖像資料等。輸出部510B例如包含輸出資料轉換電路部515、輸出振幅變更部516、輸出電路部517及輸出端子518。

【0029】

輸出資料轉換電路部515例如包含並行串列轉換電路，於輸出資料轉換電路部515中，攝像裝置1內部所使用之並行信號被轉換為串列信號。輸出振幅變更部516將於攝像裝置1之內部使用之信號之振幅變更。振幅變更後之信號容易於連接在攝像裝置1外部之外部裝置中利用。輸出電路部517係從攝像裝置1之內部向裝置外部輸出資料之電路，藉由輸出電路部517，驅動連接於輸出端子518之攝像裝置1外部之配線。於輸出端子518中，從攝像裝置1向裝置外部輸出資料。於輸出部510B中，可省略輸出資料轉換電路部515及輸出振幅變更部516。

【0030】

於將攝像裝置1與外部之記憶體裝置連接時，於輸出部510B，可設置有向外部之記憶體裝置輸出資料之記憶體介面電路。外部之記憶體裝置例如為快閃記憶體、SRAM及DRAM等。

【0031】

[攝像裝置1之概略構成]

圖2及圖3係表示攝像裝置1之概略構成之一例之圖。攝像裝置1具備3個基板(第1基板100、第2基板200、第3基板300)。圖2係模式性地表示第1基板100、第2基板200、第3基板300各自之平面構成之圖，圖3模式性地表示相互積層之第1基板100、第2基板200及第3基板300之剖面構成。圖3對應於沿著圖2所示之III-III'線之剖面構成。攝像裝置1係將3個基板(第1基板100、第2基板200、第3基板300)貼合後構成之三維構造之攝像裝置。第1基板100包含半導體層100S及配線層100T。第2基板200包含半導體層200S及配線層200T。第3基板300包含半導體層300S及配線層300T。此處，為了方便起見，將第1基板100、第2基板200及第3基板300之各基

板所包含之配線與其周圍之層間絕緣膜合併所得者稱為設置於各基板(第1基板100、第2基板200及第3基板300)之配線層(100T、200T、300T)。第1基板100、第2基板200及第3基板300依序積層，沿著積層方向，按照半導體層100S、配線層100T、半導體層200S、配線層200T、配線層300T及半導體層300S之順序配置。關於第1基板100、第2基板200及第3基板300之具體構成將在下文進行敘述。圖3所示之箭頭表示光L向攝像裝置1之入射方向。本說明書中，為了方便起見，於以下之剖視圖中，有時將攝像裝置1之光入射側稱為「下」「下側」「下方」，將與光入射側相反之側稱為「上」「上側」「上方」。又，本說明書中，為了方便起見，關於具備半導體層及配線層之基板，有時將配線層之一側稱為正面，將半導體層之一側稱為背面。再者，說明書之記載不限於上述稱法。攝像裝置1例如成為光從具有光電二極體之第1基板100之背面側入射的背面照射型攝像裝置。

【0032】

關於像素陣列部540及像素陣列部540中所包含之像素共有單元539，均使用第1基板100及第2基板200之兩者來構成。於第1基板100，設置有像素共有單元539所具有之複數個像素541A、541B、541C、541D。該等像素541之各者具有光電二極體(下述光電二極體PD)及傳輸電晶體(下述傳輸電晶體TR)。於第2基板200，設置有像素共有單元539所具有之像素電路(下述像素電路210)。像素電路讀出從像素541A、541B、541C、541D各自之光電二極體經由傳輸電晶體傳輸來之像素信號，或者重設光電二極體。該第2基板200除具有此種像素電路外，還具有於列方向上延伸之複數條列驅動信號線542及於行方向上延伸之複數條垂直信號線543。第2基板200進而具有於列方向上延伸之電源線544。第3基板300例如具有輸入

部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B。列驅動部520例如於第1基板100、第2基板200及第3基板300之積層方向(以下簡稱為積層方向)上，一部分設置於與像素陣列部540重疊之區域。更具體而言，列驅動部520於積層方向上，設置於與像素陣列部540之H方向之端部附近重疊之區域(圖2)。行信號處理部550例如設置於在積層方向上一部分與像素陣列部540重疊之區域。更具體而言，行信號處理部550設置於在積層方向上與像素陣列部540之V方向之端部附近重疊之區域(圖2)。雖省略圖示，但輸入部510A及輸出部510B亦可配置於第3基板300以外之部分，例如亦可配置於第2基板200。或者，亦可於第1基板100之背面(光入射面)側設置輸入部510A及輸出部510B。再者，作為其他名稱，設置於上述第2基板200之像素電路有時亦被稱作像素電晶體電路、像素電晶體群、像素電晶體、像素讀出電路或讀出電路。本說明書中，使用像素電路這一名稱。

【0033】

第1基板100與第2基板200例如藉由貫通電極(下述圖6之貫通電極120E、121E)而電性連接。第2基板200與第3基板300例如經由接點部201、202、301、302而電性連接。於第2基板200設置有接點部201、202，於第3基板300設置有接點部301、302。第2基板200之接點部201與第3基板300之接點部301相接，第2基板200之接點部202與第3基板300之接點部302相接。第2基板200具有設置有複數個接點部201之接點區域201R、及設置有複數個接點部202之接點區域202R。第3基板300具有設置有複數個接點部301之接點區域301R、及設置有複數個接點部302之接點區域302R。接點區域201R、301R於積層方向上，設置於像素陣列部

540與列驅動部520之間(圖3)。換言之，接點區域201R、301R例如設置於列驅動部520(第3基板300)與像素陣列部540(第2基板200)於積層方向上重疊之區域或其附近區域。接點區域201R、301R例如配置於此種區域中之H方向之端部(圖2)。於第3基板300中，例如，在與列驅動部520之一部分、具體而言為列驅動部520之H方向之端部重疊之位置設置有接點區域301R(圖2、圖3)。接點部201、301例如將設置於第3基板300之列驅動部520與設置於第2基板200之列驅動信號線542連接。接點部201、301例如亦可將設置於第3基板300之輸入部510A與電源線544及基準電位線(下述基準電位線VSS)連接。接點區域202R、302R於積層方向上設置於像素陣列部540與行信號處理部550之間(圖3)。換言之，接點區域202R、302R例如設置於行信號處理部550(第3基板300)與像素陣列部540(第2基板200)於積層方向上重疊之區域或其附近區域。接點區域202R、302R例如配置於此種區域中之V方向之端部(圖2)。於第3基板300中，例如於與行信號處理部550之一部分、具體而言為行信號處理部550之V方向之端部重疊的位置設置有接點區域301R(圖2、圖3)。接點部202、302例如用於將從像素陣列部540所具有之複數個像素共有單元539之各者輸出之像素信號(與利用光電二極體進行光電轉換後產生之電荷量對應之信號)向設置於第3基板300之行信號處理部550連接。像素信號從第2基板200被發送至第3基板300。

【0034】

如上所述，圖3係攝像裝置1之剖視圖之一例。第1基板100、第2基板200、第3基板300經由配線層100T、200T、300T電性連接。例如，攝像裝置1具有將第2基板200與第3基板300電性連接之電性連接部。具體而

言，利用由導電材料形成之電極形成接點部201、202、301、302。導電材料例如由銅(Cu)、鋁(Al)、金(Au)等金屬材料形成。接點區域201R、202R、301R、302R例如可藉由將形成為電極之配線彼此直接接合，而將第2基板與第3基板電性連接，從而進行第2基板200與第3基板300之信號之輸入及/或輸出。

【0035】

將第2基板200與第3基板300電性連接之電性連接部可設置於所期望之部位。例如，可設置於如圖3中記載為接點區域201R、202R、301R、302R之在積層方向上與像素陣列部540重疊之區域。又，亦可將電性連接部設置於在積層方向上不與像素陣列部540重疊之區域。具體而言，亦可設置於在積層方向上與配置於像素陣列部540之外側之周邊部重疊的區域。

【0036】

於第1基板100及第2基板200，例如設置有連接孔部H1、H2。連接孔部H1、H2貫通第1基板100及第2基板200(圖3)。連接孔部H1、H2設置於像素陣列部540(或與像素陣列部540重疊之部分)之外側(圖2)。例如，連接孔部H1配置於H方向上較像素陣列部540靠外側之位置，連接孔部H2配置於V方向上較像素陣列部540靠外側之位置。例如，連接孔部H1到達設置於第3基板300之輸入部510A，連接孔部H2到達設置於第3基板300之輸出部510B。連接孔部H1、H2可為空腔，亦可於至少一部分含有導電材料。例如具有於作為輸入部510A及/或輸出部510B而形成之電極連接接合線之構成。或具有將作為輸入部510A及/或輸出部510B而形成之電極與設置於連接孔部H1、H2之導電材料連接之構成。設置於連接孔部H1、H2之

導電材料可嵌埋於連接孔部H1、H2之一部分或全部，導電材料亦可形成於連接孔部H1、H2之側壁。

【0037】

再者，圖3中設為於第3基板300設置輸入部510A及輸出部510B之構造，但不限於此。例如，因經由配線層200T、300T將第3基板300之信號發送至第2基板200，故亦可將輸入部510A及/或輸出部510B設置於第2基板200。同樣，因經由配線層100T、200T將第2基板200之信號發送至第1基板100，故亦可將輸入部510A及/或輸出部510B設置於第1基板100。

【0038】

圖4係表示像素共有單元539之構成之一例之等效電路圖。像素共有單元539包含複數個像素541(圖4中，示出像素541A、541B、541C、541D該等4個像素541)、連接於該等複數個像素541之1個像素電路210、及連接於像素電路210之垂直信號線543。像素電路210例如包含4個電晶體、具體而言為放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG。如上所述，像素共有單元539藉由使1個像素電路210分時動作，而將像素共有單元539中所包含之4個像素541(像素541A、541B、541C、541D)各自之像素信號依序向垂直信號線543輸出。將1個像素電路210連接於複數個像素541，利用1個像素電路210分時輸出該等複數個像素541之像素信號之態樣稱為「複數個像素541共有1個像素電路210」。

【0039】

像素541A、541B、541C、541D具有相互共通之構成要素。以下，為了將像素541A、541B、541C、541D之構成要素相互區分開，對像素

541A之構成要素之符號之末尾賦予識別編號1，對像素541B之構成要素之符號之末尾賦予識別編號2，對像素541C之構成要素之符號之末尾賦予識別編號3，對像素541D之構成要素之符號之末尾賦予識別編號4。於無需將像素541A、541B、541C、541D之構成要素相互區分之情形時，省略像素541A、541B、541C、541D之構成要素之符號之末尾的識別編號。

【0040】

像素541A、541B、541C、541D例如具有光電二極體PD、與光電二極體PD電性連接之傳輸電晶體TR、及電性連接於傳輸電晶體TR之浮動擴散部FD。於光電二極體PD(PD1、PD2、PD3、PD4)中，陰極電性連接於傳輸電晶體TR之源極，陽極電性連接於基準電位線(例如接地)。光電二極體PD將入射之光進行光電轉換，產生與其受光量相應之電荷。傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)例如為n型CMOS(Complementary Metal Oxide Semiconductor，互補金氧半導體)電晶體。於傳輸電晶體TR中，汲極電性連接於浮動擴散部FD，閘極電性連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542(參照圖1)中之一部分。傳輸電晶體TR將於光電二極體PD產生之電荷傳輸至浮動擴散部FD。浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)係p型半導體層中所形成之n型擴散層區域。浮動擴散部FD係暫時保持從光電二極體PD傳輸來之電荷之電荷保持機構，且係產生與上述電荷量相應之電壓之電荷-電壓轉換機構。

【0041】

1個像素共有單元539中所包含之4個浮動擴散部FD(浮動擴散部

FD1、FD2、FD3、FD4)相互電性連接，並且電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。FD轉換增益切換電晶體FDG之汲極連接於重設電晶體RST之源極，FD轉換增益切換電晶體FDG之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。重設電晶體RST之汲極連接於電源線VDD，重設電晶體RST之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。放大電晶體AMP之閘極連接於浮動擴散部FD，放大電晶體AMP之汲極連接於電源線VDD，放大電晶體AMP之源極連接於選擇電晶體SEL之汲極。選擇電晶體SEL之源極連接於垂直信號線543，選擇電晶體SEL之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。

【0042】

當傳輸電晶體TR成為接通狀態時，傳輸電晶體TR將光電二極體PD之電荷傳輸至浮動擴散部FD。傳輸電晶體TR之閘極(傳輸閘極TG)例如包含所謂之垂直型電極，且如下述圖6所示，以從半導體層(下述圖6之半導體層100S)之表面延伸至到達PD之深度為止之方式設置。重設電晶體RST將浮動擴散部FD之電位重設為規定之電位。當重設電晶體RST成為接通狀態時，將浮動擴散部FD之電位重設為電源線VDD之電位。選擇電晶體SEL控制來自像素電路210之像素信號之輸出時序。放大電晶體AMP產生與浮動擴散部FD中所保持之電荷之位準相應之電壓的信號作為像素信號。放大電晶體AMP經由選擇電晶體SEL連接於垂直信號線543。該放大電晶體AMP於行信號處理部550中，與連接於垂直信號線543之負載電路

部(參照圖1)一起構成源極隨耦。當選擇電晶體SEL成為接通狀態時，放大電晶體AMP將浮動擴散部FD之電壓經由垂直信號線543輸出至行信號處理部550。重設電晶體RST、放大電晶體AMP及選擇電晶體SEL例如為N型CMOS電晶體。

【0043】

FD轉換增益切換電晶體FDG係於變更浮動擴散部FD中之電荷-電壓轉換之增益時使用。一般而言，於暗處拍攝時像素信號較小。基於 $Q=CV$ ，進行電荷電壓轉換時，若浮動擴散部FD之電容(FD電容C)較大，則利用放大電晶體AMP轉換為電壓時之V會變小。另一方面，於亮處，像素信號變大，因此，若FD電容C變大，則浮動擴散部FD無法將光電二極體PD之電荷全部接收完。進而，為了使利用放大電晶體AMP轉換為電壓時之V不會變得過大(換言之，為了使利用放大電晶體AMP轉換為電壓時之V變小)，必須使FD電容C變大。根據上述內容，於使FD轉換增益切換電晶體FDG接通時，與FD轉換增益切換電晶體FDG相應之間極電容增大，因此FD電容C整體變大。另一方面，於使FD轉換增益切換電晶體FDG斷開時，FD電容C整體變小。如此，藉由切換FD轉換增益切換電晶體FDG之接通/斷開，能夠使FD電容C變化，從而切換轉換效率。FD轉換增益切換電晶體FDG例如為N型CMOS電晶體。

【0044】

再者，亦可為未設置FD轉換增益切換電晶體FDG之構成。此時，例如，像素電路210包含例如放大電晶體AMP、選擇電晶體SEL及重設電晶體RST該等3個電晶體。像素電路210例如具有放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG等像素電晶體

中之至少1個。

【0045】

選擇電晶體SEL可設置於電源線VDD與放大電晶體AMP之間。於此情形時，重設電晶體RST之汲極電性連接於電源線VDD及選擇電晶體SEL之汲極。選擇電晶體SEL之源極電性連接於放大電晶體AMP之汲極，選擇電晶體SEL之閘極電性連接於列驅動信號線542(參照圖1)。放大電晶體AMP之源極(像素電路210之輸出端)電性連接於垂直信號線543，放大電晶體AMP之閘極電性連接於重設電晶體RST之源極。再者，雖省略圖示，但共有1個像素電路210之像素541之數量可為4個以外。例如，可為2個或8個像素541共有1個像素電路210。

【0046】

圖5係表示複數個像素共有單元539與垂直信號線543之連接態樣之一例之圖。例如，將排列於行方向之4個像素共有單元539分為4個群組，於該4個群組分別連接有垂直信號線543。為了簡化說明，圖5中示出4個群組各自具有1個像素共有單元539之例，但4個群組亦可各自包含複數個像素共有單元539。如此，於攝像裝置1中，亦可將排列於行方向之複數個像素共有單元539分為包含1個或複數個像素共有單元539之群組。例如，於該群組分別連接有垂直信號線543及行信號處理部550，從而可從各個群組同時讀出像素信號。或者，於攝像裝置1中，亦可將1條垂直信號線543連接於排列在行方向之複數個像素共有單元539。此時，從連接於1條垂直信號線543之複數個像素共有單元539分時依序讀出像素信號。

【0047】

[攝像裝置1之具體構成]

圖6係表示攝像裝置1之與第1基板100、第2基板200及第3基板300之主面垂直之方向之剖面構成之一例的圖。圖6係為了易於理解而模式性地表示構成要素之位置關係之圖，可與實際之剖面不同。於攝像裝置1中，依序積層有第1基板100、第2基板200及第3基板300。攝像裝置1進而於第1基板100之背面側(光入射面側)具有受光透鏡401。於受光透鏡401與第1基板100之間可設置有彩色濾光片層(未圖示)。受光透鏡401例如設置於像素541A、541B、541C、541D之各者。攝像裝置1係例如背面照射型之攝像裝置。攝像裝置1具有配置於中央部之像素陣列部540、及配置於像素陣列部540之外側之周邊部540B。

【0048】

第1基板100從受光透鏡401側起依序具有絕緣膜111、固定電荷膜112、半導體層100S及配線層100T。半導體層100S包含例如矽基板。半導體層100S例如於正面(配線層100T側之面)之一部分及其附近具有p型井層115，於除此以外之區域(較p型井層115深之區域)具有n型半導體區域114。例如，由該n型半導體區域114及p型井層115構成pn接面型光電二極體PD。p型井層115係p型半導體區域。

【0049】

圖7A係表示第1基板100之平面構成之一例之圖。圖7A主要示出第1基板100之像素分離部117、光電二極體PD、浮動擴散部FD、VSS接點區域118及傳輸電晶體TR之平面構成。使用圖6及圖7A來說明第1基板100之構成。

【0050】

於半導體層100S之正面附近，設有浮動擴散部FD及VSS接點區域

118。浮動擴散部FD包含設置於p型井層115內之n型半導體區域。像素541A、541B、541C、541D各自之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)例如與像素共有單元539之中央部相互近接地設置(圖7A)。詳細情況將於下文進行敘述，該像素共有單元539中所包含之4個浮動擴散部(浮動擴散部FD1、FD2、FD3、FD4)於第1基板100內(更具體而言為配線層100T內)，經由電性連接機構(下述焊墊部120)相互電性連接。進而，浮動擴散部FD經由電性機構(下述貫通電極120E)從第1基板100連接至第2基板200(更具體而言，從配線層100T連接至配線層200T)。於第2基板200(更具體而言為配線層200T之內部)，藉由該電性機構將浮動擴散部FD電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。

【0051】

VSS接點區域118係電性連接於基準電位線VSS之區域，與浮動擴散部FD分開地配置。例如，於像素541A、541B、541C、541D中，在各像素之V方向之一端配置有浮動擴散部FD，在另一端配置有VSS接點區域118(圖7A)。VSS接點區域118例如由p型半導體區域構成。VSS接點區域118連接於例如接地電位(接地)或固定電位。藉此，向半導體層100S供給基準電位。

【0052】

於第1基板100，設置有光電二極體PD、浮動擴散部FD及VSS接點區域118、以及傳輸電晶體TR。該光電二極體PD、浮動擴散部FD、VSS接點區域118及傳輸電晶體TR分別設置於像素541A、541B、541C、541D。傳輸電晶體TR設置於半導體層100S之正面側(與光入射面側相反

之側、第2基板200側)。傳輸電晶體TR具有傳輸閘極TG。傳輸閘極TG例如包含與半導體層100S之正面對向之水平部分TGb、及設置於半導體層100S內之垂直部分TGa。垂直部分TGa於半導體層100S之厚度方向上延伸。垂直部分TGa之一端與水平部分TGb相接，另一端設置於n型半導體區域114內。藉由利用此種垂直型電晶體構成傳輸電晶體TR，不易產生像素信號之傳輸不良，能夠提高像素信號之讀出效率。

【0053】

傳輸閘極TG之水平部分TGb從與垂直部分TGa對向之位置例如於H方向上朝向像素共有單元539之中央部延伸(圖7A)。藉此，可使到達傳輸閘極TG之貫通電極(下述貫通電極TGV)之H方向之位置接近與浮動擴散部FD及VSS接點區域118連接之貫通電極(下述貫通電極120E、121E)之H方向之位置。例如，設置於第1基板100之複數個像素共有單元539具有相互相同之構成(圖7A)。

【0054】

於半導體層100S，設置有將像素541A、541B、541C、541D相互分離之像素分離部117。像素分離部117於半導體層100S之法線方向(與半導體層100S之表面垂直之方向)延伸而形成。像素分離部117以將像素541A、541B、541C、541D相互分隔之方式設置，具有例如格子狀之平面形狀(圖7A、圖7B)。像素分離部117例如將像素541A、541B、541C、541D相互電性及光學性分離。像素分離部117例如包含遮光膜117A及絕緣膜117B。遮光膜117A係例如使用鎢(W)等。絕緣膜117B設置於遮光膜117A與p型井層115或n型半導體區域114之間。絕緣膜117B例如包含氧化矽(SiO₂)。像素分離部117例如具有FTI(Full Trench Isolation，全溝槽隔

離)構造，貫通半導體層100S。雖未圖示，但像素分離部117不限於貫通半導體層100S之FTI構造。例如，亦可為不貫通半導體層100S之DTI(Deep Trench Isolation，深溝槽隔離)構造。像素分離部117於半導體層100S之法線方向上延伸，形成於半導體層100S之一部分之區域。

【0055】

於半導體層100S，例如設置有第1釘紮區域113及第2釘紮區域116。第1釘紮區域113設置於半導體層100S之背面附近，配置於n型半導體區域114與固定電荷膜112之間。第2釘紮區域116設置於像素分離部117之側面、具體而言為像素分離部117與p型井層115或n型半導體區域114之間。第1釘紮區域113及第2釘紮區域116例如由p型半導體區域構成。

【0056】

於半導體層100S與絕緣膜111之間，設置有具有負固定電荷之固定電荷膜112。藉由固定電荷膜112所感應出之電場，於半導體層100S之受光面(背面)側之界面形成作為電洞蓄積層之第1釘紮區域113。藉此，抑制由半導體層100S之受光面側之界面能階引起之暗電流之產生。固定電荷膜112例如由具有負固定電荷之絕緣膜形成。作為該具有負固定電荷之絕緣膜之材料，例如可列舉氧化鉛、氧化銻、氧化鋁、氧化鈦或氧化鉬。

【0057】

於固定電荷膜112與絕緣膜111之間，設置有遮光膜117A。該遮光膜117A可與構成像素分離部117之遮光膜117A連續地設置。該固定電荷膜112與絕緣膜111之間之遮光膜117A例如選擇性地設置於半導體層100S內之與像素分離部117對向之位置。絕緣膜111以覆蓋該遮光膜117A之方式設置。絕緣膜111例如包含氧化矽。

【0058】

設置於半導體層100S與第2基板200之間之配線層100T從半導體層100S側起依序具有層間絕緣膜119、焊墊部120、121、鈍化膜122、層間絕緣膜(第1層間絕緣膜)123及接合膜124。傳輸閘極TG之水平部分TGb例如設置於該配線層100T。層間絕緣膜119遍及半導體層100S之整個正面設置，與半導體層100S相接。層間絕緣膜119例如包含氧化矽膜。再者，配線層100T之構成不限於上述構成，只要為具有配線及絕緣膜之構成即可。

【0059】

圖7B示出圖7A所示之平面構成、及焊墊部120、121之構成。焊墊部120、121設置於層間絕緣膜119上之選擇性區域。焊墊部120用於將像素541A、541B、541C、541D各自之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)相互連接。焊墊部120例如在每個像素共有單元539中，配置於俯視下之像素共有單元539之中央部(圖7B)。該焊墊部120以跨及像素分離部117之方式設置，與浮動擴散部FD1、FD2、FD3、FD4各自之至少一部分重疊而配置(圖6、圖7B)。具體而言，焊墊部120形成於如下區域，即，於與半導體層100S之表面垂直之方向上，與共有像素電路210之複數個浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)各自之至少一部分、及形成於共有該像素電路210之複數個光電二極體PD(光電二極體PD1、PD2、PD3、PD4)之間之像素分離部117之至少一部分重疊的區域。於層間絕緣膜119，設置有用以將焊墊部120與浮動擴散部FD1、FD2、FD3、FD4電性連接之連接孔120C。連接孔120C設置於像素541A、541B、541C、541D之各者。例如，藉由將焊墊部120之一部分嵌

埋於連接孔120C，而將焊墊部120與浮動擴散部FD1、FD2、FD3、FD4電性連接。

【0060】

焊墊部121用於將複數個VSS接點區域118相互連接。例如，藉由焊墊部121將V方向上相鄰之一像素共有單元539之設置於像素541C、541D的VSS接點區域118、與另一像素共有單元539之設置於像素541A、541B之VSS接點區域118電性連接。焊墊部121例如以跨及像素分離部117之方式設置，與該等4個VSS接點區域118各自之至少一部分重疊地配置。具體而言，焊墊部121形成於如下區域，即，於與半導體層100S之表面垂直之方向上，與複數個VSS接點區域118各自之至少一部分、及形成於該等複數個VSS接點區域118之間之像素分離部117之至少一部分重疊的區域。於層間絕緣膜119，設置有用以將焊墊部121與VSS接點區域118電性連接之連接孔121C。連接孔121C設置於像素541A、541B、541C、541D之各者。例如，藉由於連接孔121C嵌埋焊墊部121之一部分，而將焊墊部121與VSS接點區域118電性連接。例如，排列於V方向之複數個像素共有單元539各自之焊墊部120及焊墊部121配置於H方向上之大致相同之位置(圖7B)。

【0061】

藉由設置焊墊部120，可減少整個晶片中之用於從各浮動擴散部FD連接至像素電路210(例如放大電晶體AMP之閘極電極)之配線。同樣，藉由設置焊墊部121，可減少整個晶片中之向各VSS接點區域118供給電位之配線。藉此，能夠實現如下效果等：縮小晶片整體之面積；抑制微細化後之像素之配線間之電氣干擾；及/或因零件件數削減而使得成本削減。

【0062】

焊墊部120、121可設置於第1基板100、第2基板200之所期望之位置。具體而言，可將焊墊部120、121設置於配線層100T、半導體層200S之絕緣區域212之任一者。於設置於配線層100T之情形時，可使焊墊部120、121與半導體層100S直接接觸。具體而言，焊墊部120、121可為與浮動擴散部FD及/或VSS接點區域118之各者之至少一部分直接連接之構成。又，亦可為如下構成：從連接於焊墊部120、121之浮動擴散部FD及/或VSS接點區域118之各者設置連接孔120C、121C，於配線層100T、半導體層200S之絕緣區域2112之所期望之位置設置焊墊部120、121。

【0063】

尤其是，於將焊墊部120、121設置於配線層100T之情形時，可減少半導體層200S之絕緣區域212中之連接於浮動擴散部FD及/或VSS接點區域118之配線。藉此，可削減形成像素電路210之第2基板200中之用於形成貫通配線之絕緣區域212之面積，上述貫通配線用於從浮動擴散部FD連接至像素電路210。因此，能夠確保形成像素電路210之第2基板200之面積較大。藉由確保像素電路210之面積，可使像素電晶體形成得較大，可有助於藉由雜訊減少等來提高畫質。

【0064】

尤其是，於在像素分離部117使用FTI構造之情形時，浮動擴散部FD及/或VSS接點區域118較佳為設置於各像素541，因此，藉由使用焊墊部120、121之構成，可大幅削減將第1基板100與第2基板200連接之配線。

【0065】

又，如圖7B所示，例如連接複數個浮動擴散部FD之焊墊部120與連

接複數個VSS接點區域118之焊墊部121於V方向上呈直線狀交替地配置。又，焊墊部120、121形成於被複數個光電二極體PD、複數個傳輸閘極TG或複數個浮動擴散部FD包圍之位置。藉此，可於形成複數個元件之第1基板100自由地配置除浮動擴散部FD及VSS接點區域118以外之元件，可謀求晶片整體之佈局之效率化。又，能夠確保形成於各像素共有單元539之元件之佈局之對稱性，抑制各像素541之特性之偏差。

【0066】

焊墊部120、121例如包含多晶矽(Poly Si)、更具體而言為添加有雜質之摻雜多晶矽。焊墊部120、121較佳為包含多晶矽、鎢(W)、鈦(Ti)及氮化鈦(TiN)等耐熱性較高之導電性材料。藉此，可於將第2基板200之半導體層200S貼合於第1基板100後，形成像素電路210。以下，說明其理由。再者，於以下說明中，將使第1基板100與第2基板200之半導體層200S貼合後，形成像素電路210之方法稱為第1製造方法。

【0067】

此處，亦可考慮於在第2基板200形成像素電路210後，將其與第1基板100貼合(以下稱為第2製造方法)。於該第2製造方法中，在第1基板100之正面(配線層100T之正面)及第2基板200之正面(配線層200T之正面)分別預先形成電性連接用電極。若將第1基板100與第2基板200貼合，則與此同時，形成於第1基板100之正面與第2基板200之正面之各者之電性連接用電極彼此接觸。藉此，第1基板100所包含之配線與第2基板200所包含之配線之間形成電性連接。因此，藉由設為使用第2製造方法所得之攝像裝置1之構成，例如可根據第1基板100與第2基板200各自之構成，使用適當之程序製造，能夠製造高品質、高性能之攝像裝置。

【0068】

於此種第2製造方法中，將第1基板100與第2基板200貼合時，有時會因貼合用之製造裝置而產生對位之誤差。又，第1基板100及第2基板200例如具有直徑達數十cm左右之大小，於將第1基板100與第2基板200貼合時，有在該第1基板100、第2基板200各部之微觀區域產生基板之伸縮之虞。引起該基板之伸縮之原因在於，基板彼此接觸之時點存在少許偏差。有時會因此種第1基板100及第2基板200之伸縮，而導致形成於第1基板100之正面及第2基板200之正面之各者的電性連接用電極之位置產生誤差。於第2製造方法中，較佳為預先採取應對處理，以使即便產生此種誤差，第1基板100及第2基板200各自之電極彼此亦會接觸。具體而言，預先考慮到上述誤差而使第1基板100及第2基板200之電極之至少一者、較佳為兩者增大。因此，若使用第2製造方法，則例如形成於第1基板100或第2基板200之正面之電極之大小(基板平面方向之大小)大於自第1基板100或第2基板200之內部沿厚度方向延伸至正面之內部電極之大小。

【0069】

另一方面，藉由利用耐熱性之導電材料構成焊墊部120、121，能夠使用上述第1製造方法。於第1製造方法中，形成包含光電二極體PD及傳輸電晶體TR等之第1基板100後，將該第1基板100與第2基板200(半導體層200S)貼合。此時，第2基板200之狀態為尚未形成構成像素電路210之主動元件及配線層等之圖案。由於第2基板200為形成圖案之前之狀態，故即便將第1基板100與第2基板200貼合時，其等之貼合位置產生誤差，亦不會因該貼合誤差而導致第1基板100之圖案與第2基板200之圖案之間之對位產生誤差。其原因在於，第2基板200之圖案係於將第1基板100與第2

基板200貼合後形成。再者，於要在第2基板形成圖案時，例如，於用以形成圖案之曝光裝置中，將形成於第1基板之圖案作為對位對象，而形成圖案。鑒於上述理由，於第1製造方法中，第1基板100與第2基板200之貼合位置之誤差對於製造攝像裝置1不成問題。鑒於相同理由，於第1製造方法中，第2製造方法中產生之基板之伸縮所引起之誤差對於製造攝像裝置1亦不成問題。

【0070】

第1製造方法中，以此方式將第1基板100與第2基板200(半導體層200S)貼合後，於第2基板200上形成主動元件。其後，形成貫通電極120E、121E及貫通電極TGV(圖6)。於上述貫通電極120E、121E、TGV之形成中，例如從第2基板200之上方，使用曝光裝置之縮小投影曝光，形成貫通電極之圖案。由於使用縮小曝光投影，故即便第2基板200與曝光裝置之對位產生誤差，該誤差之大小於第2基板200中亦僅為上述第2製造方法中之誤差之幾分之一(縮小曝光投影倍率之倒數)。因此，藉由設為使用第1製造方法形成之攝像裝置1之構成，形成於第1基板100與第2基板200之各者之元件彼此之對位變得容易，能夠製造高品質、高性能之攝像裝置。

【0071】

使用此種第1製造方法製造之攝像裝置1具有與使用第2製造方法製造之攝像裝置不同之特徵。具體而言，於藉由第1製造方法製造之攝像裝置1中，例如，貫通電極120E、121E、TGV從第2基板200至第1基板100為大致固定之粗細(基板平面方向之大小)。或者，當貫通電極120E、121E、TGV具有錐形形狀時，其係具有固定斜率之錐形形狀。具有此種貫通電極

120E、121E、TGV之攝像裝置1容易使像素541微細化。

【0072】

此處，當藉由第1製造方法製造攝像裝置1時，將第1基板100與第2基板200(半導體層200S)貼合後，於第2基板200形成主動元件，因此第1基板100亦會受到形成主動元件時所需之加熱處理之影響。因此，如上所述，設置於第1基板100之焊墊部120、121較佳為使用耐熱性較高之導電材料。例如，焊墊部120、121較佳為使用與第2基板200之配線層200T中所包含之配線材之至少一部分相比熔點較高(即耐熱性較高)之材料。例如，焊墊部120、121使用摻雜多晶矽、鎢、鈦或者氮化鈦等耐熱性較高之導電材。藉此，可使用上述第1製造方法來製造攝像裝置1。

【0073】

鈍化膜122例如以覆蓋焊墊部120、121之方式，遍及半導體層100S之整個正面設置(圖6)。鈍化膜122例如包含氮化矽(SiN)膜。層間絕緣膜123隔著鈍化膜122覆蓋焊墊部120、121。該層間絕緣膜123例如遍及半導體層100S之整個正面設置。層間絕緣膜123例如包含氧化矽(SiO)膜。接合膜124設置於第1基板100(具體而言為配線層100T)與第2基板200之接合面。即，接合膜124與第2基板200相接。該接合膜124遍及第1基板100之整個主面設置。接合膜124例如包含氮化矽膜。

【0074】

受光透鏡401例如隔著固定電荷膜112及絕緣膜111與半導體層100S對向(圖6)。受光透鏡401設置於例如與像素541A、541B、541C、541D各自之光電二極體PD對向之位置。

【0075】

第2基板200從第1基板100側起依序具有半導體層200S及配線層200T。半導體層200S包含矽基板。於半導體層200S中，遍及厚度方向設置有井區域211。井區域211例如為p型半導體區域。於第2基板200，設置有針對每個像素共有單元539配置之像素電路210。該像素電路210例如設置於半導體層200S之正面側(配線層200T側)。於攝像裝置1中，以第2基板200之背面側(半導體層200S側)朝向第1基板100之正面側(配線層100T側)之方式，將第2基板200貼合於第1基板100。即，第2基板200以面對背(face to back)之方式貼合於第1基板100。

【0076】

圖8～圖12模式性地表示第2基板200之平面構成之一例。圖8中示出設置於半導體層200S之正面附近之像素電路210之構成。圖9模式性地表示配線層200T(具體而言為下述第1配線層W1)、及連接於配線層200T之半導體層200S及第1基板100之各部之構成。圖10～圖12示出配線層200T之平面構成之一例。以下，使用圖6及圖8～圖12對第2基板200之構成進行說明。於圖8及圖9中，以虛線表示光電二極體PD之外形(像素分離部117與光電二極體PD之交界)，以點線表示與構成像素電路210之各電晶體之間極電極重疊之部分之半導體層200S與元件分離區域213或絕緣區域212之交界。於與放大電晶體AMP之間極電極重疊之部分，在通道寬度方向之一方，設置有半導體層200S與元件分離區域213之交界、及元件分離區域213與絕緣區域212之交界。

【0077】

於第2基板200，設置有將半導體層200S分斷之絕緣區域212、及設置於半導體層200S之厚度方向之一部分之元件分離區域213(圖6)。例如，於

在H方向上相鄰之2個像素電路210之間所設置之絕緣區域212，配置有與該等2個像素電路210連接之2個像素共有單元539之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)(圖9)。

【0078】

絕緣區域212具有與半導體層200S之厚度大致相同之厚度(圖6)。半導體層200S由該絕緣區域212分斷。於該絕緣區域212配置有貫通電極120E、121E及貫通電極TGV。絕緣區域212例如包含氧化矽。

【0079】

貫通電極120E、121E係於厚度方向上貫通絕緣區域212而設置。貫通電極120E、121E之上端連接於配線層200T之配線(下述第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。上述貫通電極120E、121E貫通絕緣區域212、接合膜124、層間絕緣膜123及鈍化膜122而設置，其下端連接於焊墊部120、121(圖6)。貫通電極120E用於將焊墊部120與像素電路210電性連接。即，藉由貫通電極120E，將第1基板100之浮動擴散部FD電性連接於第2基板200之像素電路210。貫通電極121E用於將焊墊部121與配線層200T之基準電位線VSS電性連接。即，藉由貫通電極121E將第1基板100之VSS接點區域118電性連接於第2基板200之基準電位線VSS。

【0080】

貫通電極TGV於厚度方向上貫通絕緣區域212而設置。貫通電極TGV之上端連接於配線層200T之配線。該貫通電極TGV貫通絕緣區域212、接合膜124、層間絕緣膜123、鈍化膜122及層間絕緣膜119而設置，其下端連接於傳輸閘極TG(圖6)。此種貫通電極TGV用於將像素541A、541B、

541C、541D各自之傳輸閘極TG(傳輸閘極TG1、TG2、TG3、TG4)與配線層200T之配線(列驅動信號線542之一部分、具體而言為下述圖11之配線TRG1、TRG2、TRG3、TRG4)電性連接。即，藉由貫通電極TGV將第1基板100之傳輸閘極TG與第2基板200之配線TRG電性連接，向各傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)發送驅動信號。

【0081】

絕緣區域212係用於與半導體層200S絕緣地設置上述貫通電極120E、121E及貫通電極TGV之區域，上述貫通電極120E、121E及貫通電極TGV用於將第1基板100與第2基板200電性連接。例如，於在H方向上相鄰之2個像素電路210(像素共有單元539)之間所設置之絕緣區域212，配置有與該等2個像素電路210連接之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)。絕緣區域212例如於V方向上延伸設置(圖8、圖9)。此處，藉由對傳輸閘極TG之水平部分TGb之配置進行設計，而配置成與垂直部分TGa之位置相比，貫通電極TGV之H方向之位置更接近貫通電極120E、121E之H方向之位置(圖7A、圖9)。例如，貫通電極TGV配置於H方向上與貫通電極120E、120E大致相同之位置。藉此，可將貫通電極120E、121E及貫通電極TGV統一設置於在V方向上延伸之絕緣區域212。作為另一配置例，亦可考慮僅於與垂直部分TGa重疊之區域設計水平部分TGb。於此情形時，在垂直部分TGa之大致正上方形成貫通電極TGV，例如於各像素541之H方向及V方向之大致中央部配置貫通電極TGV。此時，貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置大幅偏移。於貫通電極TGV及貫通電極120E、121E之周圍，為了與近接之半導體層200S電性絕緣而例如設置絕緣區域212。

於貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置相隔較遠之情形時，必須於貫通電極120E、121E、TGV各自之周圍獨立地設置絕緣區域212。因此，半導體層200S被細小地分斷。與此相比，於在V方向上延伸之絕緣區域212統一配置貫通電極120E、121E及貫通電極TGV之佈局可使半導體層200S之H方向之大小變大。因此，能夠確保半導體層200S中之半導體元件形成區域之面積較大。藉此，例如，能夠使放大電晶體AMP之尺寸變大，從而抑制雜訊。

【0082】

如參照圖4所作說明，像素共有單元539具有如下構造：將設置於複數個像素541之各者之浮動擴散部FD之間電性連接，該等複數個像素541共有1個像素電路210。而且，上述浮動擴散部FD間之電性連接係藉由設置於第1基板100之焊墊部120而完成(圖6、圖7B)。設置於第1基板100之電性連接部(焊墊部120)與設置於第2基板200之像素電路210經由1個貫通電極120E而電性連接。作為另一構造例，亦可考慮將浮動擴散部FD間之電性連接部設置於第2基板200。於此情形時，在像素共有單元539設置分別與浮動擴散部FD1、FD2、FD3、FD4連接之4個貫通電極。因此，於第2基板200中，貫通半導體層200S之貫通電極之數量增加，使該等貫通電極之周圍絕緣之絕緣區域212變大。與此相比，於第1基板100設置焊墊部120之構造(圖6、圖7B)可減少貫通電極之數量，使絕緣區域212變小。因此，能夠確保半導體層200S中之半導體元件形成區域之面積較大。藉此，例如，能夠使放大電晶體AMP之尺寸變大，從而抑制雜訊。

【0083】

元件分離區域213設置於半導體層200S之正面側。元件分離區域213

具有STI(Shallow Trench Isolation, 淺溝槽隔離)構造。於該元件分離區域213中,半導體層200S於厚度方向(與第2基板200之表面垂直之方向)被刻蝕,於該刻蝕部嵌埋有絕緣膜。該絕緣膜例如包含氧化矽。元件分離區域213根據像素電路210之佈局,將構成像素電路210之複數個電晶體間元件分離。半導體層200S(具體而言為井區域211)延伸至元件分離區域213之下方(半導體層200S之深部)。

【0084】

此處,參照圖7A、圖7B及圖8,說明第1基板100上之像素共有單元539之外形形狀(基板平面方向之外形形狀)與第2基板200上之像素共有單元539之外形形狀之差異。

【0085】

於攝像裝置1中,遍及第1基板100及第2基板200之兩者,設置有像素共有單元539。例如,設置於第1基板100之像素共有單元539之外形形狀與設置於第2基板200之像素共有單元539之外形形狀互不相同。

【0086】

圖7A、圖7B中,以一點鏈線示出像素541A、541B、541C、541D之外形線,以粗線示出像素共有單元539之外形形狀。例如,第1基板100之像素共有單元539包含於H方向上鄰接配置之2個像素541(像素541A、541B)、及與該等2個像素541(像素541A、541B)於V方向上鄰接配置之2個像素541(像素541C、541D)。即,第1基板100之像素共有單元539包含鄰接之2列×2行之4個像素541,第1基板100之像素共有單元539具有大致正方形之外形形狀。於像素陣列部540中,此種像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距),且V方向上為2像素間距(相當

於2個像素541之間距)之方式鄰接排列。

【0087】

圖8及圖9中，以一點鏈線示出像素541A、541B、541C、541D之外形線，以粗線示出像素共有單元539之外形形狀。例如，第2基板200之像素共有單元539之外形形狀於H方向上較第1基板100之像素共有單元539小，於V方向上較第1基板100之像素共有單元539大。例如，第2基板200之像素共有單元539於H方向上以相當於1個像素之大小(區域)形成，於V方向上以相當於4個像素之大小形成。即，第2基板200之像素共有單元539係以相當於鄰接之呈1列×4行排列之像素之大小形成，第2基板200之像素共有單元539具有大致長方形之外形形狀。

【0088】

例如，於各像素電路210中，選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG依序排列配置於V方向(圖8)。如上所述，將各像素電路210之外形形狀設置為大致長方形，藉此，可於一方向(圖8中為V方向)上排列配置4個電晶體(選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG)。藉此，可於一個擴散區域(連接於電源線VDD之擴散區域)共有放大電晶體AMP之汲極及重設電晶體RST之汲極。例如，亦可將各像素電路210之形成區域設置為大致正方形(參照下述圖21)。於此情形時，沿著一方向配置2個電晶體，難以於一個擴散區域共有放大電晶體AMP之汲極及重設電晶體RST之汲極。因此，藉由將像素電路210之形成區域設置為大致長方形，可容易將4個電晶體近接地配置，使像素電路210之形成區域變小。即，可實施像素之微細化。又，於無需使像素電路210之形成區域變小時，可

使放大電晶體AMP之形成區域變大，從而抑制雜訊。

【0089】

例如，於半導體層200S之正面附近，除設置有選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG以外，還設置有與基準電位線VSS連接之VSS接點區域218。VSS接點區域218例如由p型半導體區域構成。VSS接點區域218經由配線層200T之配線及貫通電極121E電性連接於第1基板100(半導體層100S)之VSS接點區域118。該VSS接點區域218例如隔著元件分離區域213，設置於與FD轉換增益切換電晶體FDG之源極相鄰之位置(圖8)。

【0090】

其次，參照圖7B及圖8，說明設置於第1基板100之像素共有單元539與設置於第2基板200之像素共有單元539之位置關係。例如，排列於第1基板100之V方向之2個像素共有單元539中之一(例如圖7B之紙面上側)像素共有單元539與排列於第2基板200之H方向之2個像素共有單元539中之一(例如圖8之紙面左側)像素共有單元539連接。例如，排列於第1基板100之V方向之2個像素共有單元539中之另一(例如圖7B之紙面下側)像素共有單元539與排列於第2基板200之H方向之2個像素共有單元539中之另一(例如圖8之紙面右側)像素共有單元539連接。

【0091】

例如，排列於第2基板200之H方向之2個像素共有單元539中，一像素共有單元539之內部佈局(電晶體等之配置)與使另一像素共有單元539之內部佈局於V方向及H方向上反轉之佈局大致相同。以下，說明藉由該佈局而獲得之效果。

【0092】

排列於第1基板100之V方向之2個像素共有單元539中，各焊墊部120配置於像素共有單元539之外形形狀之中央部、即像素共有單元539之V方向及H方向之中央部(圖7B)。另一方面，如上所述，第2基板200之像素共有單元539具有於V方向上較長之大致長方形之外形形狀，因此，例如連接於焊墊部120之放大電晶體AMP配置在從像素共有單元539之V方向之中央朝紙面上方偏移之位置。例如，當排列於第2基板200之H方向之2個像素共有單元539之內部佈局相同時，一像素共有單元539之放大電晶體AMP與焊墊部120(例如，圖7之紙面上側之像素共有單元539之焊墊部120)之距離相對較短。但是，另一像素共有單元539之放大電晶體AMP與焊墊部120(例如，圖7之紙面下側之像素共有單元539之焊墊部120)之距離變長。因此，有該放大電晶體AMP與焊墊部120之連接所需之配線之面積變大，像素共有單元539之配線佈局變得複雜之虞。該情況可能會對攝像裝置1之微細化產生影響。

【0093】

對此，於排列在第2基板200之H方向之2個像素共有單元539中，使相互之內部佈局至少於V方向上反轉，藉此，可縮短該等2個像素共有單元539之兩者之放大電晶體AMP與焊墊部120之距離。因此，與使排列於第2基板200之H方向之2個像素共有單元539之內部佈局相同之構成相比，更容易實施攝像裝置1之微細化。再者，第2基板200之複數個像素共有單元539各自之平面佈局於圖8所記載之範圍內為左右對稱，但若還包含下述圖9所記載之第1配線層W1之佈局在內，則為左右非對稱。

【0094】

又，排列於第2基板200之H方向之2個像素共有單元539之內部佈局較佳為相互於H方向上亦反轉。以下，說明其理由。如圖9所示，排列於第2基板200之H方向之2個像素共有單元539分別連接於第1基板100之焊墊部120、121。例如，於排列在第2基板200之H方向之2個像素共有單元539的H方向之中央部(排列於H方向之2個像素共有單元539之間)配置有焊墊部120、121。因此，藉由使排列於第2基板200之H方向之2個像素共有單元539之內部佈局相互於H方向上亦反轉，可縮小第2基板200之複數個像素共有單元539之各者與焊墊部120、121之距離。即，容易進一步實施攝像裝置1之微細化。

【0095】

又，第2基板200之像素共有單元539之外形線之位置可不與第1基板100之像素共有單元539之任一外形線之位置一致。例如，排列於第2基板200之H方向之2個像素共有單元539中之一(例如圖9之紙面左側)像素共有單元539中，V方向之其中一條(例如圖9之紙面上側)外形線配置於對應之第1基板100之像素共有單元539(例如圖7B之紙面上側)之V方向之其中一條外形線的外側。又，排列於第2基板200之H方向之2個像素共有單元539中的另一個(例如圖9之紙面右側)像素共有單元539中，V方向之另一條(例如圖9之紙面下側)外形線配置於對應之第1基板100之像素共有單元539(例如圖7B之紙面下側)之V方向之另一條外形線的外側。如此，藉由配置第2基板200之像素共有單元539與第1基板100之像素共有單元539之兩者，能夠縮短放大電晶體AMP與焊墊部120之距離。因此，容易實施攝像裝置1的微細化。

【0096】

又，於第2基板200之複數個像素共有單元539之間，外形線彼此之位置可不一致。例如，排列於第2基板200之H方向之2個像素共有單元539以V方向之外形線之位置偏移之方式配置。藉此，能夠縮短放大電晶體AMP與焊墊部120之距離。因此，容易實施攝像裝置1之微細化。

【0097】

參照圖7B及圖9，對像素陣列部540中之像素共有單元539之重複配置進行說明。第1基板100之像素共有單元539具有於H方向上為2個像素541之大小、及於V方向上為2個像素541之大小(圖7B)。例如，於第1基板100之像素陣列部540中，該相當於4個像素541之大小之像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為2像素間距(相當於2個像素541之間距)之方式鄰接地重複排列。或者，亦可於第1基板100之像素陣列部540設置2個像素共有單元539於V方向上鄰接配置而成之一對像素共有單元539。於第1基板100之像素陣列部540中，例如，該一對像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為4像素間距(相當於4個像素541之間距)之方式鄰接地重複排列。第2基板200之像素共有單元539具有於H方向上為1個像素541之大小、及於V方向上為4個像素541之大小(圖9)。例如，於第2基板200之像素陣列部540，設置有一對像素共有單元539，該一對像素共有單元539包含2個該相當於4個像素541之大小之像素共有單元539。該像素共有單元539於H方向上鄰接配置，且上於V方向錯開地配置。於第2基板200之像素陣列部540中，例如該一對像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為4像素間距(相當於4個像素541之間距)之方式，無間隙而鄰接地重複排列。藉由此種像素共有單元

539之重複配置，可無間隙地配置像素共有單元539。因此，容易實施攝像裝置1之微細化。

【0098】

放大電晶體AMP例如較佳為鰭(Fin)式等三維構造(圖6)。藉此，閘極寬度之有效大小變大，能夠抑制雜訊。選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG例如具有平面構造。放大電晶體AMP可具有平面構造。或者，選擇電晶體SEL、重設電晶體RST或FD轉換增益切換電晶體FDG可具有三維構造。

【0099】

配線層200T例如包含鈍化膜221、層間絕緣膜222及複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。鈍化膜221例如與半導體層200S之正面相接，覆蓋半導體層200S之整個正面。該鈍化膜221覆蓋選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG各自之閘極電極。層間絕緣膜222設置於鈍化膜221與第3基板300之間。藉由該層間絕緣膜222將複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)分離。層間絕緣膜222例如包含氧化矽。

【0100】

於配線層200T，例如從半導體層200S側起，依序設置有第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4及接點部201、202，其等藉由層間絕緣膜222而相互絕緣。於層間絕緣膜222，設置有複數個連接部，該等連接部將第1配線層W1、第2配線層W2、第3配線層W3或第4配線層W4與其等之下層連接。連接部係於設置在層間絕緣膜222之連接

孔埋設有導電材料之部分。例如，於層間絕緣膜222，設置有將第1配線層W1與半導體層200S之VSS接點區域218連接之連接部218V。例如，此種連接第2基板200之元件彼此之連接部之孔徑與貫通電極120E、121E及貫通電極TGV之孔徑不同。具體而言，連接第2基板200之元件彼此之連接孔之孔徑較佳為小於貫通電極120E、121E及貫通電極TGV之孔徑。以下，說明其理由。設置於配線層200T內之連接部(連接部218V等)之深度小於貫通電極120E、121E及貫通電極TGV之深度。因此，連接部與貫通電極120E、121E及貫通電極TGV相比，可容易地向連接孔嵌埋導電材。藉由使該連接部之孔徑小於貫通電極120E、121E及貫通電極TGV之孔徑，容易實施攝像裝置1之微細化。

【0101】

例如，藉由第1配線層W1，將貫通電極120E與放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極(具體而言為到達FD轉換增益切換電晶體FDG之源極之連接孔)連接。第1配線層W1例如將貫通電極121E與連接部218V連接，藉此，將半導體層200S之VSS接點區域218與半導體層100S之VSS接點區域118電性連接。

【0102】

其次，使用圖10～圖12，對配線層200T之平面構成進行說明。圖10係表示第1配線層W1及第2配線層W2之平面構成之一例的圖。圖11係表示第2配線層W2及第3配線層W3之平面構成之一例的圖。圖12係表示第3配線層W3及第4配線層W4之平面構成之一例的圖。

【0103】

例如，第3配線層W3包含於H方向(列方向)上延伸之配線TRG1、

TRG2、TRG3、TRG4、SELL、RSTL、FDGL(圖11)。該等配線相當於參照圖4說明之複數條列驅動信號線542。配線TRG1、TRG2、TRG3、TRG4分別用於向傳輸閘極TG1、TG2、TG3、TG4發送驅動信號。配線TRG1、TRG2、TRG3、TRG4分別經由第2配線層W2、第1配線層W1及貫通電極120E連接於傳輸閘極TG1、TG2、TG3、TG4。配線SELL用於向選擇電晶體SEL之閘極發送驅動信號，配線RSTL用於向重設電晶體RST之閘極發送驅動信號，配線FDGL用於向FD轉換增益切換電晶體FDG之閘極發送驅動信號。配線SELL、RSTL、FDGL分別經由第2配線層W2、第1配線層W1及連接部而連接於選擇電晶體SEL、重設電晶體RST、FD轉換增益切換電晶體FDG各自之閘極。

【0104】

例如，第4配線層W4包含於V方向(行方向)上延伸之電源線VDD、基準電位線VSS及垂直信號線543(圖12)。電源線VDD經由第3配線層W3、第2配線層W2、第1配線層W1及連接部而連接於放大電晶體AMP之汲極及重設電晶體RST之汲極。基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1及連接部218V而連接於VSS接點區域218。又，基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1、貫通電極121E及焊墊部121而連接於第1基板100之VSS接點區域118。垂直信號線543經由第3配線層W3、第2配線層W2、第1配線層W1及連接部而連接於選擇電晶體SEL之源極(Vout)。

【0105】

接點部201、202可設置於俯視下與像素陣列部540重疊之位置(例如圖3)，或者可設置於像素陣列部540之外側之周邊部540B(例如圖6)。接點

部201、202設置於第2基板200之正面(配線層200T側之面)。接點部201、202包含例如Cu(銅)及Al(鋁)等金屬。接點部201、202於配線層200T之正面(第3基板300側之面)露出。接點部201、202被用於第2基板200與第3基板300之電性連接、及第2基板200與第3基板300之貼合。

【0106】

圖6中，圖示出於第2基板200之周邊部540B設置有周邊電路之例。該周邊電路可包含列驅動部520之一部分或行信號處理部550之一部分等。又，如圖3中所記載，可不於第2基板200之周邊部540B配置周邊電路，而將連接孔部H1、H2配置於像素陣列部540之附近。

【0107】

第3基板300例如從第2基板200側起依序具有配線層300T及半導體層300S。例如，半導體層300S之正面設置於第2基板200側。半導體層300S包含矽基板。於該半導體層300S之正面側之部分，設置有電路。具體而言，於半導體層300S之正面側之部分，例如設置有輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B中之至少一部分。設置於半導體層300S與第2基板200之間之配線層300T例如包含層間絕緣膜、由該層間絕緣膜分離之複數條配線層、及接點部301、302。接點部301、302於配線層300T之正面(第2基板200側之面)露出，接點部301與第2基板200之接點部201相接，接點部302與第2基板200之接點部202相接。接點部301、302與形成於半導體層300S之電路(例如輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B之至少任一者)電性連接。接點部301、302例如包含Cu(銅)及鋁(Al)等金屬。例如，外部端子TA經由連接

孔部H1連接於輸入部510A，外部端子TB經由連接孔部H2連接於輸出部510B。

【0108】

此處，對攝像裝置1之特徵進行說明。

【0109】

一般而言，攝像裝置包含光電二極體及像素電路作為主要構成。此處，若增大光電二極體之面積，則光電轉換後產生之電荷增加，其結果，將改善像素信號之信號/雜訊比(S/N比)，攝像裝置能夠輸出更佳之圖像資料(圖像資訊)。另一方面，若增大像素電路中所包含之電晶體之尺寸(尤其是放大電晶體之尺寸)，則像素電路中產生之雜訊減少，其結果，將改善攝像信號之S/N比，攝像裝置能夠輸出更佳之圖像資料(圖像資訊)。

【0110】

但是，對於在同一半導體基板上設置有光電二極體及像素電路之攝像裝置，認為若在半導體基板之有限之面積中增大光電二極體之面積，則會導致像素電路所具備之電晶體之尺寸變小。又，認為若增大像素電路所具備之電晶體之尺寸，則會導致光電二極體之面積變小。

【0111】

為了解決該等問題，例如，本實施形態之攝像裝置1使用如下構造：複數個像素541共有1個像素電路210，且將共有之像素電路210與光電二極體PD重疊地配置。藉此，能夠實現於半導體基板之有限之面積中，儘可能地增大光電二極體PD之面積，且儘可能地增大像素電路210所具備之電晶體之尺寸。藉此，能夠改善像素信號之S/N比，攝像裝置1能夠輸出更佳之圖像資料(圖像資訊)。

【0112】

於實現複數個像素541共有1個像素電路210，且將該1個像素電路210與光電二極體PD重疊配置之構造時，連接於1個像素電路210之複數條配線從複數個像素541各自之浮動擴散部FD延伸。為了確保形成像素電路210之半導體基板200之面積較大，例如可將該等延伸之複數條配線之間相互連接，形成彙總為1條之連接配線。關於從VSS接點區域118延伸之複數條配線亦同樣可將延伸之複數條配線之間相互連接，形成彙總為1條之連接配線。

【0113】

例如，認為當於形成像素電路210之半導體基板200上，形成將從複數個像素541各自之浮動擴散部FD延伸之複數條配線之間相互連接之連接配線時，會導致供形成像素電路210所包含之電晶體之面積變小。同樣，認為當於形成像素電路210之半導體基板200上，形成將從複數個像素541各自之VSS接點區域118延伸之複數條配線之間相互連接並彙總為1條的連接配線時，會因此導致供形成像素電路210所包含之電晶體之面積變小。

【0114】

為了解決該等問題，例如本實施形態之攝像裝置1可具備如下構造，即，複數個像素541共有1個像素電路210，且將共有之像素電路210與光電二極體PD重疊地配置，於第1基板100設置有將上述複數個像素541各自之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線。

【0115】

此處，若使用上文所述的第2製造方法作為用以將下述連接配線設置於第1基板100之製造方法，則例如可根據第1基板100及第2基板200各自之構成，使用適當之程序進行製造，能夠製造高品質、高性能之攝像裝置，上述連接配線係指將上述複數個像素541各自之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS接點區域118之間相互連接後彙總為1條之連接配線。又，能夠利用簡單之程序形成第1基板100及第2基板200之連接配線。具體而言，於使用上述第2製造方法之情形時，於成為第1基板100與第2基板200之貼合交界面之第1基板100之正面與第2基板200之正面，分別設置連接於浮動擴散部FD之電極、及連接於VSS接點區域118之電極。進而，較佳為使形成於該等2個基板正面之電極增大，以使得於將第1基板100與第2基板200貼合時，即便設置於該等2個基板正面之電極間產生位置偏移，形成於該等2個基板正面之電極彼此亦會接觸。於此情形時，認為難以於攝像裝置1所具備之各像素之有限之面積中配置上述電極。

【0116】

為了解決於第1基板100與第2基板200之貼合交界面處需要較大電極之問題，例如本實施形態之攝像裝置1可使用上文所述之第1製造方法作為複數個像素541共有1個像素電路210，且將所共有之像素電路210與光電二極體PD重疊地配置之製造方法。藉此，形成於第1基板100及第2基板200之各者之元件彼此之對位變得容易，從而能夠製造高品質、高性能之攝像裝置。進而，可具備藉由使用該製造方法而產生之固有構造。即，具備將第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S及配線層200T依序積層而得之構造、換言之、將第1基板100與第2基

板200以面對背之方式積層而得之構造，且具備貫通電極120E、121E，上述貫通電極120E、121E係從第2基板200之半導體層200S之正面側，貫通半導體層200S及第1基板100之配線層100T後到達第1基板100之半導體層100S之正面。

【0117】

於第1基板100設置有將上述複數個像素541各自之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS接點區域118之間相互連接後彙總為1條之連接配線的構造中，使用上述第1製造方法將該構造與第2基板200積層而於第2基板200形成像素電路210時，形成像素電路210所具備之主動元件時所需之加熱處理有可能會影響到第1基板100上所形成之上述連接配線。

【0118】

因此，為了解決形成上述主動元件時之加熱處理會對上述連接配線造成影響之問題，本實施形態之攝像裝置1較理想的是，對將上述複數個像素541各自之浮動擴散部FD彼此相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS接點區域118之間相互連接後彙總為1條之連接配線使用耐熱性較高之導電材料。具體而言，耐熱性較高之導電材料可使用與第2基板200之配線層200T中所包含之配線材之至少一部分相比熔點較高之材料。

【0119】

如此，例如本實施形態之攝像裝置1藉由具備如下構造，可不於第1基板100與第2基板200之界面具備較大之電極，而於第1基板100設置將複數個像素541各自所具備之浮動擴散部FD之間相互連接後彙總為1條之連

接配線、及將複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線，上述構造係指：(1)將第1基板100與第2基板200以面對背之方式積層而得之構造(具體而言，將第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S及配線層200T依序積層之構造)；(2)設置有貫通電極120E、121E之構造，上述貫通電極120E、121E係從第2基板200之半導體層200S之正面側，貫通半導體層200S及第1基板100之配線層100T後到達第1基板100之半導體層100S之正面；及(3)利用耐熱性較高之導電材料形成將複數個像素541各自所具備之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線的構造。

【0120】

[攝像裝置1之動作]

其次，使用圖13及圖14對攝像裝置1之動作進行說明。圖13及圖14係對圖3補充了表示各信號之路徑之箭頭之圖。圖13係以箭頭表示從外部輸入至攝像裝置1之輸入信號、電源電位及基準電位之路徑之圖。圖14係以箭頭表示從攝像裝置1輸出至外部之像素信號之信號路徑之圖。例如，經由輸入部510A輸入至攝像裝置1之輸入信號(例如像素時脈及同步信號)被傳送至第3基板300之列驅動部520，由列驅動部520產生列驅動信號。該列驅動信號經由接點部301、201發送至第2基板200。進而，該列驅動信號經由配線層200T內之列驅動信號線542，到達像素陣列部540之各像素共有單元539。到達第2基板200之像素共有單元539之列驅動信號中之除傳輸閘極TG以外之驅動信號被輸入至像素電路210，將像素電路210中所包含之各電晶體驅動。傳輸閘極TG之驅動信號經由貫通電極TGV輸入至

第1基板100之傳輸閘極TG1、TG2、TG3、TG4，將像素541A、541B、541C、541D驅動(圖13)。又，從攝像裝置1之外部供給至第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部301、201發送至第2基板200，經由配線層200T內之配線，供給至像素共有單元539各自之像素電路210。基準電位亦進而經由貫通電極121E供給至第1基板100之像素541A、541B、541C、541D。另一方面，第1基板100之像素541A、541B、541C、541D中經光電轉換之像素信號經由貫通電極120E針對每個像素共有單元539分別發送至第2基板200之像素電路210。基於該像素信號而產生之像素信號從像素電路210經由垂直信號線543及接點部202、302發送至第3基板300。該像素信號經第3基板300之行信號處理部550及圖像信號處理部560進行處理後，經由輸出部510B輸出至外部。

【0121】

[效果]

本實施形態中，像素541A、541B、541C、541D(像素共有單元539)與像素電路210設置於互不相同之基板(第1基板100及第2基板200)。藉此，與使像素541A、541B、541C、541D及像素電路210形成於同一基板之情形相比，可擴大像素541A、541B、541C、541D及像素電路210之面積。其結果，能夠增大藉由光電轉換而獲得之像素信號之量，且能夠減少像素電路210之電晶體雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。又，能夠實現攝像裝置1之微細化(換言之，像素尺寸之縮小及攝像裝置1之小型化)。攝像裝置1藉由縮小像素尺寸，能夠使每單位面積之像素數增加，能夠輸出高畫質之圖像。

【0122】

又，於攝像裝置1中，藉由設置於絕緣區域212之貫通電極120E、121E將第1基板100與第2基板200相互電性連接。例如，亦可考慮藉由焊墊電極彼此之接合將第1基板100與第2基板200連接之方法、或藉由貫通半導體層之貫通配線(例如TSV(Thorough Si Via，矽穿孔))連接之方法。與此種方法相比，藉由於絕緣區域212設置貫通電極120E、121E，能夠縮小第1基板100及第2基板200之連接所需之面積。藉此，可縮小像素尺寸，使攝像裝置1更小型化。又，藉由單位像素之面積之進一步微細化，能夠進一步提高解像度。於無需晶片尺寸之小型化時，可擴大像素541A、541B、541C、541D及像素電路210之形成區域。其結果，能夠增大藉由光電轉換而獲得之像素信號之量，且能夠減少像素電路210所具備之電晶體之雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0123】

又，於攝像裝置1中，像素電路210與行信號處理部550及圖像信號處理部560設置於互不相同之基板(第2基板200及第3基板300)。藉此，相比將像素電路210與行信號處理部550及圖像信號處理部560形成於同一基板之情形，可擴大像素電路210之面積、行信號處理部550及圖像信號處理部560之面積。藉此，能夠減少於行信號處理部550產生之雜訊，能夠於圖像信號處理部560搭載更高級之圖像處理電路。因此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0124】

又，於攝像裝置1中，將像素陣列部540設置於第1基板100及第2基板

200，且將行信號處理部550及圖像信號處理部560設置於第3基板300。又，將第2基板200與第3基板300連接之接點部201、202、301、302形成於像素陣列部540之上方。因此，接點部201、202、301、302可不受像素陣列所具備之各種配線之佈局上之干擾而自由地佈局。藉此，可將接點部201、202、301、302用於第2基板200與第3基板300之電性連接。藉由使用接點部201、202、301、302，例如行信號處理部550及圖像信號處理部560之佈局自由度提高。藉此，能夠減少於行信號處理部550產生之雜訊，能夠於圖像信號處理部560搭載更高級之圖像處理電路。因此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0125】

又，於攝像裝置1中，像素分離部117貫通半導體層100S。藉此，即便於因單位像素之面積之微細化而使相鄰之像素(像素541A、541B、541C、541D)之距離接近之情形時，亦能夠抑制像素541A、541B、541C、541D之間之混色。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0126】

又，於攝像裝置1中，於每個像素共有單元539均設置有像素電路210。藉此，與將像素電路210設置於像素541A、541B、541C、541D之各者情形相比，能夠使構成像素電路210之電晶體(放大電晶體AMP、重設電晶體RST、選擇電晶體SEL、FD轉換增益切換電晶體FDG)之形成區域增大。例如，藉由使放大電晶體AMP之形成區域增大，能夠抑制雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之

像素資料(圖像資訊)。

【0127】

進而，於攝像裝置1中，於第1基板100設置有將4個像素(像素541A、541B、541C、541D)之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)電性連接之焊墊部120。藉此，與將此種焊墊部120設置於第2基板200之情形相比，能夠減少將第1基板100與第2基板200連接之貫通電極(貫通電極120E)之數量。因此，能夠使絕緣區域212變小，能夠以充分之大小確保構成像素電路210之電晶體之形成區域(半導體層200S)。藉此，能夠減少像素電路210所具備之電晶體之雜訊，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0128】

以下，對上述實施形態之攝像裝置1之變化例進行說明。於以下之變化例中，對與上述實施形態共通之構成附上相同符號進行說明。

【0129】

<2.變化例1>

圖15～圖19係表示上述實施形態之攝像裝置1之平面構成之一變化例之圖。圖15模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖8。圖16模式性地表示第1配線層W1、連接於第1配線層W1之半導體層200S及第1基板100之各部之構成，對應於上述實施形態中所說明之圖9。圖17表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖10。圖18表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖11。圖19表示第3配線層W3及第4配線層W4之平面構

成之一例，對應於上述實施形態中所說明之圖12。

【0130】

於本變化例中，如圖16所示，排列於第2基板200之H方向之2個像素共有單元539中之一(例如紙面右側)像素共有單元539之內部佈局成為使另一(例如紙面左側)像素共有單元539之內部佈局僅於H方向上反轉後之構成。又，一像素共有單元539之外形線與另一像素共有單元539之外形線之間之V方向之偏移較上述實施形態中所說明之偏移(圖9)大。如此，藉由增大V方向之偏移，能夠縮小另一像素共有單元539之放大電晶體AMP與連接於其之焊墊部120(圖7中所記載之排列於V方向之2個像素共有單元539中之另一(紙面下側)焊墊部120)之間之距離。藉由此種佈局，圖15～圖19中所記載之攝像裝置1之變化例1可在不使排列於H方向之2個像素共有單元539之平面佈局在V方向上相互反轉下，使其面積與上述實施形態中所說明之第2基板200之像素共有單元539之面積相同。再者，第1基板100之像素共有單元539之平面佈局與上述實施形態中所說明之平面佈局(圖7A、圖7B)相同。因此，本變化例之攝像裝置1能夠獲取與上述實施形態中所說明之攝像裝置1相同之效果。第2基板200之像素共有單元539之配置不限於上述實施形態及本變化例中所說明之配置。

【0131】

<3.變化例2>

圖20～圖25係表示上述實施形態之攝像裝置1之平面構成之一變化例的圖。圖20模式性地表示第1基板100之平面構成，對應於上述實施形態中所說明之圖7A。圖21模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖8。圖22模式性地表示

第1配線層W1、連接於第1配線層W1之半導體層200S及第1基板100各部之構成，對應於上述實施形態中所說明之圖9。圖23表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖10。圖24表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖11。圖25表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中所說明之圖12。

【0132】

於本變化例中，各像素電路210之外形具有大致正方形之平面形狀(圖21等)。於該方面，本變化例之攝像裝置1之平面構成與上述實施形態中所說明之攝像裝置1之平面構成不同。

【0133】

例如，第1基板100之像素共有單元539與上述實施形態中所作說明相同，遍及2列×2行之像素區域形成，具有大致正方形之平面形狀(圖20)。例如，於各像素共有單元539中，一像素行之像素541A及像素541C之傳輸閘極TG1、TG3之水平部分TGb朝從與垂直部分TGa重疊之位置朝向H方向上之像素共有單元539之中央部之方向(更具體而言，朝向像素541A、541C之外緣之方向且朝向像素共有單元539之中央部之方向)延伸，另一像素行之像素541B及像素541D之傳輸閘極TG2、TG4之水平部分TGb朝從與垂直部分TGa重疊之位置朝向H方向上之像素共有單元539之外側之方向(更具體而言，朝向像素541B、541D之外緣之方向且朝向像素共有單元539之外側之方向)延伸。連接於浮動擴散部FD之焊墊部120設置在像素共有單元539之中央部(像素共有單元539之H方向及V方向之中央部)，連接於VSS接點區域118之焊墊部121至少於H方向上(圖20中之H方

向及V方向上)設置於像素共有單元539之端部。

【0134】

作為另一配置例，亦可考慮僅於與垂直部分TGa對向之區域設置傳輸閘極TG1、TG2、TG3、TG4之水平部分TGb。此時，與上述實施形態中所說明之內容相同，容易將半導體層200S細小地分斷。因此，不易使像素電路210之電晶體形成得較大。另一方面，當使傳輸閘極TG1、TG2、TG3、TG4之水平部分TGb如上述變化例般，從與垂直部分TGa重疊之位置朝H方向延伸時，與上述實施形態中所作說明相同，能夠增大半導體層200S之寬度。具體而言，能夠以近接於貫通電極120E之H方向之位置之方式，配置與傳輸閘極TG1、TG3連接之貫通電極TGV1、TGV3之H方向之位置，且能夠以近接於貫通電極121E之H方向之位置之方式，配置與傳輸閘極TG2、TG4連接之貫通電極TGV2、TGV4之H方向之位置(圖22)。藉此，與上述實施形態中所作說明相同，能夠使於V方向上延伸之半導體層200S之寬度(H方向之大小)變大。因此，能夠增大像素電路210之電晶體之尺寸、尤其是放大電晶體AMP之尺寸。其結果，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0135】

第2基板200之像素共有單元539例如與第1基板100之像素共有單元539之H方向及V方向之大小大致相同，例如遍及與大致2列×2行之像素區域對應之區域設置。例如，於各像素電路210中，選擇電晶體SEL及放大電晶體AMP以排列於V方向之方式配置於在V方向上延伸之1個半導體層200S，FD轉換增益切換電晶體FDG及重設電晶體RST以排列於V方向之方式配置於在V方向上延伸之1個半導體層200S。設置有該選擇電晶體

SEL及放大電晶體AMP之1個半導體層200S與設置有FD轉換增益切換電晶體FDG及重設電晶體RST之1個半導體層200S介隔絕緣區域212排列於H方向。該絕緣區域212於V方向上延伸(圖21)。

【0136】

此處，參照圖21及圖22對第2基板200之像素共有單元539之外形進行說明。例如，圖20所示之第1基板100之像素共有單元539與設置於焊墊部120之H方向之一側(圖22之紙面左側)之放大電晶體AMP及選擇電晶體SEL、以及設置於焊墊部120之H方向之另一側(圖22之紙面右側)之FD轉換增益切換電晶體FDG及重設電晶體RST連接。包含該放大電晶體AMP、選擇電晶體SEL、FD轉換增益切換電晶體FDG及重設電晶體RST之第2基板200之像素共有單元539之外形係由以下之4個外緣決定。

【0137】

第1外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S的V方向之一端(圖22之紙面上側之端部)之外緣。該第1外緣設置於該像素共有單元539中所包含之放大電晶體AMP、與在該像素共有單元539之V方向之一側(圖22之紙面上側)相鄰之像素共有單元539中所包含之選擇電晶體SEL之間。更具體而言，第1外緣設置於該等放大電晶體AMP與選擇電晶體SEL之間之元件分離區域213之V方向的中央部。第2外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S的V方向之另一端(圖22之紙面下側之端部)之外緣。該第2外緣設置於該像素共有單元539中所包含之選擇電晶體SEL、與在該像素共有單元539之V方向之另一側(圖22之紙面下側)相鄰之像素共有單元539中所包含之放大電晶體AMP之間。更具體而言，第2外緣設置於該等選擇電晶體SEL與放大電晶體AMP之間之元

件分離區域213之V方向之中央部。第3外緣係包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S的V方向之另一端(圖22之紙面下側之端部)之外緣。該第3外緣設置於該像素共有單元539中所包含之FD轉換增益切換電晶體FDG、與在該像素共有單元539之V方向之另一側(圖22之紙面下側)相鄰之像素共有單元539中所包含之重設電晶體RST之間。更具體而言，第3外緣設置於該等FD轉換增益切換電晶體FDG與重設電晶體RST之間之元件分離區域213之V方向的中央部。第4外緣係包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S的V方向之一端(圖22之紙面上側之端部)之外緣。該第4外緣設置於該像素共有單元539中所包含之重設電晶體RST、與在該像素共有單元539之V方向之一側(圖22之紙面上側)相鄰之像素共有單元539中所包含之FD轉換增益切換電晶體FDG(未圖示)之間。更具體而言，第4外緣設置於該等重設電晶體RST與FD轉換增益切換電晶體FDG之間之元件分離區域213(未圖示)之V方向的中央部。

【0138】

此種包含第1、第2、第3、第4外緣之第2基板200之像素共有單元539之外形中，第3、第4外緣相對於第1、第2外緣朝V方向之一側偏移地配置(換言之，朝V方向之一側偏移)。藉由使用此種佈局，可使放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極均儘可能地近接於焊墊部120配置。因此，容易使連接該等之配線之面積變小，容易實施攝像裝置1之微細化。再者，VSS接點區域218設置於包含選擇電晶體SEL及放大電晶體AMP之半導體層200S、與包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S之間。例如，複數個像素電路210具有相互

相同之配置。

【0139】

具有此種第2基板200之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。第2基板200之像素共有單元539之配置不限於上述實施形態及本變化例中所說明之配置。

【0140】

<4.變化例3>

圖26～圖31係表示上述實施形態之攝像裝置1之平面構成之一變化例的圖。圖26模式性地表示第1基板100之平面構成，對應於上述實施形態中所說明之圖7B。圖27模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖8。圖28模式性地表示第1配線層W1、及連接於第1配線層W1之半導體層200S及第1基板100之各部之構成，對應於上述實施形態中所說明之圖9。圖29表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖10。圖30表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖11。圖31表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中所說明之圖12。

【0141】

於本變化例中，第2基板200之半導體層200S在H方向上延伸(圖28)。即，大致對應於使上述圖21等所示之攝像裝置1之平面構成旋轉90度後之構成。

【0142】

例如，與上述實施形態中所作說明相同，第1基板100之像素共有單

元539遍及2列×2行之像素區域形成，具有大致正方形之平面形狀(圖26)。例如，於各像素共有單元539中，一像素列之像素541A及像素541B之傳輸閘極TG1、TG2於V方向上朝向像素共有單元539之中央部延伸，另一像素列之像素541C及像素541D之傳輸閘極TG3、TG4於V方向上朝像素共有單元539之外側方向延伸。與浮動擴散部FD連接之焊墊部120設置於像素共有單元539之中央部，與VSS接點區域118連接之焊墊部121至少於V方向上設置於(圖26中之V方向及H方向上)像素共有單元539之端部。此時，傳輸閘極TG1、TG2之貫通電極TGV1、TGV2之V方向之位置接近貫通電極120E之V方向之位置，傳輸閘極TG3、TG4之貫通電極TGV3、TGV4之V方向之位置接近貫通電極121E之V方向之位置(圖28)。因此，鑒於與上述實施形態中所說明之理由相同之理由，可增大於H方向上延伸之半導體層200S之寬度(V方向之大小)。因此，可增大放大電晶體AMP之尺寸，從而抑制雜訊。

【0143】

於各像素電路210中，選擇電晶體SEL及放大電晶體AMP排列配置於H方向，於隔著絕緣區域212在V方向上與選擇電晶體SEL相鄰之位置配置有重設電晶體RST(圖27)。FD轉換增益切換電晶體FDG與重設電晶體RST排列配置於H方向。VSS接點區域218呈島狀設置於絕緣區域212。例如，第3配線層W3於H方向上延伸(圖30)，第4配線層W4於V方向上延伸(圖31)。

【0144】

具有此種第2基板200之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。第2基板200之像素共有單元539之配置不限於上述實

施形態及本變化例中所說明之配置。例如，上述實施形態及變化例1中所說明之半導體層200S可於H方向上延伸。

【0145】

<5.變化例4>

圖32係模式性地表示上述實施形態之攝像裝置1之剖面構成之一變化例的圖。圖32對應於上述實施形態中所說明之圖3。於本變化例中，攝像裝置1除具有接點部201、202、301、302以外，於與像素陣列部540之中央部對向之位置還具有接點部203、204、303、304。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

【0146】

接點部203、204設置於第2基板200，與第3基板300之接合面露出。接點部303、304設置於第3基板300，於與第2基板200之接合面露出。接點部203與接點部303相接，接點部204與接點部304相接。即，於該攝像裝置1中，第2基板200與第3基板300除藉由接點部201、202、301、302連接以外，還藉由接點部203、204、303、304連接。

【0147】

其次，使用圖33及圖34對該攝像裝置1之動作進行說明。圖33中以箭頭表示從外部輸入至攝像裝置1之輸入信號、電源電位及基準電位之路徑。圖34中，以箭頭表示從攝像裝置1輸出至外部之像素信號之信號路徑。例如，經由輸入部510A輸入至攝像裝置1之輸入信號被傳送至第3基板300之列驅動部520，由列驅動部520產生列驅動信號。該列驅動信號經由接點部303、203發送至第2基板200。進而，該列驅動信號經由配線層200T內之列驅動信號線542，到達像素陣列部540之各像素共有單元539。

到達第2基板200之像素共有單元539之列驅動信號中之除傳輸閘極TG以外之驅動信號被輸入至像素電路210，將像素電路210中所包含之各電晶體驅動。傳輸閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳輸閘極TG1、TG2、TG3、TG4，將像素541A、541B、541C、541D驅動。又，從攝像裝置1之外部供給至第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部303、203發送至第2基板200，經由配線層200T內之配線，供給至像素共有單元539各自之像素電路210。基準電位進而亦經由貫通電極121E供給至第1基板100之像素541A、541B、541C、541D。另一方面，第1基板100之像素541A、541B、541C、541D中經光電轉換之像素信號針對每個像素共有單元539分別發送至第2基板200之像素電路210。基於該像素信號而產生之像素信號從像素電路210經由垂直信號線543及接點部204、304發送至第3基板300。該像素信號經第3基板300之行信號處理部550及圖像信號處理部560進行處理後，經由輸出部510B輸出至外部。

【0148】

具有此種接點部203、204、303、304之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。可根據經過接點部303、304之作為配線之連接端的第3基板300之電路等之設計來變更接點部之位置及數量等。

【0149】

<6.變化例5>

圖35係表示上述實施形態之攝像裝置1之剖面構成之一變化例的圖。圖35對應於上述實施形態中所說明之圖6。於本變化例中，在第1基板100

設置有具有平面構造之傳輸電晶體TR。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

【0150】

該傳輸電晶體TR之傳輸閘極TG僅由水平部分TGb構成。換言之，傳輸閘極TG不具有垂直部分TGa，而與半導體層100S對向地設置。

【0151】

具有此種平面構造之傳輸電晶體TR之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。進而，亦可想到，藉由於第1基板100設置平面型之傳輸閘極TG，與於第1基板100設置垂直型之傳輸閘極TG之情形相比，可使光電二極體PD形成至更靠半導體層100S之正面附近為止，因此使得飽和信號量(Qs)增加。又，亦可想到，於第1基板100形成平面型之傳輸閘極TG之方法與於第1基板100形成垂直型之傳輸閘極TG之方法相比，製造工序數較少，不易產生由製造工序造成之對光電二極體PD之不良影響。

【0152】

<7.變化例6>

圖36係表示上述實施形態之攝像裝置1之像素電路之一變化例的圖。圖36對應於上述實施形態中所說明之圖4。於本變化例中，每一個像素(像素541A)均設置有像素電路210。即，像素電路210並非複數個像素所共有。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

【0153】

本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1之相同

點在於，將像素541A與像素電路210設置於互不相同之基板(第1基板100及第2基板200)。因此，本變化例之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。

【0154】

<8.變化例7>

圖37係表示上述實施形態中所說明之像素分離部117之平面構成之一變化例的圖。可於包圍像素541A、541B、541C、541D之各者之像素分離部117設置間隙。即，像素541A、541B、541C、541D可不被像素分離部117包圍全周。例如，像素分離部117之間隙設置於焊墊部120、121附近(參照圖7B)。

【0155】

於上述實施形態中，說明了像素分離部117具有貫通半導體層100S之FTI構造之例(參照圖6)，但像素分離部117亦可具有除FTI構造以外之構成。例如，像素分離部117可不設置為完全貫通半導體層100S，亦可具有所謂之DTI(Deep Trench Isolation)構造。

【0156】

<9.變化例8>

然，於目前為止所說明之實施形態中，設為包含放大電晶體AMP、重設電晶體RST及選擇電晶體SEL之像素電路210設置於第2基板200進行說明。換言之，關於目前為止所說明之實施形態，放大電晶體AMP、重設電晶體RST及選擇電晶體SEL形成於相同之基板200。然而，於本發明之實施形態中，例如可代替1個第2基板200而使用經積層之2個基板。於此情形時，可將像素電路210所包含之電晶體中之至少1個電晶體設置於

經積層之基板中之一個基板，將其餘電晶體設置於另一基板。詳細而言，例如可代替1個第2基板200而使用經積層之下側基板2100及上側基板2200(參照圖38)。於此情形時，在下側基板2100上形成層間絕緣膜53或配線，進而積層上側基板2200。上側基板2200積層於下側基板2100之與半導體基板11相向之面之相反側，可供設置所期望之電晶體。作為一例，可於下側基板2100形成放大電晶體AMP，於上側基板2200形成重設電晶體RST及/或選擇電晶體SEL。

【0157】

又，於本發明之實施形態中，亦可代替1個第2基板200而使用3個以上之經積層之基板。而且，可於該等經積層之基板之各者，設置像素電路210所包含之複數個電晶體中之所期望之電晶體。於此情形時，設置於經積層之基板之電晶體之種類並無限定。

【0158】

如此，藉由代替1個第2基板200而使用經積層之複數個基板，可縮小像素電路210所佔據之面積。進而，藉由縮小像素電路210之面積，使各電晶體微細化，亦可縮小構成攝像裝置1之晶片之面積。於此種情形時，可僅增大可構成像素電路210之放大電晶體AMP、重設電晶體RST及選擇電晶體SEL中之所期望之電晶體的面積。例如，藉由增大放大電晶體AMP之面積，能夠減少雜訊。

【0159】

參照圖38至圖44，說明代替1個第2基板200而使用經積層之2個基板之變化例8。圖38至圖41係表示本實施形態之變化例8之攝像裝置1B之構成例的厚度方向之剖視圖。圖42至圖44係本實施形態之變化例8之複數個

像素單元PU的佈局例之水平方向之剖視圖。再者，圖38至圖41所示之剖視圖僅為模式圖，並非意在嚴格且準確地示出實際構造。為了易於理解地說明紙面上之攝像裝置1B之構成，圖38至圖41所示之剖視圖於位置sec1至sec3處，有意地改變電晶體及雜質擴散層之水平方向上之位置並示出。

【0160】

具體而言，於圖38所示之攝像裝置1B之像素單元PU中，位置sec1處之剖面係將圖42於A1-A1'線處切斷後之剖面，位置sec2處之剖面係將圖43於B1-B1'線處切斷後之剖面，位置sec3處之剖面係將圖44於C1-C1'線處切斷後之剖面。同樣，於圖39所示之攝像裝置1B中，位置sec1處之剖面係將圖42於A2-A2'線處切斷後之剖面，位置sec2處之剖面係將圖43於B2-B2'線處切斷後之剖面，位置sec3處之剖面係將圖44於C2-C2'線處切斷後之剖面。於圖40所示之攝像裝置1B中，位置sec1處之剖面係將圖42於A3-A3'線處切斷後之剖面，位置sec2處之剖面係將圖43於B3-B3'線處切斷後之剖面，位置sec3處之剖面係將圖44於C3-C3'線處切斷後之剖面。

【0161】

如圖39及圖44所示，攝像裝置1B共有以跨及複數個像素541之方式配置之共通焊墊電極1020、及設置於共通焊墊電極1020上之1條配線L2。例如，於攝像裝置1B，存在俯視下4個像素541之各浮動擴散部FD1至FD4介隔元件分離層16相互相鄰之區域。於該區域設置有共通焊墊電極1020。共通焊墊電極1020以跨及4個浮動擴散部FD1至FD4之方式配置，分別與4個浮動擴散部FD1至FD4電性連接。共通焊墊電極1020例如包含摻雜有n型雜質或p型雜質之多晶矽膜。

【0162】

於共通焊墊電極1020之中心部上設置有1條配線L2(即浮動擴散部用接點)。如圖39、圖42至圖44所示，共通焊墊電極1020之中心部上所設置之配線L2從第1基板部10貫穿第2基板部20之下側基板2100延伸設置至第2基板部20之上側基板2200，經由設置於上側基板2200之配線等與放大電晶體AMP之閘極電極AG連接。

【0163】

又，如圖38及圖44所示，攝像裝置1B共有以跨及複數個像素541之方式配置之共通焊墊電極1100、設置於共通焊墊電極1100上之1條配線L10。例如，於攝像裝置1B，存在俯視下4個像素541之各井層WE介隔元件分離層16相互相鄰之區域。於該區域設置有共通焊墊電極1100。共通焊墊電極1100以跨及4個像素541之各井層WE之方式配置，分別與4個像素541之各井層WE電性連接。舉一例而言，共通焊墊電極1100配置於排列在Y軸方向之一個共通焊墊電極1020與另一個共通焊墊電極1020之間。於Y軸方向上，共通焊墊電極1020、1100交替地排列配置。共通焊墊電極1100例如包含摻雜有n型雜質或p型雜質之多晶矽膜。

【0164】

於共通焊墊電極1100之中心部上設置有1條配線L10(即井用接點)。如圖38、圖40、圖42至圖44所示，共通焊墊電極1100之中心部上所設置之配線L10從第1基板部10貫穿第2基板部20之下側基板2100延伸設置至第2基板部20之上側基板2200，經由設置於上側基板2200之配線等與供給基準電位(例如接地電位：0 V)之基準電位線連接。

【0165】

共通焊墊電極1100之中心部上所設置之配線L10分別電性連接於共通

焊墊電極1100之上表面、設置於下側基板2100之貫通孔之內側面、及設置於上側基板2200之貫通孔之內側面。藉此，第1基板部10之半導體基板11之井層WE、第2基板部20之下側基板2100之井層及上側基板2200之井層連接於基準電位(例如接地電位：0 V)。

【0166】

本變化例之攝像裝置1B發揮與目前為止所說明之本發明之實施形態之攝像裝置1相同之效果。又，攝像裝置1B進而具備共通焊墊電極1020、1100，該共通焊墊電極1020、1100設置於構成第1基板部10之半導體基板11之正面11a側，以跨及相互相鄰之複數個(例如4個)像素541之方式配置。共通焊墊電極1020與4個像素541之浮動擴散部FD電性連接。共通焊墊電極1100與4個像素541之井層WE電性連接。據此，可針對每4個像素541，使連接於浮動擴散部FD之配線L2共通化。可針對每4個像素541，使連接於井層WE之配線L10共通化。藉此，可減少配線L2、L10之條數，因此能夠減小像素541之面積，能夠實現攝像裝置1B之小型化。

【0167】

再者，本變化例之攝像裝置1B可設為圖41所示之構成。詳細而言，配線L10可設置為貫通絕緣膜215、225。

【0168】

< 10.第2實施形態 >

其次，說明本發明之第2實施形態之詳細情況。本發明者等人對如上所述之第1實施形態之攝像裝置1不斷努力研究實現進一步之小型化，製作了本發明之第2實施形態之攝像裝置1。以下，參照圖45至圖47，對本發明者等人製作本發明之第2實施形態之過程進行說明。圖45係表示圖3所

示之攝像裝置1之構成之主要部分的一例的剖視模式圖，圖46係對應於圖45之表示攝像裝置1之製造方法之程序剖視圖。進而，圖47係表示本實施形態之攝像裝置1之構成之主要部分的一例的剖視模式圖。再者，於圖45至圖47中，為了易於理解，僅示出第2實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0169】

於攝像裝置1中，要求將半導體層100S之VSS接點區域118與半導體層200S之VSS接點區域218以成為相同電位(例如電源電位等)之方式電性連接。詳細而言，於攝像裝置1中，如圖45所示，藉由第1配線層W1將電性連接於VSS接點區域118之貫通電極121E與電性連接於VSS接點區域218之連接部218V電性連接，藉此使VSS接點區域118、218成為相同電位。

【0170】

進而，如圖45所示之構成可藉由圖46所示之製造方法形成。首先，如圖46之上段左側所示，介隔層間絕緣膜123將形成有VSS接點區域118、像素分離部117及焊墊部121等之第1基板100與第2基板200接合，進而，對第2基板200進行使厚度變薄之處理。其次，如圖46之上段右側所示，使用微影法及乾式蝕刻去除半導體層200S之一部分，於已去除之部位嵌埋絕緣膜，藉此形成供貫通電極121E等貫通之絕緣區域212。

【0171】

然後，如圖46之下段左側所示，於半導體層200S內形成VSS接點區域218或元件分離區域213，於半導體層200S上形成層間絕緣膜222。進而，形成貫通層間絕緣膜222、絕緣區域212及層間絕緣膜123之貫通孔

(圖示省略)，於該貫通孔內嵌埋導電材料，藉此形成貫通電極121E。然後，以與該貫通電極121E電性連接之方式形成第1配線層W1，藉此可獲得如圖46之下段右側所示之構成。

【0172】

如以上所作說明，於圖46所示之製造方法中，為了形成貫通電極121E、及用以使貫通電極121E與半導體層200S絕緣之絕緣區域212而去除半導體層200S之一部分。因此，於圖45所示之攝像裝置1中，相應於將半導體層200S去除之量，半導體層200S上之形成電晶體等元件之區域受到限制。其結果，於圖45所示之攝像裝置1中，元件之形成區域受到限制，因此有元件佈局之自由度降低，攝像裝置1之進一步之小型化較為困難之情形。又，於圖45所示之攝像裝置1中，半導體層200S上之形成元件之區域受到限制，因此有元件之大小亦存在界限，於欲進一步提高該元件之特性時亦產生界限之情形。再者，於上述說明中，對與電源線VSS電性連接之VSS接點區域118、218進行了說明，但如上所述之狀況不限於VSS接點區域118、218。即，可以說對攝像裝置1之其他連接於相同電位之部位彼此而言上述狀況均相同。

【0173】

因此，本發明者等人鑒於上述狀況，製作了本發明之第2實施形態。本發明者等人所製作之本實施形態之攝像裝置1具有如圖47所示之貫通電極121E。該貫通電極121E從半導體層(第2半導體基板)200S之與半導體層(第1半導體基板)100S對向之面的相反側之面，貫通半導體層200S及層間絕緣膜(第1層間絕緣膜)123，延伸至半導體層100S，將半導體層100S與半導體層200S電性連接。進而，由於貫通電極121E貫通半導體層200S，

故貫通電極121E之側面之一部分與半導體層200S相接，藉由採用此種構成，貫通電極121E與半導體層200S於上述側面之一部分電性連接。

【0174】

於本實施形態中，藉由將貫通電極121E設為如上所述之構成，可避免為了形成貫通電極121E、及具有覆蓋貫通電極121E之側壁之絕緣膜(圖示省略)之絕緣區域212而去除半導體層200S之一部分之情況。其結果，根據本實施形態，可擴大半導體層200S上之可形成元件之區域，故元件佈局之自由度變大，可容易實現攝像裝置1之進一步之小型化。此外，根據本實施形態，由於半導體層200S上之可形成元件之區域擴大，故可使元件自身變大，因此亦容易提高該元件之特性。以下，依次說明此種本實施形態之詳細情況。再者，於以下說明中，僅對與上述第1實施形態不同之方面進行說明，關於與第1實施形態共通之方面將省略說明。

【0175】

[構成]

首先，參照圖48，對本實施形態之攝像裝置1之詳細構成進行說明。圖48係表示本實施形態之攝像裝置1之構成之主要部分的一例的剖視模式圖。再者，圖48中，為了易於理解，僅示出本實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0176】

詳細而言，如圖48所示，貫通電極121E從半導體層200S之與半導體層100S對向之面的相反側之面，貫通半導體層200S及層間絕緣膜123，延伸至半導體層100S，將半導體層100S、200S彼此電性連接。進而，貫通電極121E貫通半導體層200S，因此，貫通電極121E之側面之一部分與半

導體層200S相接，貫通電極121E與半導體層200S於上述側面之一部分電性連接。更具體而言，貫通電極121E貫通設置於半導體層200S內之VSS接點區域(第2區域)218，延伸至設置於半導體層100S內之VSS接點區域(第1區域)118之與半導體層200S對向之面。進而，貫通電極121E貫通VSS接點區域218，故該貫通電極121E之側面之一部分與VSS接點區域218相接，貫通電極121E與VSS接點區域218電性連接。此外，貫通電極121E延伸至VSS接點區域118之與半導體層200S對向之面，因此，貫通電極121E與VSS接點區域118電性連接。因此，貫通電極121E可將VSS接點區域118與VSS接點區域218以成為相同電位之方式電性連接。再者，於本實施形態中，如圖48所示，VSS接點區域218於半導體層200S之厚度方向上擴大。

【0177】

於本實施形態中，貫通電極121E之材料並無特別限定，較佳為使用具有耐熱性之Cu(銅)、W(鎢)、Al(鋁)等金屬等材料。進而，於本實施形態中，可於貫通電極121E與包圍該貫通電極121E之外周之絕緣膜之間設置障壁金屬膜(圖示省略)。該障壁金屬膜可使TiN(氮化鈦)、WN(氮化鎢)、Ti(鈦)、TaN(氮化鉭)、Ta(鉭)、Zr(銻)、Ru(鈦)、Co(鈷)等材料以單獨體之形式形成或積層而形成。更具體而言，於本實施形態中，貫通電極121E例如可藉由Ti/TiN/W等之組合而形成。進而，於本實施形態中，貫通電極121E之水平方向之剖面形狀或大小並無特別限定。例如，於本實施形態中，當貫通電極121E之剖面形狀為圓形時，其直徑較佳為較數10 nm至數百10 nm般之像素541之尺寸或像素541之間之間距小。

【0178】

再者，於本實施形態中，VSS接點區域118、218係相同導電型之半導體區域，更具體而言為可設為p型半導體區域。然而，於本實施形態中，VSS接點區域118、218不限於為p型半導體區域，亦可為n型半導體區域，無特別限定。

【0179】

又，於本實施形態中，利用貫通電極121E電性連接之部位VSS不限於接點區域118、218，於攝像裝置1中，只要為被要求成為同一電位之部位彼此，則並無特別限定。

【0180】

又，於本實施形態中，與參照圖38至圖44所說明之變化例8同樣，可藉由經積層之複數個半導體基板(圖示省略)構成第2基板200。而且，於此種情形時，貫通電極120E、121E可設置為例如貫通複數個半導體基板或設置於複數個半導體基板之包含絕緣膜之元件分離區域(圖示省略)等。

【0181】

[製造方法]

其次，參照圖49，說明本實施形態之攝像裝置1之製造方法。圖49係對應於圖48之表示本實施形態之攝像裝置1之製造方法的程序剖視圖。再者，於圖49中，為了易於理解，僅示出本實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0182】

首先，如圖49之上段左側所示，介隔層間絕緣膜123將形成有元件(例如光電二極體PD、浮動擴散部FD、傳輸閘極TG、像素分離部117、VSS接點區域118等)之第1基板100與第2基板200接合，使用研磨機或

CMP(Chemical Mechanical Polishing，化學機械研磨)等對第2基板200進行厚度變薄之處理。

【0183】

其次，如圖49之上段中央所示，使用微影法、乾式蝕刻等去除第2基板200之半導體層200S之一部分。進而，藉由於已去除半導體層200S之部位嵌埋絕緣膜(例如SiO)，而形成用以供貫通電極TGV、120E、121E貫通之絕緣區域212。

【0184】

然後，如圖49之上段右側所示，藉由使用微影法及離子佈植等，於半導體層200S形成VSS接點區域218。

【0185】

進而，如圖49之下段左側所示，使用CVD(Chemical Vapor Deposition，化學氣相沈積)等，於半導體層200S上沈積絕緣膜(例如SiO)，藉此形成層間絕緣膜222。

【0186】

其次，如圖49之下段中央所示，使用微影法及乾式蝕刻等對層間絕緣膜222、半導體層200S及層間絕緣膜123進行蝕刻，藉此形成貫通其等之貫通孔CH。

【0187】

然後，以覆蓋上述貫通孔CH之內壁之方式，藉由PVD(Physical Vapor Deposition)法、CVD(Chemical Vapor Deposition，物理氣相沈積)法或原子層沈積(Atomic Layer Deposition；ALD)法等使障壁金屬成膜。進而，例如於對上述障壁金屬進行蝕刻之後，藉由鍍覆法、CVD法、

PVD法或ALD法以填埋貫通孔CH之方式成膜金屬膜等。進而，使用CMP、乾式蝕刻等去除從貫通孔CH突出之剩餘之金屬膜等。藉由如此，於本實施形態中，可獲得如圖49之下段右側所示之構成。

【0188】

[效果]

於本實施形態中，將使半導體層100S、200S彼此電性連接之貫通電極121E設為如上所述之構成、即如VSS接點區域118、218之兩者共有1個貫通電極121E之構成。換言之，於本實施形態中，貫通電極121E與VSS接點區域118電性連接，且貫通VSS接點區域218，藉此，於貫通電極121E之側面之一部分與VSS接點區域218電性連接。根據此種構成，可藉由貫通電極121E將VSS接點區域118、218彼此以成為相同電位之方式電性連接。進而，於本實施形態中，藉由採用此種構成，可不於貫通電極121E之周圍形成使貫通電極121E與半導體層200S電性絕緣之絕緣區域212。因此，根據本實施形態，可避免為了形成貫通電極121E、及覆蓋貫通電極121E之側壁之絕緣區域212而去除半導體層200S之一部分之情況。其結果，根據本實施形態，由於未將半導體層200S之一部分去除，因此，半導體層200S上之可形成元件之區域擴大，元件佈局之自由度變大，故容易實現攝像裝置1之進一步之小型化。

【0189】

此外，根據本實施形態，由於半導體層200S上之可形成元件之區域擴大，故可使元件自身變大，因此亦容易提高該元件之特性。例如，根據本實施形態，能夠於半導體層200S上確保足夠大小之構成像素電路210之各種電晶體之形成區域。因此，能夠使電晶體形成得充分大，故能夠減少

像素電路210所具備之電晶體之雜訊，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0190】

[變化例1]

於攝像裝置1中，在半導體層100S內設置有複數個VSS接點區域118，有要求將複數個VSS接點區域118與半導體層200S內之VSS接點區域218以成為相同電位之方式電性連接之情形。於此種情形時，藉由設置如下所述之焊墊部121，能夠抑制形成於攝像裝置1內之貫通電極121E之個數增加，能夠容易實現攝像裝置1之進一步之小型化。參照圖50至圖53來說明此種本實施形態之變化例1。圖50及圖52係表示本實施形態之變化例1之攝像裝置1之構成之主要部分的一例之剖視模式圖。圖53係對應於圖50之表示本實施形態之變化例1之攝像裝置1之製造方法的程序剖視圖。再者，於圖50至圖53中，為了易於理解，僅示出本變化例相關之攝像裝置1之主要部分，其他部分省略圖示。又，此處，僅對與上述第2實施形態不同之方面進行說明，關於與第2實施形態共通之方面將省略說明。

【0191】

於本變化例中，如圖50所示，在半導體層100S內設置有複數個VSS接點區域118。進而，於本變化例中，在半導體層100S之VSS接點區域118之與半導體層200S對向之面上設置有焊墊部(第1接點部)121。更詳細而言，焊墊部121以跨及上述複數個VSS接點區域118之方式設置，將該等複數個VSS接點區域118電性連接。此外，於本變化例中，貫通電極121E貫通設置於半導體層200S內之VSS接點區域218，延伸至以跨及複數個VSS接點區域118之方式設置之焊墊部121之上表面。如此一來，貫通電極

121E於焊墊部121之上表面與焊墊部121電性連接。因此，於本變化例中，貫通電極121E可以VSS接點區域218與複數個VSS接點區域118成為相同電位之方式，將VSS接點區域218與複數個VSS接點區域118電性連接。再者，上述焊墊部121例如可由添加有雜質之摻雜多晶矽或金屬等導電材料形成。

【0192】

又，於本實施形態及本變化例中，與參照圖38至圖44所說明之變化例8相同，可藉由經積層之複數個半導體基板(圖示省略)構成第2基板200。而且，於此種情形時，貫通電極121E之側面之一部分可與複數個半導體基板相接。

【0193】

進而，於本實施形態及本變化例中，可應用如圖51所示之構成。詳細而言，如圖51所示，於半導體層200S之VSS接點區域218上，設置有具有STI構造之元件分離區域213。而且，貫通電極121E以貫通元件分離區域213，與VSS接點區域218相接之方式設置。如此，於本實施形態及本變化例中，貫通電極121E可以貫通元件分離區域213之方式設置，因此可配置貫通電極121E或元件分離區域213之區域擴寬，能夠增大半導體層200S中之元件佈局之自由度。其結果，能夠實現攝像裝置1之進一步之小型化。再者，此種如圖51所示之構成與參照圖38至圖44所說明之變化例8相同，亦可藉由經積層之複數個半導體基板(圖示省略)構成第2基板200。

【0194】

繼而，參照圖52對本變化例之攝像裝置1之製造方法進行說明。首先，於本變化例中，如圖52之上段左側所示，於第1基板100之半導體層

100S上形成跨及複數個VSS接點區域118之焊墊部121。進而，介隔層間絕緣膜123將上述第1基板100與第2基板200接合，對第2基板200進行使厚度變薄之處理。之後之處理與第2實施形態相同，故此處省略說明。

【0195】

根據本變化例，藉由設置將半導體層100S內之複數個VSS接點區域118電性連接之焊墊部121，能夠抑制形成於攝像裝置1內之貫通電極121E之個數之增加，能夠容易實現攝像裝置1之進一步之小型化。

【0196】

[變化例2]

於攝像裝置1中，要求形成於半導體層200S上之複數個元件(例如放大電晶體AMP、FD轉換增益切換電晶體FDG)與設置於半導體層100S內之浮動擴散部FD以成為相同電位之方式電性連接。於此種情形時，將如下所述之焊墊部220設置於半導體層200S上，藉由該焊墊部220將上述複數個元件彼此電性連接。進而，於此種情形時，藉由將貫通電極121E與上述焊墊部220電性連接，可使得複數個元件與浮動擴散部FD以成為相同電位之方式電性連接。其結果，可抑制形成於攝像裝置1內之貫通電極120E或配線(圖示省略)等之個數之增加，能夠容易實現攝像裝置1之進一步之小型化。

【0197】

參照圖53及圖54對此種本實施形態之變化例2進行說明。圖53係表示本實施形態之變化例2之攝像裝置1之構成之主要部分的一例之剖視模式圖。又，圖54係對應於圖53之表示本實施形態之變化例2之攝像裝置1之製造方法的程序剖視圖。再者，於圖53及圖54中，為了易於理解，僅示

出本變化例相關之攝像裝置1之主要部分，其他部分省略圖示。又，此處，僅對與上述第2實施形態不同之方面進行說明，關於與第2實施形態共通之方面將省略說明。

【0198】

詳細而言，於本變化例中，如圖53所示，在半導體層200S上設置有含有導電材料之焊墊部220。該焊墊部220可將形成於半導體層200S上之元件、例如放大電晶體AMP之閘極(圖示省略)與FD轉換增益切換電晶體FDG之源極(具體而言，設置於半導體層200S內)電性連接。於本變化例中，貫通電極120E電性連接於上述焊墊部220，進而延伸至設置於浮動擴散部FD上之焊墊部120之上表面。因此，貫通電極120E與焊墊部120電性連接，該焊墊部120與浮動擴散部FD電性連接，故可將形成於半導體層200S上之元件與浮動擴散部FD電性連接。再者，上述焊墊部220與上述焊墊部121相同，例如可由添加有雜質之摻雜多晶矽或金屬等導電材料形成。

【0199】

繼而，參照圖54，說明本變化例之攝像裝置1之製造方法。首先，如圖54之上段左側所示，介隔層間絕緣膜123將形成有元件之第1基板100與第2基板200接合，對第2基板200進行使厚度變薄之處理。

【0200】

其次，如圖54之上段中央所示，去除第2基板200之半導體層200S之一部分，於已去除半導體層200S之部位嵌埋絕緣膜，藉此形成用以供貫通電極TGV、120E、121E貫通之絕緣區域212。

【0201】

然後，於半導體層200S上形成VSS接點區域218及焊墊部220，可獲得如圖54之上段右側所示之構成。之後之處理與第2實施形態相同，故此處省略說明。

【0202】

於本變化例中，在半導體層200S上設置將半導體層200S上所形成之各種元件電性連接之焊墊部220，將該焊墊部220與貫通電極120E電性連接。因此，根據本變化例，藉由設置焊墊部220，可將各種元件電性連接，避免於各元件個別地設置貫通電極。其結果，根據本變化例，可抑制攝像裝置1內所形成之貫通電極120E或配線(圖示省略)等之形成數之增加，能夠容易實現攝像裝置1之進一步之小型化。

【0203】

< 11.第3實施形態 >

其次，說明本發明之第3實施形態之詳細情況。本發明者等人對如上所述之第1實施形態之攝像裝置1不斷努力研究可否實現進一步之小型化，製作了本發明之第3實施形態之攝像裝置1。以下，參照圖55，對本發明者等人製作本發明之第3實施形態之過程進行說明。圖55係表示圖3所示之攝像裝置1之構成之主要部分之一例的剖視模式圖。再者，於圖55中，為了易於理解，僅示出第3實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0204】

於圖55所示之攝像裝置1中，貫通電極121E經由焊墊部121與設置於半導體層100S內之複數個VSS接點區域118電性連接。詳細而言，貫通電極121E藉由焊墊部121與半導體層100S內之複數個VSS接點區域118之表

面電性連接。因此，於圖55所示之攝像裝置1中，為了將在半導體層100S內，以隔著像素分離部117之方式鄰接之設置有複數個之VSS接點區域118相互電性連接，有要求擴大焊墊部121之面積之情況。因此，對於圖55所示之攝像裝置1而言，由於擴大焊墊部121之面積，故有難以實現攝像裝置1之進一步之小型化之情形。

【0205】

因此，本發明者等人鑒於上述狀況，製作了本發明之第3實施形態。於本發明者等人所製作之本實施形態之攝像裝置1中，貫通電極121E之前端部121F嵌埋於半導體層(第1半導體基板)100S(參照圖56)。藉由此種貫通電極121E，可利用貫通電極121E之前端部121F之側壁與半導體層100S(具體而言為設置於半導體層100S內之複數個VSS接點區域118)電性連接，因此，可避免設置用於與半導體層100S電性連接之具有較大面積之焊墊部121。其結果，由於可避免設置具有較大面積之焊墊部121，故容易實現攝像裝置1之進一步之小型化。例如，於本實施形態中，由於可避免設置具有較大面積之焊墊部121，故能夠增大光電二極體PD等，進而，能夠使光電二極體PD中產生之電荷增加，能夠提高攝像裝置1之感度。此外，由於可避免形成如焊墊部121般具有角之構造體，故可避免貫通電極121E中之電場集中。其結果，可避免由貫通電極121E之電場集中引起之攝像裝置1之故障。以下，依次說明此種本實施形態之詳細情況。再者，於以下說明中，僅對與上述第1實施形態不同之方面進行說明，關於與第1實施形態共通之方面將省略說明。

【0206】

[構成]

參照圖56及圖57，對本實施形態之詳細情況進行說明。圖56及圖57係表示本實施形態之攝像裝置1之構成之主要部分的一例之剖視模式圖。再者，於圖56及圖57中，為了易於理解，僅示出本實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0207】

詳細而言，如圖56所示，貫通電極121E具有前端部121F，該前端部121F嵌埋於半導體層100S內之像素分離部(元件分離部)117。進而，於本實施形態中，藉由將該前端部121F嵌埋於像素分離部117內，前端部121F之側壁和設置為與該像素分離部117相鄰之複數個VSS接點區域(第1區域)118相接。換言之，前端部121F之側壁與設置於半導體層100S內之複數個VSS接點區域118電性連接。再者，前端部121F可由例如添加有雜質之摻雜多晶矽或金屬等導電材料形成。又，關於貫通電極121E之除前端部121F以外之部位，可由例如各種金屬(Cu、W、Al)或添加有雜質之摻雜多晶矽(p型)等導電材料形成。

【0208】

又，本實施形態可如圖57般變化。詳細而言，於圖56中，僅貫通電極121E為如具有前端部121F之構成，但於本變化例中，如圖57所示，貫通電極120E亦可具有前端部120F。該前端部120F與設置於半導體層100S內之FD相接，與FD電性連接。而且，前端部120F可由例如添加有雜質之摻雜多晶矽(n型)或金屬等導電材料形成。藉由如此設置嵌埋於半導體層200S之前端部120F，可避免設置用以將貫通電極120E與FD電性連接之具有較大面積之焊墊部，其結果，可縮小FD之面積，擴大PD之面積。

【0209】

再者，於本實施形態中，如圖57所示，不限於貫通電極120E、121E之兩者具有前端部120F、121F之構成，亦可為如貫通電極120E、121E之任一者具有前端部120F、121F之構成。

【0210】

[製造方法]

其次，參照圖58及圖59，說明本實施形態之攝像裝置1之製造方法。圖58係對應於圖56之表示本實施形態之攝像裝置1之製造方法的程序剖視圖。圖59係對應於圖56之表示本實施形態之攝像裝置1之另一製造方法的程序剖視圖。再者，於圖58及圖59中，為了易於理解，僅示出本實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0211】

首先，如圖58之上段左側所示，藉由使用微影法及離子佈植等，於第1基板100之半導體層100S內形成光電二極體PD、浮動擴散部FD及VSS接點區域118等。進而，藉由使用微影法、乾式蝕刻等，於半導體層100S內形成成為像素分離部117之溝槽，於所形成之溝槽嵌埋絕緣膜(例如SiO₂)。然後，使用PVD、CVD法或微影法、乾式蝕刻等，於半導體層100S上形成傳輸閘極TG等。

【0212】

其次，如圖58之上段右側所示，使用蝕刻等去除像素分離部117內之絕緣膜(具體而言，像素分離部117之圖中上側部分之絕緣膜)。

【0213】

進而，如圖58之下段左側所示，使用PVD、CVD法等於像素分離部117內之已去除絕緣膜之部分嵌埋例如多晶矽。以此方式嵌埋之部分成為

貫通電極121E之前端部121F。此時，將雜質進行離子佈植等，而佈植至所嵌埋之多晶矽中，藉此，使多晶矽成為p型導電型後，進行熱處理而使雜質擴散。藉由如此，於本實施形態中，使前端部121F與VSS接點區域118之電性連接更確實。

【0214】

其後，將第2基板200與第1基板100接合，形成貫通電極121E之除前端部121F以外之部位等。例如，貫通電極121E之除前端部121F以外之部位可以如下方式形成。例如，藉由使用微影法、乾式蝕刻等，形成貫穿層間絕緣膜222、絕緣區域212及層間絕緣膜123之貫通孔(圖示省略)，使用PVD、CVD等將金屬膜等嵌埋於上述貫通孔。進而，藉由使用PVD、CVD、微影法、乾式蝕刻等形成貫通電極120E或配線層W1等，可獲得如圖58之下段右側所示之構成。

【0215】

又，於本實施形態中，可藉由如圖59所示之製造方法形成本實施形態之攝像裝置1。

【0216】

首先，與圖58所示之製造方法相同，如圖59之上段左側所示，於第1基板100之半導體層100S內形成光電二極體PD、浮動擴散部FD、VSS接點區域118等。進而，於半導體層100S內形成成為像素分離部117之溝槽(圖示省略)，將絕緣膜嵌埋於所形成之溝槽。然後，於半導體層100S上形成傳輸閘極TG等。

【0217】

其次，介隔層間絕緣膜123將第1基板100與第2基板200接合，對第2

基板200進行使厚度變薄之處理。進而，於第2基板200形成元件(例如放大電晶體AMP等)、元件分離區域213及層間絕緣膜222等。然後，如圖59之上段右側所示，形成貫穿層間絕緣膜222、元件分離區域213及層間絕緣膜123，且貫通至像素分離部117之上側部分之貫通孔CH。

【0218】

然後，如圖59之下段左側所示，使用PVD、CVD法等於上述貫通孔嵌埋多晶矽。以此方式嵌埋之部分成為貫通電極121E。即，於圖59所示之製造方法中，與圖58所示之製造方法不同，並非將貫通電極121E分為前端部121F及除前端部121F以外之部位於2階段中形成，而是將其等設為一體於1階段中形成。

【0219】

進而，藉由形成貫通電極120E或配線層W1等，可獲得如圖59之下段右側所示之構成。

【0220】

[效果]

於本實施形態中，貫通電極121E之前端部121F嵌埋於半導體層100S之像素分離部117，與以隔著像素分離部117鄰接之方式設置有複數個之VSS接點區域118相接，從而與複數個VSS接點區域118電性連接。因此，於本實施形態中，貫通電極121E利用上述前端部121F之側壁與複數個VSS接點區域118電性連接，因此可避免設置用於與複數個VSS接點區域118電性連接之具有較大面積之焊墊部121。其結果，根據本實施形態，由於可避免設置具有較大面積之焊墊部121，故容易實現攝像裝置1之進一步之小型化。例如，於本實施形態中，由於可避免設置具有較大面積之

焊墊部121，故可增大光電二極體PD等，進而可增加光電二極體PD中產生之電荷，能夠提高攝像裝置1之感度。此外，根據本實施形態，可避免形成如焊墊部121般具有角之構造體，因此可避免貫通電極121E之電場集中。其結果，根據本實施形態，可避免由貫通電極121E之電場集中引起之攝像裝置1之故障。

【0221】

[變化例]

於攝像裝置1中，有時會因製造工序中之加工而使像素分離部117之附近之界面分佈較多缺陷能階，從而導致有如下情況：因此種分佈而產生多餘之電子，增加了與像素分離部117近接之光電二極體PD中之白點之產生。因此，於以下說明之本實施形態之變化例中，提出與第3實施形態同樣容易實現攝像裝置1之進一步之小型化，且能夠抑制上述白點之產生之貫通電極121E。以下，參照圖60至圖63來說明本實施形態之變化例。圖60係表示本實施形態之變化例之攝像裝置1的構成之主要部分之一例之剖視模式圖。圖61及圖62係表示本實施形態之變化例之攝像裝置1的構成之主要部分之平面構成之一例之模式圖，詳細而言為表示沿著圖60所示之IV-IV'線之剖面構成之模式圖。圖63係對應於圖60之表示本實施形態之變化例之攝像裝置1之製造方法的程序剖視圖。再者，於圖60至圖63中，為了易於理解，僅示出本變化例相關之攝像裝置1之主要部分，其他部分省略圖示。又，此處，僅對與上述第3實施形態不同之方面進行說明，關於與第3實施形態共通之方面將省略說明。

【0222】

詳細而言，如圖60所示，與上述本實施形態同樣，貫通電極121E具

有前端部121F，進而，前端部121F具有與VSS接點區域118電性連接之側接點部121F-1、及貫通像素分離部117之貫通部121F-2。側接點部121F-1與上述本實施形態之前端部121F相同。又，貫通部121F-2沿著像素分離部117(半導體層100S)從該半導體層100S之與半導體層200S對向之面貫通至與該對向之面為相反側之面(入射面)。再者，貫通部121F-2之外周由絕緣膜(圖示省略)覆蓋。於本變化例中，亦與上述實施形態同樣，側接點部121F-1可由例如添加有雜質之摻雜多晶矽或金屬等導電材料形成。另一方面，貫通部121F-2可由金屬等導電材料形成。

【0223】

於本變化例中，例如，藉由將貫通電極121E電性連接於接地，可於貫通電極121E之周圍感應出電場，從而使電洞蓄積於貫通電極121E之前端部121F之周圍。而且，於本變化例中，藉由蓄積之電洞來阻礙產生多餘之電子，因此，能夠抑制與像素分離部117近接之光電二極體PD中之白點之產生。

【0224】

再者，如圖61所示，前端部121F可沿著像素分離部117而整體被嵌埋。於此情形時，嵌埋於像素分離部117之前端部121F之平面構成的寬度例如可為50 nm至250 nm左右。又，如圖62所示，可於攝像裝置1之垂直方向上之前端部121F之上形成接點部125。例如，接點部125被設置用於將前端部121F與較前端部121F靠上方之部分、即位於第2基板200側之貫通電極121E之部分更確實地電性連接。詳細而言，於製造階段，在像素分離部117形成前端部121F之後，形成貫通絕緣區域212或層間絕緣膜123之貫通孔(圖示省略)，以便與前端部121F連接。此時，前端部121F與貫通

孔之對位有時較困難。因此，即便於產生貫通孔之位置偏移之情形時，為了使前端部121F與位於第2基板200側之貫通電極121E之部分更確實地電性連接，可形成例如含有導電材料之接點部125。

【0225】

其次，參照圖63，說明本變化例之攝像裝置1之製造方法。

【0226】

首先，與本實施形態同樣，於第1基板100之半導體層100S內形成光電二極體PD、浮動擴散部FD及VSS接點區域118等。然後，於半導體層100S內形成複數個溝槽(圖示省略)，在複數個溝槽中之一部分(具體而言，成為像素分離部117之溝槽)嵌埋絕緣膜(例如SiO₂)，在其餘溝槽(具體而言為用於嵌埋貫通電極121E之前端部121F之溝槽)嵌埋摻雜多晶矽等。以此方式，可獲得如圖63之上段左側所示之構成。

【0227】

其次，如圖63之上段右側所示，使用蝕刻等去除其餘溝槽(具體而言為用於嵌埋貫通電極121E之前端部121F之溝槽)中嵌埋之多晶矽之上側部分(第2基板200側之部分)。例如，去除之部位對應於上述前端部121F之側接點部121F-1。

【0228】

進而，如圖63之下段左側所示，使用PVD、CVD法等，於其餘溝槽(具體而言為用於嵌埋貫通電極121E之前端部121F之溝槽)內之多晶矽經去除之部分，嵌埋摻雜多晶矽。以此方式嵌埋之部分成為前端部121F之側接點部121F-1。之後之處理與圖58所示之本實施形態之製造方法相同，此處省略說明。

【0229】

根據本變化例，與上述本實施形態同樣，可避免設置如上所述之焊墊部121，因此容易實現攝像裝置1之進一步之小型化。進而，於本變化例中，貫通電極121E之前端部121F從該半導體層100S之與半導體層200S對向之面貫通至與該對向之面為相反側之面(入射面)。於本變化例中，藉由將此種貫通電極121E電性連接於接地，可強化光電二極體PD之周圍之接地，抑制與像素分離部117近接之光電二極體PD中之白點之產生。

【0230】**< 12.第4實施形態 >**

進而，說明本發明之第4實施形態之詳細情況。本發明者等人對第1實施形態之攝像裝置1不斷努力研究可否實現進一步之小型化，製作了本發明之第4實施形態之攝像裝置1。以下，參照圖64，對本發明者等人製作本發明之第4實施形態之過程進行說明。圖64係表示圖3所示之攝像裝置1之構成之主要部分的一例之剖視模式圖。再者，於圖64中，為了易於理解，僅示出第4實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0231】

如圖64所示，於攝像裝置1中，貫通電極120E、121E、TGV設置於半導體層200S之與半導體層100S對向之面之相反側之面側。因此，於圖64所示之攝像裝置1中，由於形成該等貫通電極120E、121E、TGV，故半導體層200S上之可自由地形成元件之區域之面積受到限制。換言之，於圖64所示之攝像裝置1中，由於將複數個貫通電極120E、121E、TGV設置於半導體層200S之與半導體層100S對向之面之相反側之面側，故半

導體層200S上之電晶體等元件之佈局自由度受到限制。例如，於圖64所示之攝像裝置1中，有半導體層200S上所設置之放大電晶體AMP之閘極250之面積受到限制，因此導致該放大電晶體AMP之雜訊增大之情形。

【0232】

因此，本發明者等人鑒於上述狀況，製作了本發明之第4實施形態。於本發明者等人所製作之本實施形態之攝像裝置1中，代替貫通電極121E、TGV，而於半導體層100S之與半導體層200S對向之面之相反側之面(入射面)側設置接點104、106中之至少1個。詳細而言，接點(第2電極)104與半導體層(第1半導體基板)100S之井區域102電性連接。又，接點(第1電極)106電性連接於傳輸電晶體TR之閘極(閘極電極)TG。於本實施形態中，藉由代替貫通電極121E、TGV中之至少1個，將如上所述之接點104、106中之至少1個設置於半導體層100S之入射面側，可減少半導體層200S之與半導體層100S對向之面之相反側之面側所形成的貫通電極之數量。例如，根據本實施形態，可擴大半導體層200S上之可自由地形成元件之區域之面積。更具體而言，根據本實施形態，可擴大半導體層200S上所設置之放大電晶體AMP之閘極250之面積，可抑制該放大電晶體AMP之雜訊增大。

【0233】

此外，根據本實施形態，亦容易以縮短從浮動擴散部FD至放大電晶體AMP之閘極250之距離之方式佈局。其結果，根據本實施形態，可避免因相對於將浮動擴散部FD至閘極250之間電性連接之配線的寄生電容之增加，而導致轉換效率變差。即，根據本實施形態，元件之形成區域之限制變少，因此可容易實現攝像裝置1之進一步之小型化，容易使元件特性更

良好。以下，依次說明此種本實施形態之詳細情況。再者，於以下說明中，僅對與上述第1實施形態不同之方面進行說明，關於與第1實施形態共通之方面將省略說明。

【0234】

[構成]

首先，參照圖65，對本實施形態之詳細情況進行說明。圖65係表示本實施形態之攝像裝置1之構成之主要部分的一例之剖視模式圖。再者，於圖65中，為了易於理解，僅示出本實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0235】

詳細而言，於圖65所示之例中，代替貫通電極121E，將與半導體層100S之井區域102電性連接之接點104設置於半導體層100S之入射面側。該接點104較佳為以不妨礙向入射面入射之光之方式，設置於像素分離部117附近。

【0236】

又，接點104可由金屬等導電材料形成，但較佳為由ITO(銦錫氧化物)等透明導電材料形成，以便不妨礙向入射面入射之光。例如，作為透明導電材料，可列舉銦摻雜氧化錫(包含ITO、結晶性ITO及非晶形ITO)膜等能夠使光透過之透明導電材料。然而，於本實施形態中，不限於如上所述之ITO，可使用其他材料。例如，作為透明導電材料，可列舉氧化錫系材料中之氧化錫、銻摻雜二氧化錫(SnO_2 中添加Sb作為摻雜劑，例如ATO)、氟摻雜二氧化錫(SnO_2 中添加F作為摻雜劑，例如FTO)等。可列舉氧化鋅系材料中之鋅鋁氧化物(ZnO 中添加Al作為摻雜劑，例如AZO)、鋅

鎵氧化物(ZnO中添加Ga作為摻雜劑，例如GZO)、銦鋅氧化物(ZnO中添加In作為摻雜劑，例如IZO)、銦鎵鋅氧化物(ZnO4中添加In及Ga作為摻雜劑，例如IGZO)、銦錫鋅氧化物(ZnO中添加In及Sn作為摻雜劑，例如ITZO)等。又，除此以外，可列舉銦鎵氧化物(Ga_2O_3 中添加In作為摻雜劑，例如IGO)、或 CuInO_2 、 MgIn_2O_4 、 CuI 、 InSbO_4 、 ZnMgO 、 CdO 、 ZnSnO_3 、石墨烯等。

【0237】

[製造方法]

其次，參照圖66，說明本實施形態之攝像裝置1之製造方法。圖66係對應於圖65之表示本發明之第4實施形態之攝像裝置1之製造方法的程序剖視圖。再者，於圖66中，為了易於理解，僅示出本實施形態相關之攝像裝置1之主要部分，其他部分省略圖示。

【0238】

首先，於本實施形態中，如圖66之上段左側所示，對第1基板100之半導體層100S，從其表面(與入射面為相反側之面)側進行加工。具體而言，藉由使用微影法及離子佈植等，於半導體層100S內形成光電二極體PD、浮動擴散部FD等。進而，使用微影法、乾式蝕刻、PVD、CVD法等，於半導體層100S內形成像素分離部117。

【0239】

其次，如圖66之上段右側所示，介隔層間絕緣膜123將第1基板100與第2基板200接合，於第2基板200之半導體層200S形成元件或配線等。此時，例如，形成貫通半導體層200S之貫通電極TGV等。

【0240】

而且，如圖66之下段左側所示，使用CVD等於半導體層200S上形成層間絕緣膜222，進而，於層間絕緣膜222上接合第3基板300。

【0241】

其次，藉由CMP等使第1基板100之半導體層100S之入射面側平坦化，形成貫通孔，該貫通孔供形成接點104。進而，如圖66之下段右側所示，使用PVD、CVD等，於上述貫通孔嵌埋多晶矽、金屬等。然後，於入射面側形成彩色濾光片及受光透鏡。

【0242】

[效果]

於本實施形態中，代替貫通電極121E，將與半導體層100S之井區域102電性連接之接點104設置於半導體層100S之入射面側。因此，根據本實施形態，由於未設置貫通電極121E，故可減少在半導體層200S之與半導體層100S對向之面之相反側之面側設置的貫通電極之數量。其結果，根據本實施形態，可擴大半導體層200S上之可自由地形成元件之區域之面積。例如，根據本實施形態，可擴大半導體層200S上所設置之放大電晶體AMP之閘極250之面積，抑制該放大電晶體AMP之雜訊增大。

【0243】

此外，根據本實施形態，亦容易以縮短自浮動擴散部FD至放大電晶體AMP之閘極250之距離的方式佈局。其結果，根據本實施形態，可避免因相對於將浮動擴散部FD至閘極250之間電性連接之配線的寄生電容之增加，而導致轉換效率變差。即，根據本實施形態，元件之形成區域之限制變少，因此可容易實現攝像裝置1之進一步之小型化，容易使元件特性更良好。

【0244】**[變化例1]**

於本實施形態中，如上文所作說明，接點104較佳為以不妨礙向入射面入射之光之方式，設置於像素分離部117附近。因此，於本變化例中，為了進一步不妨礙光之入射，如圖67所示，將接點104設置於入射面之外周部、即位於入射面之外周部之像素分離部117內。以下，參照圖67來說明本實施形態之變化例1。圖67係表示本實施形態之變化例1之攝像裝置1之構成之主要部分的一例之剖視模式圖。再者，於圖67中，為了易於理解，僅示出本變化例相關之攝像裝置1之主要部分，其他部分省略圖示。又，此處，僅對與上述第4實施形態不同之方面進行說明，關於與第4實施形態共通之方面將省略說明。

【0245】

如圖67所示，將接點104設置於像素分離部117內。詳細而言，接點104沿著半導體層100S之側壁設置於像素分離部117內，與半導體層100S之井區域102電性連接。例如，該接點104可由添加了雜質之摻雜多晶矽、金屬等形成。又，於利用金屬材料形成接點104之情形時，亦可使接點104具有如遮擋來自鄰接之像素541之遮光膜117A的功能。

【0246】

如上所述，根據本變化例，藉由將接點104沿著半導體層100S之側壁設置於像素分離部117內，可進一步使接點104不會妨礙到相對於入射面之光之入射。

【0247】**[變化例2]**

於本實施形態中，可將與傳輸電晶體TR之閘極TG電性連接之接點106設置於半導體層100S之入射面側。以下，參照圖68來說明此種本實施形態之變化例2。圖68係表示本實施形態之變化例2之攝像裝置1之構成之主要部分的一例之剖視模式圖。再者，於圖68中，為了易於理解，僅示出本變化例相關之攝像裝置1之主要部分，其他部分省略圖示。又，此處，僅對與上述第4實施形態不同之方面進行說明，關於與第4實施形態共通之方面將省略說明。

【0248】

詳細而言，於本變化例中，如圖68所示，傳輸電晶體TR係傳輸電晶體TR之閘極(閘極電極)TG嵌埋於半導體層(第1半導體基板)100S內之垂直型電晶體。換言之，於本變化例中，傳輸電晶體TR之閘極TG以陷入半導體層100S之方式設置。再者，於本變化例中，閘極TG只要並非為如穿透半導體層100S之厚度之深度，則較佳為從照射面朝向表面形成得較深。而且，於本變化例中，代替貫通電極TGV而將與閘極TG電性連接之接點106設置於半導體層100S之入射面側。再者，該接點106較佳為與上述實施形態同樣，以不妨礙光向入射面之入射之方式，儘可能設置於半導體層100S之側壁側、即像素分離部117附近。

【0249】

於本變化例中，代替貫通電極TGV，將與閘極TG電性連接之接點106設置於半導體層100S之入射面側。因此，根據本變化例，由於未設置貫通電極TGV，故可減少半導體層200S之與半導體層100S對向之面之相反側之面側的貫通電極之數量。其結果，根據本變化例，可擴大半導體層200S上之可自由地形成元件之區域之面積。例如，根據本變化例，可擴

大半導體層200S上所設置之放大電晶體AMP之閘極250之面積，可抑制該放大電晶體AMP之雜訊增大。

【0250】

此外，根據本變化例，亦容易以進一步縮短自浮動擴散部FD至放大電晶體AMP之閘極250之距離的方式佈局。其結果，根據本變化例，可避免因相對於將浮動擴散部FD至閘極250之間電性連接之配線的寄生電容之增加，而導致轉換效率變差。即，根據本變化例，元件之形成區域之限制變少，因此可容易實現攝像裝置1之進一步之小型化，容易使元件特性更良好。

【0251】

[變化例3]

進而，於本實施形態中，可將上述接點104、106之兩者設置於半導體層100S之入射面側。以下，參照圖69來說明此種本實施形態之變化例3。圖69係表示本實施形態之變化例3之攝像裝置1之構成之主要部分的一例之剖視模式圖。再者，於圖69中，為了易於理解，僅示出本變化例相關之攝像裝置1之主要部分，其他部分省略圖示。又，此處，僅對與上述第4實施形態不同之方面進行說明，與第4實施形態共通之方面將省略說明。

【0252】

詳細而言，如圖69所示，於本變化例中，代替貫通電極121E、TGV而將接點104、106之兩者設置於半導體層100S之入射面側。

【0253】

於本變化例中，藉由代替貫通電極121E、TGV而將接點104、106之兩者設置於半導體層100S之入射面側，與上文所述同樣，可進一步減少

半導體層200S之與半導體層100S對向之面之相反側之面側所設置的貫通電極之數量。其結果，根據本變化例，可進一步擴大半導體層200S上之可自由地形成元件之區域之面積形成。

【0254】

< 13.第5實施形態 >

首先，參照圖70至圖72，對製作本發明之第5實施形態之技術背景進行說明。圖70係用以說明本實施形態之技術背景之表示攝像裝置之構成之主要部分之一例之剖視模式圖。又，圖71及圖72係用以說明本發明之第5實施形態之技術背景之表示攝像裝置之平面構成之主要部分之一例之模式圖，詳細而言，圖71表示圖70所示之位置sec21處之平面構成，圖72表示圖70所示之位置sec22處之平面構成。

【0255】

如圖70至圖72所示，於攝像裝置1中，以半導體層100S之VSS接點區域118與半導體層200S之VSS接點區域218成為相同電位(例如電源電位或接地電位等)之方式，藉由貫通電極121E及第1配線層W1將VSS接點區域118與VSS接點區域218電性連接。然而，由圖72可知，藉由設置上述貫通電極121E，半導體層200S上之可配置各種電晶體(例如放大電晶體AMP等)之區域被限定。即，因設置貫通電極121E而導致降低了電晶體之配置自由度，半導體層200S之平面構成之利用效率降低。其結果，難以實現攝像裝置1之進一步之微細化。

【0256】

因此，本發明者等人製造出可提高電晶體之配置自由度，可提高半導體層200S之平面構成之利用效率的本發明之第5實施形態。以下，參照

圖73至圖76，說明本發明者等人所製作之第5實施形態之詳細情況。圖73係本實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖。圖74至圖76係表示本實施形態之攝像裝置的構成之主要部分之平面構成之一例之模式圖。詳細而言，圖74表示圖73所示之位置sec21處之平面構成，圖75表示圖73所示之位置sec22處之平面構成。進而，圖76模式性地表示本實施形態之像素陣列部540。

【0257】

首先，如圖73至圖75所示，於本實施形態中，未設置貫通電極121E。而且，代替貫通電極121E，將從位於像素陣列部540之外周之周邊部540B引繞來之配線350設置於配線層100T。進而，配線350經由嵌埋於半導體層100S之前端部121F，與VSS接點區域118電性連接。例如，配線350可由摻雜了p型雜質之多晶矽膜或金屬膜形成。進而，對配線350，從位於周邊部540B等之電路施加偏壓電位(電源電位(正電位、負電位)、接地電位等)。即，於本實施形態中，對半導體層100S之VSS接點區域118與半導體層200S之VSS接點區域218，分別施加偏壓電位。

【0258】

而且，如圖76所示，於本實施形態中，配線350可於像素陣列部540上沿著行方向V(參照圖2)延伸，進而，複數條配線350亦可以沿著列方向H(參照圖2)排列之方式配置於像素陣列部640上。又，於本實施形態中，設置於攝像裝置1之配線350之數量不限於圖76所示之數量，可設置複數個。

【0259】

進而，於本實施形態中，如圖76所示，配線350不限於在像素陣列部

540上沿著行方向V延伸之配線，例如亦可為沿著列方向H(參照圖2)延伸之配線。

【0260】

根據本實施形態，藉由採用此種構成，可無需貫通電極121E，因此可提高電晶體之配置自由度，可提高半導體層200S之平面構成之利用效率。

【0261】

進而，亦可使本實施形態以如下方式變化。以下，參照圖77及圖78對本實施形態之變化例進行說明。圖77及圖78係表示本實施形態之變化例之攝像裝置的構成之主要部分之平面構成之一例之模式圖。詳細而言，圖77表示對應於圖74之平面構成，圖78模式性地表示本實施形態之像素陣列部540。

【0262】

如圖77及圖78所示，於本變化例中，配線350可為將於像素陣列部540上沿著行方向V(參照圖2)及列方向H(參照圖2)延伸之複數條配線組合而成之格子狀。又，於本變化例中，設置於攝像裝置1之配線350之格子之數量不限於圖78所示之數量，可設置複數個。

【0263】

於本變化例中，藉由使配線350成為格子狀，例如可進一步強化半導體層100S之接地。進而，於攝像裝置1中，光從圖73之下側向攝像裝置1入射，當配線350為格子狀時，從光之方向來看，配線350不論於哪一方向均對稱，因此，配線350之光反射均勻。因此，處於任何位置之光電二極體PD均可均勻地吸收光而產生信號，因此可抑制圖像之劣化。

【0264】**< 14.第6實施形態 >**

又，與上述第五實施形態同樣，本發明者等人為了提高電晶體之配置自由度，且提高半導體層200S之平面構成之利用效率，製造了本發明之第6實施形態。以下，參照圖79至圖81，說明本發明者等人所製作之第6實施形態之詳細情況。圖79係本實施形態之攝像裝置的構成之主要部分之一例之剖視模式圖。圖80及圖81係表示本實施形態之攝像裝置的構成之主要部分之平面構成之一例之模式圖。詳細而言，圖80表示圖79所示之位置sec21處之平面構成，圖81表示圖79所示之位置sec22處之平面構成。

【0265】

首先，如圖79至圖81所示，於本實施形態中，未設置貫通電極121E。進而，未設置像素分離部117之一部分。而且，代替貫通電極121E及像素分離部117之一部分，設置有貫通半導體層100S之貫通電極360。該貫通電極360例如可由摻雜了p型雜質之多晶矽膜或金屬膜形成。而且，該貫通電極360電性連接於位於周邊部540B之電路，由該電路施加偏壓電位(電源電位(正電位、負電位)、接地電位等)，上述周邊部540B位於像素陣列部540之外周。進而，貫通電極360經由半導體層100S之配線層100T側之表面上所設置之接點部360C，與VSS接點區域118電性連接。再者，該接點部360C例如可由摻雜了p型雜質之多晶矽膜或金屬膜形成。而且，於本實施形態中，對半導體層100S之VSS接點區域118與半導體層200S之VSS接點區域218，分別施加偏壓電位。

【0266】

而且，如圖80所示，與圖76所示之第5實施形態同樣，於本實施形態中，貫通電極360可設置於槽，該槽設置於像素陣列部540之半導體層100S且沿著行方向V(參照圖2)延伸。進而，於本實施形態中，複數個貫通電極360可以於像素陣列部640之半導體層100S內，沿著列方向H(參照圖2)排列之方式設置。又，於本實施形態中，設置於攝像裝置1之貫通電極360之數量並無特別限定。

【0267】

進而，於本實施形態中，如圖80所示，貫通電極360不限於以在像素陣列部540上沿著行方向V延伸之方式設置，例如亦可以沿著列方向H(參照圖2)延伸之方式設置。

【0268】

根據本實施形態，藉由採用此種構成，可無需貫通電極121E，因此可提高電晶體之配置自由度，可提高半導體層200S之平面構成之利用效率。

【0269】

進而，亦可使本實施形態以如下方式變化。以下，參照圖82來說明本實施形態之變化例1。圖82係表示本實施形態之變化例1之攝像裝置的構成之主要部分之平面構成之一例之模式圖，詳細而言，表示對應於圖80之平面構成。

【0270】

如圖82所示，於本變化例中，貫通電極360可為嵌埋於複數個槽中之格子狀之貫通電極，上述複數個槽於像素陣列部540之半導體層100S上沿著行方向V(參照圖2)及列方向H(參照圖2)延伸。又，於本變化例中，設置

於攝像裝置1之貫通電極360之格子之數量並無特別限定。

【0271】

於本變化例中，藉由使貫通電極360成為格子狀，例如可進一步強化半導體層100S之接地。進而，於攝像裝置1中，光從圖79之下側向攝像裝置1入射，當貫通電極360為格子狀時，從光之方向來看，貫通電極360不論於哪一方向均對稱，因此，貫通電極360之光反射、光吸收均勻。因此，處於任何位置之光電二極體PD均可均勻地吸收光而產生信號，因此可抑制圖像之劣化。

【0272】

進而，亦可使本實施形態以如下方式變化。以下，參照圖83來說明本實施形態之變化例1。圖83係表示本實施形態之變化例1之攝像裝置的構成之主要部分之一例之剖視模式圖。

【0273】

於本變化例中，如圖83所示，代替貫通半導體層100S之貫通電極360，可為貫穿至半導體層100S之中途之嵌埋電極360a。於此情形時，於嵌埋有嵌埋電極360a之槽362之受光透鏡401側，設置像素分離部117b。該嵌埋電極360a例如可由摻雜了p型雜質之多晶矽膜或金屬膜形成。又，對於攝像裝置1，從圖83中之箭頭所示方向入射光，像素分離部117b較佳為由光之吸收較少之例如氧化矽等材料形成。例如，沿著半導體層100S之膜厚方向的嵌埋電極360a與像素分離部117b之長度之比率並無特別限定，例如較佳為設為嵌埋電極360a：像素分離部117b=3：7左右。藉由如此而抑制嵌埋電極360a之光之吸收，提高向光電二極體PD之聚光效率。

【0274】

再者，於本實施形態及本變化例中，可於像素分離部117形成貫通電極360及嵌埋電極360a，該像素分離部117位於浮動擴散部FD與貫通電極120E之電性連接之焊墊部120A之下。於此情形時，貫通電極360或嵌埋電極360a之配線層100T側之前端部較佳為由絕緣膜覆蓋，以使其等不與焊墊部120A或浮動擴散部FD導通。又，於此種情形時，於形成有嵌埋電極360a之情形時，在嵌埋電極360a之受光透鏡401側設置像素分離部117b。

【0275】

< 15. 應用例 >

圖84係表示具備上述實施形態及其變化例之攝像裝置1之攝像系統7之概略構成之一例的圖。

【0276】

攝像系統7係例如數位靜態相機或攝錄影機等攝像裝置、智慧型手機或平板型終端等移動終端裝置等電子機器。攝像系統7例如具備上述實施形態及其變化例之攝像裝置1、DSP(Digital Signal Processing，數位信號處理)電路243、圖框記憶體244、顯示部245、記憶部246、操作部247及電源部248。於攝像系統7中，上述實施形態及其變化例之攝像裝置1、DSP電路243、圖框記憶體244、顯示部245、記憶部246、操作部247及電源部248經由匯流排線249相互連接。

【0277】

上述實施形態及其變化例之攝像裝置1輸出相應於入射光之圖像資料。DSP電路243係對從上述實施形態及其變化例之攝像裝置1輸出之信號(圖像資料)進行處理之信號處理電路。圖框記憶體244以圖框為單位暫時

保持由DSP電路243處理後之圖像資料。顯示部245例如包含液晶面板或有機EL(Electro Luminescence，電致發光)面板等面板型顯示裝置，顯示利用上述實施形態及其變化例之攝像裝置1拍攝到之動態圖像或靜態圖像。記憶部246將利用上述實施形態及其變化例之攝像裝置1拍攝到之動態圖像或靜態圖像之圖像資料記錄至半導體記憶體或硬碟等記錄媒體。操作部247根據使用者之操作，發出攝像系統7所具有之各種功能相關之操作指令。電源部248將成為上述實施形態及其變化例之攝像裝置1、DSP電路243、圖框記憶體244、顯示部245、記憶部246及操作部247之動作電源之各種電源適當供給至該等供給對象。

【0278】

其次，對攝像系統7中之拍攝步序進行說明。

【0279】

圖85表示攝像系統7中之拍攝動作之流程圖之一例。使用者藉由對操作部247進行操作而指示拍攝開始(步驟S101)。如此一來，操作部247將攝像指令傳送至攝像裝置1(步驟S102)。攝像裝置1(具體而言為系統控制電路36)當接收到攝像指令時，執行規定之拍攝方式之拍攝(步驟S103)。

【0280】

攝像裝置1將藉由拍攝獲得之圖像資料輸出至DSP電路243。此處，所謂圖像資料係指基於浮動擴散部FD中暫時保持之電荷而產生之像素信號之所有像素的資料。DSP電路243基於從攝像裝置1輸入之圖像資料進行規定之信號處理(例如雜訊減少處理等)(步驟S104)。DSP電路243使已進行規定之信號處理之圖像資料保持於圖框記憶體244，圖框記憶體244將圖像資料記憶於記憶部246(步驟S105)。以此方式，進行攝像系統7中之拍

攝。

【0281】

於本應用例中，將上述實施形態及其變化例之攝像裝置1應用於攝像系統7。藉此，可使攝像裝置1小型化或者高精細化，從而能夠提供一種小型或者高精細之攝像系統7。

【0282】

<16.運用例>

[運用例1]

本發明之技術(本技術)可運用於多種製品。例如，本發明之技術亦可以搭載於汽車、電動汽車、油電混合車、機車、腳踏車、個人移動設備、飛機、無人飛機、船舶、機器人等任一種移動體之裝置之形式實現。

【0283】

圖86係表示作為可應用本發明之技術之移動體控制系統之一例的車輛控制系統之概略構成例之方塊圖。

【0284】

車輛控制系統12000具備經由通信網路12001連接之複數個電子控制單元。於圖86所示之例中，車輛控制系統12000具備驅動系統控制單元12010、車身系統控制單元12020、車外資訊檢測單元12030、車內資訊檢測單元12040、及綜合控制單元12050。又，作為綜合控制單元12050之功能構成，圖示出微電腦12051、聲音圖像輸出部12052、及車載網路I/F(interface，介面)12053。

【0285】

驅動系統控制單元12010根據各種程式，控制與車輛之驅動系統相關

之裝置之動作。例如，驅動系統控制單元12010作為內燃機或驅動用馬達等用以產生車輛驅動力之驅動力產生裝置、用以將驅動力傳遞至車輪之驅動力傳遞機構、調節車輛之轉向角之轉向機構、及產生車輛制動力之制動裝置等的控制裝置發揮功能。

【0286】

車身系統控制單元12020根據各種程式，控制裝設於車體之各種裝置之動作。例如，車身系統控制單元12020作為無鑰匙進入系統、智慧型鑰匙系統、電動窗裝置、或者頭燈、倒行燈、剎車燈、轉向燈或霧燈等各種燈之控制裝置發揮功能。於此情形時，可對車身系統控制單元12020輸入從代替鑰匙之可攜式機器發送之電波或各種開關之信號。車身系統控制單元12020受理該等電波或信號之輸入，控制車輛之門鎖裝置、電動窗裝置、燈等。

【0287】

車外資訊檢測單元12030檢測搭載有車輛控制系統12000之車輛之外部之資訊。例如，於車外資訊檢測單元12030連接攝像部12031。車外資訊檢測單元12030使攝像部12031拍攝車外之圖像，並且接收所拍攝到之圖像。車外資訊檢測單元12030可基於所接收到之圖像進行人、車、障礙物、標識或路面上之文字等之物體檢測處理或距離檢測處理。

【0288】

攝像部12031係接收光，並輸出與該光之受光量相應之電信號之光感測器。攝像部12031可將電信號以圖像之形式輸出，亦可以測距資訊之形式輸出。又，攝像部12031所接收之光可為可見光，亦可為紅外線等不可見光。

【0289】

車內資訊檢測單元12040檢測車內之資訊。於車內資訊檢測單元12040例如連接檢測駕駛員狀態之駕駛員狀態檢測部12041。駕駛員狀態檢測部12041包含例如拍攝駕駛員之相機，車內資訊檢測單元12040可基於從駕駛員狀態檢測部12041輸入之檢測資訊，算出駕駛員之疲勞程度或集中程度，亦可判別出駕駛員是否在打瞌睡。

【0290】

微電腦12051可基於由車外資訊檢測單元12030或車內資訊檢測單元12040獲取之車內外之資訊，運算驅動力產生裝置、轉向機構或制動裝置之控制目標值，對驅動系統控制單元12010輸出控制指令。例如，微電腦12051可進行以實現ADAS(Advanced Driver Assistance System，先進駕駛輔助系統)之功能為目的之協調控制，該ADAS包含避免車輛碰撞或緩和衝擊、基於車間距離之跟隨行駛、車速維持行駛、車輛之碰撞警告、或車輛之行車線偏離警告等。

【0291】

又，微電腦12051藉由基於由車外資訊檢測單元12030或車內資訊檢測單元12040獲取之車輛周圍之資訊，對驅動力產生裝置、轉向機構或制動裝置等進行控制，可進行以不依賴駕駛員之操作而自主行駛之自動駕駛等為目的之協調控制。

【0292】

又，微電腦12051可基於由車外資訊檢測單元12030獲取之車外之資訊，對車身系統控制單元12020輸出控制指令。例如，微電腦12051可根據由車外資訊檢測單元12030偵測到之前方車或對向車之位置控制頭燈，

進行將遠光切換為近光等以實現防眩為目的之協調控制。

【0293】

聲音圖像輸出部12052向能夠以視覺或聽覺方式，對車輛之搭乘者或車外通知資訊的輸出裝置傳送聲音及圖像中之至少一者之輸出信號。於圖63之例中，作為輸出裝置，例示有音頻揚聲器12061、顯示部12062及儀錶板12063。顯示部12062例如可包含機載顯示器及抬頭顯示器中之至少一者。

【0294】

圖87係表示攝像部12031之設置位置之例之圖。

【0295】

於圖87中，車輛12100具有攝像部12101、12102、12103、12104、12105作為攝像部12031。

【0296】

攝像部12101、12102、12103、12104、12105例如設置於車輛12100之前保險桿、側鏡、後保險桿、尾門及車室內之前擋玻璃之上部等位置。前保險桿所配備之攝像部12101及車室內之前擋玻璃之上部所配備之攝像部12105主要獲取車輛12100前方之圖像。側鏡所配備之攝像部12102、12103主要獲取車輛12100側方之圖像。後保險桿或尾門所配備之攝像部12104主要獲取車輛12100之後方之圖像。由攝像部12101及12105獲取之前方之圖像主要用於檢測前方車或行人、障礙物、信號機、交通標識或行車線等。

【0297】

再者，於圖87中示出攝像部12101至12104之攝影範圍之一例。攝像

範圍12111表示設置於前保險桿之攝像部12101之拍攝範圍，拍攝範圍12112、12113分別表示設置於側鏡之攝像部12102、12103之拍攝範圍，拍攝範圍12114表示設置於後保險桿或尾門之攝像部12104之拍攝範圍。例如，藉由將利用攝像部12101至12104拍攝到之圖像資料重疊，可獲得從上方觀察車輛12100所得之俯瞰圖像。

【0298】

攝像部12101至12104之至少一者可具有獲取距離資訊之功能。例如，攝像部12101至12104之至少一者可為包含複數個攝像元件之立體相機，亦可為具有相位差檢測用之像素之攝像元件。

【0299】

例如，微電腦12051藉由基於自攝像部12101至12104獲得之距離資訊，求出距拍攝範圍12111至12114內之各立體物之距離、及該距離隨時間之變化(相對於車輛12100之相對速度)，尤其可提取位於車輛12100之行進路上之最近且沿與車輛12100大致相同之方向以規定之速度(例如，0 km/h以上)行駛之立體物作為前方車。進而，微電腦12051可設定應預先確保靠近前方車之車間距離，進行自動剎車控制(亦包含跟隨停止控制)或自動加速控制(亦包含跟隨發動控制)等。如此，能夠進行以不依賴駕駛員之操作而自主行駛之自動駕駛等為目的之協調控制。

【0300】

例如，微電腦12051可基於自攝像部12101至12104獲得之距離資訊，將與立體物相關之立體物資料分類為二輪車、普通車輛、大型車輛、行人、電線桿等其他立體物進行提取，用於自動避讓障礙物。例如，微電腦12051將車輛12100之周邊之障礙物辨別為車輛12100之駕駛員能夠視認

之障礙物與難以視認之障礙物。而且，微電腦12051可判斷表示與各障礙物之碰撞之危險度之碰撞風險，於碰撞風險為設定值以上而存在碰撞可能性之狀況時，經由音頻揚聲器12061或顯示部12062對駕駛員輸出警報、或者經由驅動系統控制單元12010進行強制減速或避讓轉向，藉此進行用於避免碰撞之駕駛支援。

【0301】

攝像部12101至12104之至少一者可為檢測紅外線之紅外線相機。例如，微電腦12051可藉由判定攝像部12101至12104之拍攝圖像中是否存在行人而辨識行人。該行人之辨識係藉由例如以下兩個步序進行：提取作為紅外線相機之攝像部12101至12104之拍攝圖像中之特徵點之步序、及對表現出物體之輪廓之一連串特徵點進行圖案匹配處理而判別是否為行人之步序。若微電腦12051判定攝像部12101至12104之拍攝圖像中存在行人，並辨識出行人，則聲音圖像輸出部12052以對該所辨識之行人重疊顯示用於強調之方形輪廓線之方式控制顯示部12062。又，聲音圖像輸出部12052亦可以將表示行人之圖符等顯示於所期望之位置之方式控制顯示部12062。

【0302】

以上，對可應用本發明之技術之移動體控制系統之一例進行了說明。本發明之技術可應用於以上說明之構成中之攝像部12031。具體而言，上述實施形態及其變化例之攝像裝置1可應用於攝像部12031。藉由對攝像部12031應用本發明之技術，可獲得雜訊較少之高精細之拍攝圖像，因此，可於移動體控制系統中進行利用拍攝圖像之高精度之控制。

【0303】

[運用例2]

圖88係表示可應用本發明之技術(本技術)之內視鏡手術系統的概略構成之一例之圖。

【0304】

於圖88中，圖示出手術實施者(醫生)11131使用內視鏡手術系統11000對病床11133上之患者11132進行手術之情況。如圖所示，內視鏡手術系統11000包含內視鏡11100、氣腹管11111或能量處理器具11112等其他手術器具11110、支持內視鏡11100之支持臂裝置11120、及搭載有用於內視鏡下手術之各種裝置之手推車11200。

【0305】

內視鏡11100包含將距前端規定長度之區域插入患者11132之體腔內之鏡筒11101、及連接於鏡筒11101之基端之相機鏡頭11102。於圖示之例中，圖示出構成為具有硬性鏡筒11101之所謂硬性鏡之內視鏡11100，但內視鏡11100亦可構成為具有軟性鏡筒之所謂軟性鏡。

【0306】

於鏡筒11101之前端設置有供物鏡嵌入之開口部。於內視鏡11100連接有光源裝置11203，由該光源裝置11203產生之光藉由延伸設置於鏡筒11101之內部之導光件而引導至該鏡筒之前端，經由物鏡向患者11132之體腔內之觀察對象照射。再者，內視鏡11100可為直視鏡，亦可為斜視鏡或側視鏡。

【0307】

於相機鏡頭11102之內部設置有光學系統及攝像元件，來自觀察對象之反射光(觀察光)藉由該光學系統而聚光於該攝像元件。藉由該攝像元件將觀察光進行光電轉換，而產生與觀察光對應之電信號、即與觀察圖像對

應之圖像信號。該圖像信號以RAW資料之形式被傳送至相機控制單元(CCU：Camera Control Unit)11201。

【0308】

CCU11201包含CPU(Central Processing Unit，中央處理單元)或GPU(Graphics Processing Unit，圖像處理單元)等，統一控制內視鏡11100及顯示裝置11202之動作。進而，CCU11201從相機鏡頭11102接收圖像信號，並對該圖像信號實施例如顯影處理(解馬賽克處理)等用以顯示基於該圖像信號所產生之圖像之各種圖像處理。

【0309】

顯示裝置11202藉由來自CCU11201之控制，顯示基於由該CCU11201實施圖像處理後之圖像信號所產生之圖像。

【0310】

光源裝置11203例如包含LED(Light Emitting Diode，發光二極體)等光源，將拍攝手術部位等時之照射光供給至內視鏡11100。

【0311】

輸入裝置11204係針對內視鏡手術系統11000之輸入介面。使用者可經由輸入裝置11204對內視鏡手術系統11000輸入各種資訊或指示。例如，使用者輸入旨在變更內視鏡11100之拍攝條件(照射光之種類、倍率及焦點距離等)之指示等。

【0312】

處理器具控制裝置11205對用於組織之燒灼、切開或血管之閉合等之能量處理器具11112之驅動進行控制。氣腹裝置11206為了確保內視鏡11100之視野及手術實施者之作業空間，而經由氣腹管11111向該體腔內送

入氣體，以使患者11132之體腔膨脹。記錄器11207係能夠記錄與手術相關之各種資訊之裝置。印表機11208係能夠將與手術相關之各種資訊以文本、圖像或圖表等各種形式印刷之裝置。

【0313】

再者，向內視鏡11100供給拍攝手術部位時之照射光之光源裝置11203例如可包含LED、雷射光源或由該等之組合構成之白色光源。於藉由RGB雷射光源之組合構成白色光源之情形時，可高精度地控制各色(各波長)之輸出強度及輸出時點，因此，於光源裝置11203中可進行拍攝圖像之白平衡之調整。又，於此情形時，將來自各RGB雷射光源之雷射光分時向觀察對象照射，與該照射時點同步地控制相機鏡頭11102之攝像元件之驅動，藉此亦能夠分時拍攝與各RGB對應之圖像。根據該方法，即便不於該攝像元件設置彩色濾光片，亦可獲得彩色圖像。

【0314】

又，光源裝置11203亦可以按照規定之時間間隔變更所輸出之光強度之方式控制該驅動。與該光強度之變更時點同步地控制相機鏡頭11102之攝像元件之驅動而分時獲取圖像，並將該圖像合成，藉此可產生不存在所謂曝光不足及曝光過度之高動態範圍之圖像。

【0315】

又，光源裝置11203亦可構成能夠供給與特殊光觀察對應之規定波長頻帶之光。於特殊光觀察中，例如進行如下之所謂窄頻帶光觀察(Narrow Band Imaging)：利用身體組織中之光吸收之波長依存性，照射與通常觀察時之照射光(即白色光)相比為窄頻帶之光，藉此以高對比度拍攝黏膜表層之血管等規定之組織。或於特殊光觀察中，亦可進行利用藉由

照射激發光產生之螢光來獲得圖像之螢光觀察。於螢光觀察中，可進行如下操作等：對身體組織照射激發光而觀察來自該身體組織之螢光(自發螢光觀察)；或將靛氰綠(ICG)等試劑局部注射至身體組織並且對該身體組織照射與該試劑之螢光波長對應之激發光來獲得螢光圖像。光源裝置11203可構成為能夠供給與此種特殊光觀察對應之窄頻帶光及/或激發光。

【0316】

圖89係表示圖88所示之相機鏡頭11102及CCU11201之功能構成之一例的方塊圖。

【0317】

相機鏡頭11102具有透鏡單元11401、攝像部11402、驅動部11403、通信部11404及相機鏡頭控制部11405。CCU11201具有通信部11411、圖像處理部11412及控制部11413。相機鏡頭11102與CCU11201藉由傳輸纜線11400而以能夠互相通信之方式連接。

【0318】

透鏡單元11401係設置於與鏡筒11101之連接部之光學系統。從鏡筒11101之前端擷取之觀察光被引導至相機鏡頭11102，入射至該透鏡單元11401。透鏡單元11401係將包含變焦透鏡及聚焦透鏡在內之複數個透鏡組合而構成。

【0319】

攝像部11402包含攝像元件。構成攝像部11402之攝像元件可為1個(所謂單板式)，亦可為複數個(所謂多板式)。於攝像部11402構成為多板式之情形時，例如可利用各攝像元件產生與RGB之各者對應的圖像信號，將該等圖像信號合成，藉此獲得彩色圖像。或者，攝像部11402可構成為

具有用以分別獲取與3D(Three Dimensional，三維)顯示對應之右眼用及左眼用之圖像信號之1對攝像元件。藉由進行3D顯示，手術實施者11131能夠更準確地把握手術部位處之活體組織之深度。再者，於攝像部11402構成為多板式之情形時，亦可與各攝像元件對應地設置複數個系統之透鏡單元11401。

【0320】

又，攝像部11402不一定要設置於相機鏡頭11102。例如，攝像部11402亦可設置於鏡筒11101之內部而在物鏡之正後方。

【0321】

驅動部11403包含致動器，藉由來自相機鏡頭控制部11405之控制，使透鏡單元11401之變焦透鏡及聚焦透鏡沿著光軸移動規定之距離。藉此，可適當調整攝像部11402之拍攝圖像之倍率及焦點。

【0322】

通信部11404包含用以與CCU11201之間收發各種資訊之通信裝置。通信部11404將從攝像部11402獲得之圖像信號以RAW資料之形式經由傳輸纜線11400傳送至CCU11201。

【0323】

又，通信部11404從CCU11201接收用以控制相機鏡頭11102之驅動之控制信號，並供給至相機鏡頭控制部11405。該控制信號例如包含旨在指定拍攝圖像之圖框率之資訊、旨在指定拍攝時之曝光值之資訊、及/或旨在指定拍攝圖像之倍率及焦點之資訊等與拍攝條件相關之資訊。

【0324】

再者，上述圖框率或曝光值、倍率、焦點等拍攝條件可由使用者適

當指定，亦可基於所獲取之圖像信號而由CCU11201之控制部11413自動設定。於後者之情形時，於內視鏡11100搭載有所謂AE(Auto Exposure，自動曝光)功能、AF(Auto Focus，自動對焦)功能及AWB(Auto White Balance，自動白平衡)功能。

【0325】

相機鏡頭控制部11405基於經由通信部11404接收到之來自CCU11201之控制信號，對相機鏡頭11102之驅動進行控制。

【0326】

通信部11411包含用以與相機鏡頭11102之間收發各種資訊之通信裝置。通信部11411從相機鏡頭11102接收經由傳輸纜線11400傳送之圖像信號。

【0327】

又，通信部11411對相機鏡頭11102傳送用以控制相機鏡頭11102之驅動之控制信號。圖像信號或控制信號可藉由電通信或光通信等傳送。

【0328】

圖像處理部11412對從相機鏡頭11102傳送來之作為RAW資料之圖像信號實施各種圖像處理。

【0329】

控制部11413進行與基於內視鏡11100之手術部位等之拍攝、及藉由手術部位等之拍攝獲得之拍攝圖像之顯示相關的各種控制。例如，控制部11413產生用以控制相機鏡頭11102之驅動之控制信號。

【0330】

又，控制部11413基於經圖像處理部11412實施圖像處理後之圖像信

號，使顯示裝置11202顯示反映出手術部位等之拍攝圖像。此時，控制部11413亦可使用各種圖像辨識技術，辨識拍攝圖像內之各種物體。例如，控制部11413藉由對拍攝圖像中所包含之物體之邊緣形狀或顏色等進行檢測，可辨識出鉗子等手術器具、特定之活體部位、出血、能量處理器具11112使用時之霧氣等。控制部11413亦可於使顯示裝置11202顯示拍攝圖像時，使用該辨識結果，使各種手術支援資訊重疊顯示於該手術部位之圖像中。藉由將手術支援資訊重疊顯示，且對手術實施者11131進行提示，可減輕手術實施者11131之負擔或使手術實施者11131確實地進行手術。

【0331】

連接相機鏡頭11102及CCU11201之傳輸纜線11400係與電信號之通信對應之電信號纜線、與光通信對應之光纖、或該等之複合纜線。

【0332】

此處，於圖示之例中，使用傳輸纜線11400以有線之方式進行通信，但相機鏡頭11102與CCU11201之間之通信亦可以無線方式進行。

【0333】

以上，對可應用本發明之技術之內視鏡手術系統之一例進行了說明。本發明之技術可較佳地應用於以上說明之構成中的設置於內視鏡11100之相機鏡頭11102之攝像部11402。藉由對攝像部11402應用本發明之技術，可使攝像部11402小型化或高精細化，因此，可提供小型或高精細之內視鏡11100。

【0334】

以上，列舉實施形態及其變化例、應用例以及運用例對本發明進行了說明，但本發明並不限定於上述實施形態等，可進行各種變化。再者，

本說明書中所記載之效果僅為例示。本發明之效果並不限於本說明書中所記載之效果。本發明可具有除本說明書中所記載之效果以外之效果。

【0335】

又，例如，本發明可採用如下構成。

【0336】

以上，列舉實施形態及其變化例、應用例以及運用例對本發明進行了說明，但本發明並不限定於上述實施形態等，可進行各種變化。再者，本說明書中所記載之效果僅為例示。本發明之效果並不限於本說明書中所記載之效果。本發明可具有除本說明書中所記載之效果以外之效果。

【0337】

< 17.彙總 >

如上所述，根據本發明之實施形態及變化例，能夠提供一種晶片尺寸與以往相同，且不會妨礙單位像素之面積之微細化之3層構造的攝像裝置1。

【0338】

再者，於上述本發明之實施形態及變化例中，可使上述各半導體區域之導電型相反，例如，本實施形態及變化例可應用於使用電洞作為信號電荷之攝像裝置。

【0339】

又，於上述本發明之實施形態中，半導體基板不一定非得為矽基板，亦可為其他基板(例如SOI(Silicon ON Insulator，絕緣層上矽)基板或SiGe基板等)。又，上述半導體基板可於上述各種基板上形成有半導體構造等。

【0340】

進而，本發明之實施形態及變化例之攝像裝置1並不限於拍攝可見光之入射光量之分佈作為所偵測到之圖像之攝像裝置。例如，本實施形態及變化例還可應用於拍攝紅外線或X射線、或者粒子等之入射量之分佈作為圖像之固體攝像元件、或者偵測壓力或靜電電容等其他物理量之分佈並拍攝為圖像之指紋檢測感測器等固體攝像元件(物理量分佈偵測裝置)。

【0341】

再者，於本發明之實施形態及變化例中，作為形成上述各層、各膜、各元件等之方法，例如可列舉物理氣相沈積法(PVD法)及CVD法等。作為PVD法，可列舉使用電阻加熱或高頻加熱之真空蒸鍍法、EB(電子束)蒸鍍法、各種濺鍍法(磁控濺鍍法、RF-DC(Radio Frequency-Direct Current，射頻-直流)耦合式偏壓濺鍍法、ECR(Electron Cyclotron Resonance，電子回旋共振)濺鍍法、對向靶濺鍍法、高頻濺鍍法等)、離子電鍍法、雷射剝蝕法、分子束磊晶(Molecular Beam Epitaxy；MBE)法、雷射轉印法等。又，作為CVD法，可列舉電漿CVD法、熱CVD法、MOCVD(Metal Organic Chemical Vapor Deposition，有機金屬化學氣相沈積)法、光CVD法等。進而，作為其他方法，可列舉電解鍍覆法或無電解鍍覆法、旋轉塗佈法；浸漬法；流延法；微接觸印刷法；滴注法；網版印刷法或噴墨印刷法、膠版印刷法、凹版印刷法、軟版印刷法等各種印刷法；列印法；噴霧法；氣動刮刀塗佈機(air doctor coater)法、刮刀塗佈機法、桿式塗佈機法、刀式塗佈機法、擠壓式塗佈機法、反向塗佈機法、傳料輥塗佈機法、凹版塗佈機法、接觸式塗佈機法、流延塗佈機法、噴霧塗佈機法、狹縫噴嘴型塗佈機法、壓延塗佈機法等各種塗佈法。又，作為各

層之圖案化法，可列舉蔽蔭遮罩、雷射轉印、光微影法等化學蝕刻、利用紫外線或雷射等之物理蝕刻等。此外，作為平坦化技術，可列舉CMP法、雷射平坦化法、回焊法等。即，本發明之實施形態及變化例之攝像裝置1可使用現有之半導體裝置之製造工序，容易且廉價地製造。

【0342】

又，上述本發明之實施形態及變化例之製造方法中之各步驟不一定要按照所記載之順序進行處理。例如，各步驟可適當變更順序而進行處理。進而，關於各步驟中所使用之方法，不一定要按照所記載之方法進行，亦可藉由其他方法進行。

【0343】**<18.補充>**

以上，參照隨附圖式對本發明之較佳之實施形態進行了詳細說明，但本發明之技術範圍並不限於該例。只要為具有本發明之技術領域之通常知識者，則明白可於申請專利範圍所記載之技術思想之範疇內，想到各種變更例或修正例，且當然瞭解該等變更例及修正例亦屬於本發明之技術範圍。

【0344】

又，本說明書中所記載之效果僅為說明性或例示性者。即，本發明之技術可與上述效果一起或代替上述效果，發揮業者根據本說明書之記載而明確之其他效果。

【0345】

再者，本技術亦可採用如下構成。

(1)

一種攝像裝置，其具備：

第1半導體基板，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；

第2半導體基板，其設置有讀出電路部，該讀出電路部介隔第1層間絕緣膜設置於上述第1半導體基板上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號；及

貫通電極，其從上述第2半導體基板之與上述第1半導體基板對向之面的相反側之面，貫通上述第2半導體基板及上述第1層間絕緣膜，延伸至上述第1半導體基板，將上述第1半導體基板與上述第2半導體基板電性連接；且

上述貫通電極之側面與上述第2半導體基板相接。

(2)

如上述(1)所記載之攝像裝置，其中

上述貫通電極從上述第2半導體基板內之第2區域之與上述第1半導體基板對向之面的相反側之面，貫通上述第2區域及上述第1層間絕緣膜，延伸至上述第1半導體基板內之第1區域之與上述第2半導體基板對向之面。

(3)

如上述(1)所記載之攝像裝置，其中

上述貫通電極從上述第2半導體基板內之第2區域之與上述第1半導體基板對向之面的相反側之面，貫通上述第2區域及上述第1層間絕緣膜，延伸至上述第1半導體基板內之第1區域之與上述第2半導體基板對向之面上所設置的第1接點。

(4)

如上述(3)所記載之攝像裝置，其中

上述第1半導體基板具有複數個上述第1區域，

上述第1接點以跨及上述複數個第1區域之方式設置，將上述複數個第1區域相互電性連接。

(5)

如上述(2)至(4)中任一項所記載之攝像裝置，其中上述第1區域與上述第2區域具有相同導電型。

(6)

一種攝像裝置，其具備：

第1半導體基板，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；

第2半導體基板，其設置有讀出電路部，該讀出電路部介隔第1層間絕緣膜設置於上述第1半導體基板上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號；及

貫通電極，其貫通上述第1層間絕緣膜，將上述第1半導體基板與上述第2半導體基板電性連接；且

上述貫通電極之前端部嵌埋於上述第1半導體基板內。

(7)

如上述(6)所記載之攝像裝置，其中

上述貫通電極之前端部之側壁與上述第1半導體基板內之第1區域相接。

(8)

如上述(7)所記載之攝像裝置，其中
上述第1區域於上述第1半導體基板內設置有複數個，
上述貫通電極之前端部之側壁與複數個第1區域相接。

(9)

如上述(6)至(8)中任一項所記載之攝像裝置，其中
於上述第1半導體基板內設置有元件分離部，該元件分離部將包含上述光電轉換元件及上述浮動擴散部之像素加以劃分，
上述前端部嵌埋於上述元件分離部。

(10)

如上述(9)所記載之攝像裝置，其中上述前端部從上述第1半導體基板之與上述第2半導體基板對向之面至該對向之面之相反側之面地，貫穿上
述第1半導體基板。

(11)

一種攝像裝置，其具備：

第1半導體基板，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；

第2半導體基板，其設置有讀出電路部，該讀出電路部介隔第1層間絕緣膜設置於上述第1半導體基板上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號；

第1電極，其與上述傳輸電晶體之間極電極電性連接；及

第2電極，其與上述第1半導體基板內之半導體層電性連接；且

上述第1及第2電極中之至少任一者設置於上述第1半導體基板之與上述第2半導體基板對向之面的相反側之面側。

(12)

如上述(11)所記載之攝像裝置，其中上述第1半導體基板之與上述第2半導體基板對向之面的相反側之面係向上述光電轉換元件入射之光之入射面。

(13)

如上述(12)所記載之攝像裝置，其中
上述第1電極設置於上述入射面側，

上述傳輸電晶體係上述傳輸電晶體之上述閘極電極嵌埋於上述第1半導體基板之垂直型電晶體。

(14)

如上述(12)所記載之攝像裝置，其中上述第2電極設置於上述入射面側，

上述第2電極由透明導電膜形成。

(15)

如上述(12)所記載之攝像裝置，其中

上述第1半導體基板於上述入射面之周圍具有元件分離部，該元件分離部將包含上述光電轉換元件、上述浮動擴散部及上述傳輸電晶體之像素加以劃分，

上述第2電極設置於上述入射面側之上述元件分離部內。

(16)

如上述(15)所記載之攝像裝置，其中上述第2電極沿著上述第1半導

體基板內之半導體層之側壁設置。

(17)

如上述(1)至(16)中任一項所記載之攝像裝置，其

進而具備第3半導體基板，該第3半導體基板具有對上述像素信號進行處理之邏輯電路，且位於上述第2半導體基板之與上述第1半導體基板對向之面的相反側。

(18)

如上述(17)所記載之攝像裝置，其進而具備：

第2層間絕緣膜，其設置於上述第2半導體基板之與上述第1半導體基板對向之面的相反側；

第1金屬焊墊，其設置於上述第2層間絕緣膜之與上述第2半導體基板對向之面的相反側，由銅材料構成；

第3層間絕緣膜，其設置於上述第3半導體基板之與上述第2半導體基板對向之面側；及

第2金屬焊墊，其設置於上述第3層間絕緣膜之與上述第2半導體基板對向之面側，由銅材料構成；且

上述第1金屬焊墊與上述第2金屬焊墊相互接合。

【符號說明】

【0346】

1:攝像裝置

1B:攝像裝置

7:攝像系統

10:第1基板部(底部基板)

10a:正面
11a:正面
11:半導體基板
15:絕緣膜
16:元件分離層
17:雜質擴散層
20:第2基板部
30:第3基板部
51:層間絕緣膜
53:層間絕緣膜
100, 200, 300:基板
100S:半導體層
100T:配線層
102:井區域
104, 106:接點
111:絕緣膜
112:固定電荷膜
113:釘紮區域
114: n型半導體區域
115: p型井層
116:釘紮區域
117:像素分離部
117A:遮光膜

117B:絕緣膜
117b:像素分離部
118: VSS接點區域
119:層間絕緣膜
120:焊墊部
120A:焊墊部
120C:連接孔
120E, 121E:貫通電極
120F, 121F:前端部
121:焊墊部
121C:連接孔
121F-1:側接點部
121F-2:貫通部
122:鈍化膜
123:層間絕緣膜
124:接合膜
125:接點部
200S:半導體層
200T:配線層
201, 202, 301, 302:接點部
201R, 301R:接點區域
202R, 302R:接點區域
203, 204, 303, 304:接點部

210:像素電路
211:井區域
211b:背面
212:絕緣區域
213:元件分離區域
215:絕緣膜
217:絕緣膜
218: VSS接點區域
218C:接點部
218V:連接部
220:焊墊部
221:鈍化膜
221a:正面
221b:背面
222:層間絕緣膜
223:元件分離層
225:絕緣膜
227:焊墊電極
243: DSP電路
244:圖框記憶體
245:顯示部
246:記憶部
247:操作部

248:電源部
249:匯流排線
250:閘極
300S:半導體層
300T:配線層
305:焊墊電極
350:配線
360:貫通電極
360a:埋入電極
360C:接點部
362:槽
370:彩色濾光片
401:受光透鏡
510A:輸入部
510B:輸出部
511:輸入端子
512:輸入電路部
513:輸入振幅變更部
514:輸入資料轉換電路部
515:輸出資料轉換電路部
516:輸出振幅變更部
517:輸出電路部
518:輸出端子

520:列驅動部
530:時序控制部
539:像素共有單元
540:像素陣列部
540B:周邊部
541:像素
541A, 541B, 541C, 541D:像素
542:列驅動信號線
543:垂直信號線
544:電源線
550:行信號處理部
560:圖像信號處理部
1020:共通焊墊電極
1100:共通焊墊電極
2100:下側基板(中間基板)
2110:第1半導體基板
2130:元件分離層
2200:上側基板(頂部基板)
2210:第2半導體基板
3010:半導體基板
3040:絕緣膜
11100:內視鏡
11101:鏡筒

11102:相機鏡頭
11110:其他手術器具
11111:氣腹管
11112:能量處理器具
11120:支持臂裝置
11131:手術實施者
11132:患者
11133:病床
11200:手推車
11201:CCU
11202:顯示裝置
11203:光源裝置
11204:輸入裝置
11205:處理器具控制裝置
11206:氣腹裝置
11207:記錄器
11208:印表機
11400:傳輸纜線
11401:透鏡單元
11402:攝像部
11403:驅動部
11404:通信部
11405:相機鏡頭控制部

11411:通信部
11412:圖像處理部
11413:控制部
12000:車輛控制系統
12001:通信網路
12010:驅動系統控制單元
12020:車身系統控制單元
12030:車外資訊檢測單元
12031:攝像部
12040:車內資訊檢測單元
12041:駕駛者狀態檢測部
12050:綜合控制單元
12051:微電腦
12052:聲音圖像輸出部
12053:車載網路I/F
12061:音頻揚聲器
12062:顯示部
12063:儀錶板
12100:車輛
12101, 12102, 12103, 12104, 12105:攝像部
12111:拍攝範圍
12112, 12113:拍攝範圍
12114:拍攝範圍

AG, RG, SG:閘極電極

AMP:放大電晶體

CH:貫通孔

FD, FD1, FD2, FD3, FD4:浮動擴散部

FDG: FD轉換增益切換電晶體

FDGL, RSTL, SELL, TRG1, TRG2, TRG3, TRG4:配線

H1, H2:連接孔部

L:光

L1~L10:配線

L30:配線

PD, PD1, PD2, PD3, PD4:光電二極體

PU:像素單元

RST:重設電晶體

sec1, sec2, sec3:位置

sec21:位置

sec22:位置

SEL:選擇電晶體

TA:外部端子

TB:外部端子

TG, TG1, TG2, TG3, TG4:傳輸閘極

TGa:垂直部分

TGb:水平部分

TGV, TGV1, TGV2, TGV3, TGV4:貫通電極

TR(TR1, TR2, TR3, TR4):傳輸電晶體

Vout:源極

VSS, VDD:電源線

W1, W2, W3, W4:配線層

WE:井層

【發明申請專利範圍】

【請求項1】

一種攝像裝置，其具備：

第1半導體基板，其設置有光電轉換元件、浮動擴散部及傳輸電晶體，上述浮動擴散部暫時保持從該光電轉換元件輸出之電荷，上述傳輸電晶體將由上述光電轉換元件輸出之上述電荷傳輸至上述浮動擴散部；

第2半導體基板，其設置有讀出電路部，該讀出電路部介隔第1層間絕緣膜設置於上述第1半導體基板上，讀出上述浮動擴散部中所保持之上述電荷，並輸出像素信號；及

貫通電極，其從上述第2半導體基板之與上述第1半導體基板對向之面的相反側之面，貫通上述第2半導體基板及上述第1層間絕緣膜，延伸至上述第1半導體基板之第1區域，將上述第1半導體基板之上述第1區域與上述第2半導體基板之第2區域電性連接；且

上述貫通電極之側面與上述第2半導體基板之上述第2區域相接。

【請求項2】

如請求項1之攝像裝置，其中上述貫通電極從上述第2半導體基板內之上述第2區域之與上述第1半導體基板對向之面的相反側之面，貫通上述第2區域及上述第1層間絕緣膜，延伸至上述第1半導體基板內之上述第1區域之與上述第2半導體基板對向之面。

【請求項3】

如請求項1之攝像裝置，其中上述貫通電極從上述第2半導體基板內之上述第2區域之與上述第1半導體基板對向之面的相反側之面，貫通上述第2區域及上述第1層間絕緣膜，延伸至上述第1半導體基板內之上述第1

區域之與上述第2半導體基板對向之面上所設置的第1接點。

【請求項4】

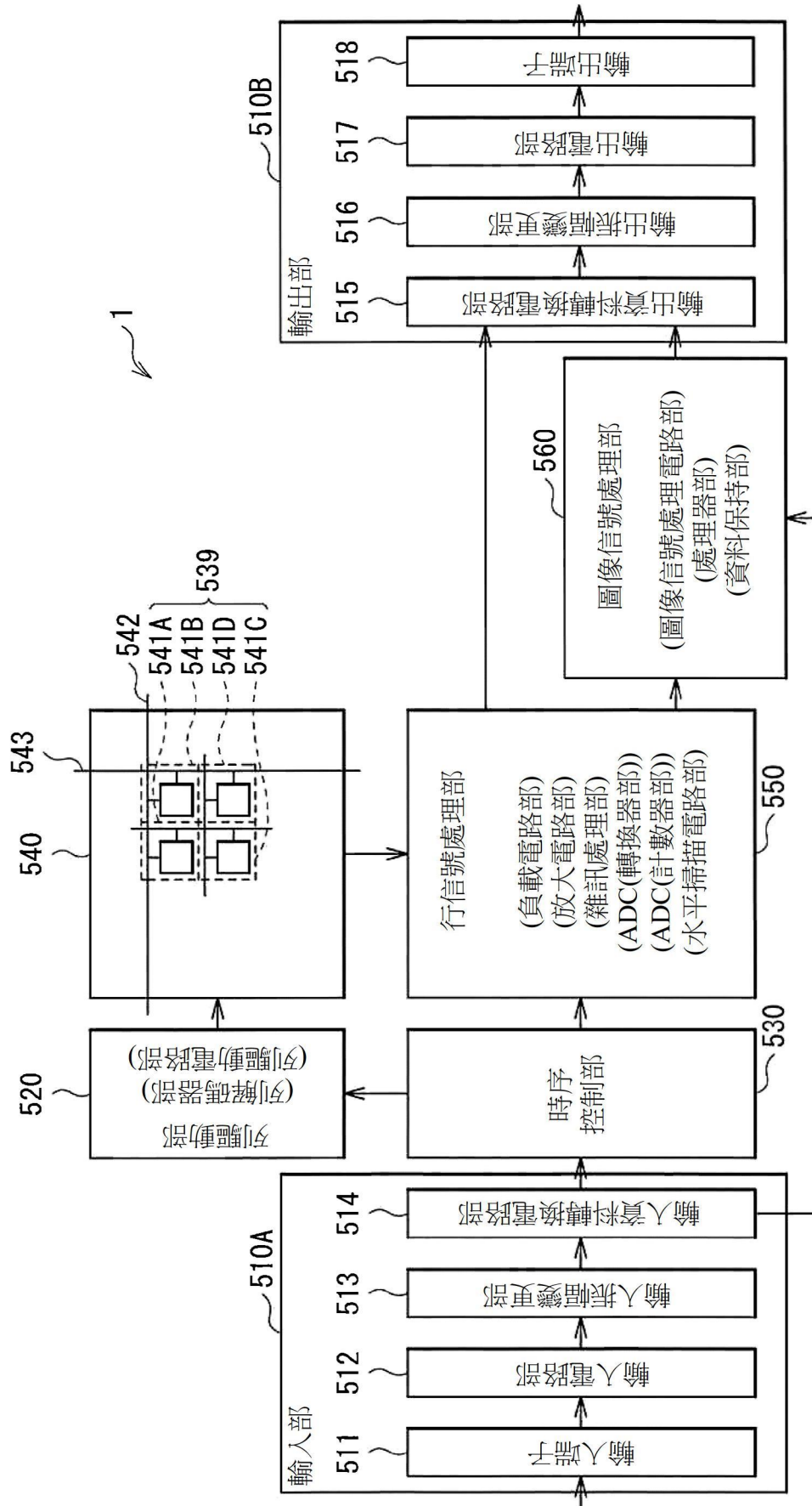
如請求項3之攝像裝置，其中上述第1半導體基板具有複數個上述第1區域，

上述第1接點以跨及上述複數個第1區域之方式設置，將上述複數個第1區域相互電性連接。

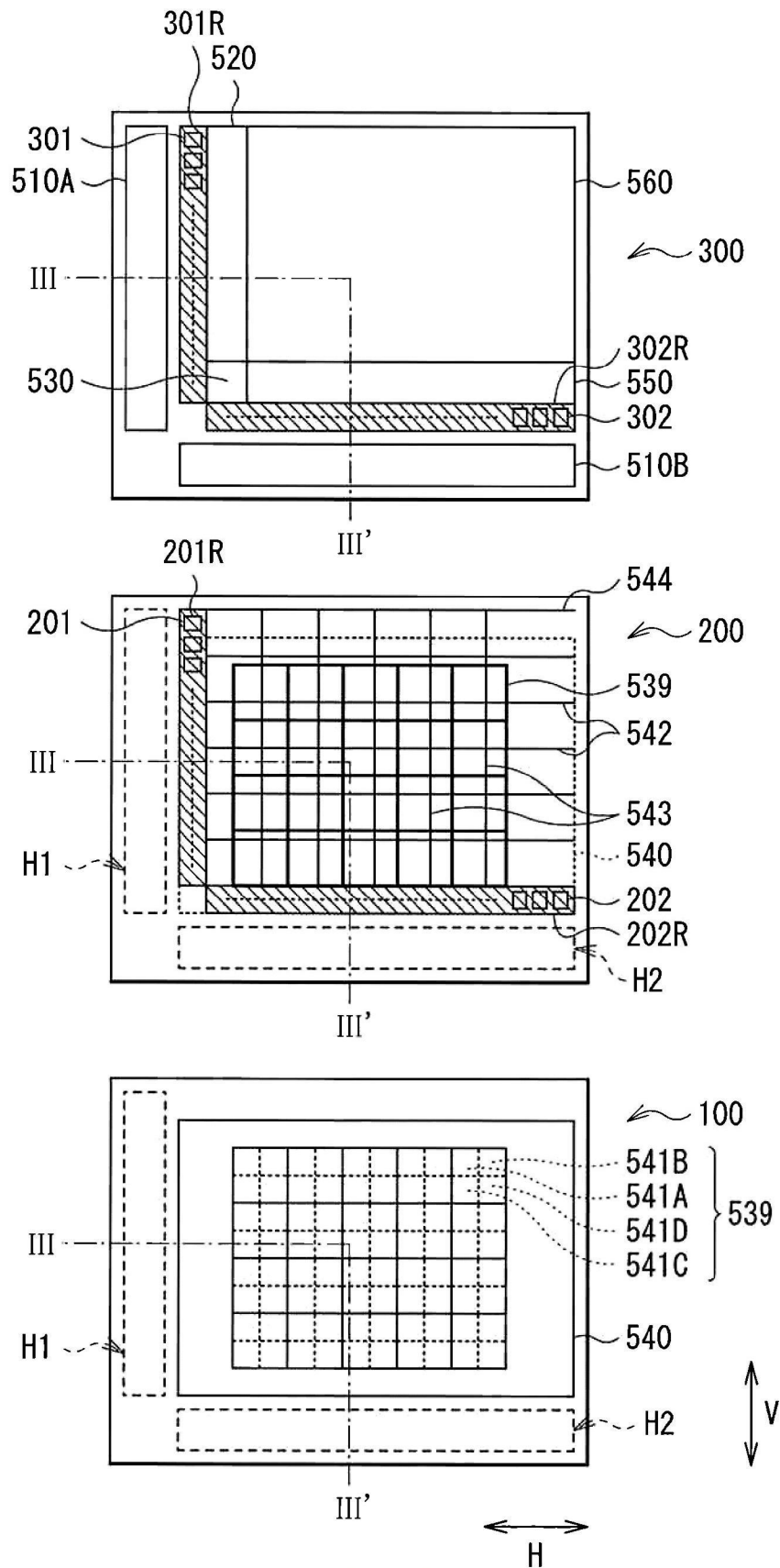
【請求項5】

如請求項2之攝像裝置，其中上述第1區域與上述第2區域具有相同導電型。

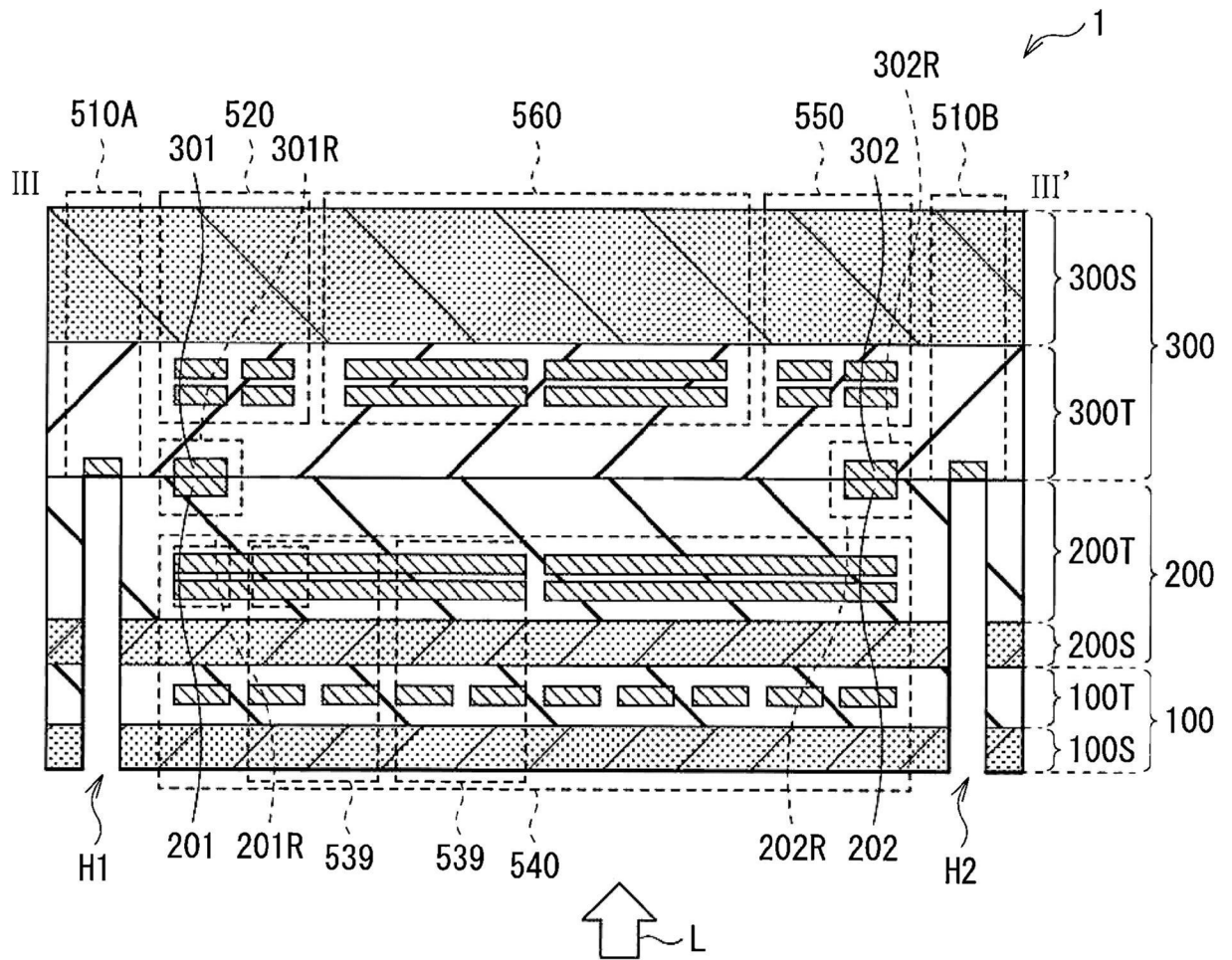
【發明圖式】



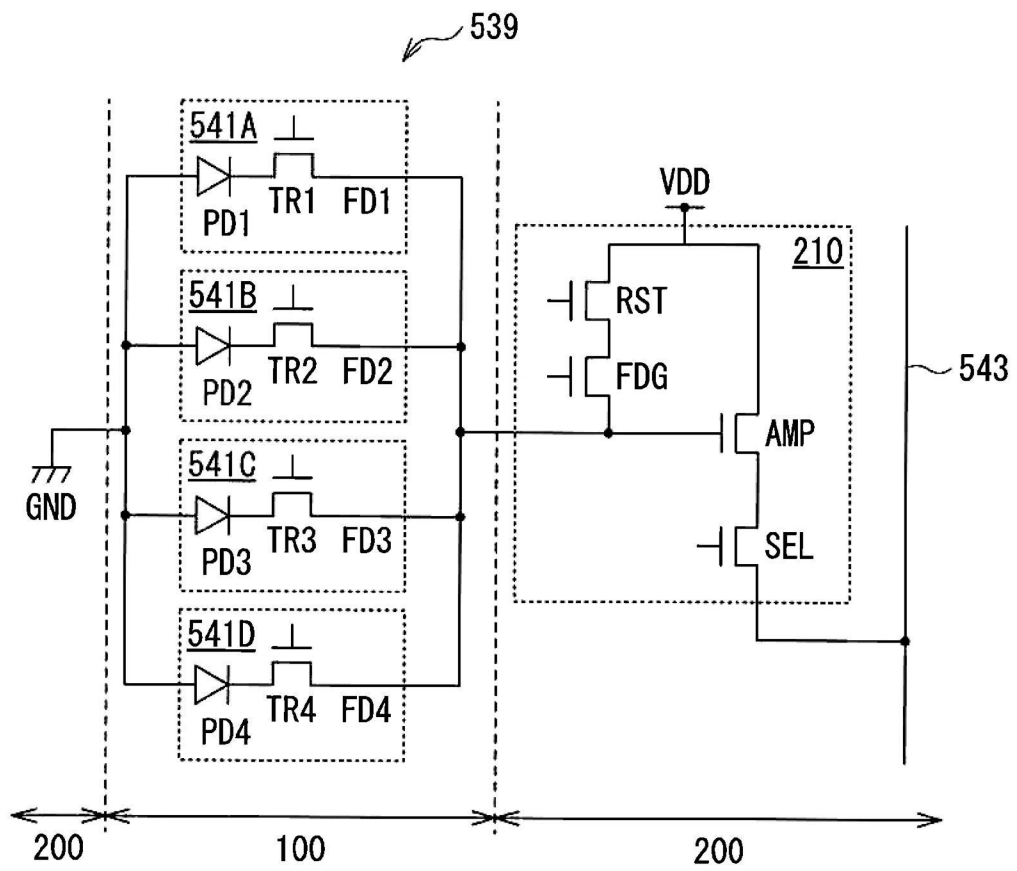
【圖1】



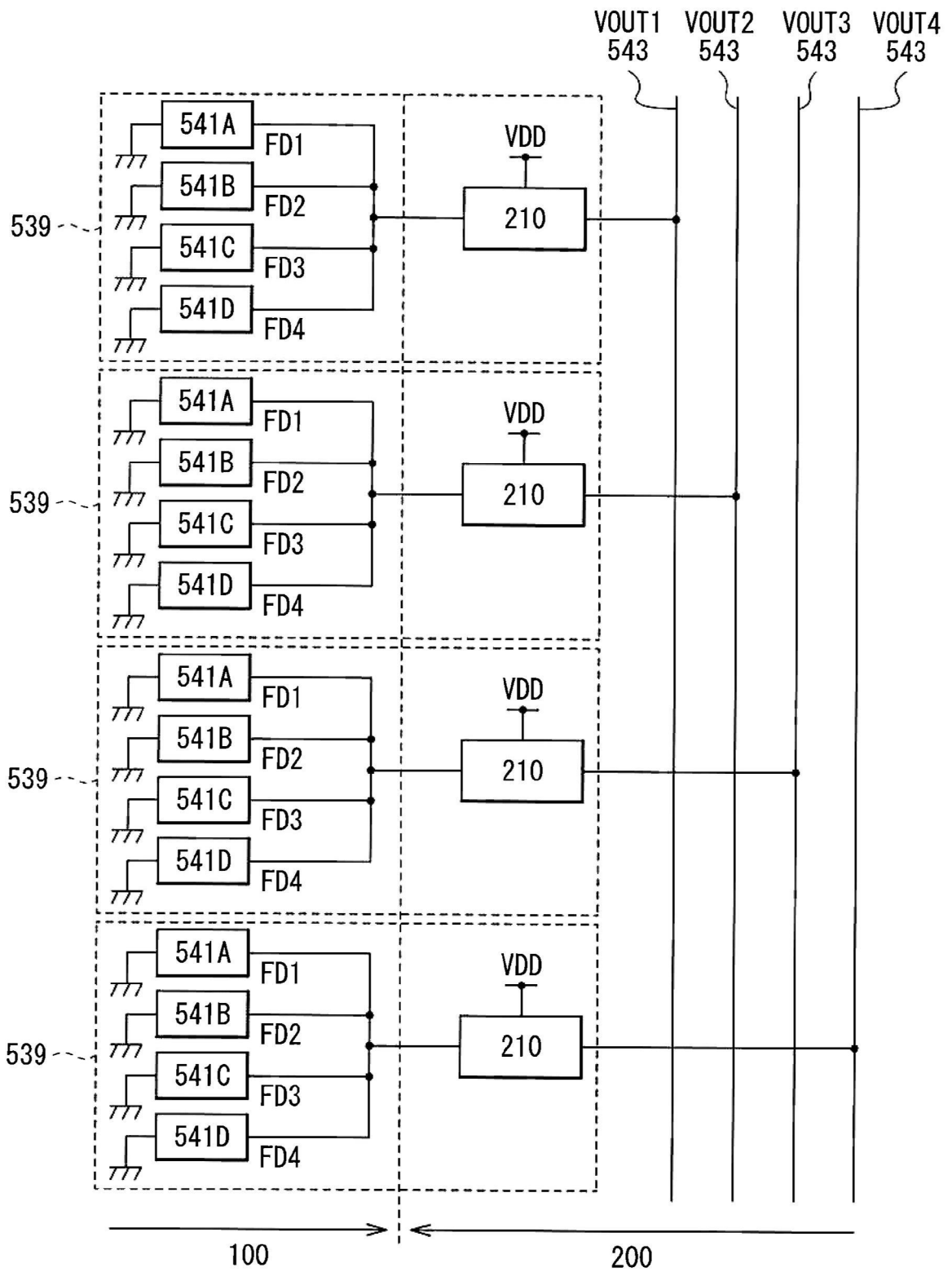
【圖2】



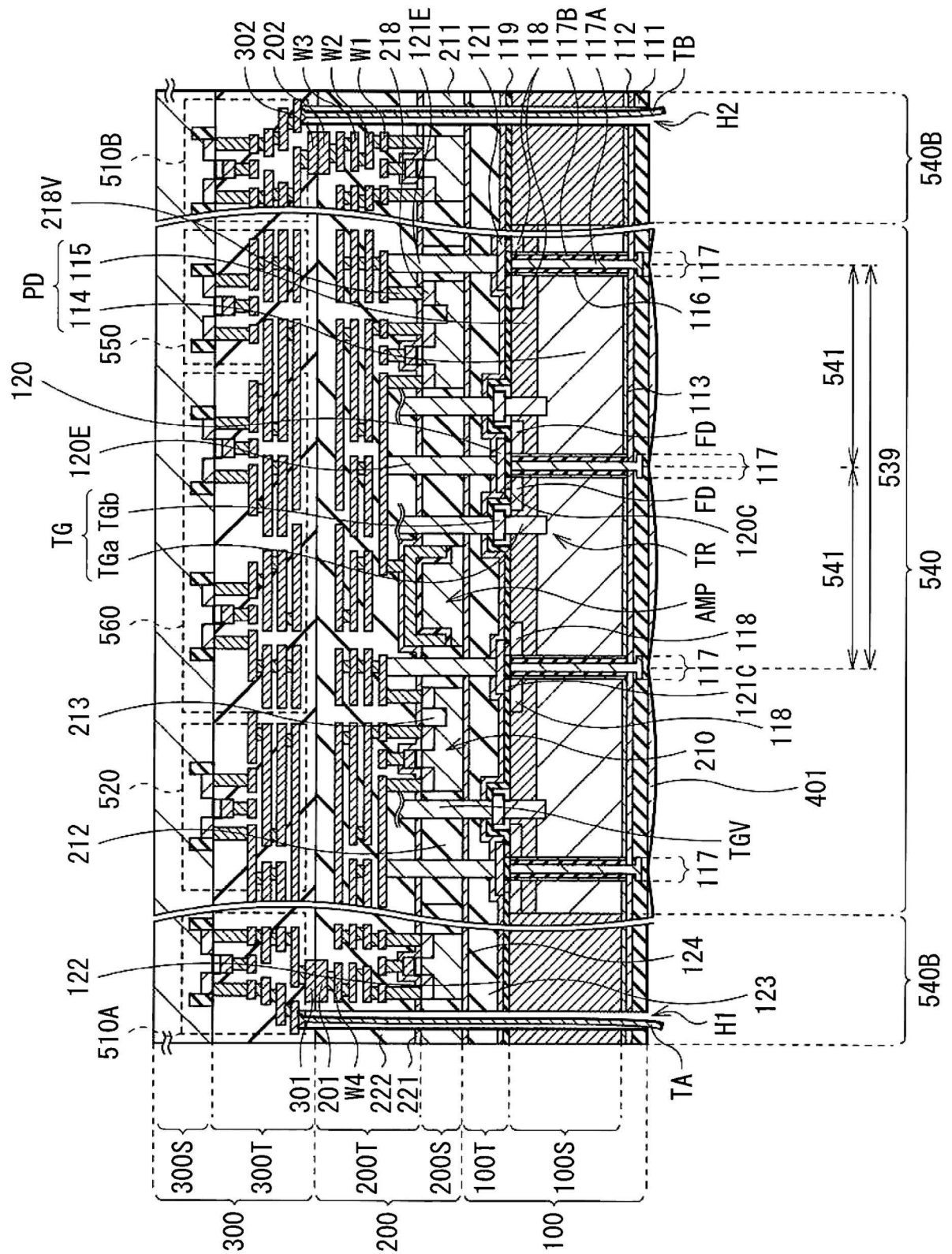
【圖3】



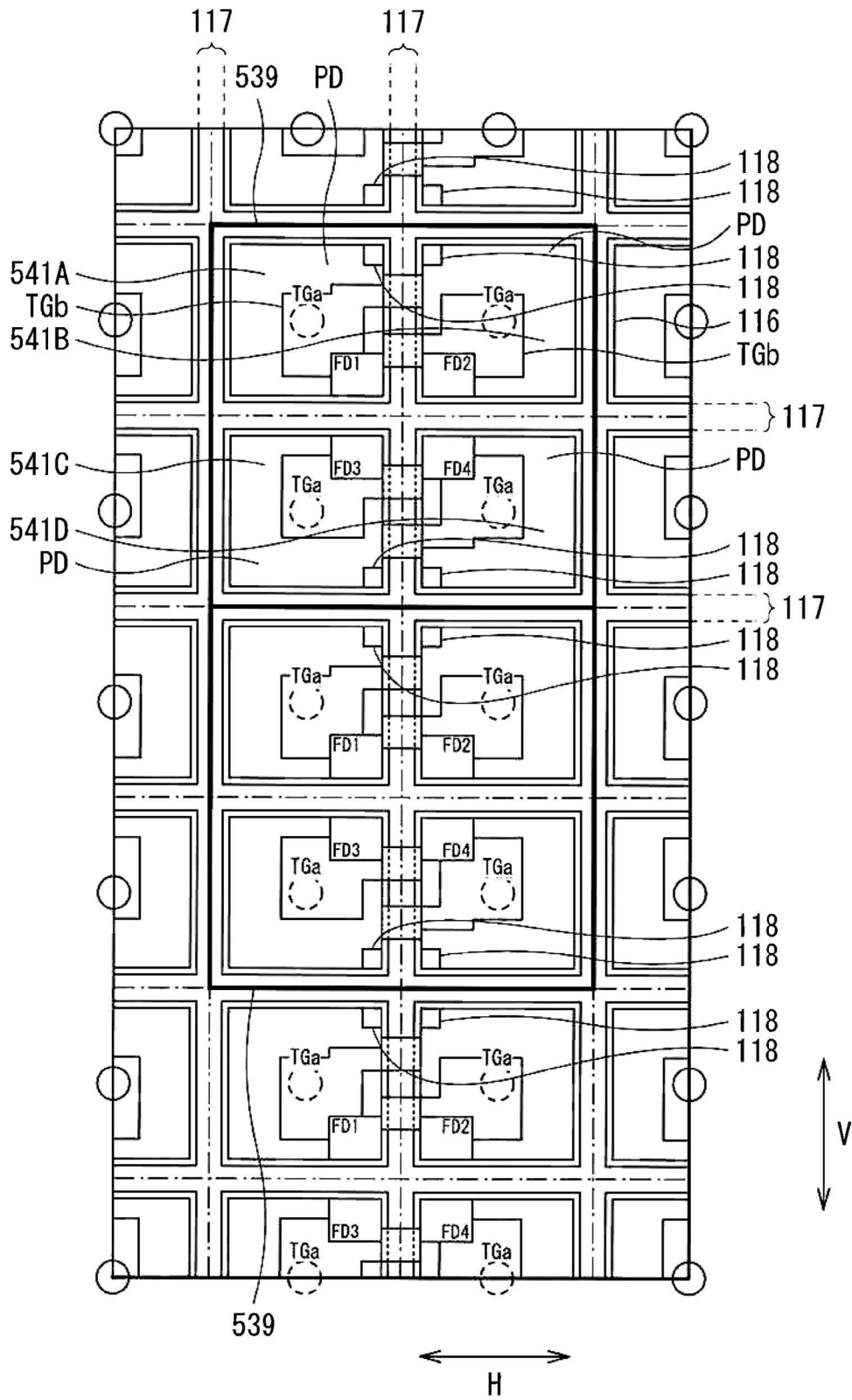
【圖4】



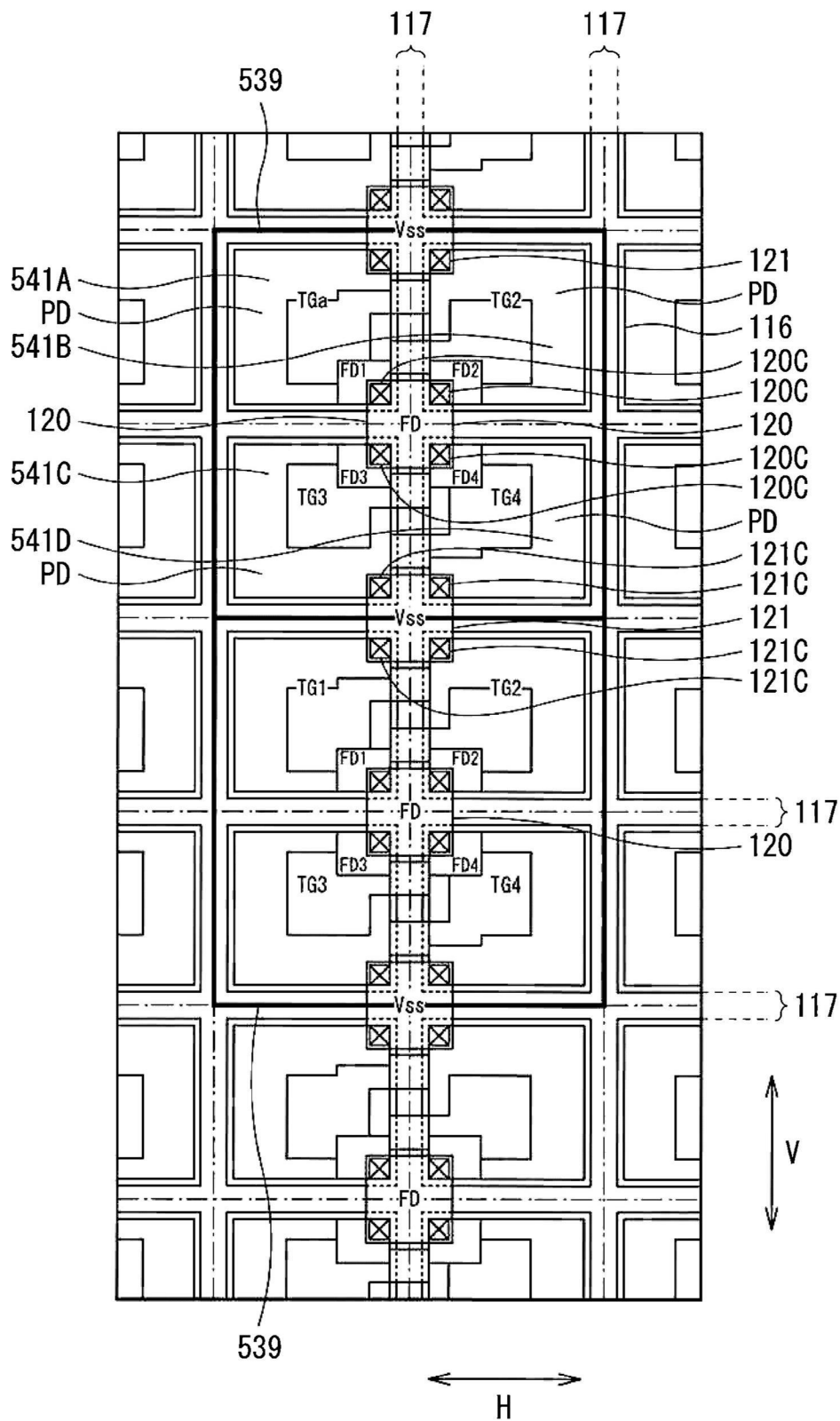
【圖5】



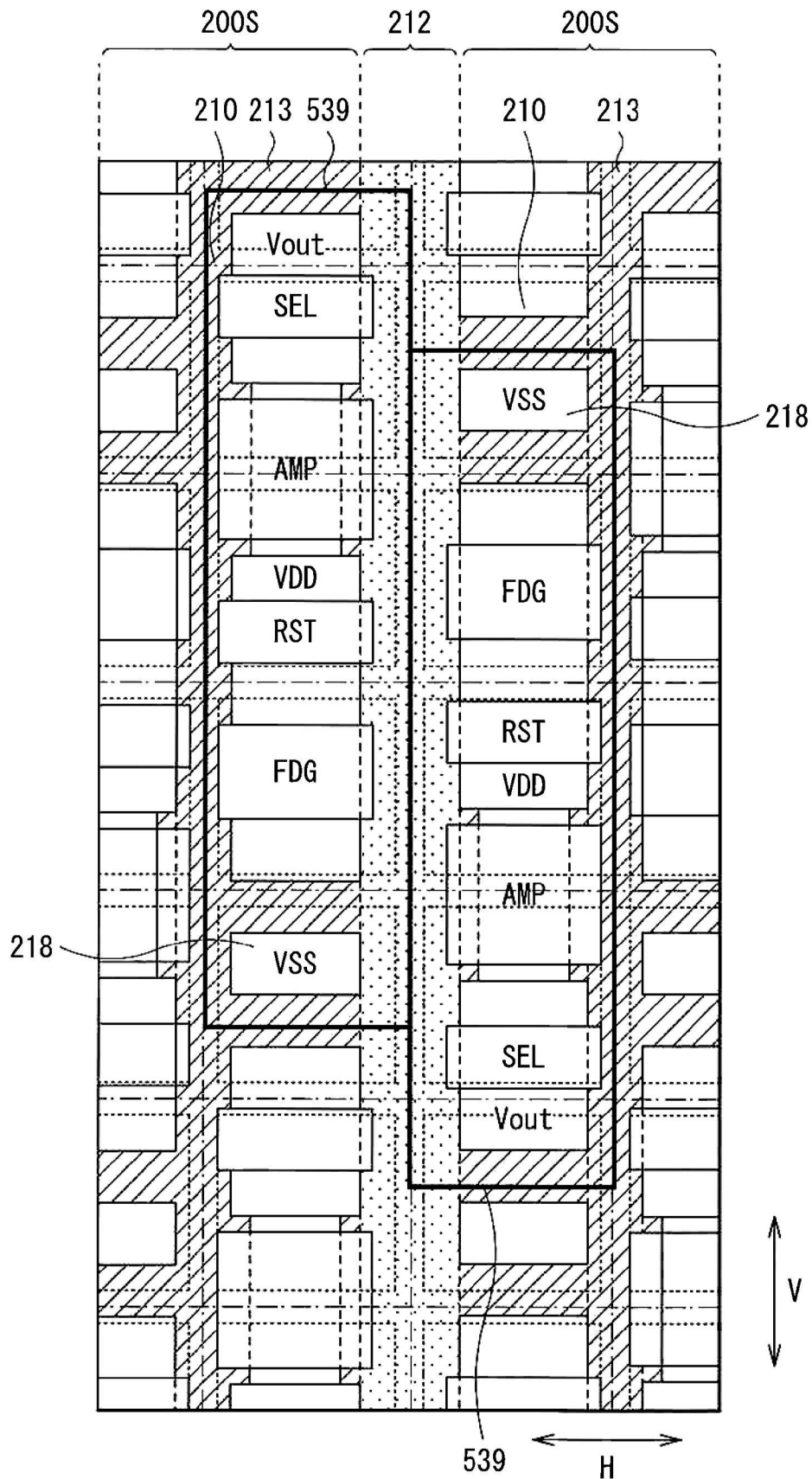
【圖6】



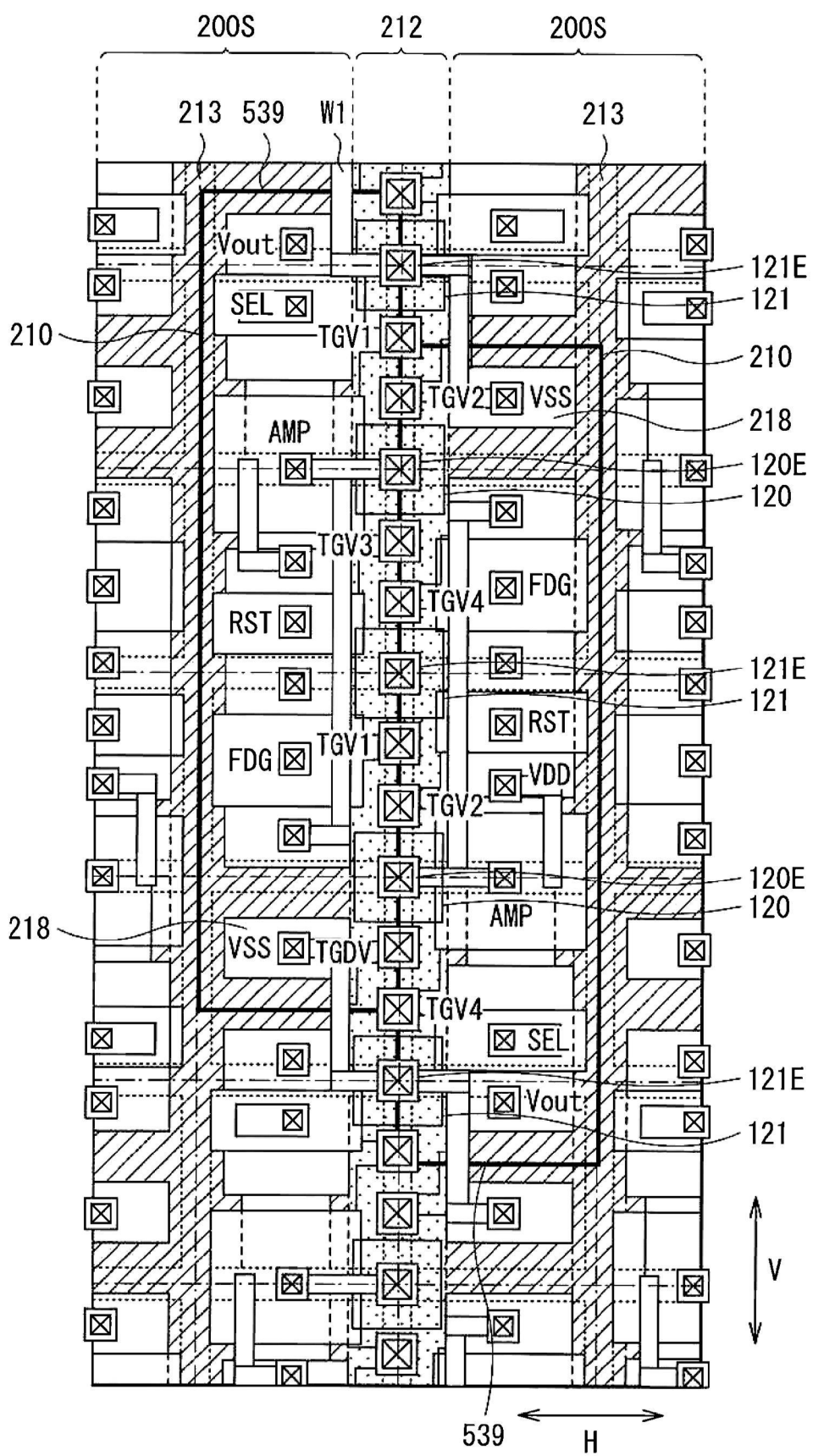
【圖7A】



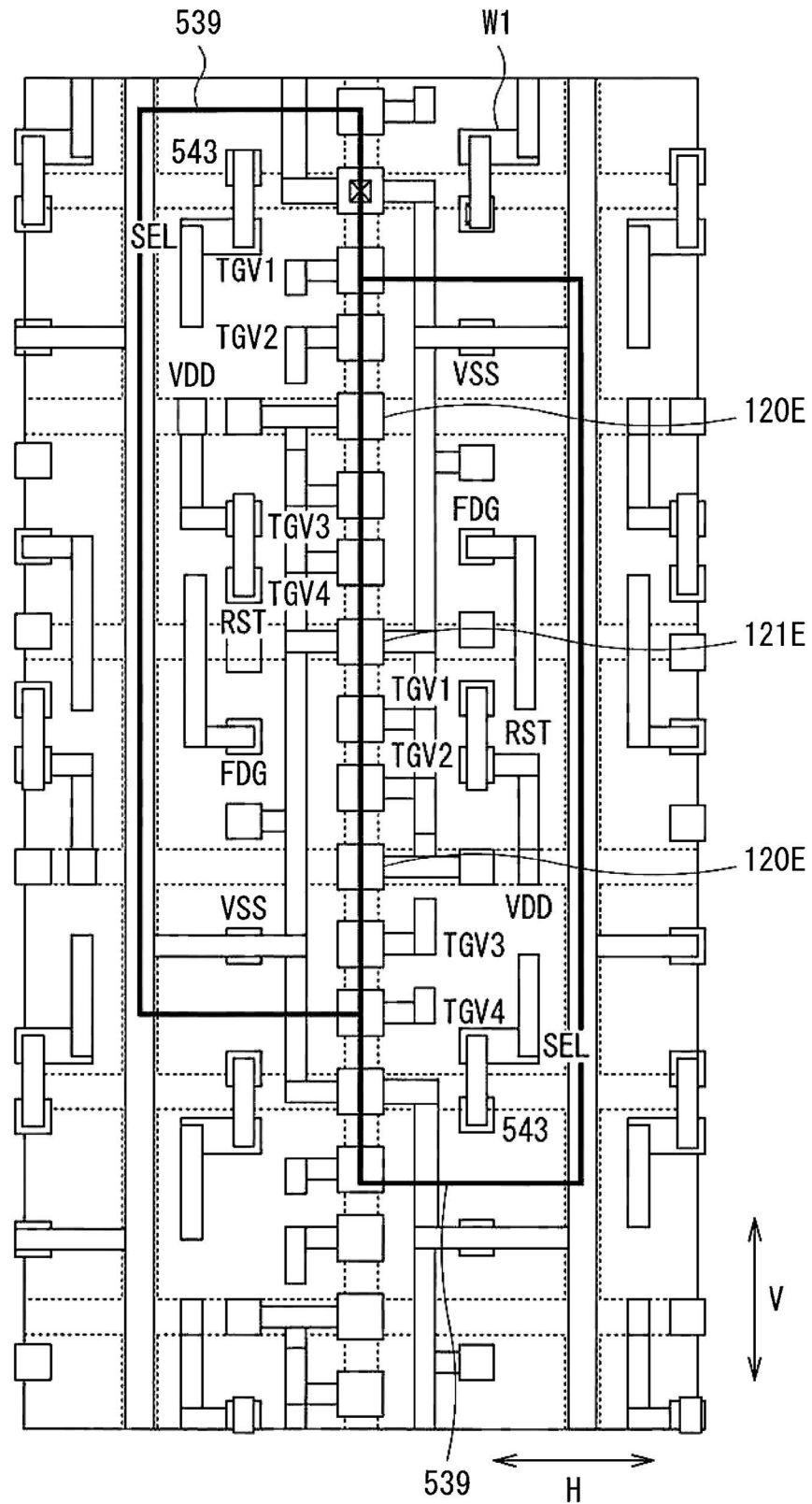
【圖7B】



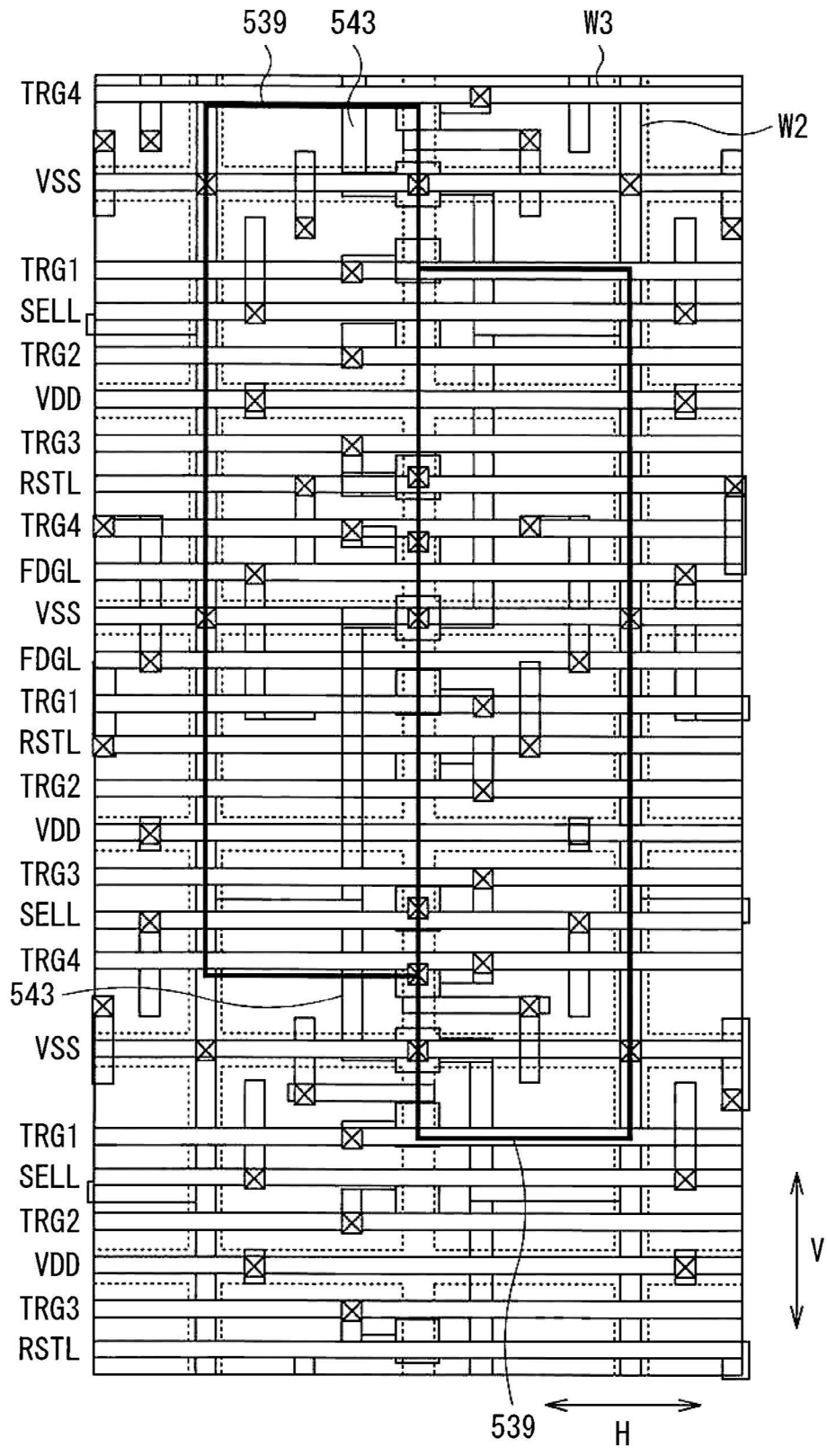
【圖8】



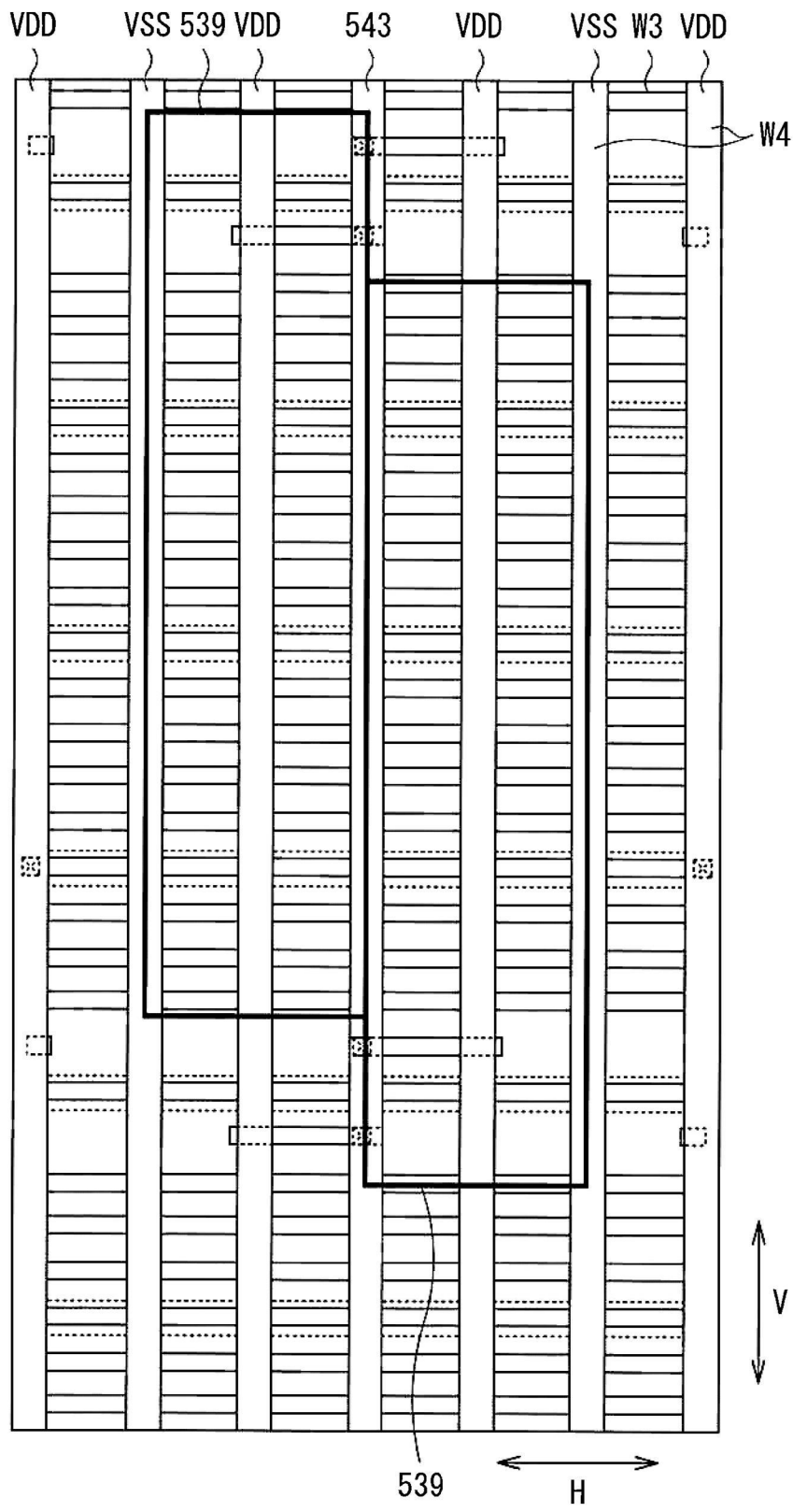
【圖9】



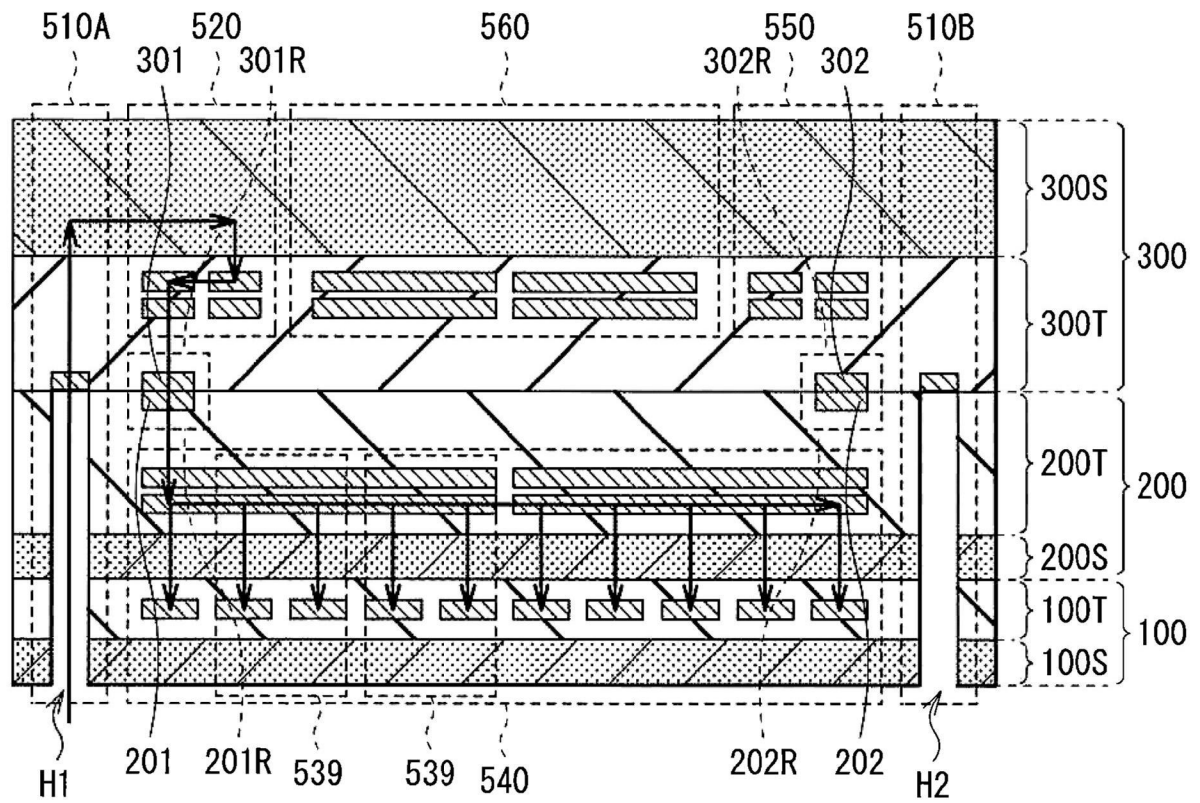
【圖10】



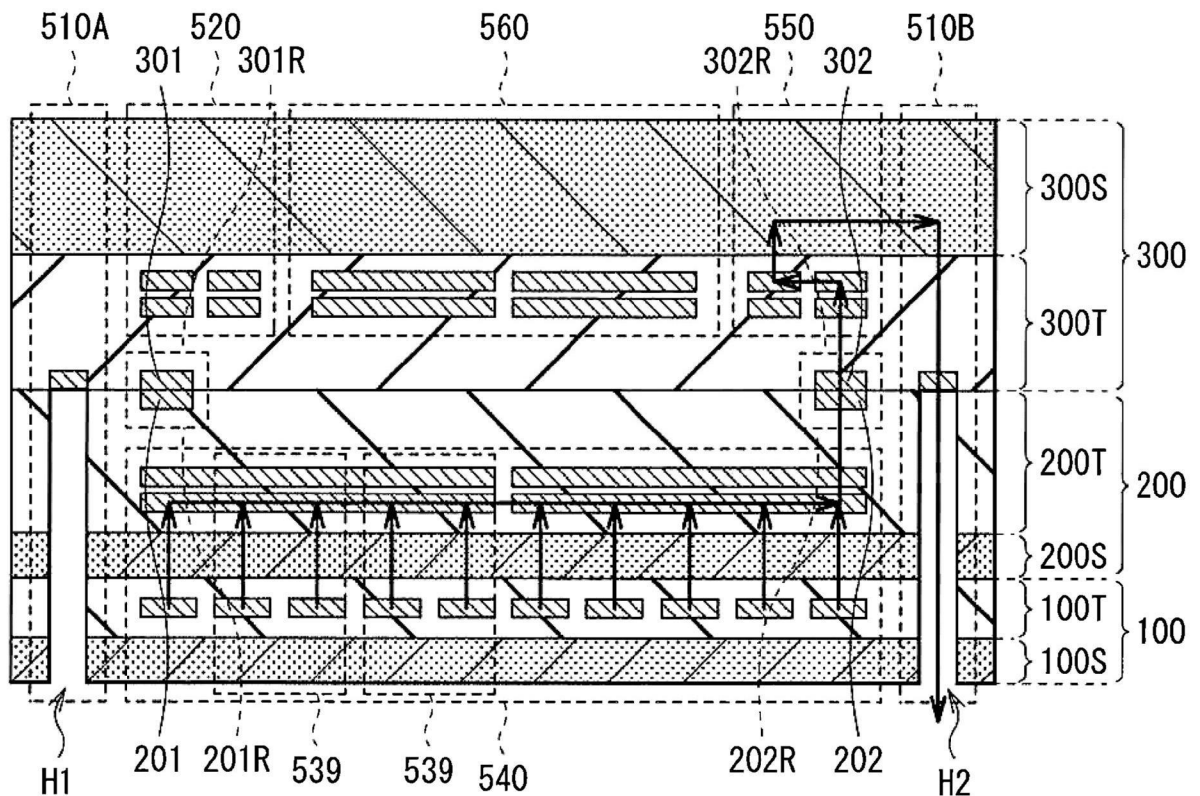
【圖11】



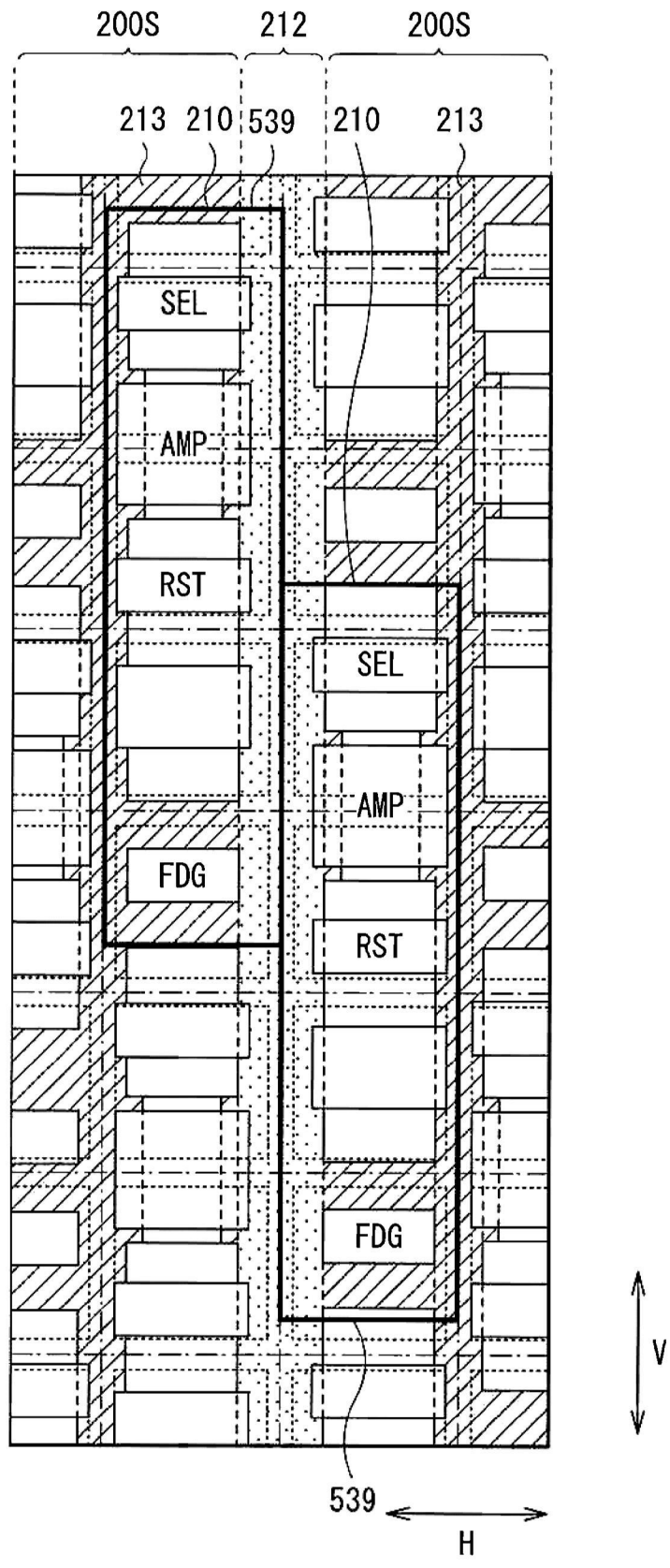
【圖12】



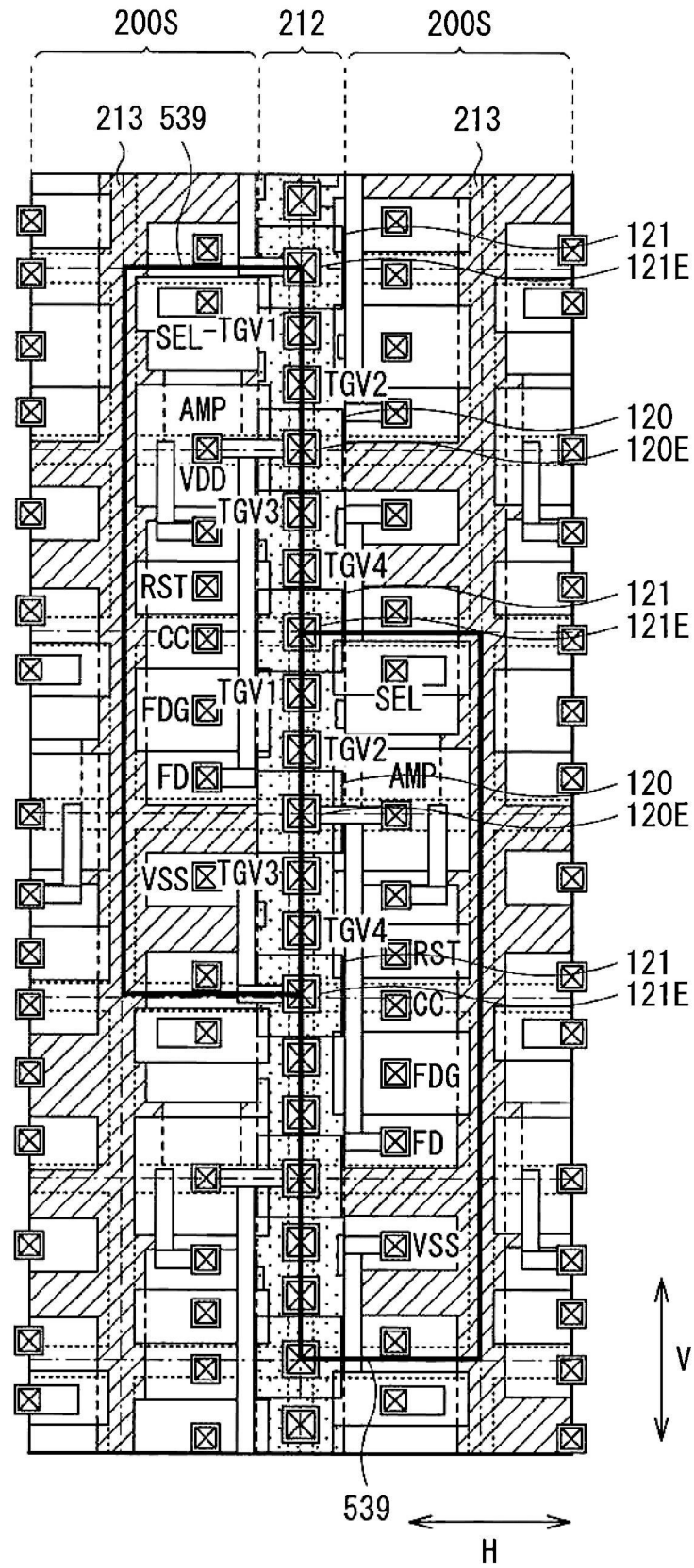
【圖13】



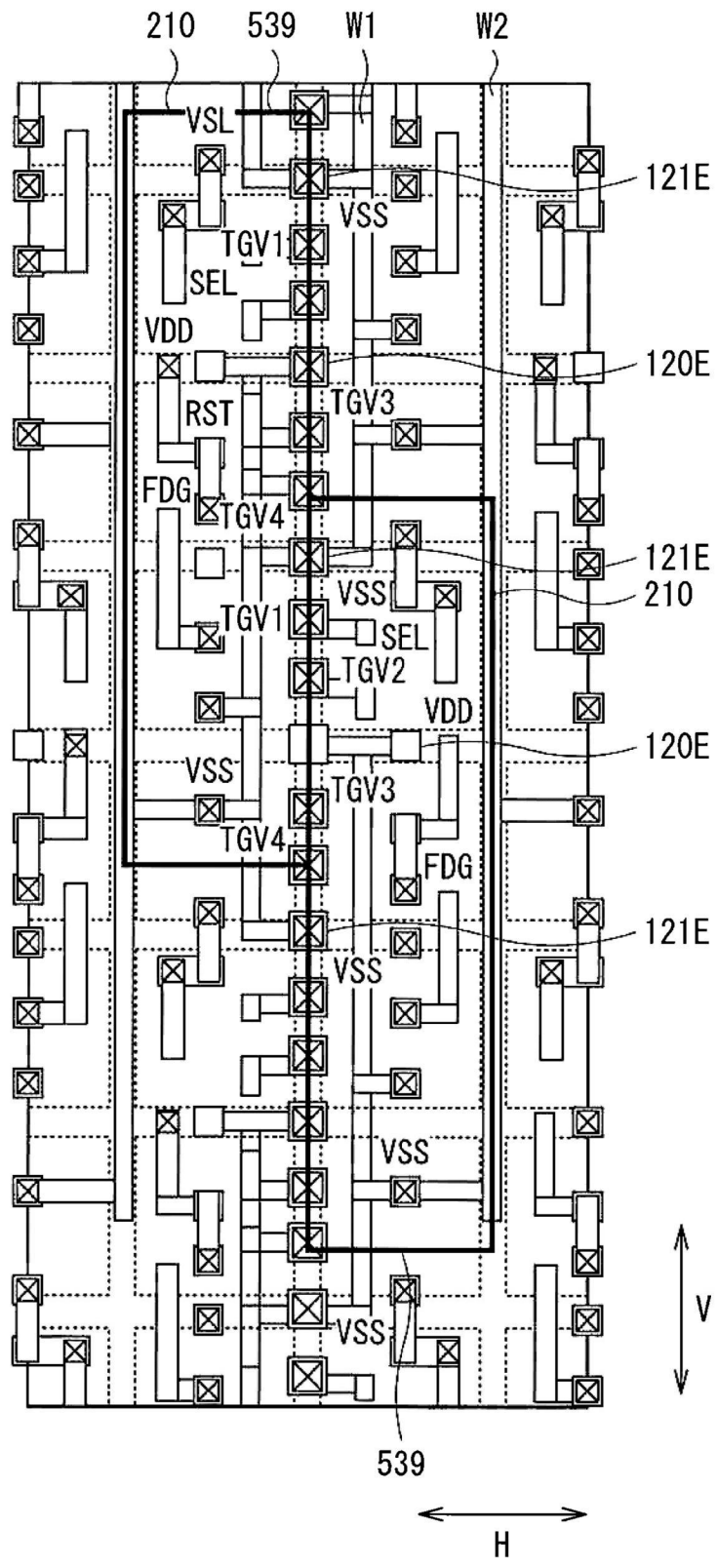
【圖14】



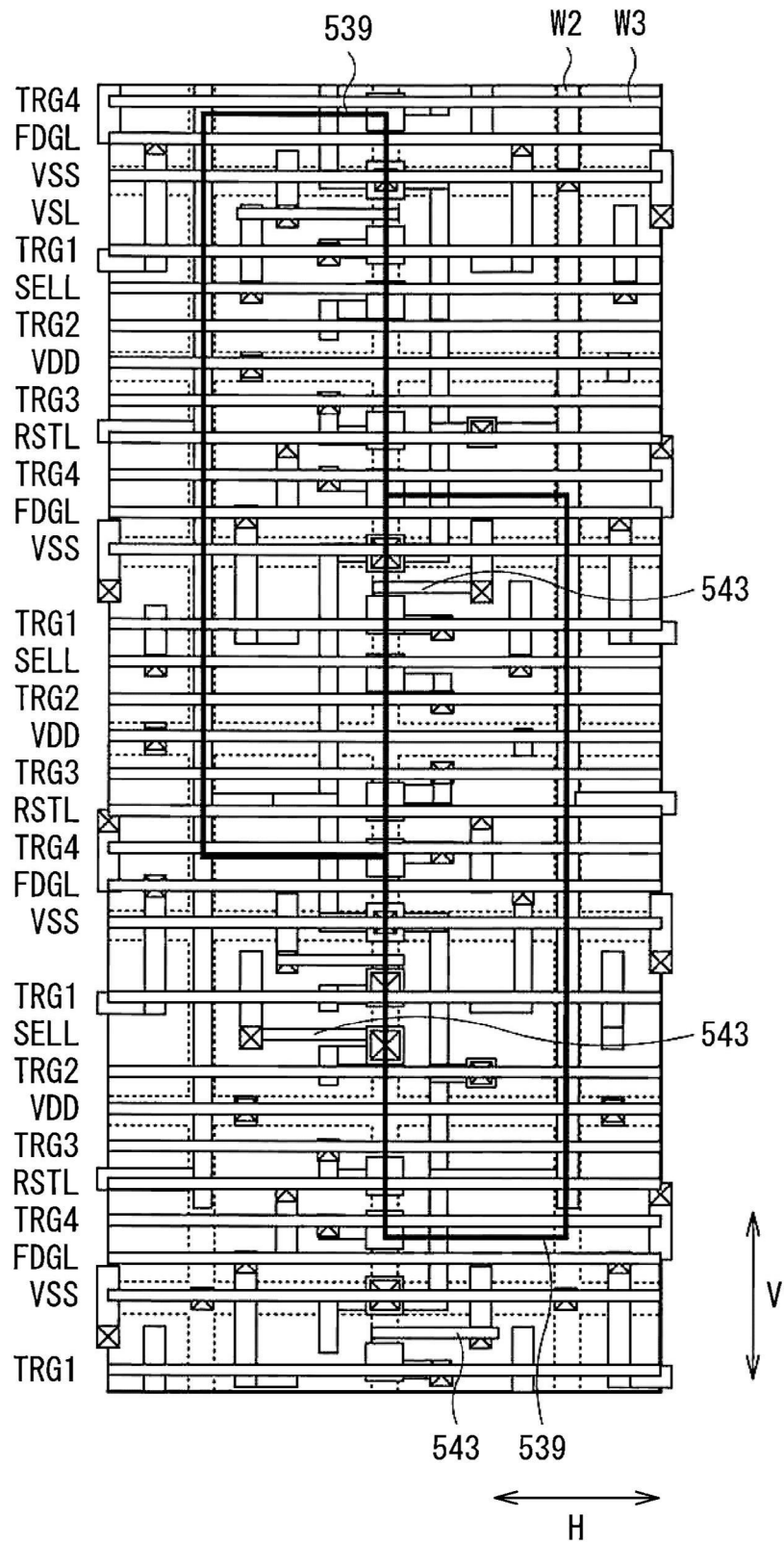
【圖15】



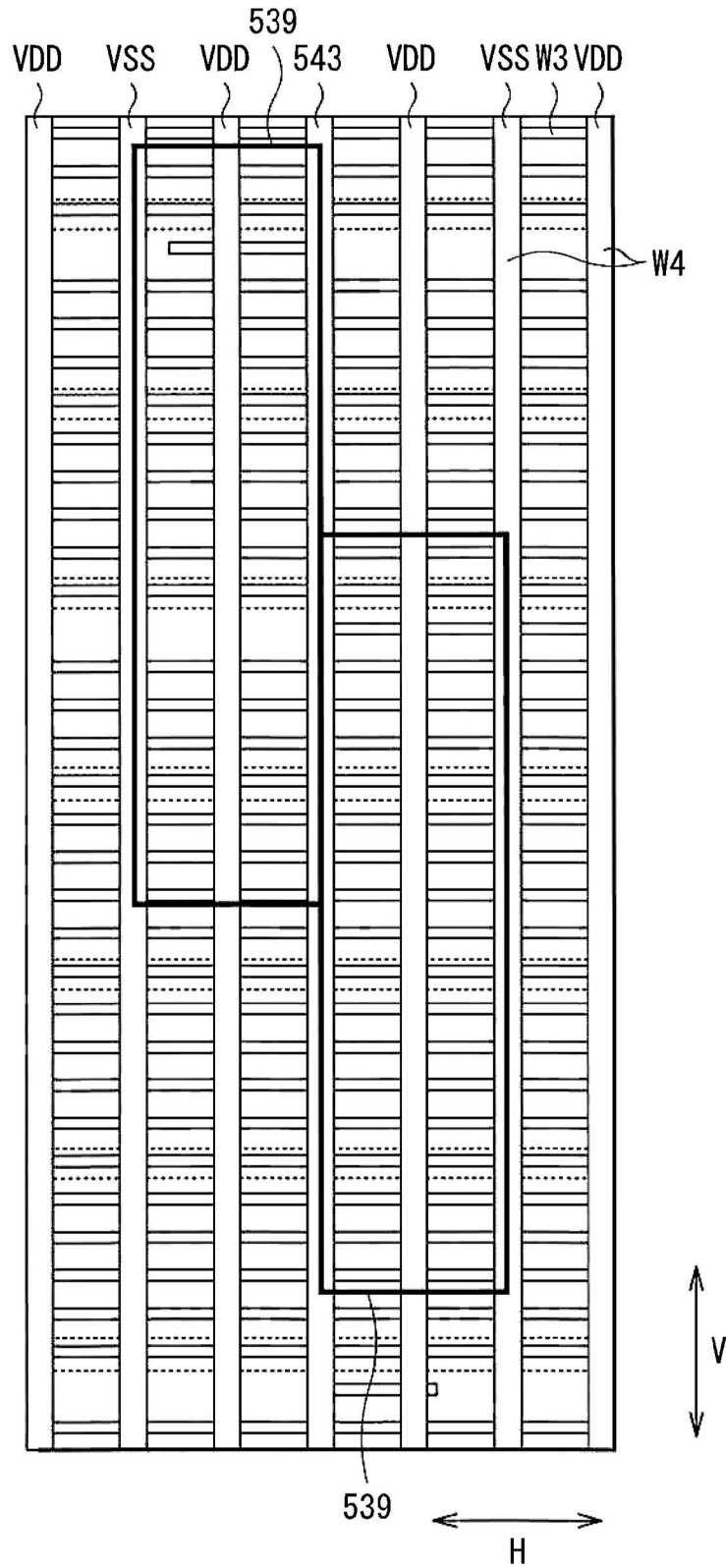
【圖16】



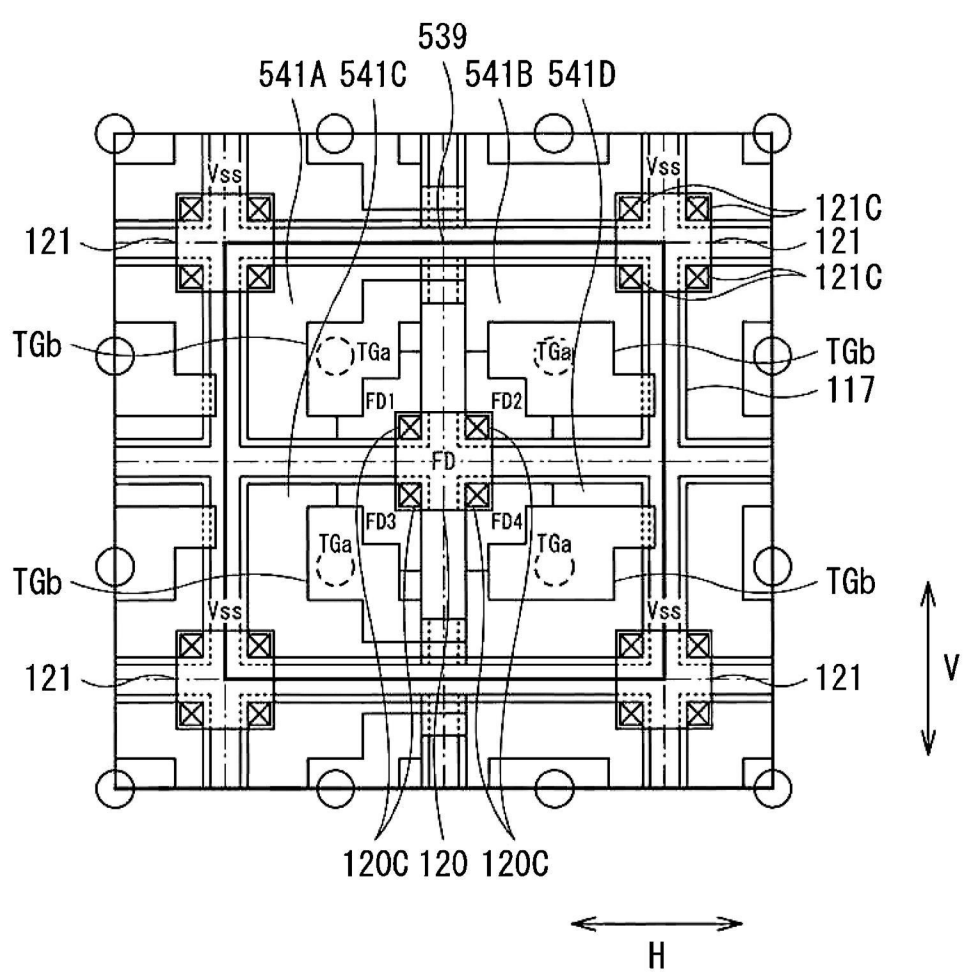
【圖17】



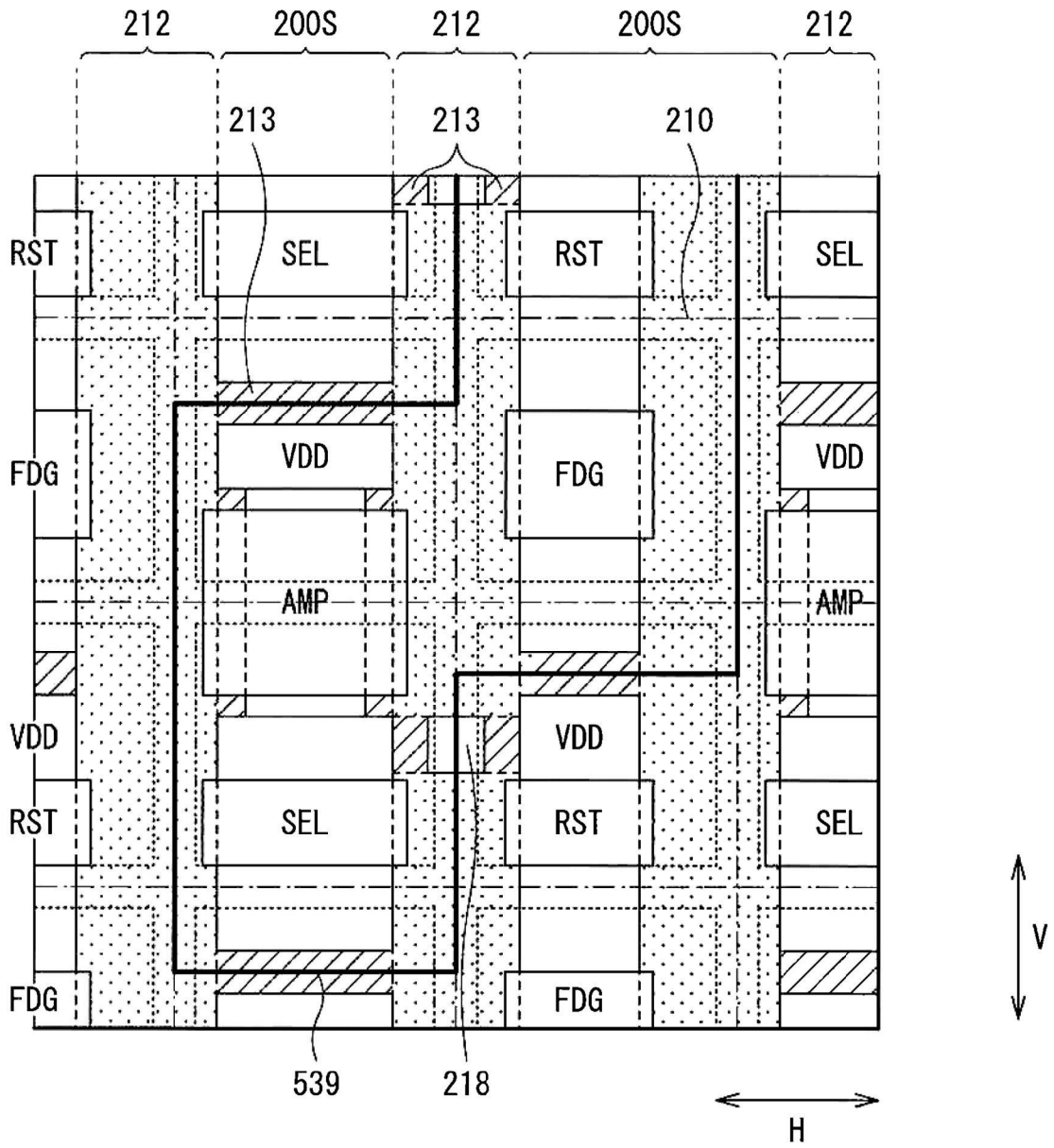
【圖18】



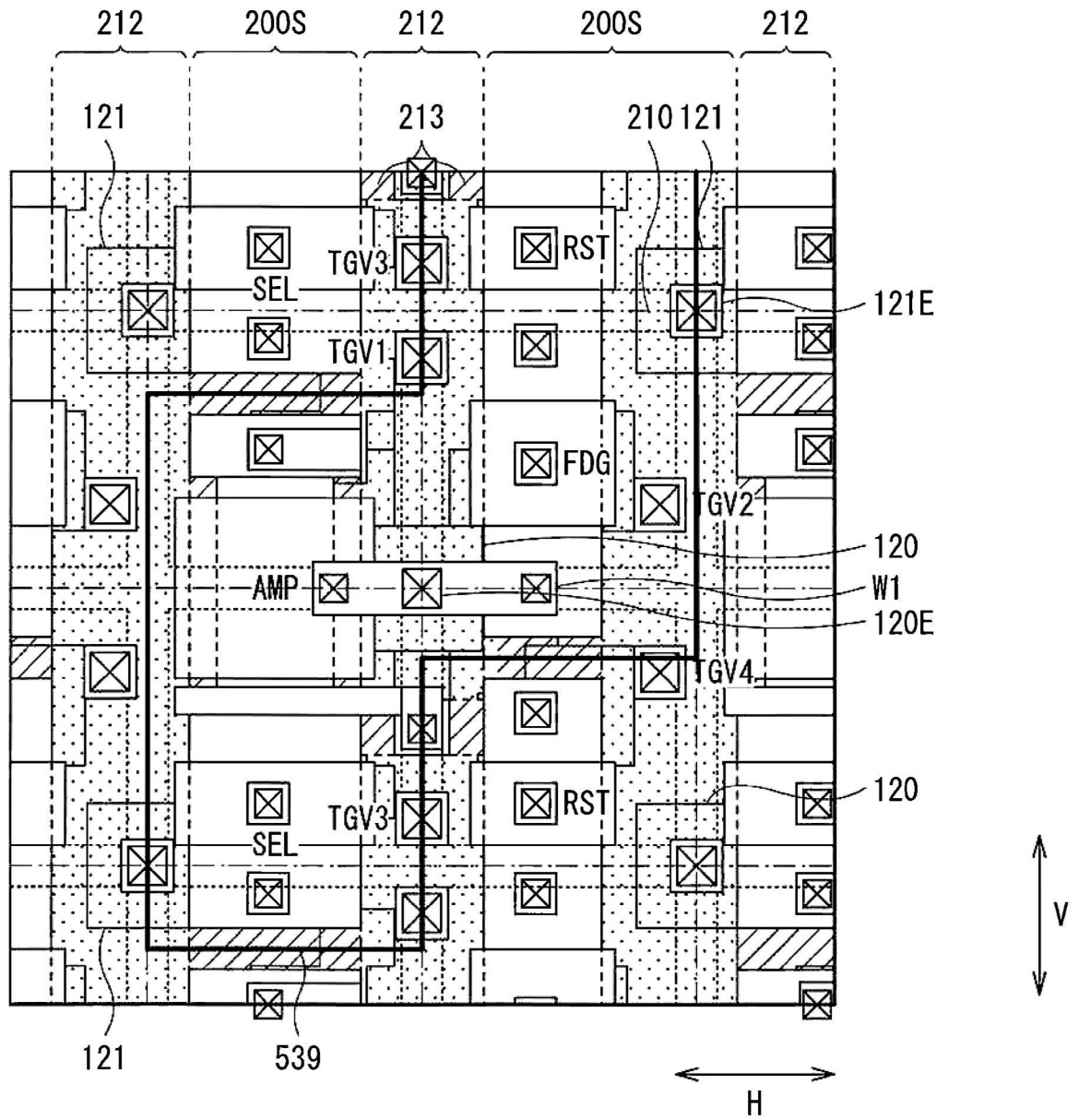
【圖19】



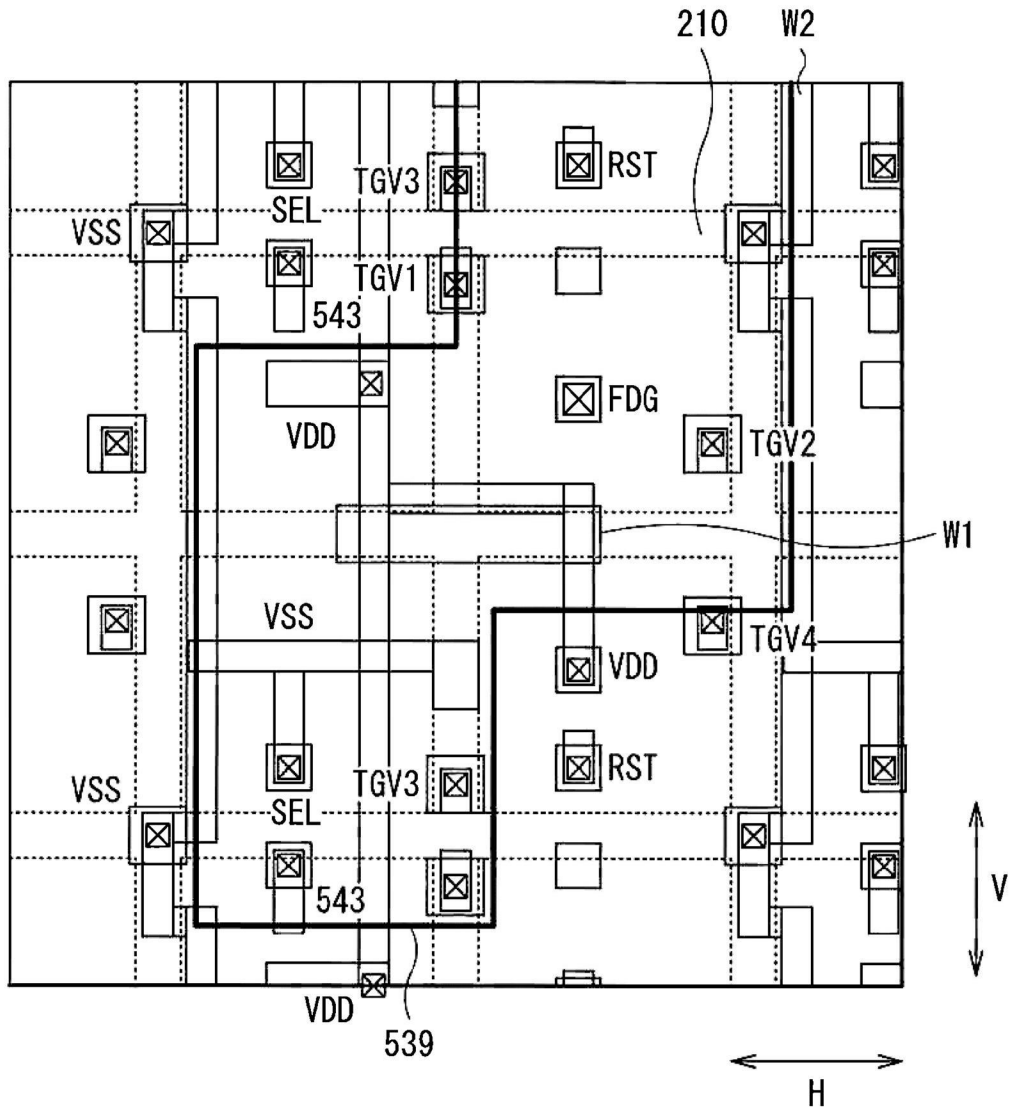
【圖20】



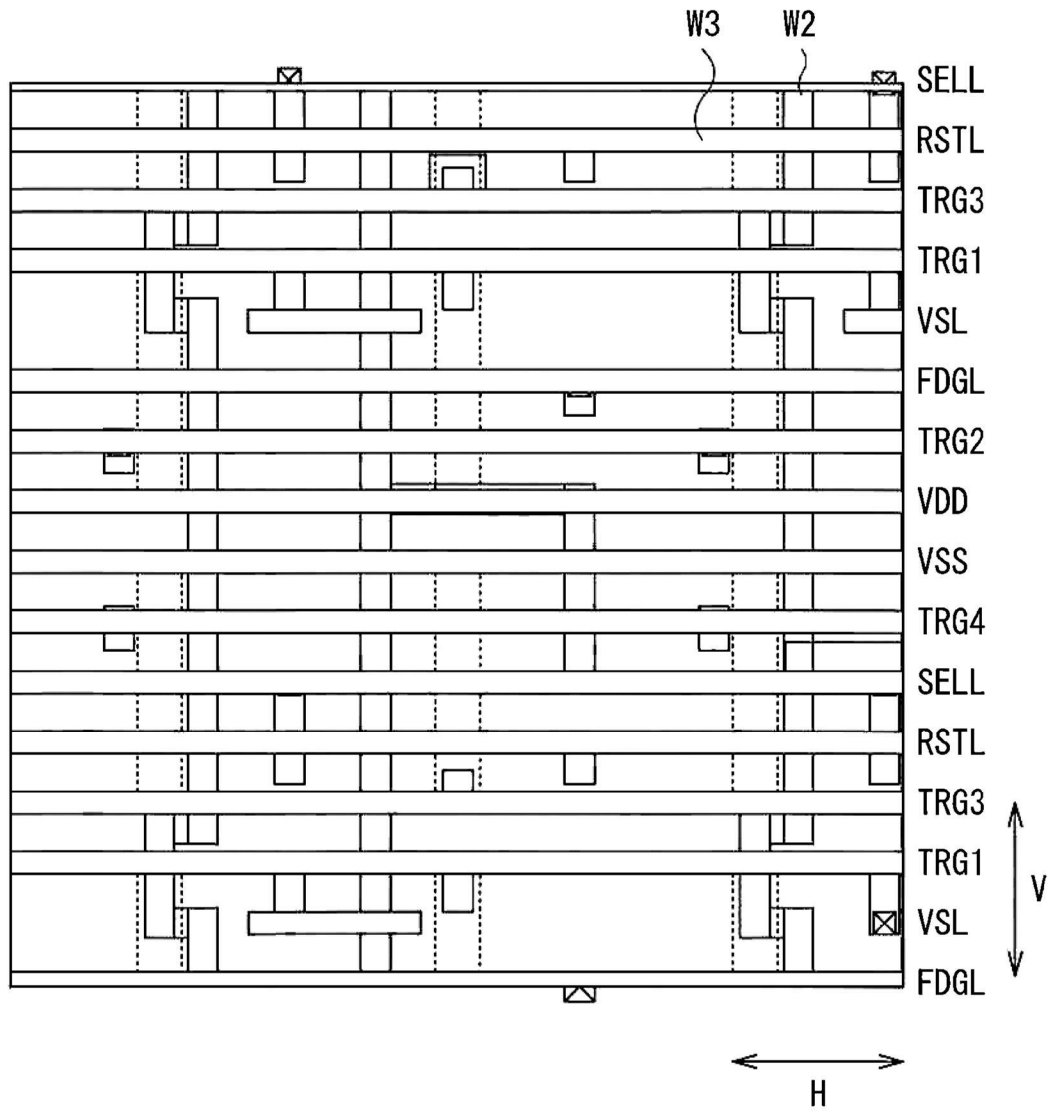
【圖21】



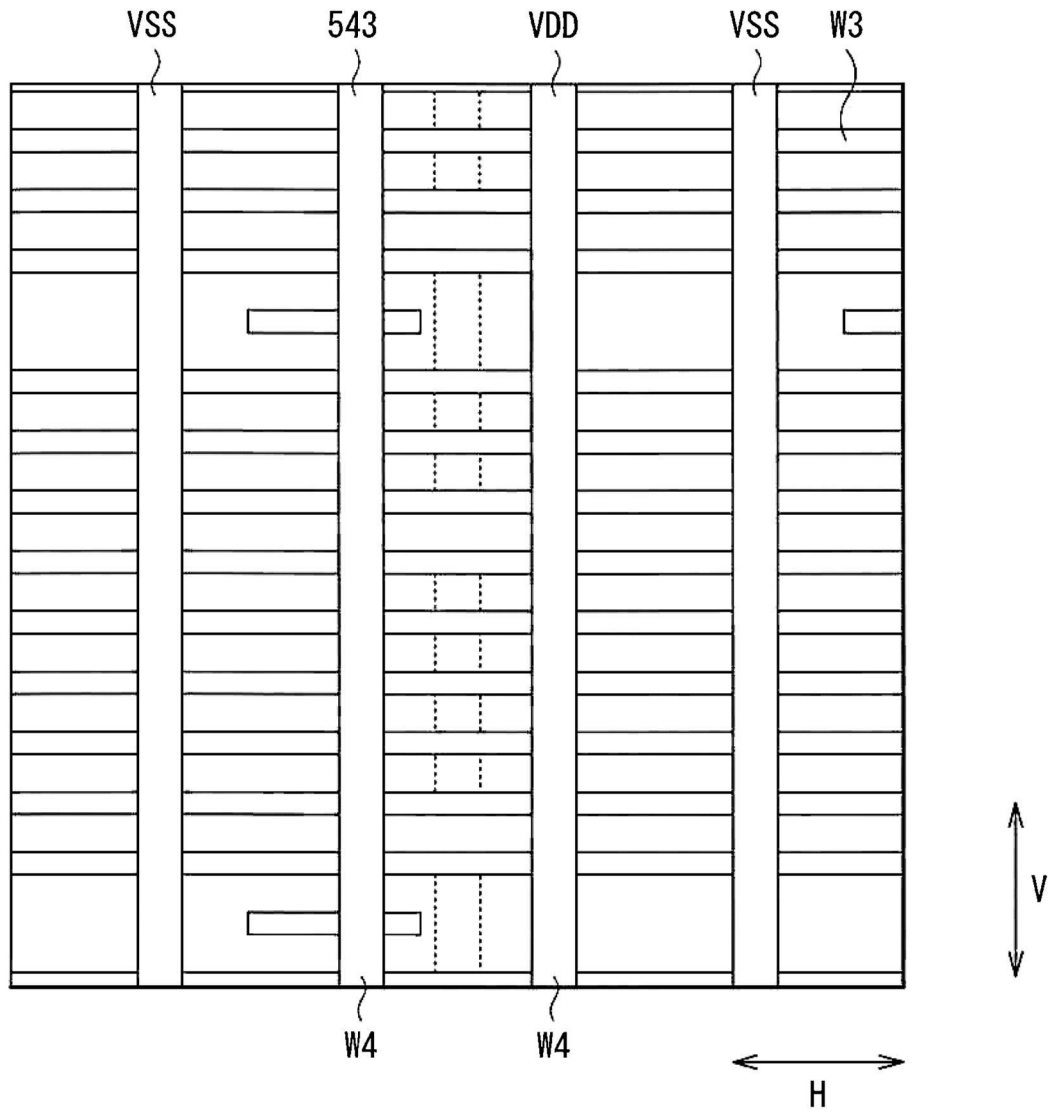
【圖22】



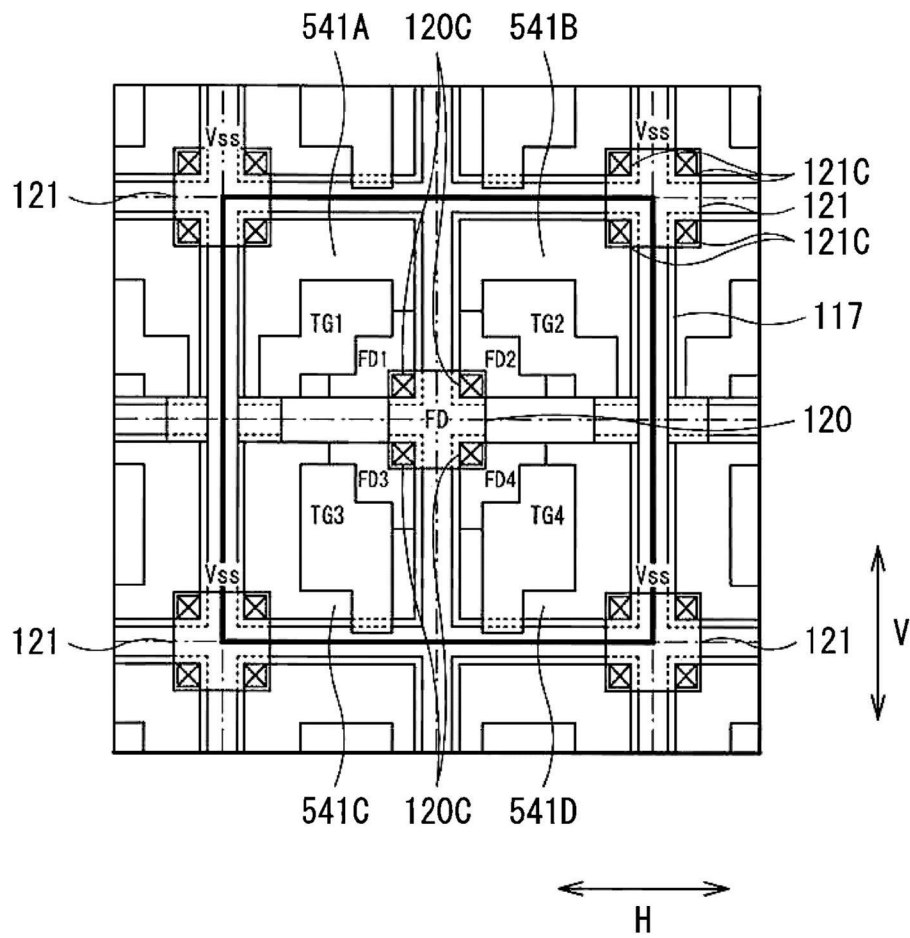
【圖23】



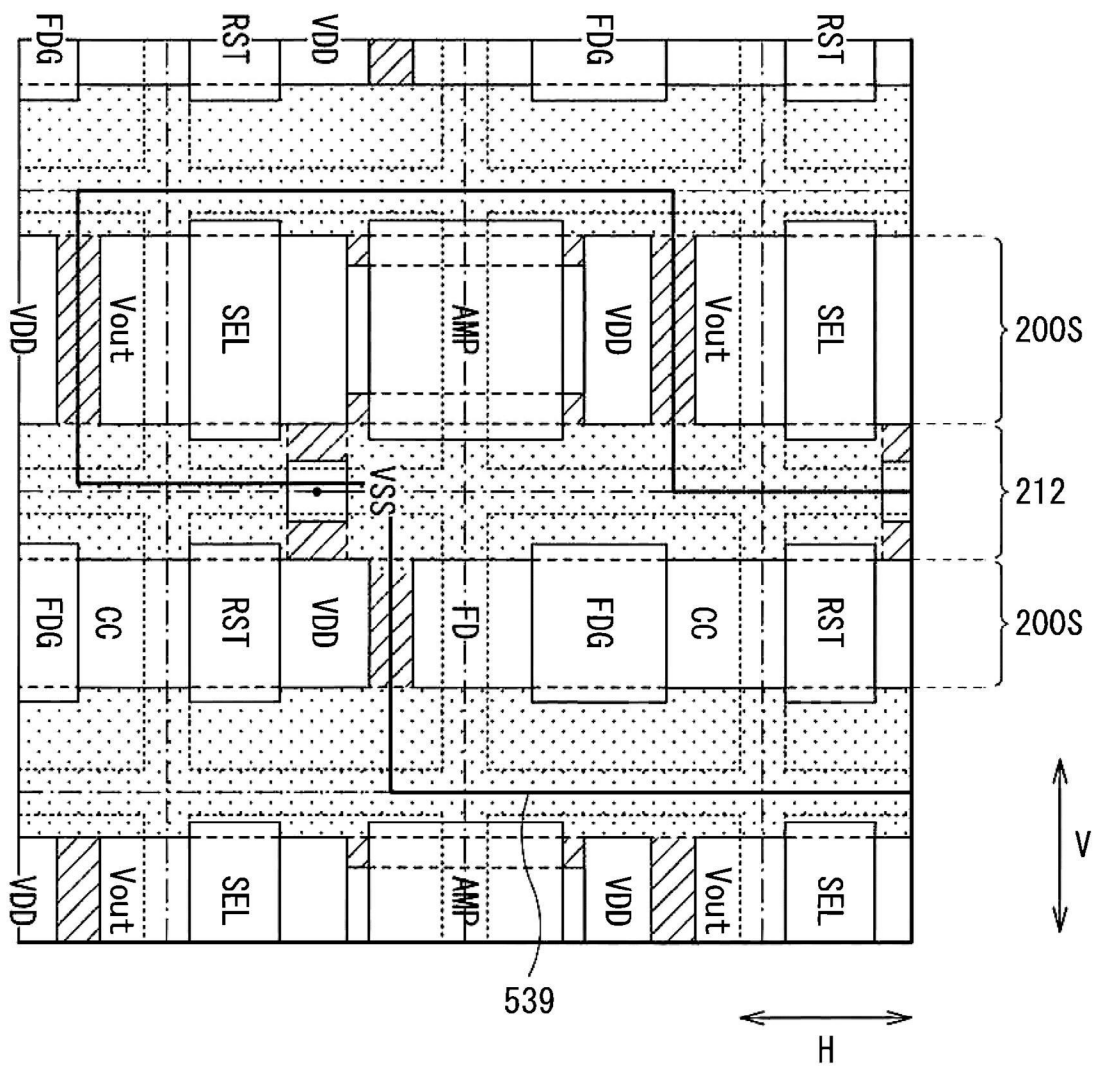
【圖24】



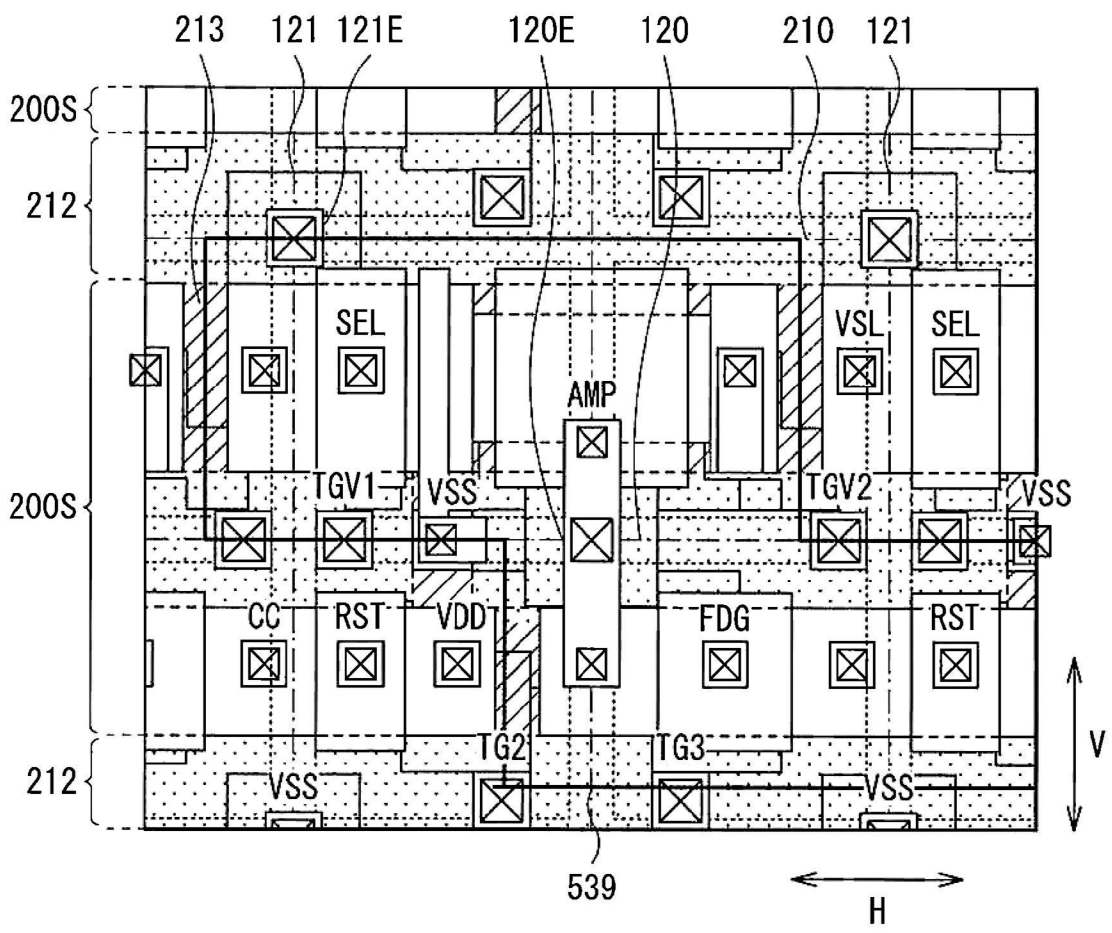
【圖25】



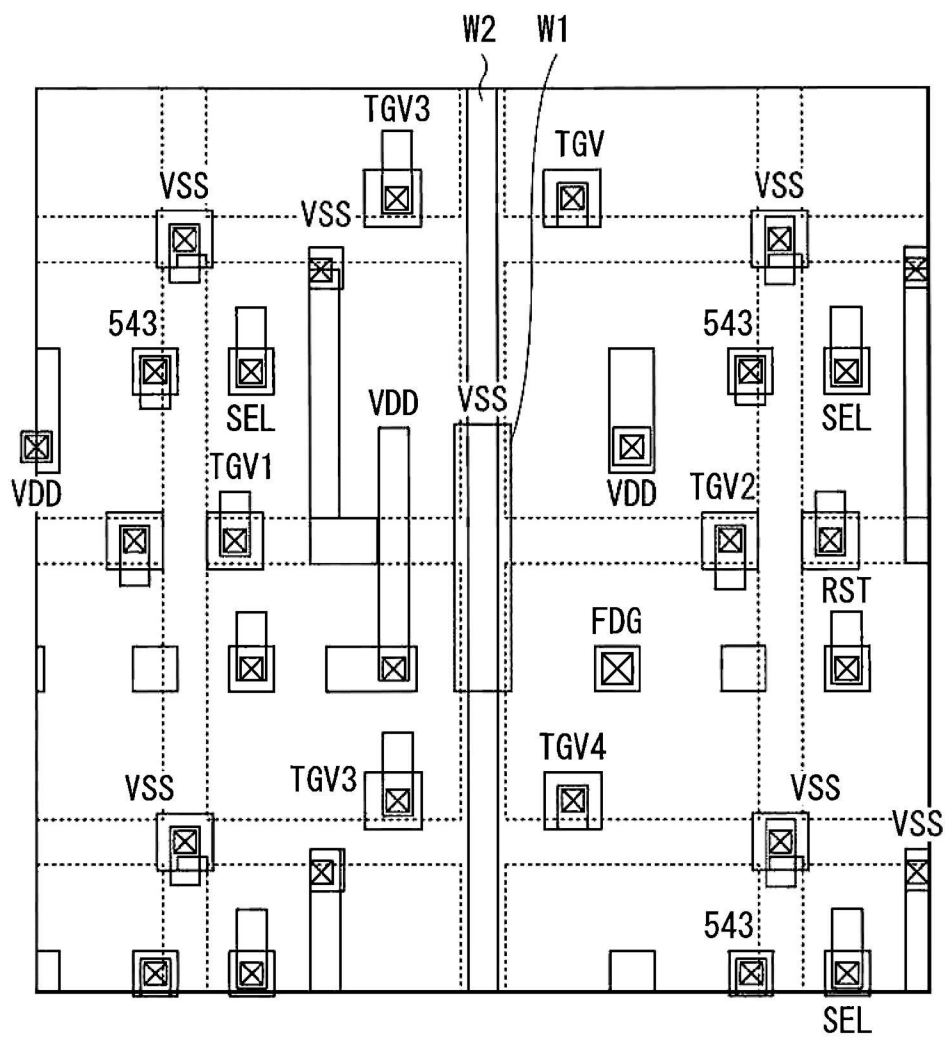
【圖26】



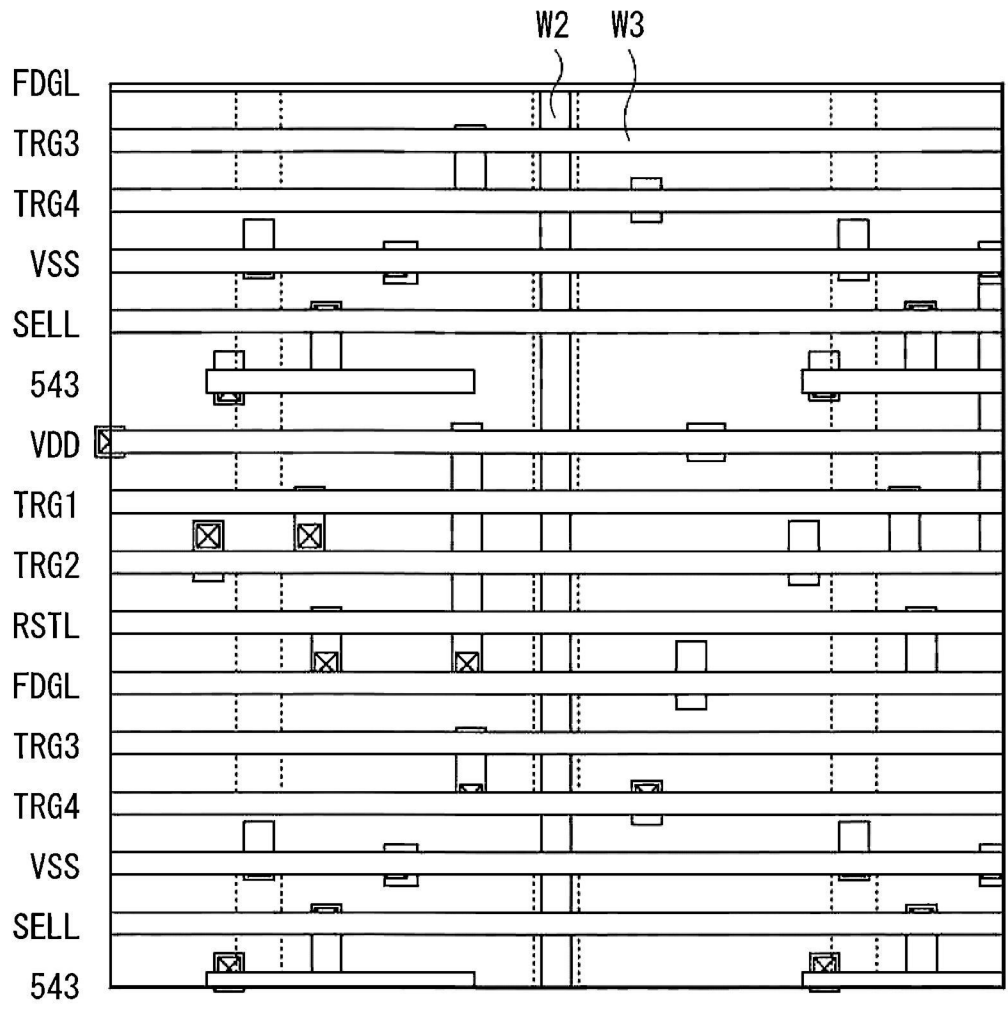
【圖27】



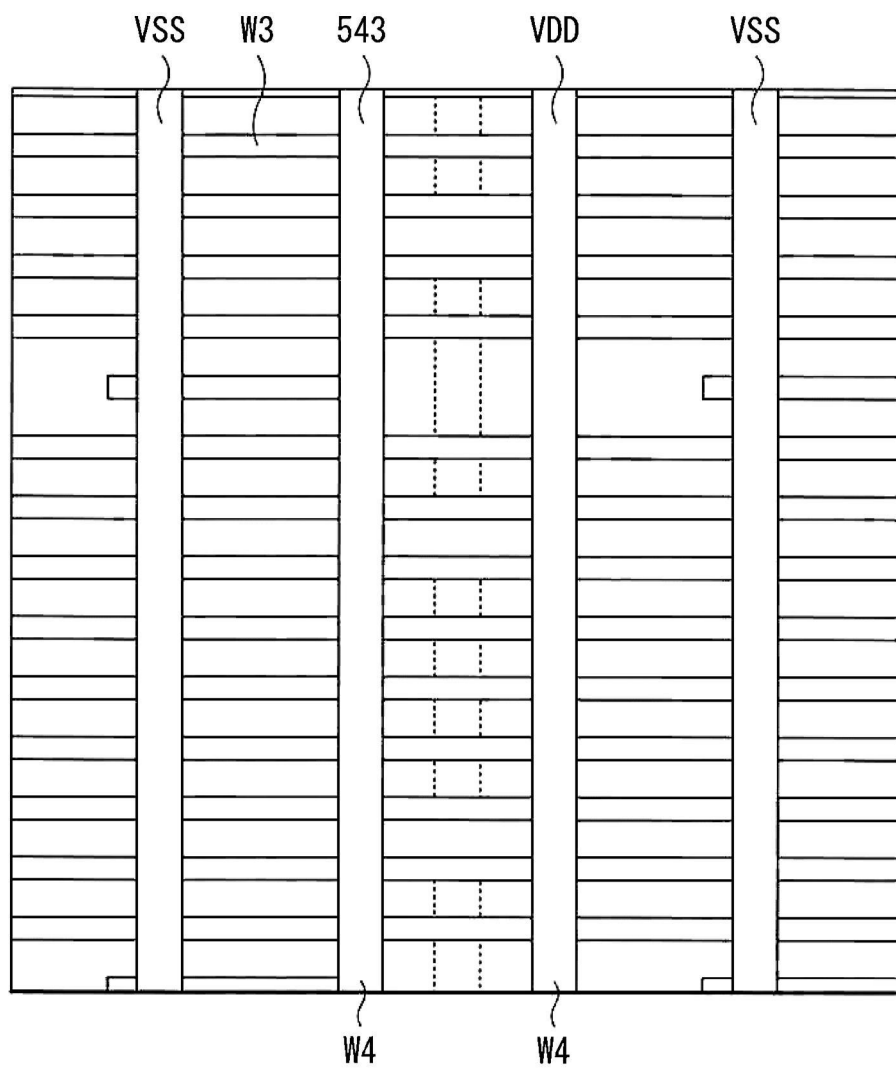
【圖28】



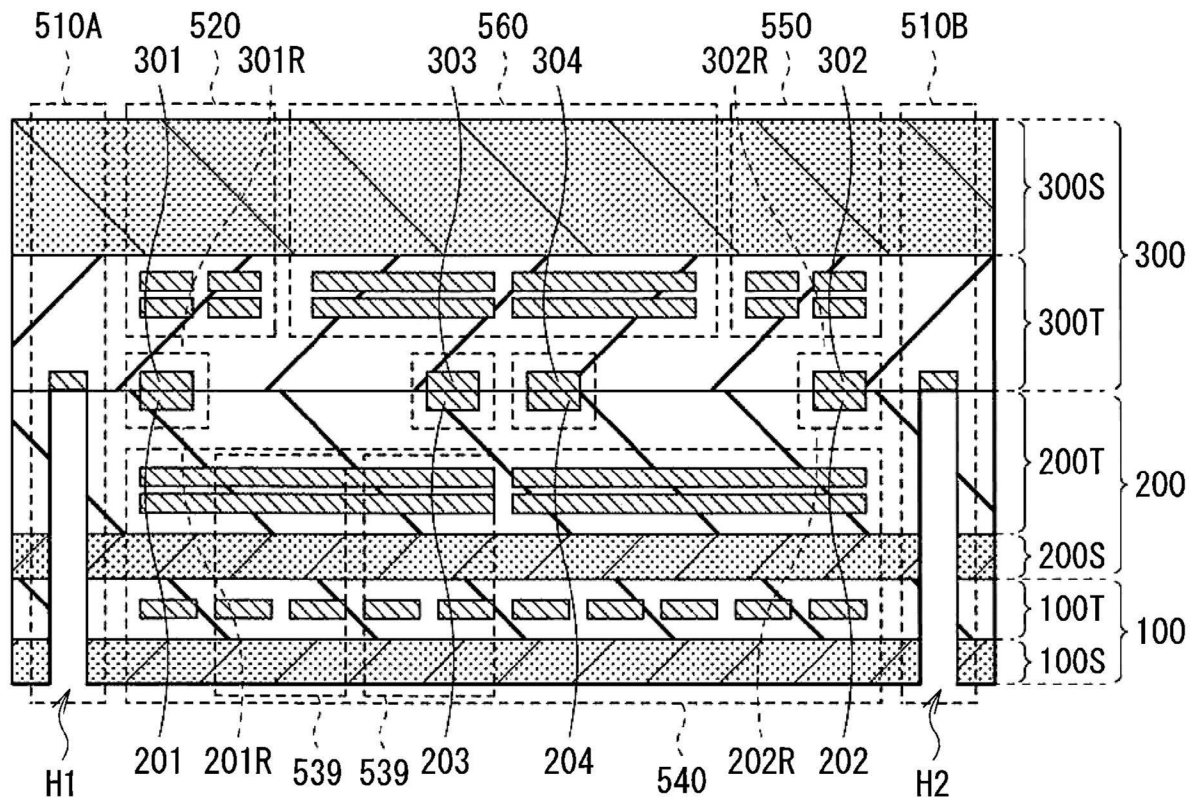
【圖29】



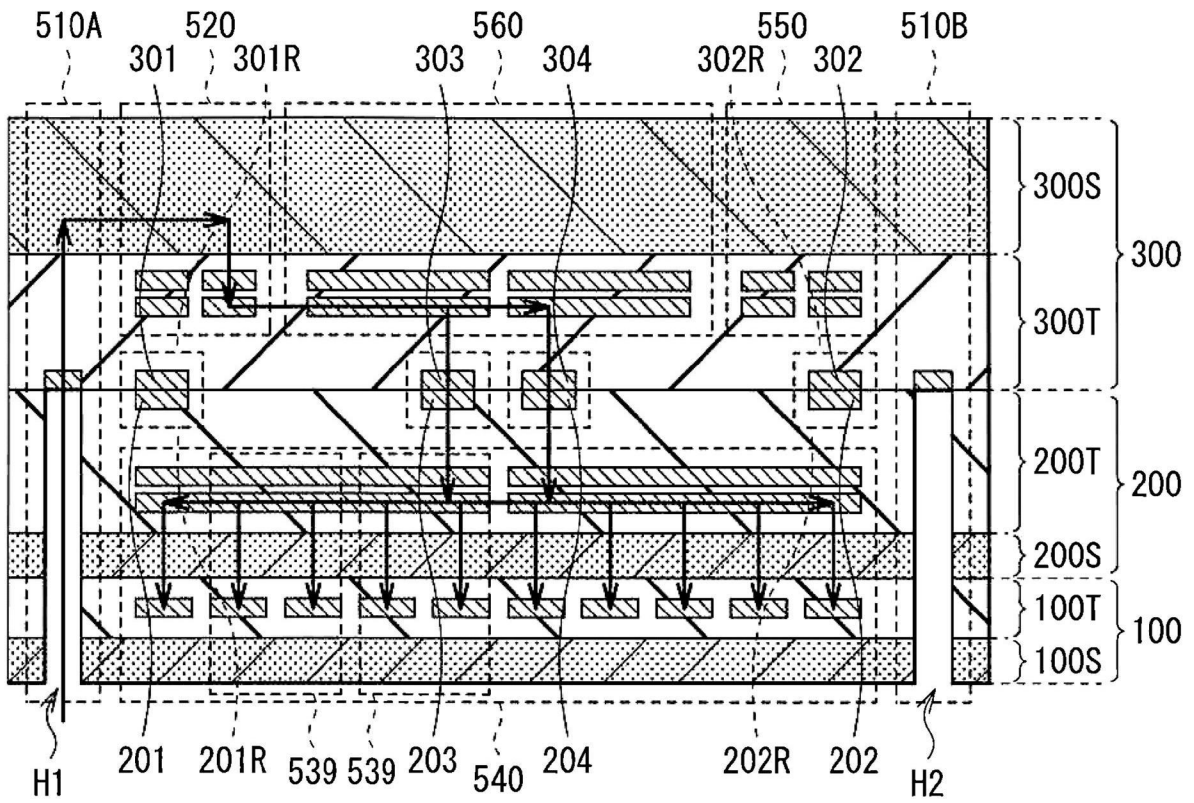
【圖30】



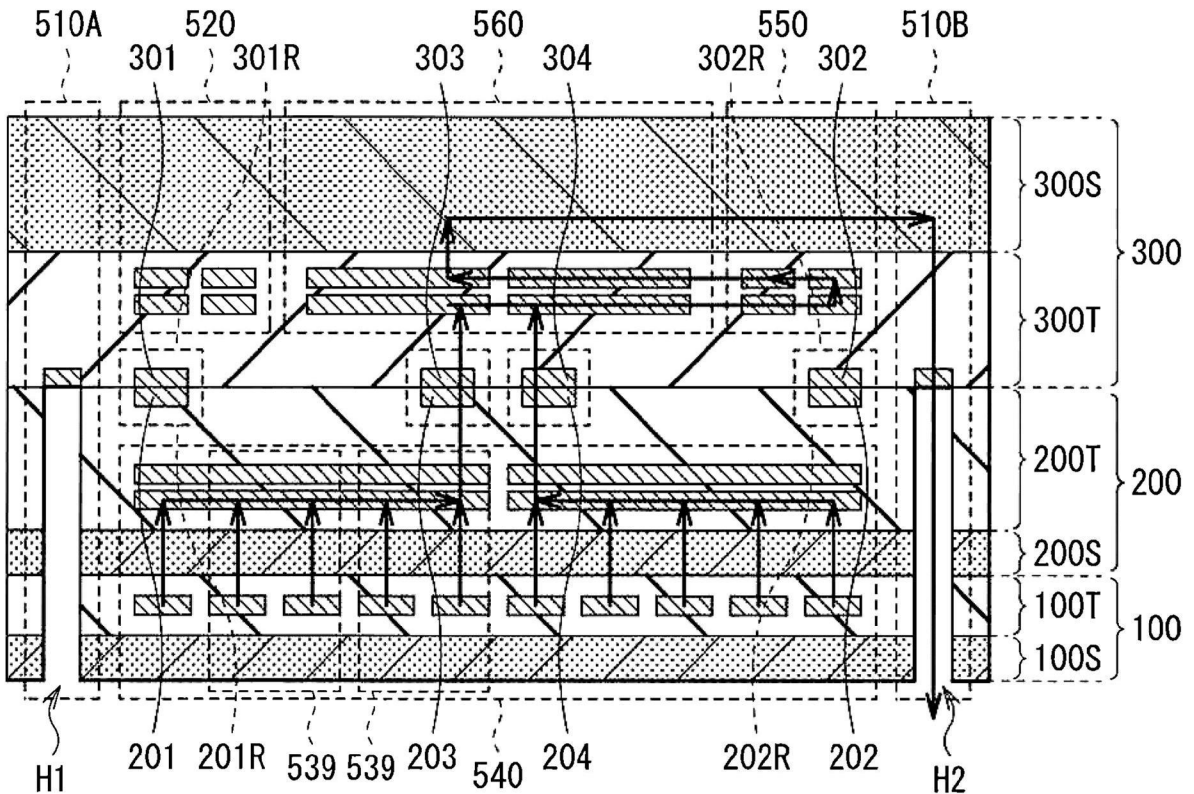
【圖31】



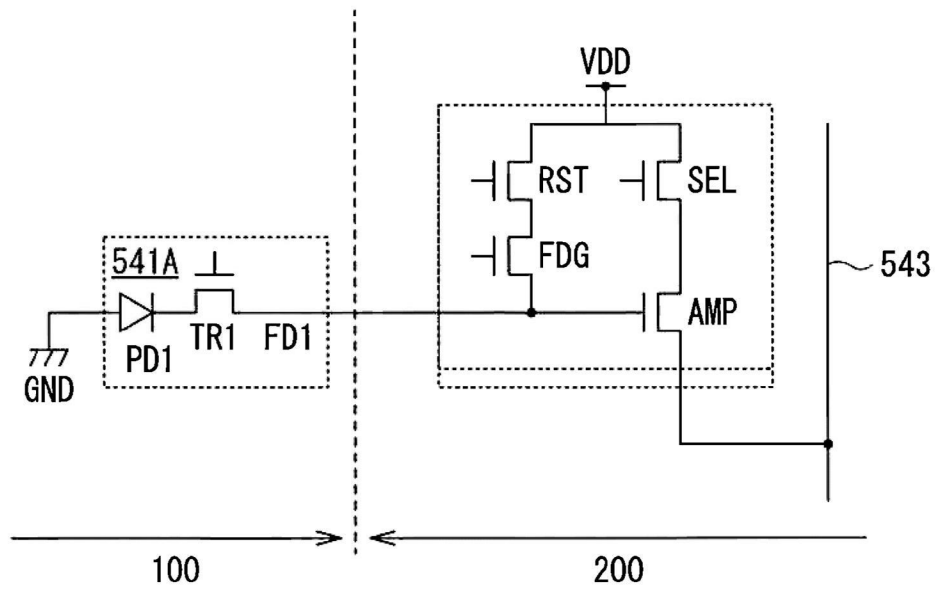
【圖32】



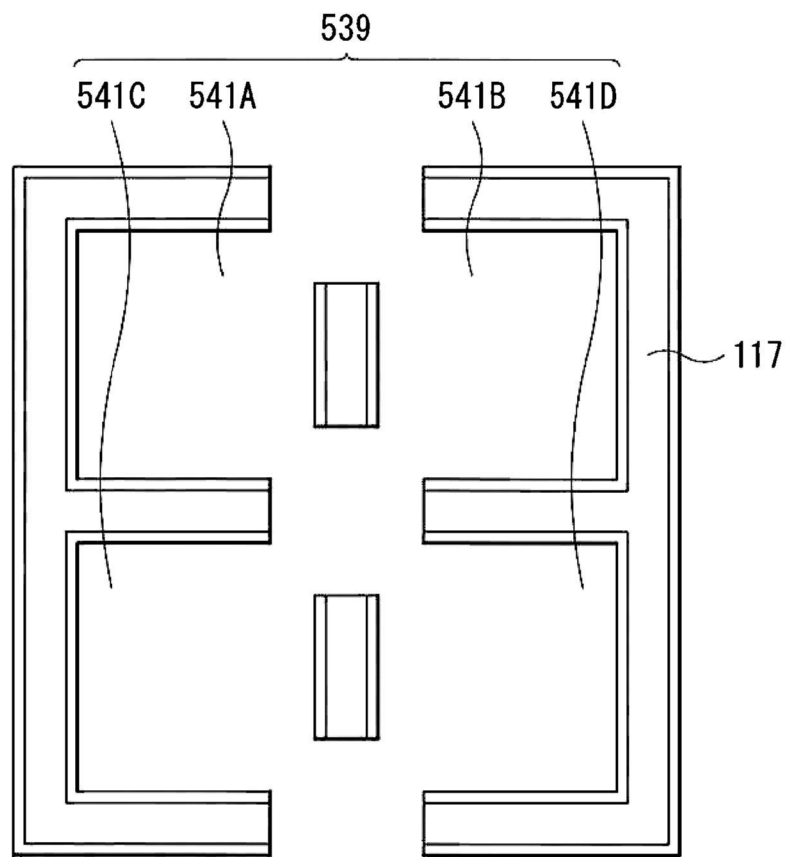
【圖33】



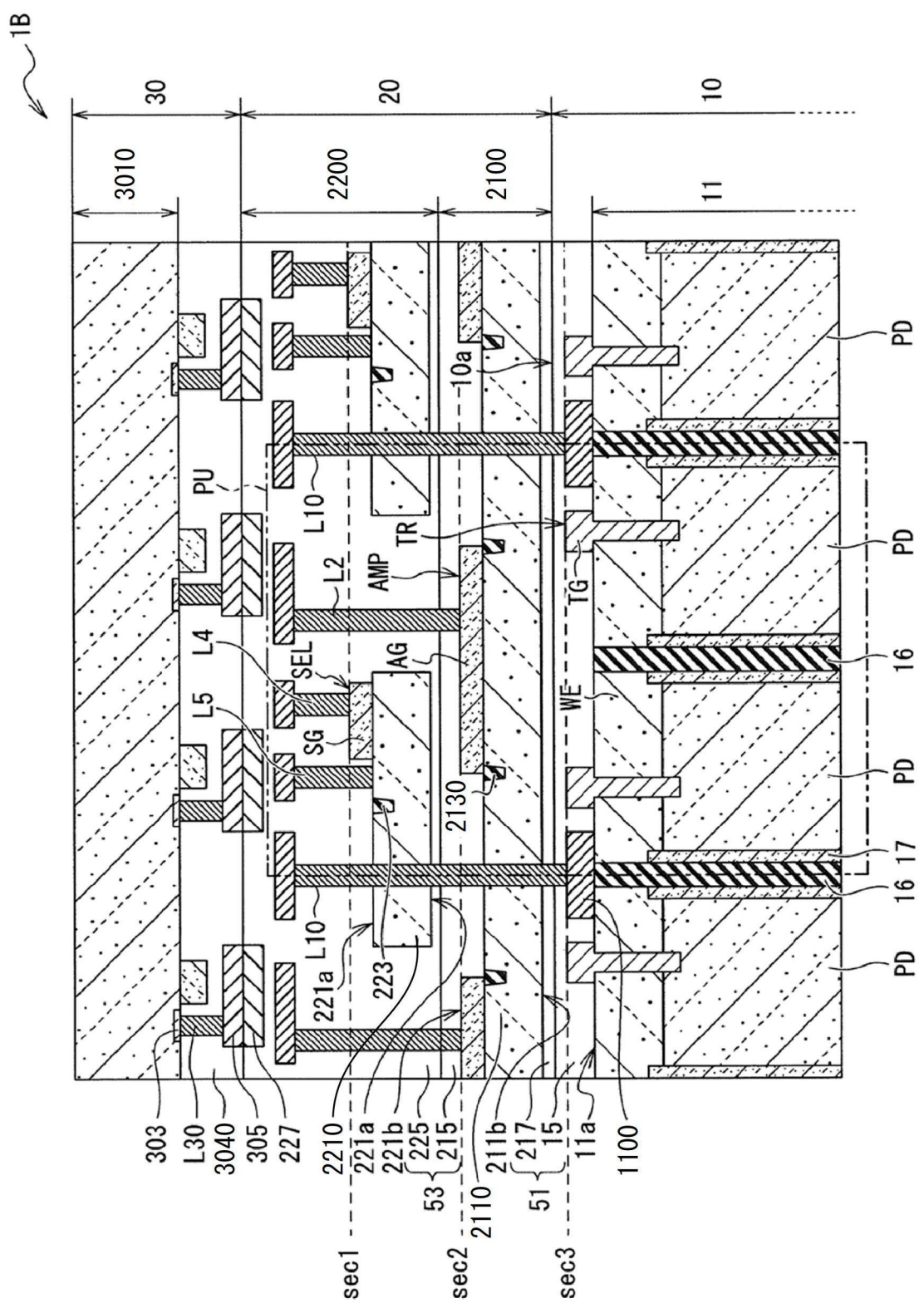
【圖34】



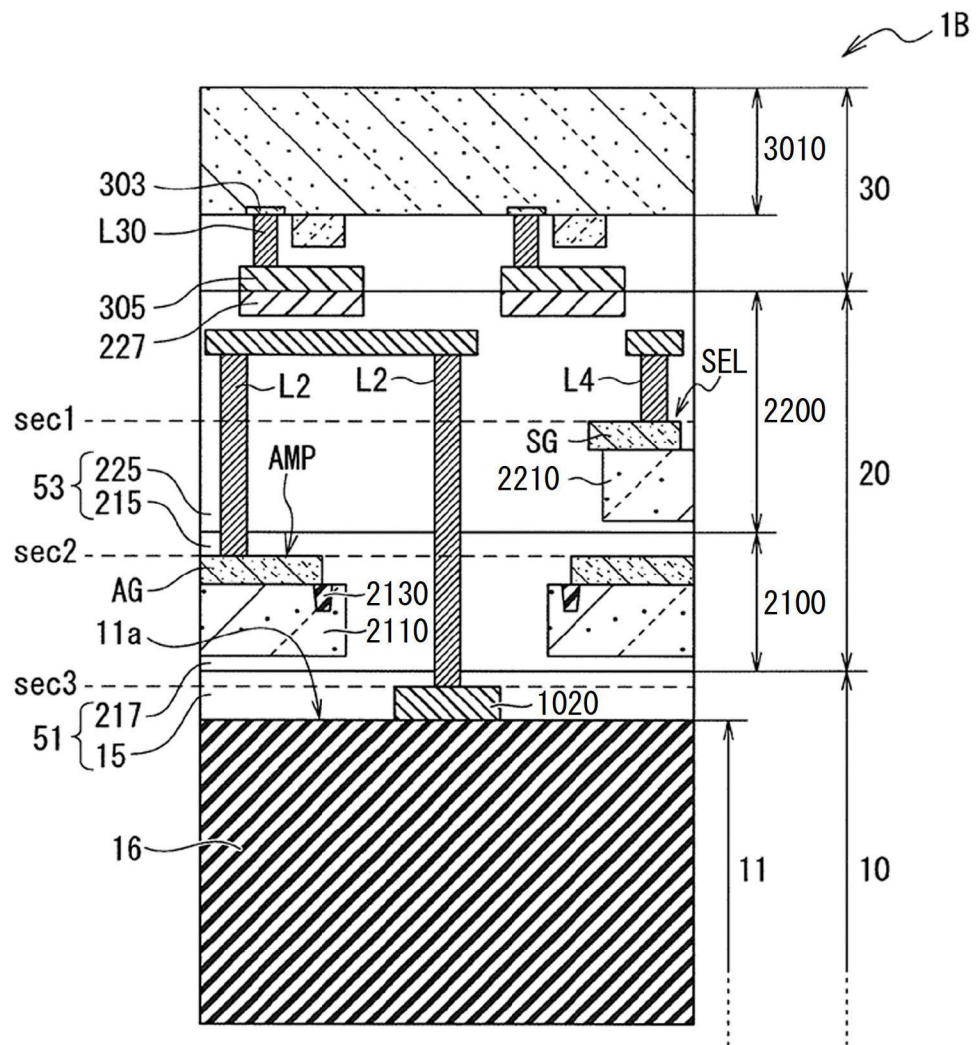
【圖36】



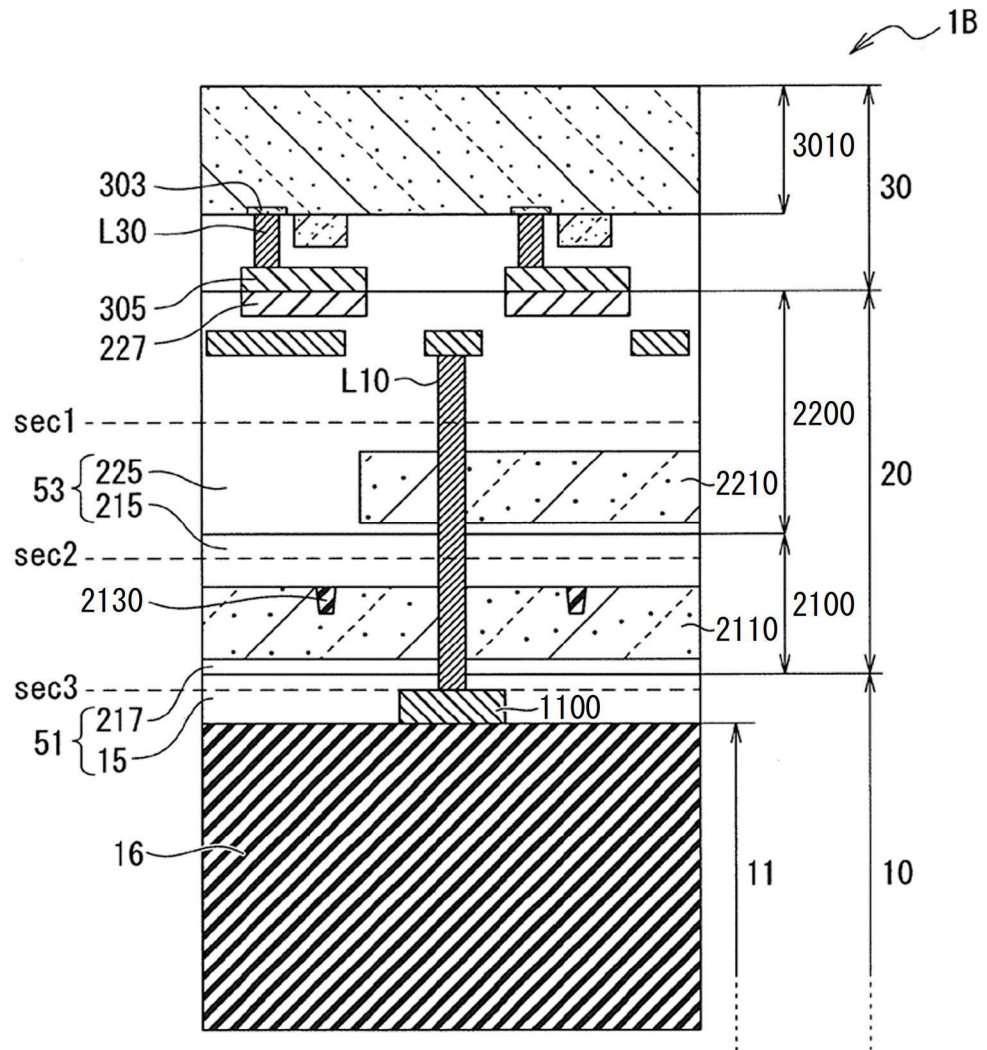
【圖37】



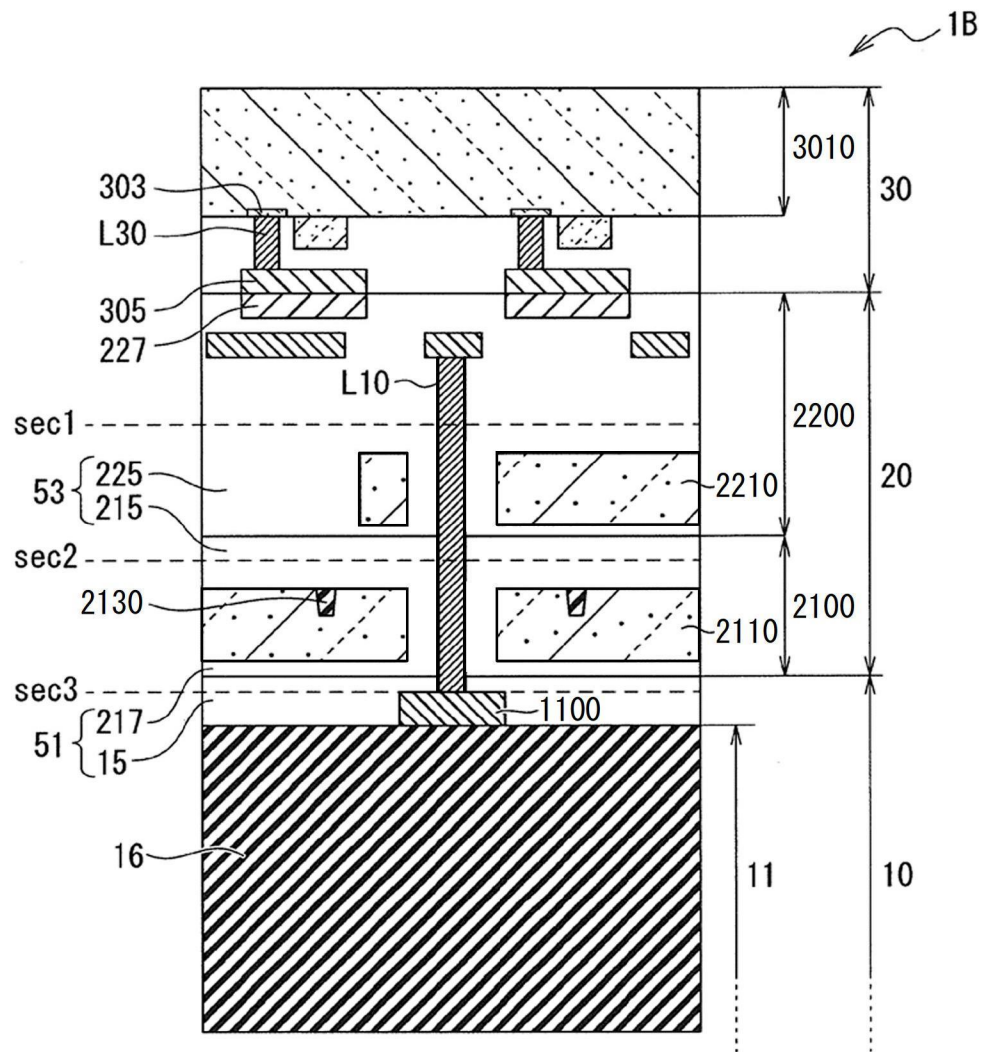
【圖38】



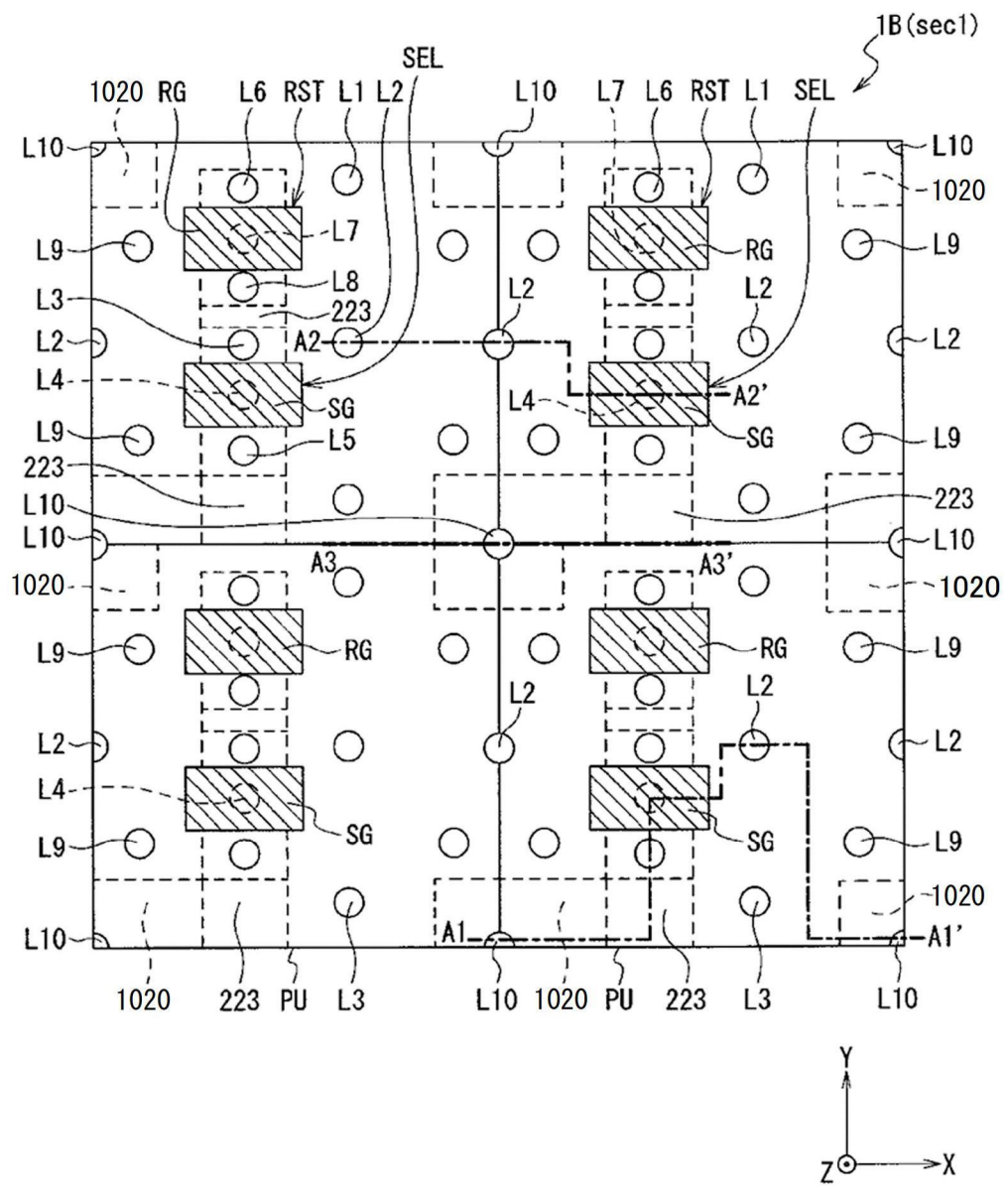
【圖39】



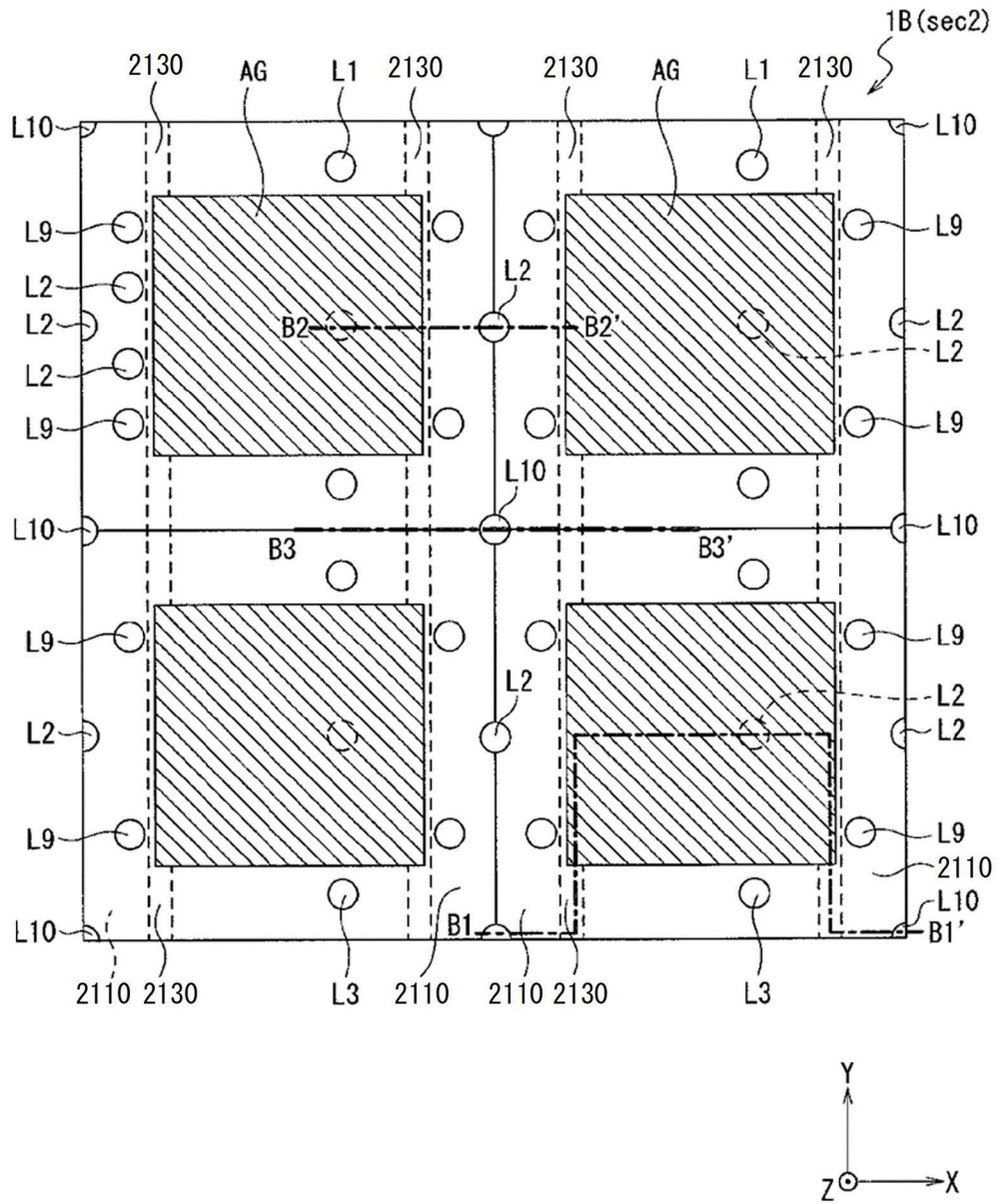
【圖40】



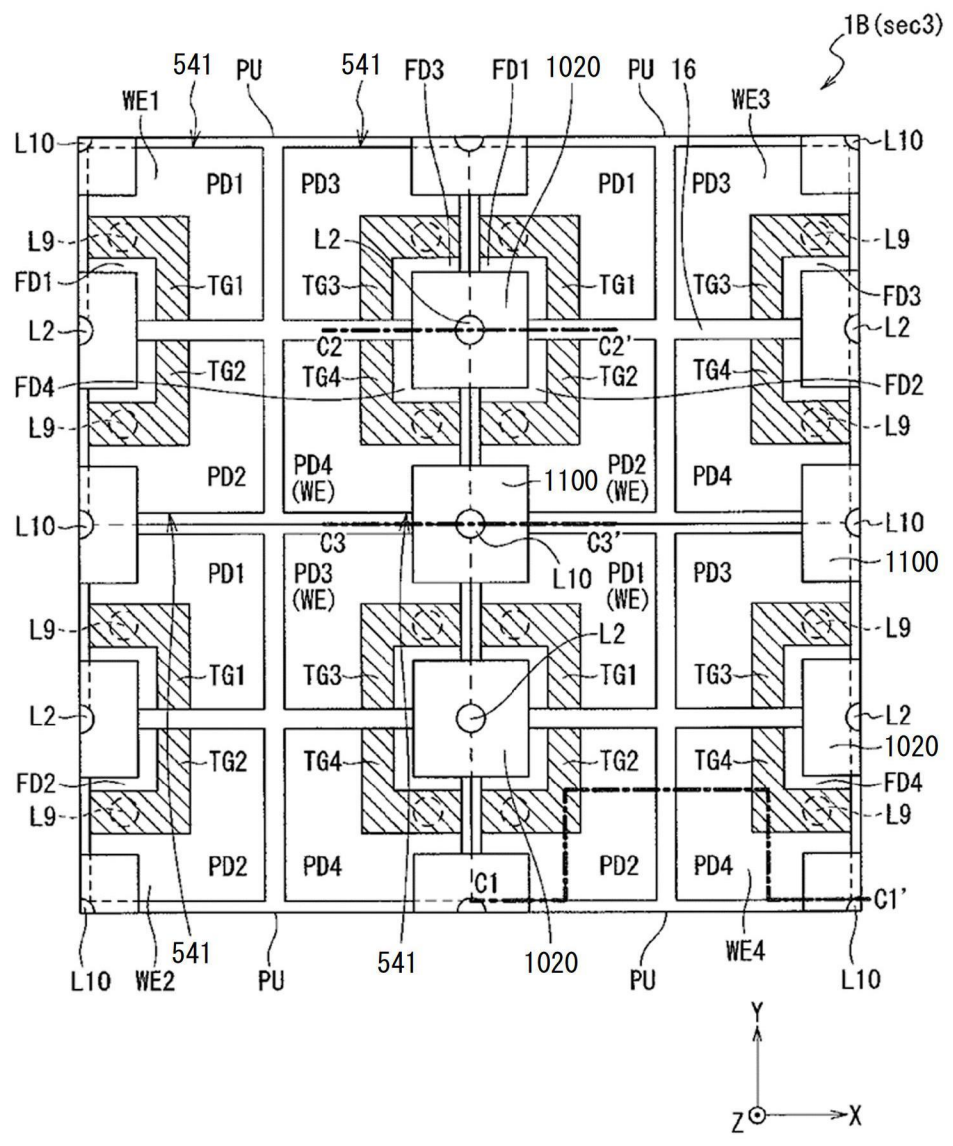
【圖41】



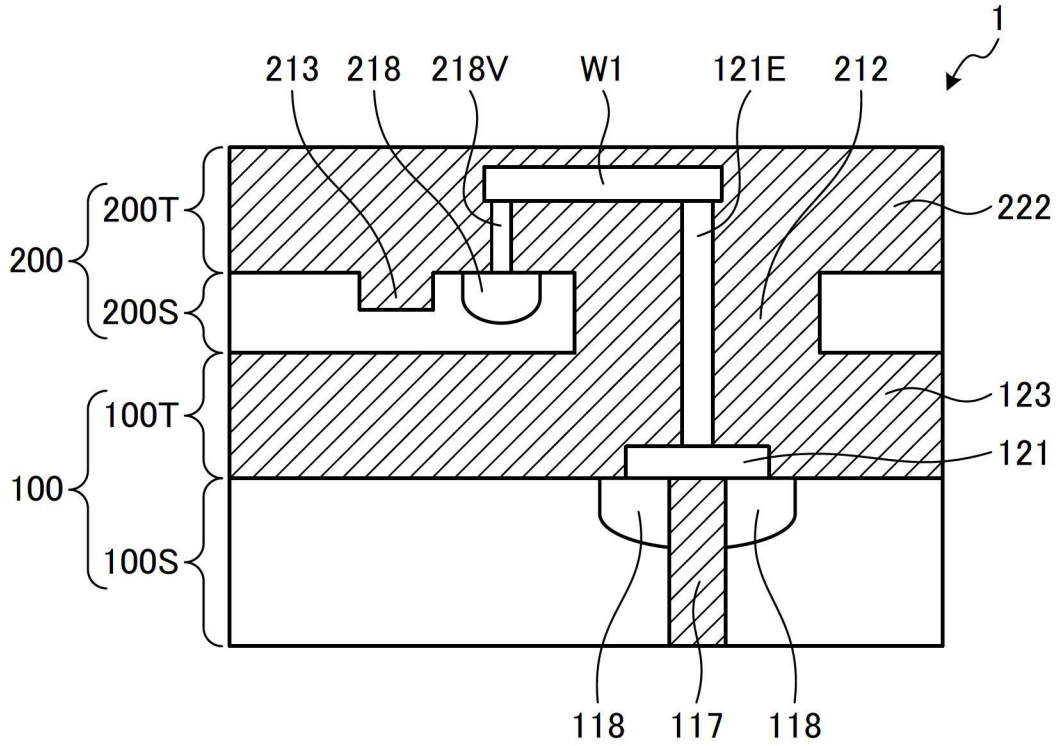
【圖42】



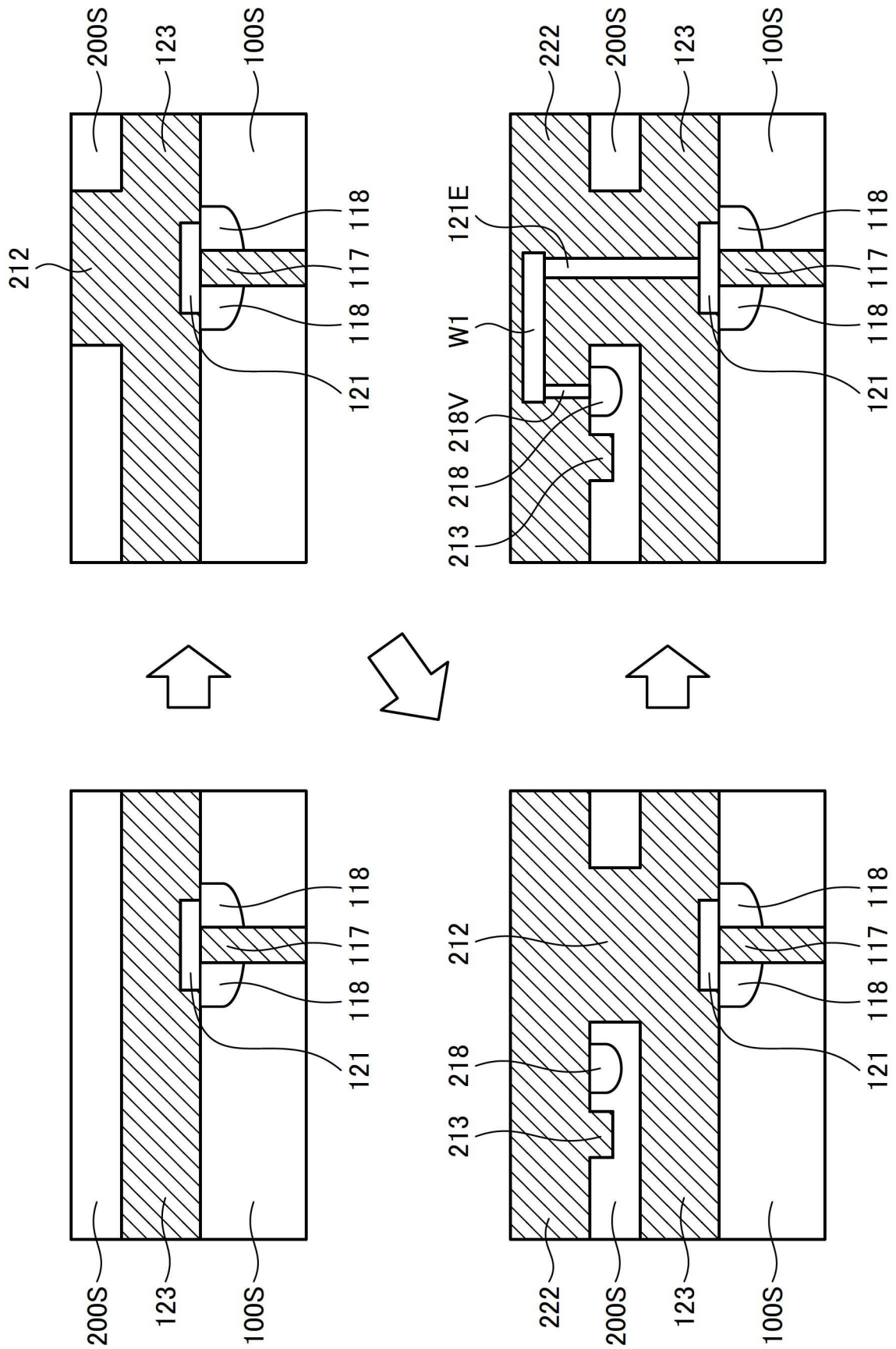
【圖43】



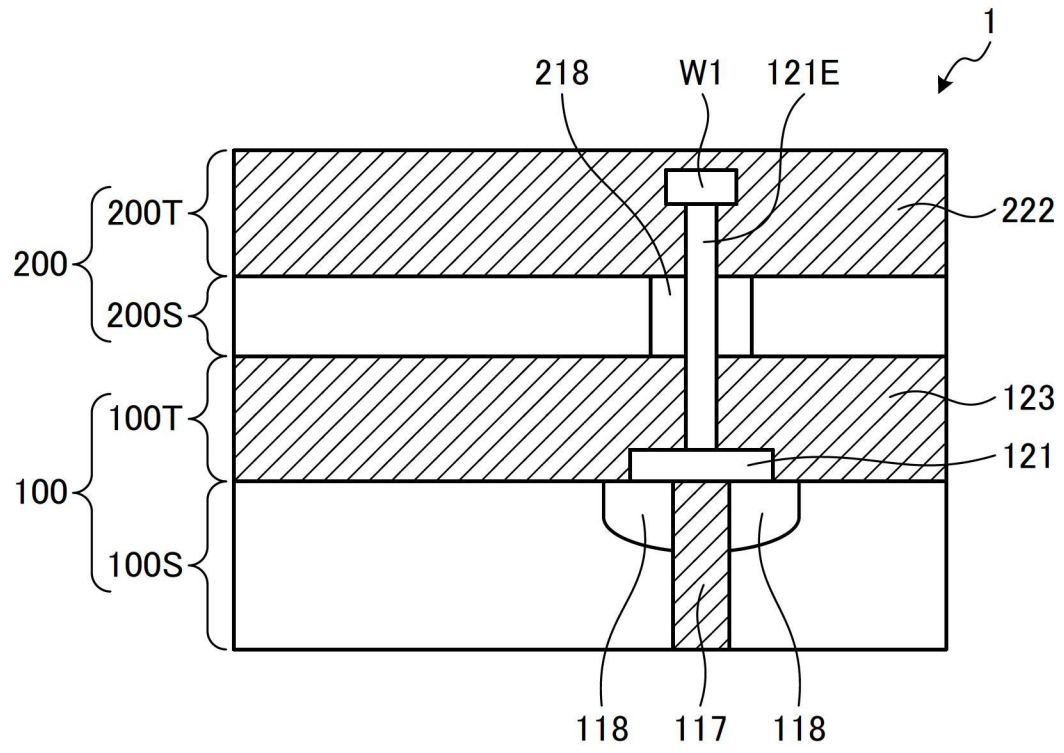
【圖44】



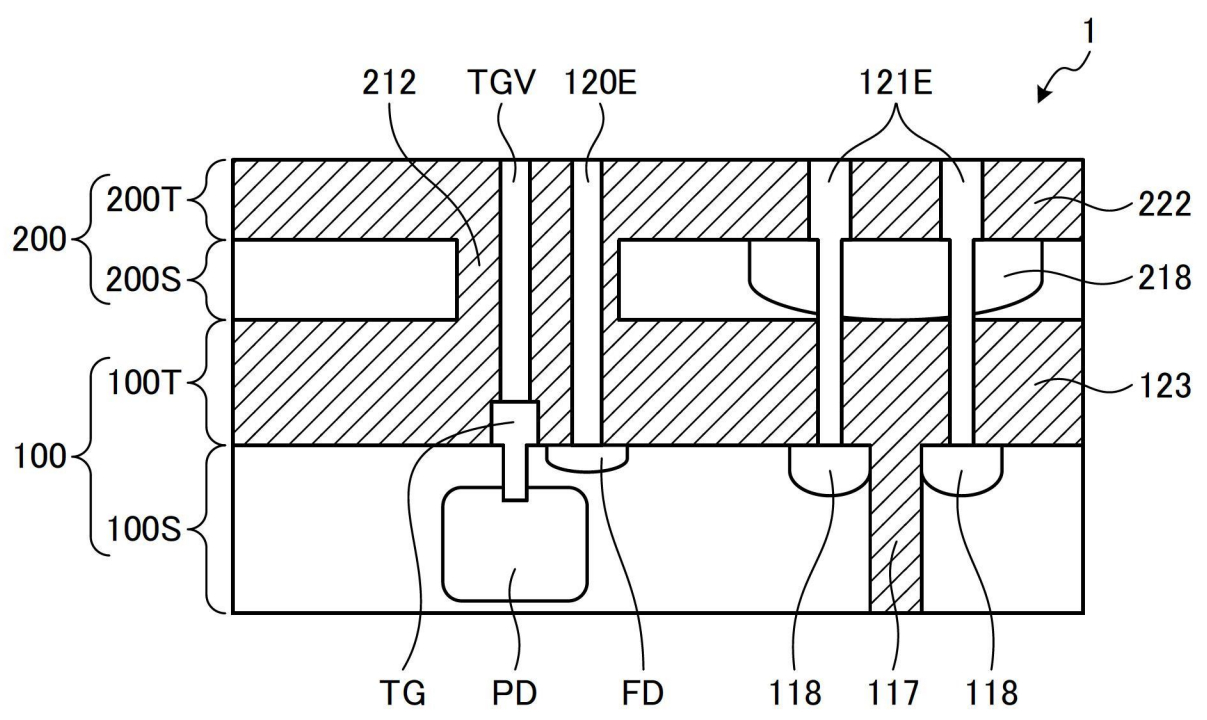
【圖45】



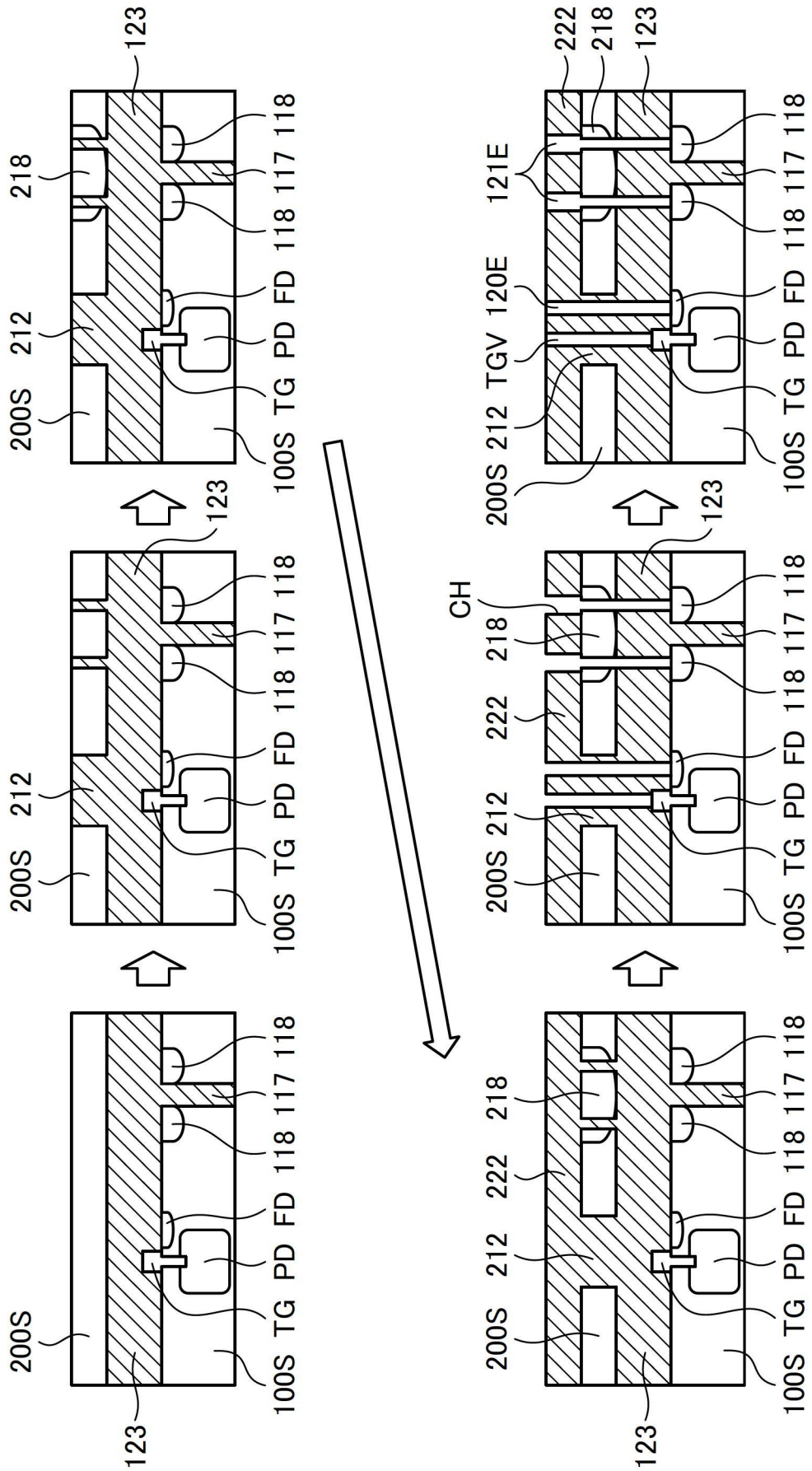
【圖46】



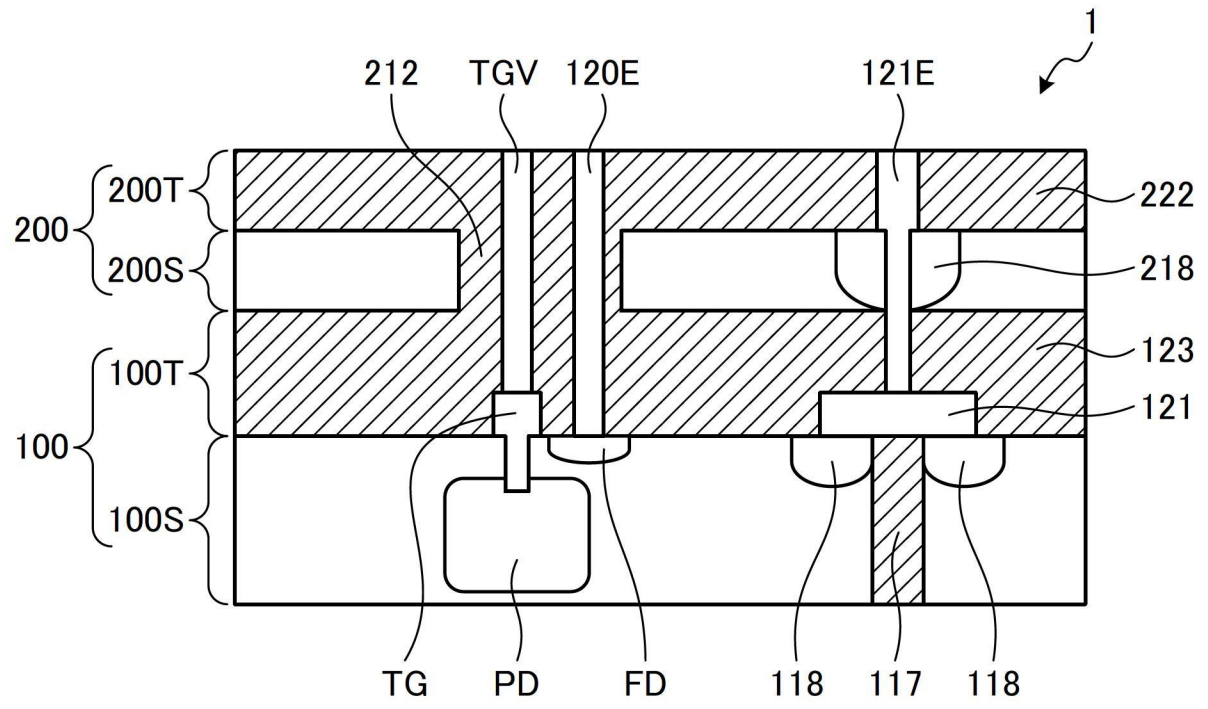
【圖47】



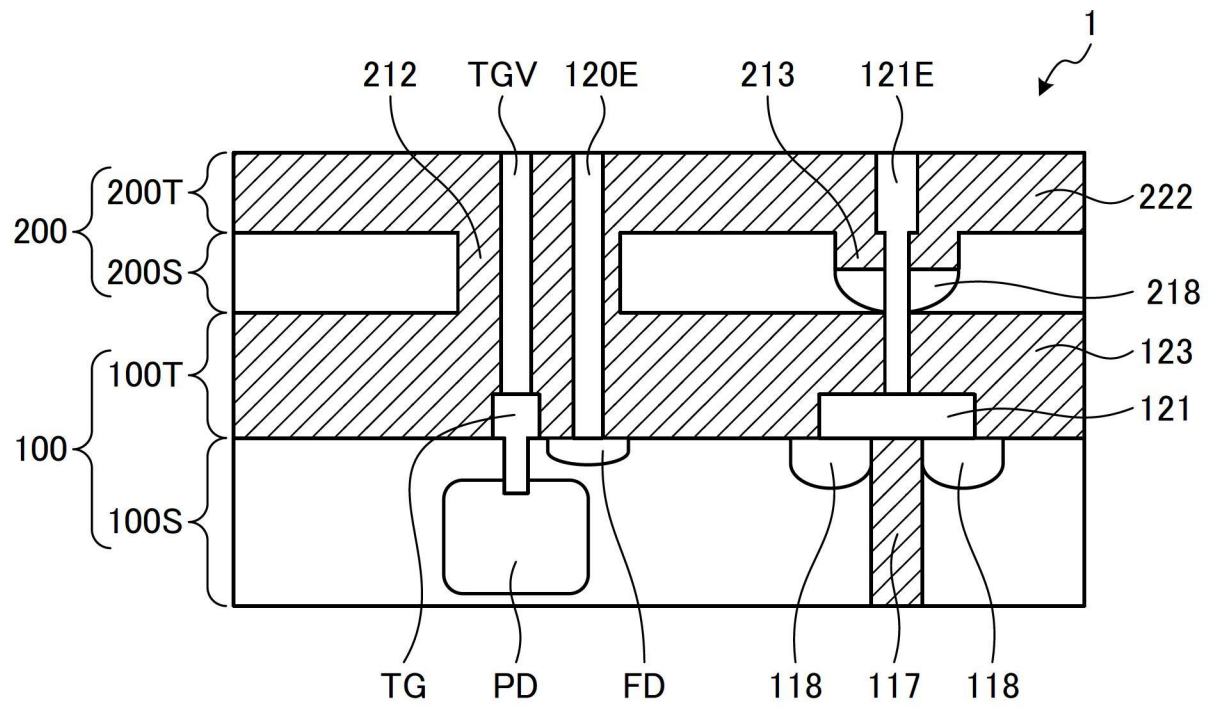
【圖48】



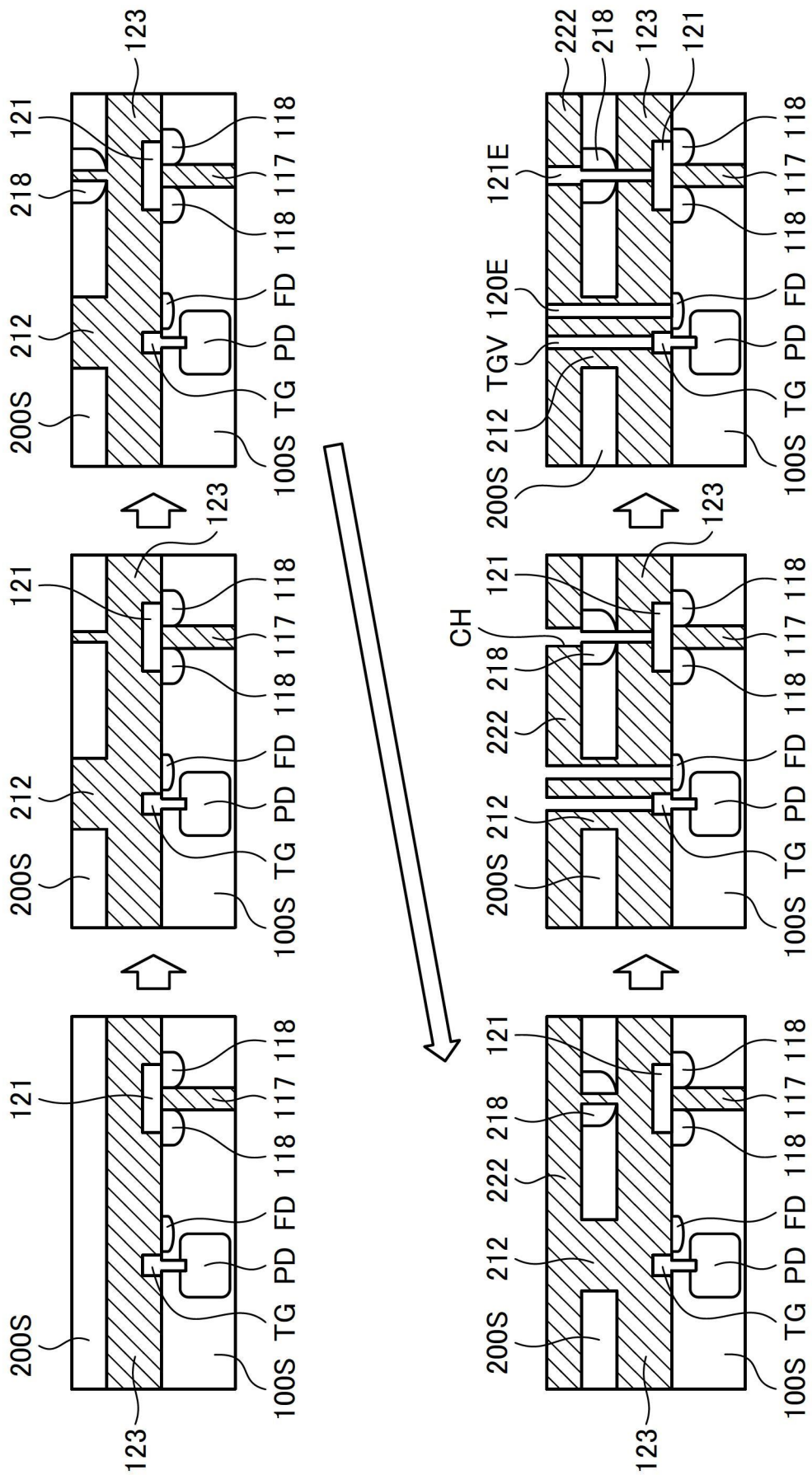
【圖49】



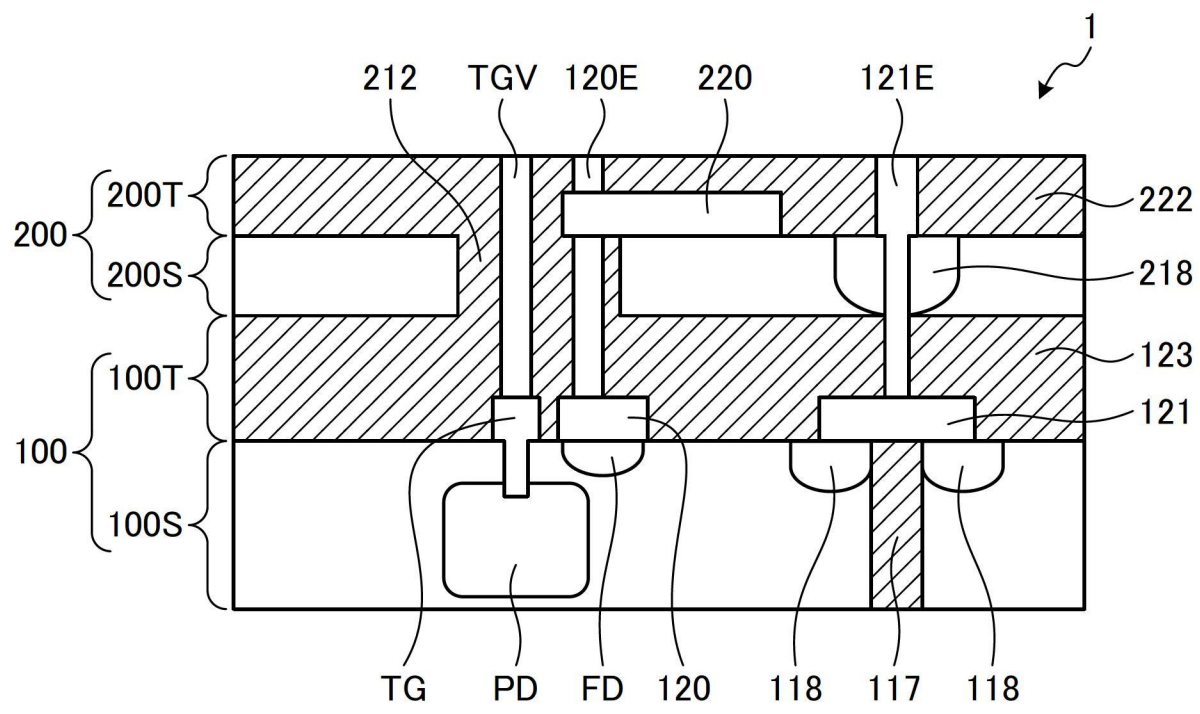
【圖50】



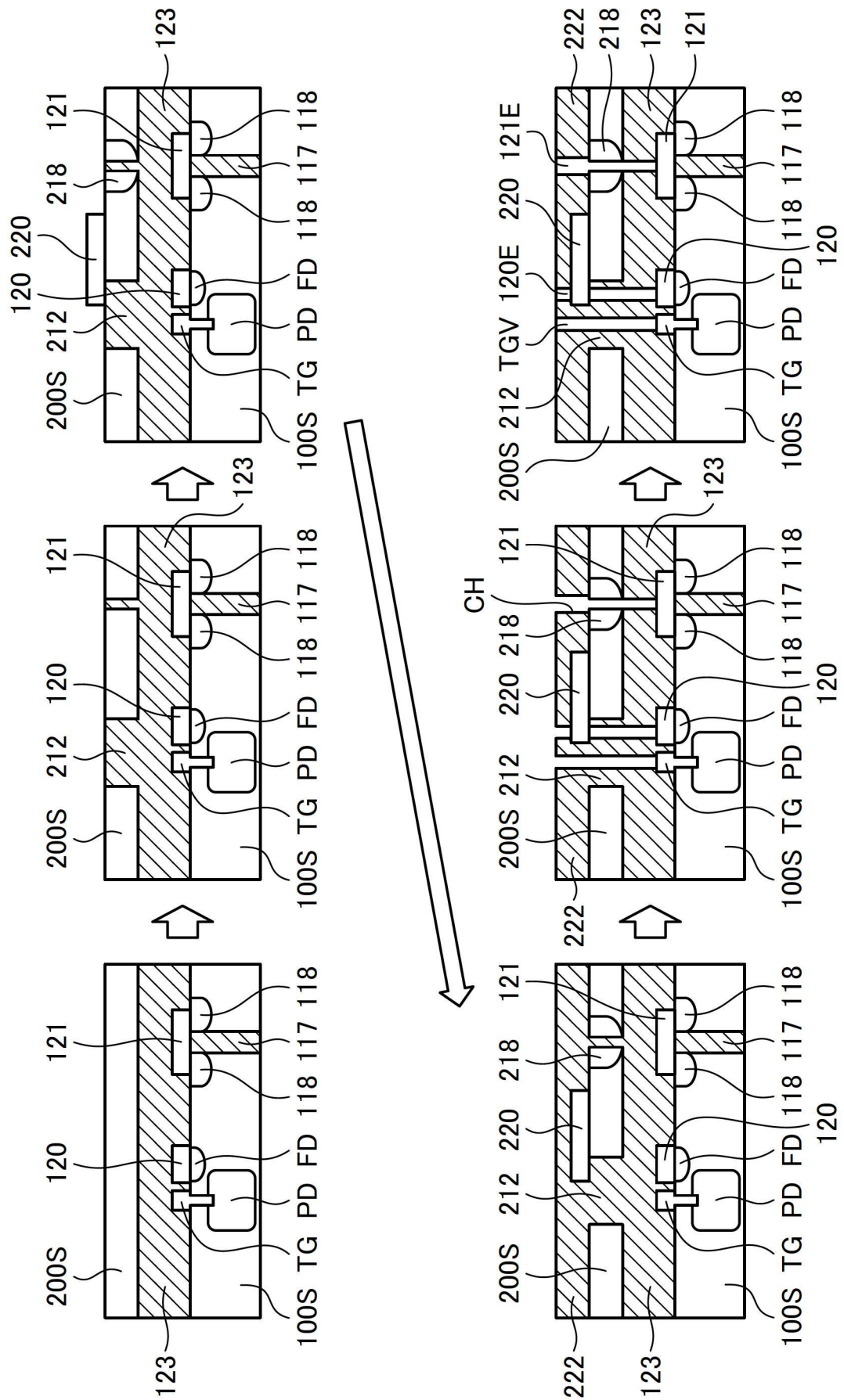
【圖51】



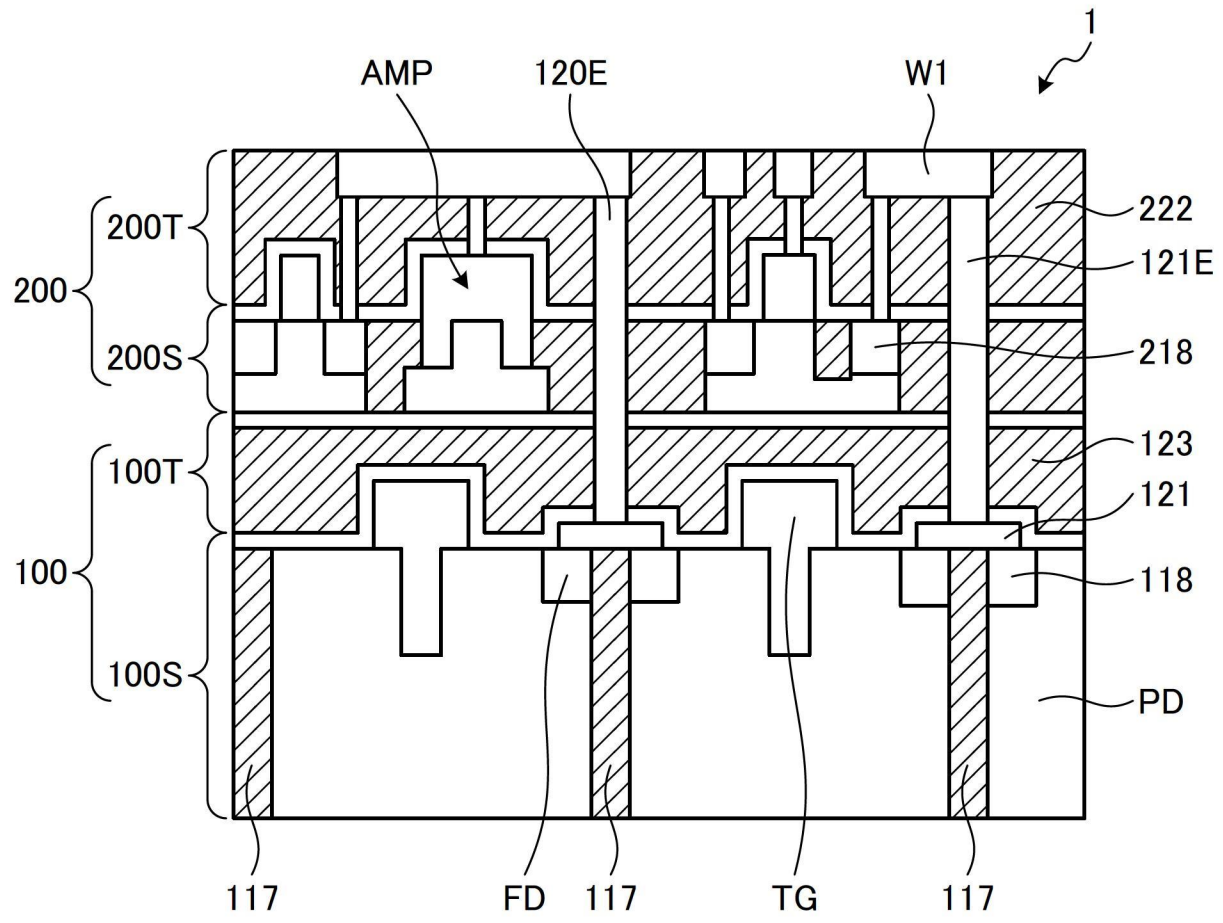
【圖52】



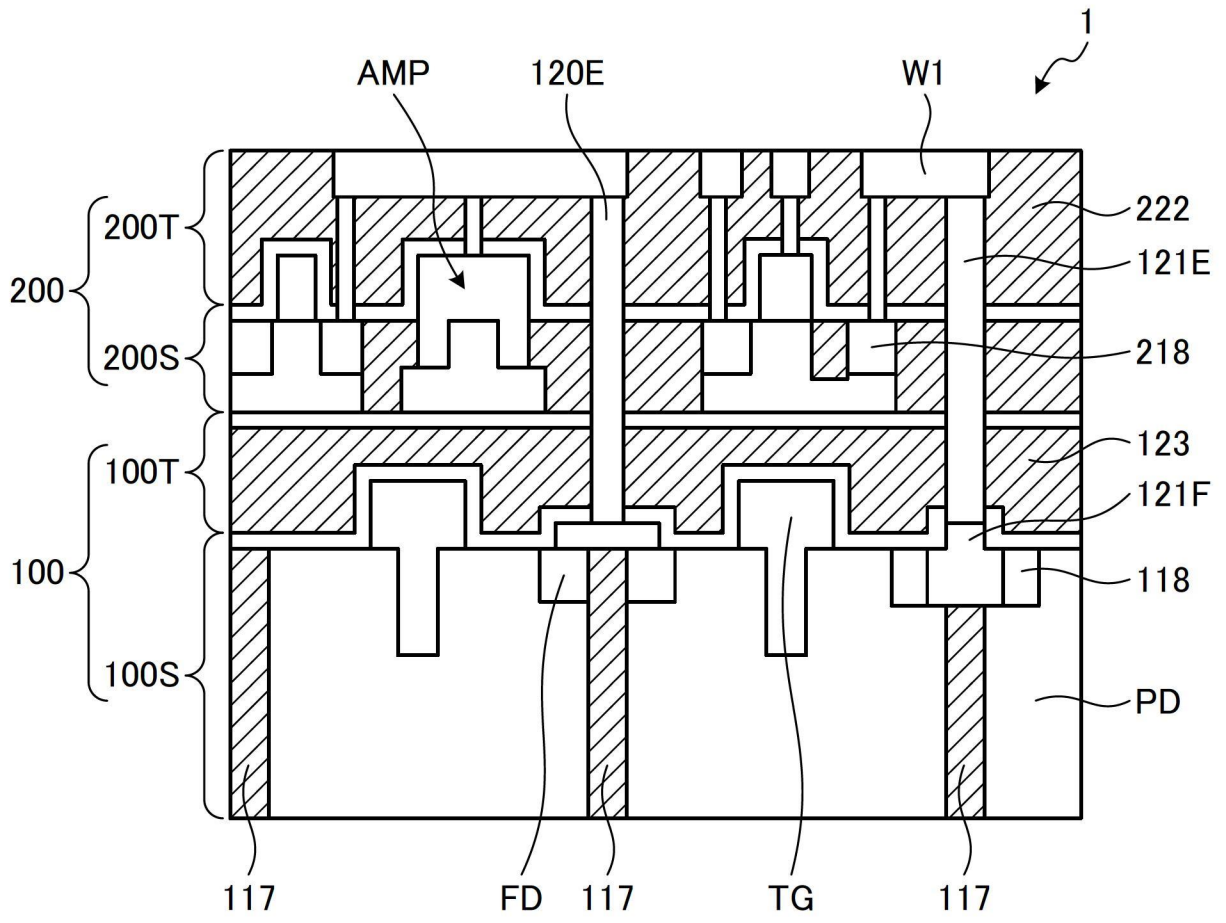
【圖53】



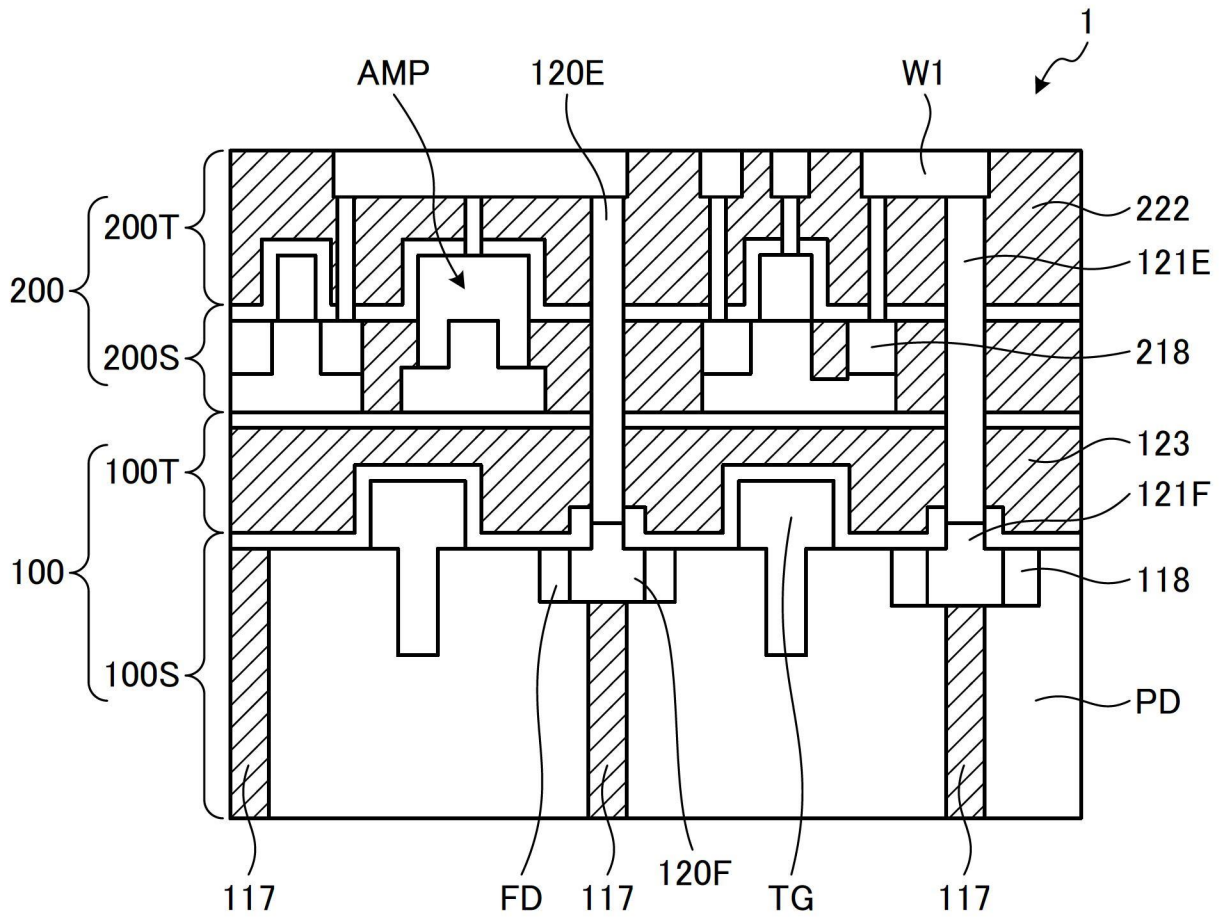
【圖54】



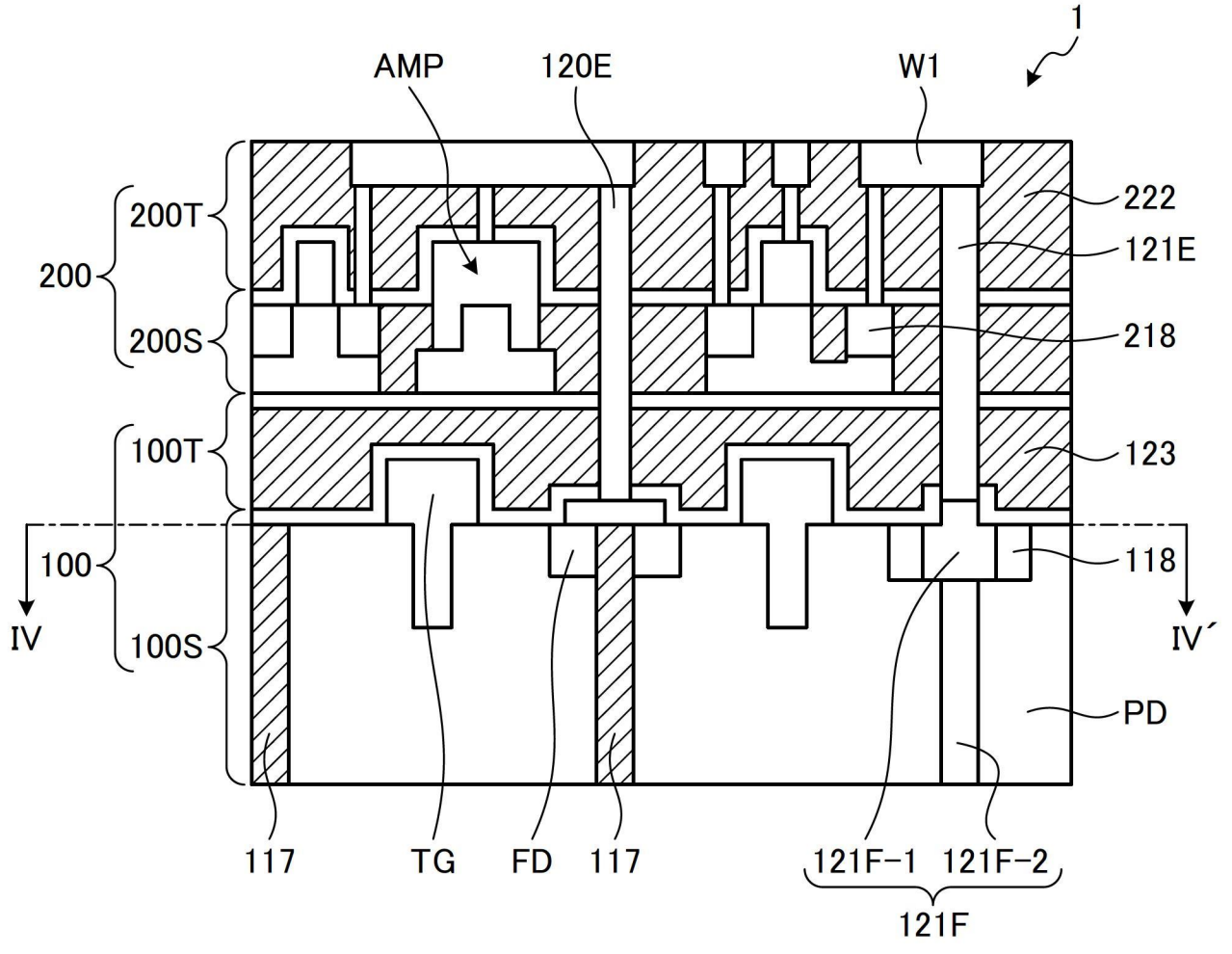
【圖55】



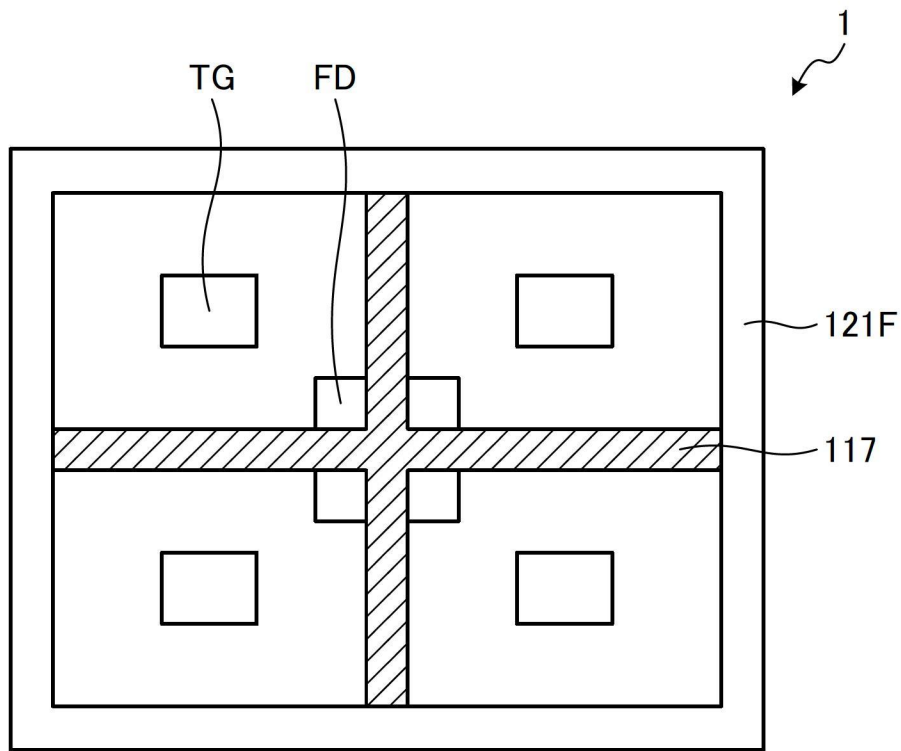
【圖56】



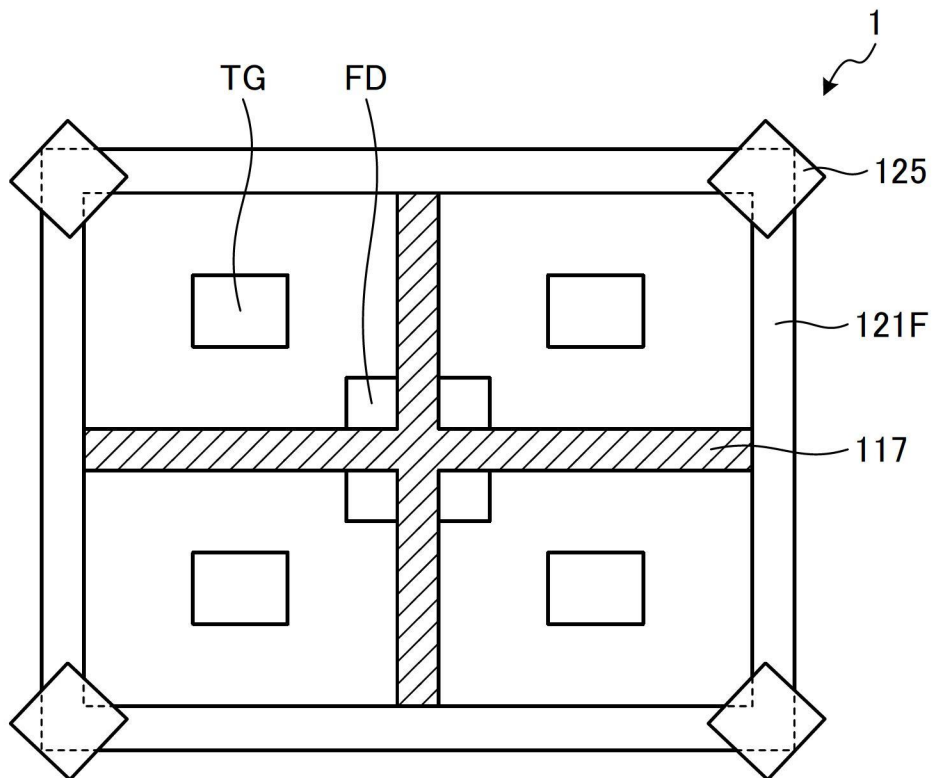
【圖57】



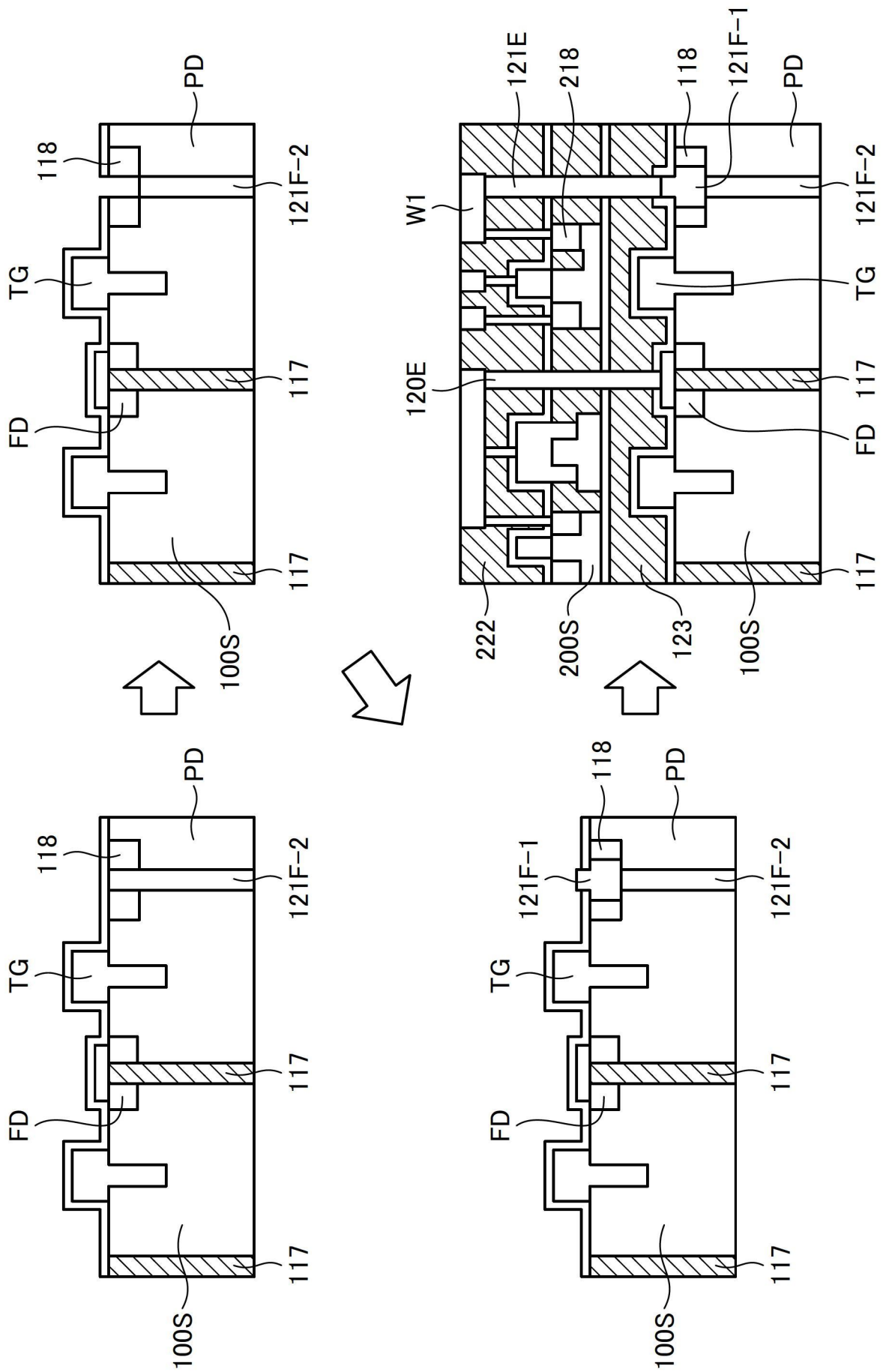
【圖60】



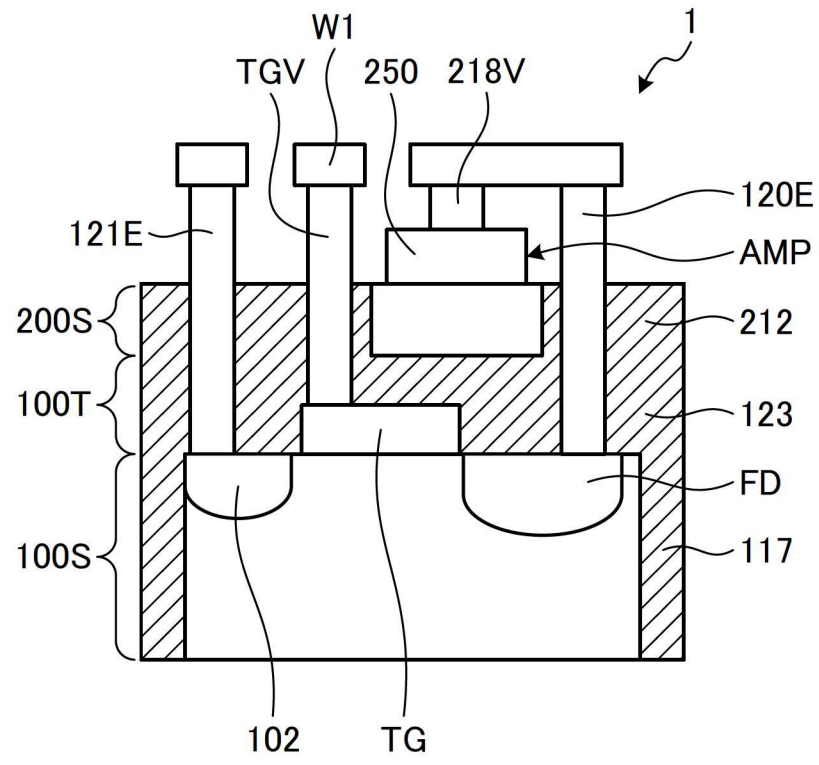
【圖61】



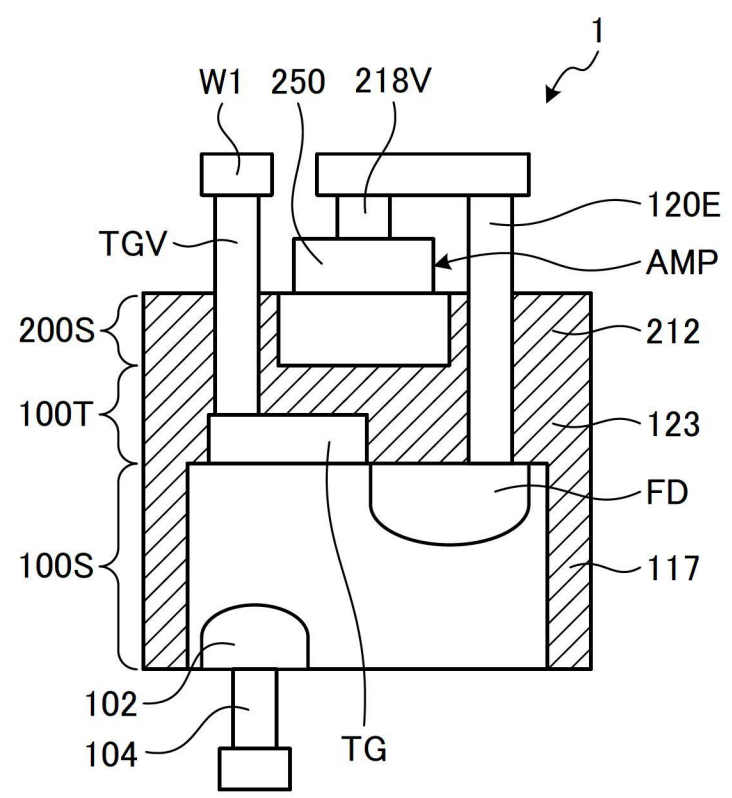
【圖62】



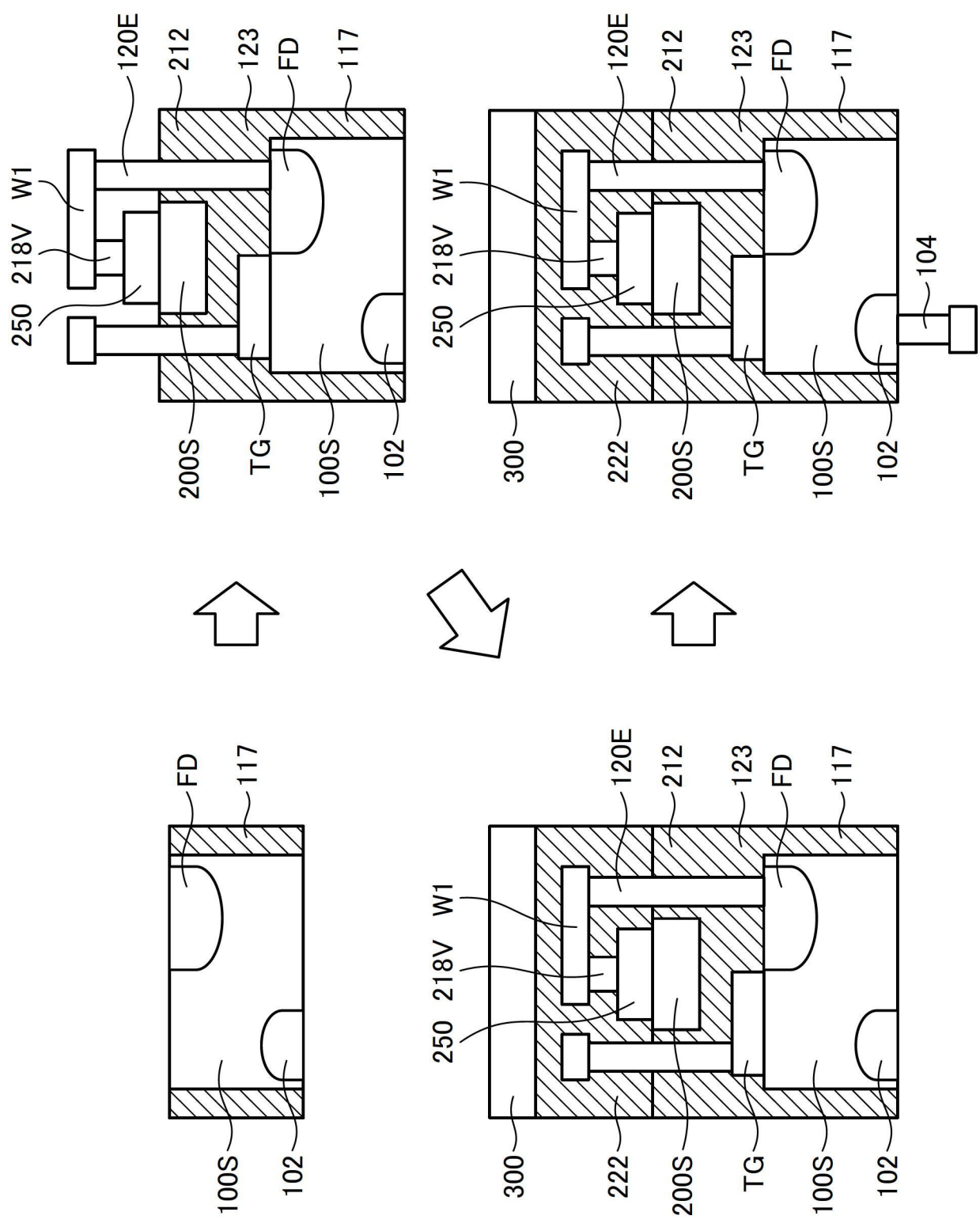
【圖63】



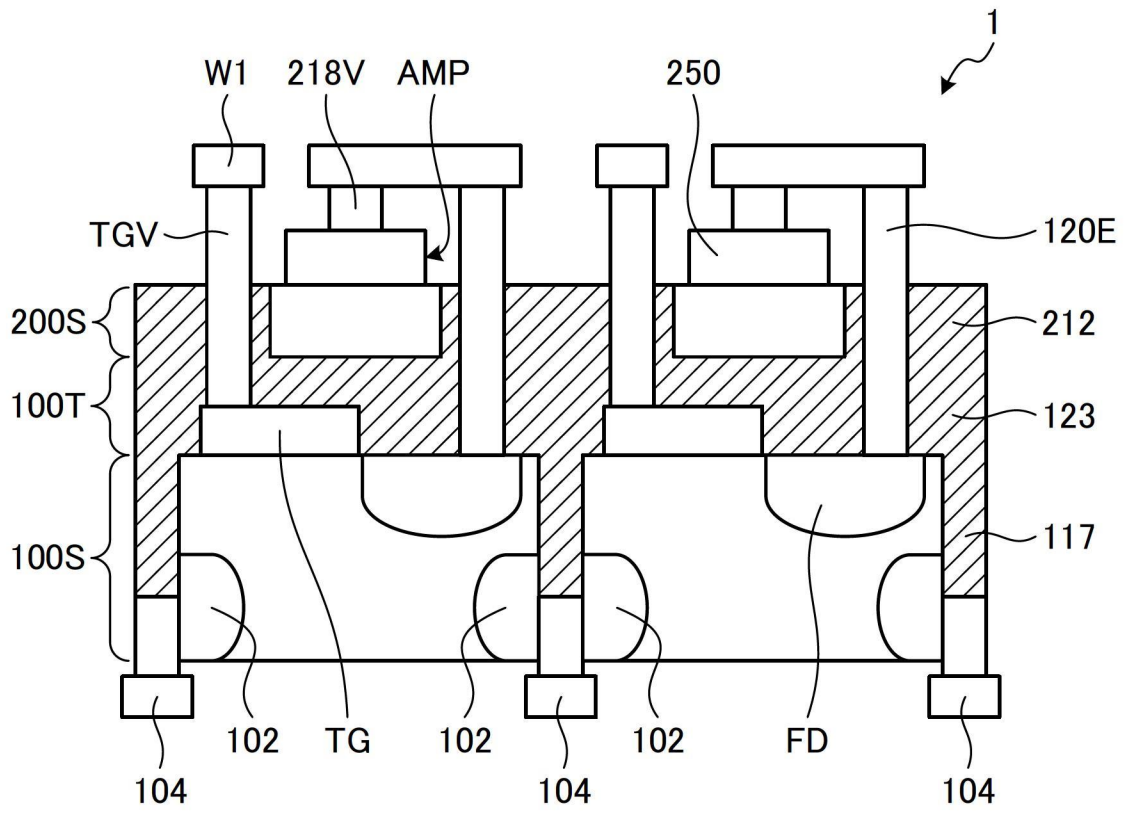
【圖64】



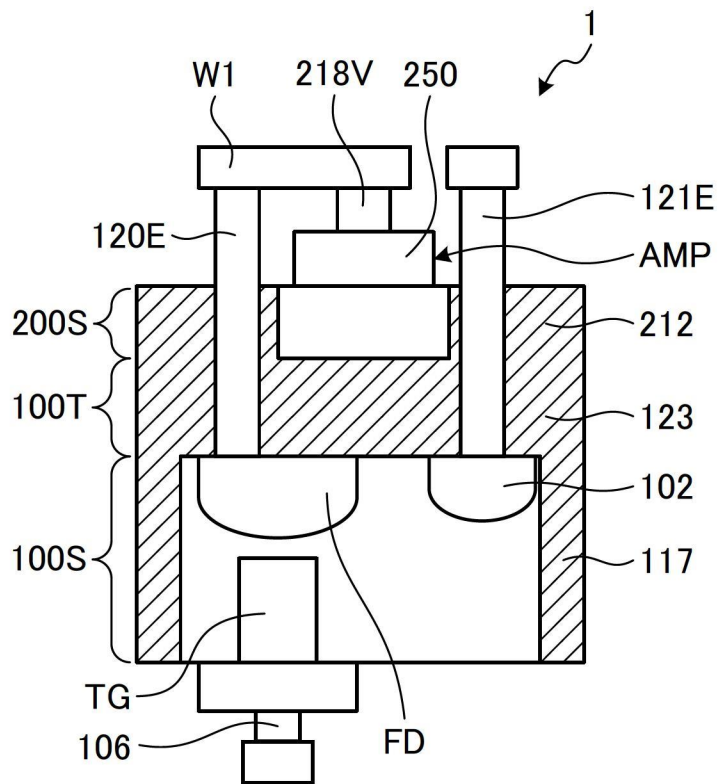
【圖65】



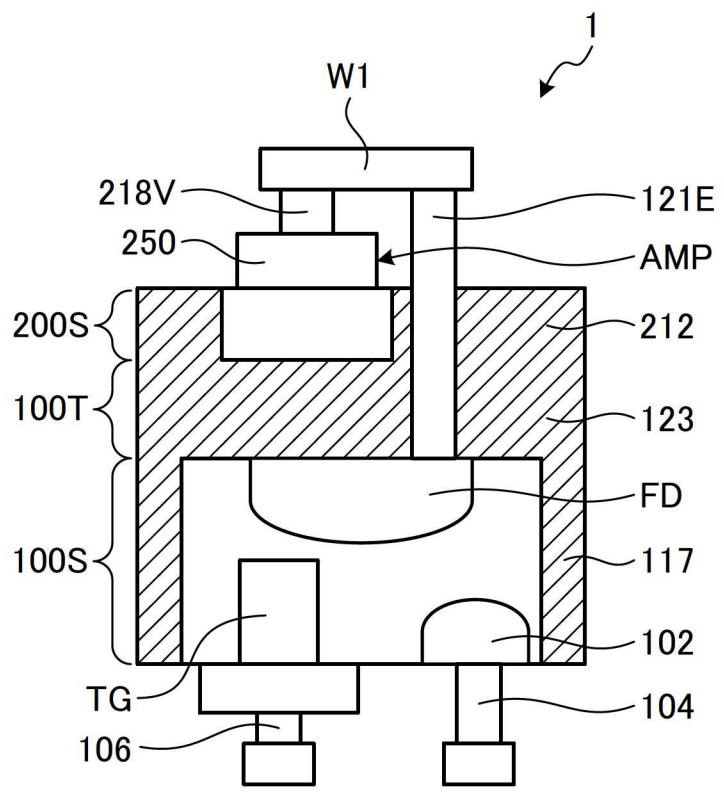
【圖66】



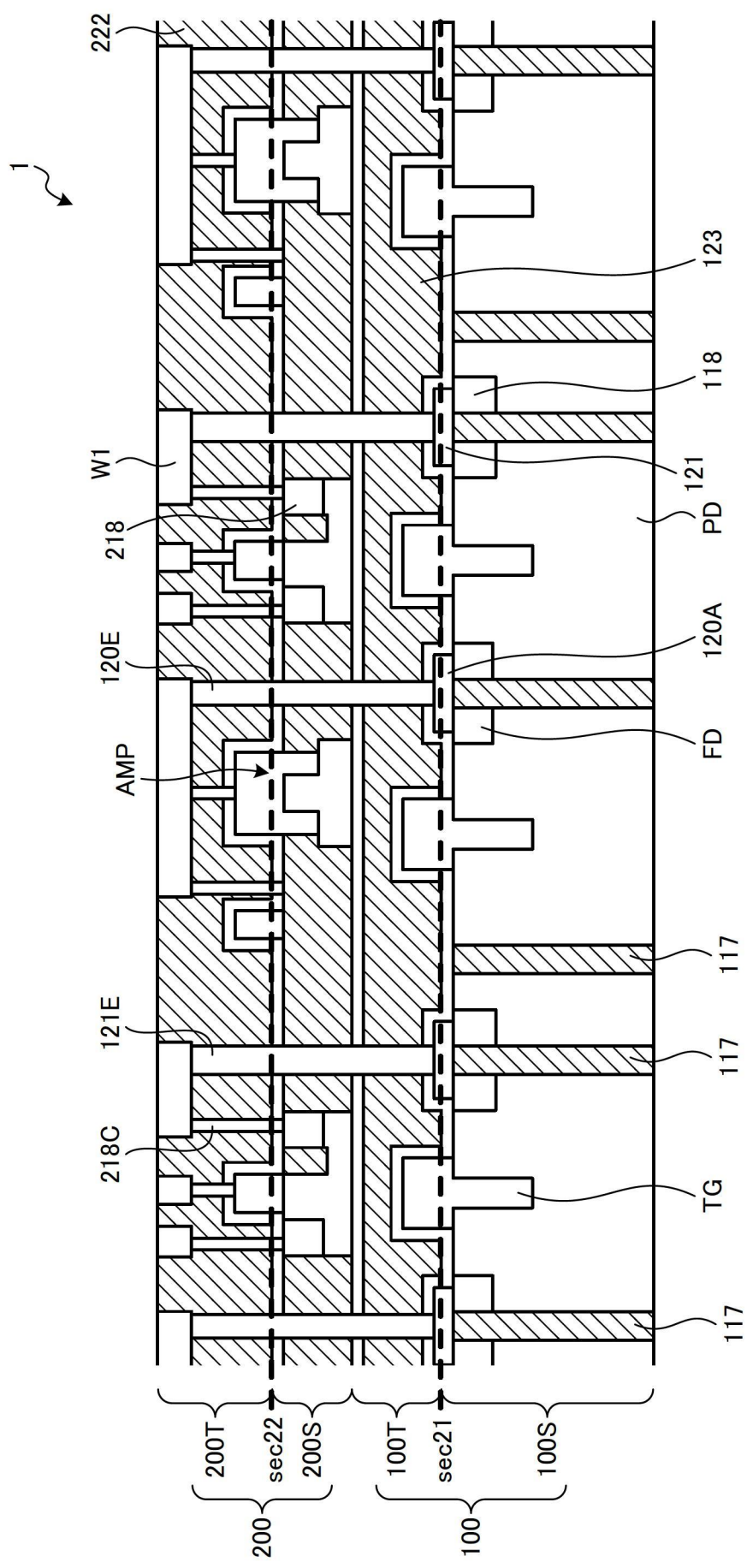
【圖67】



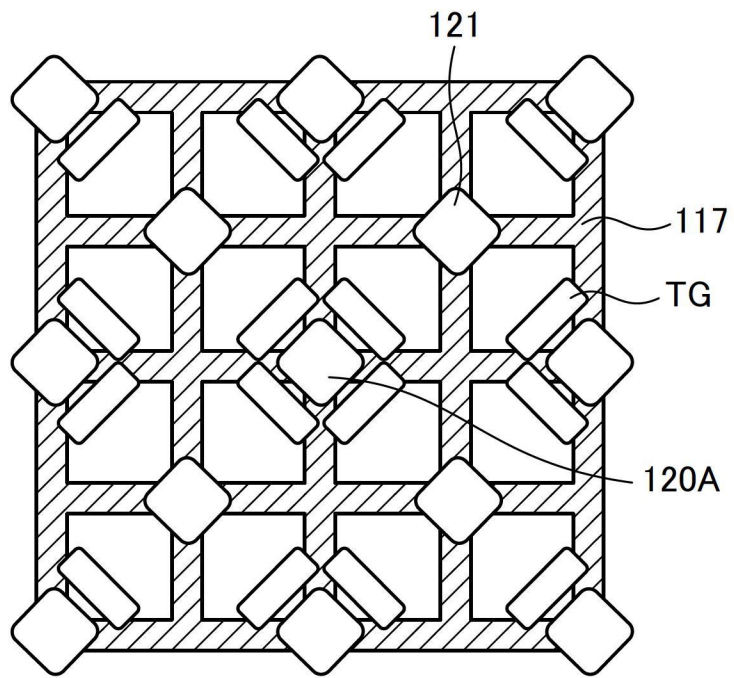
【圖68】



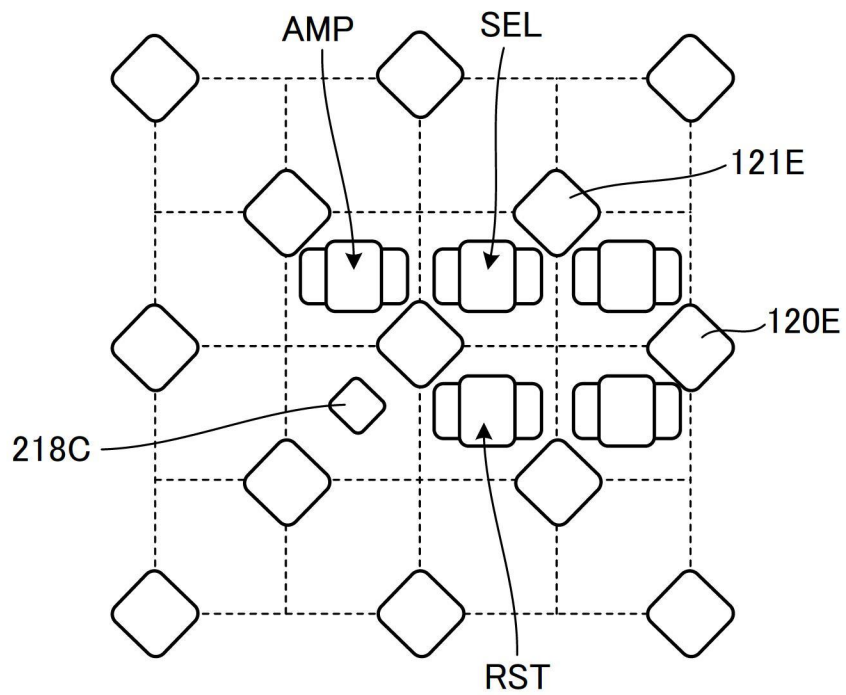
【圖69】



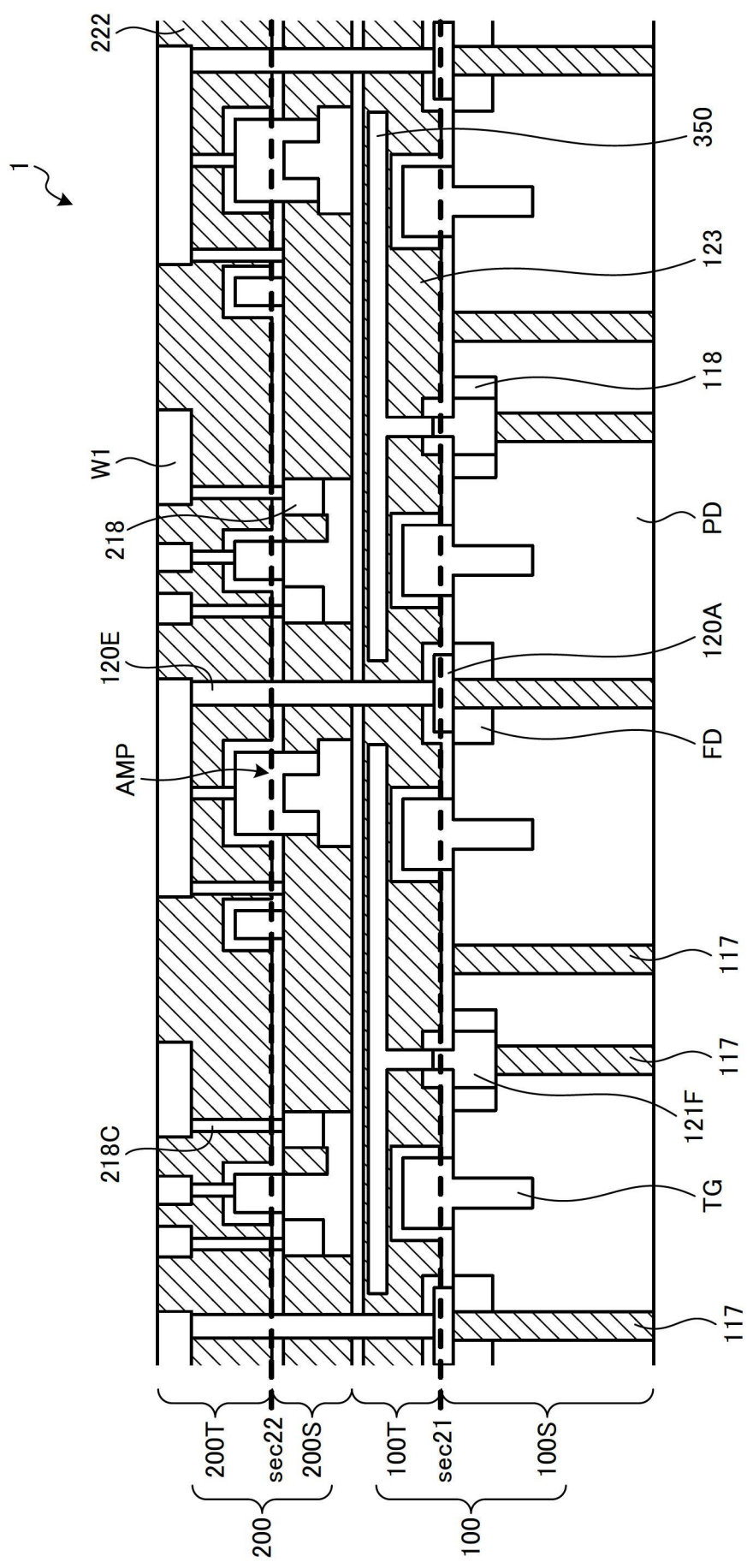
【圖70】



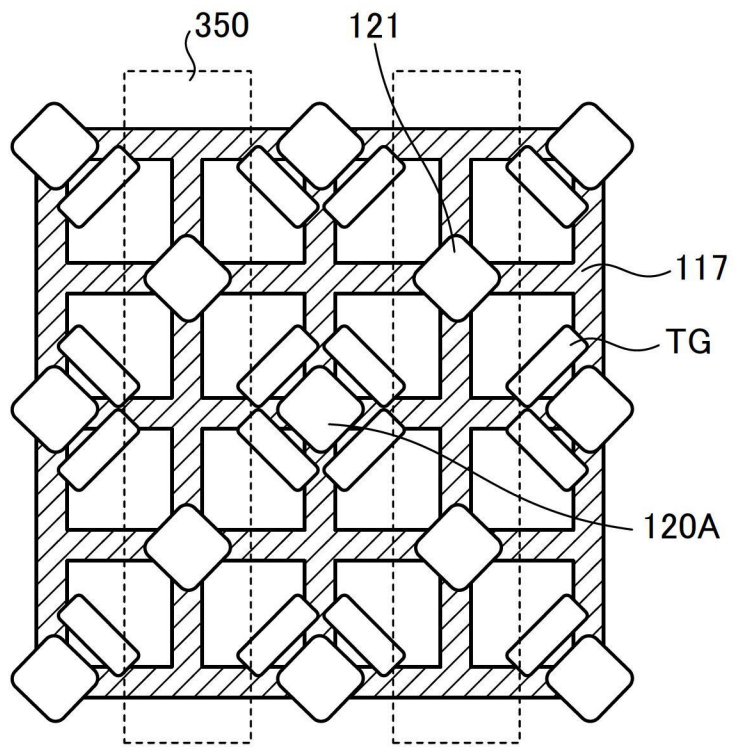
【圖71】



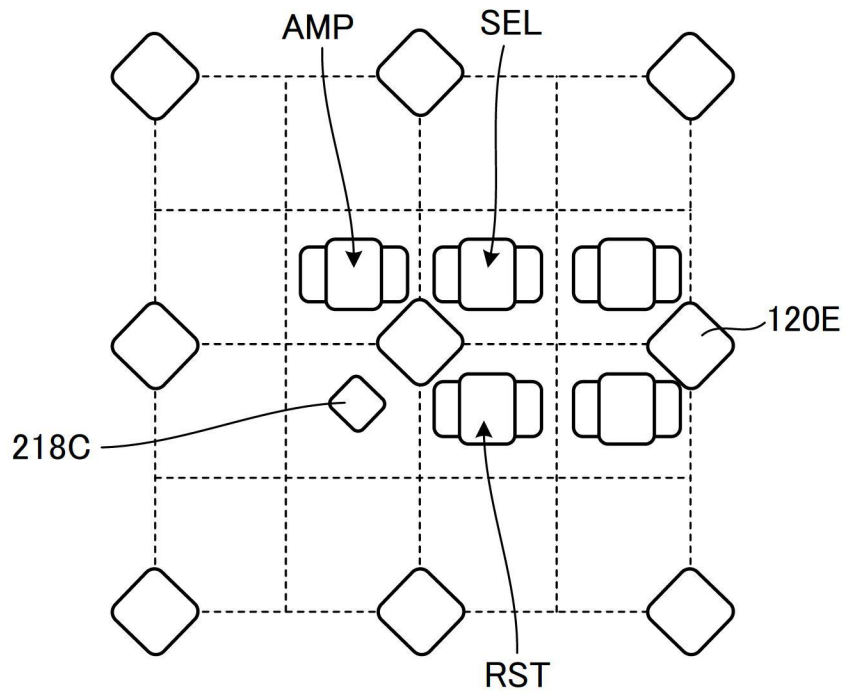
【圖72】



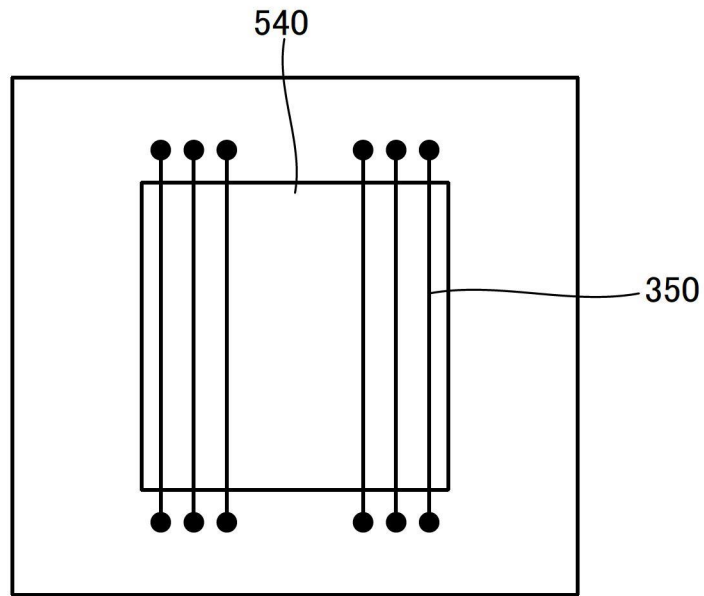
【圖73】



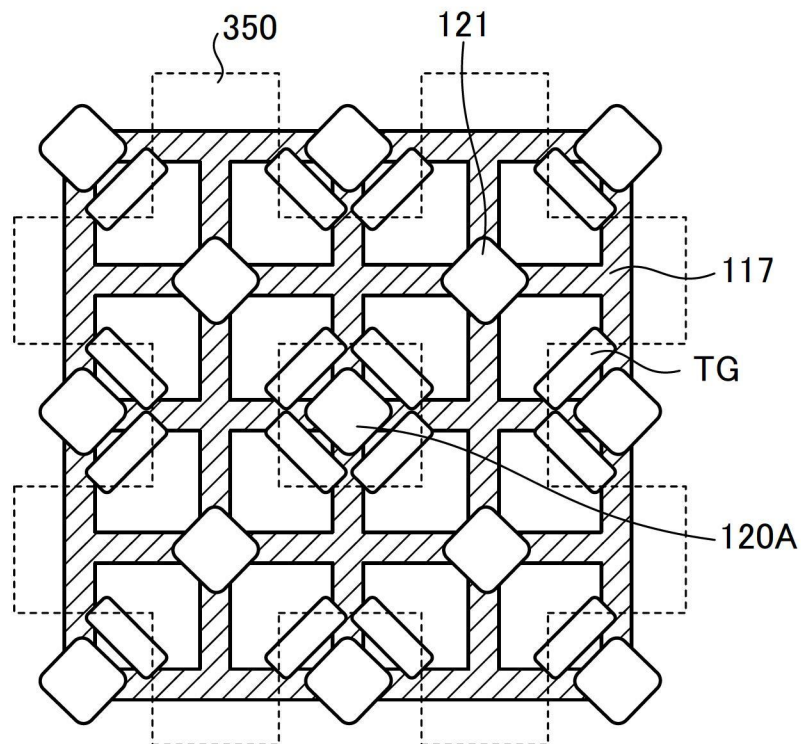
【圖74】



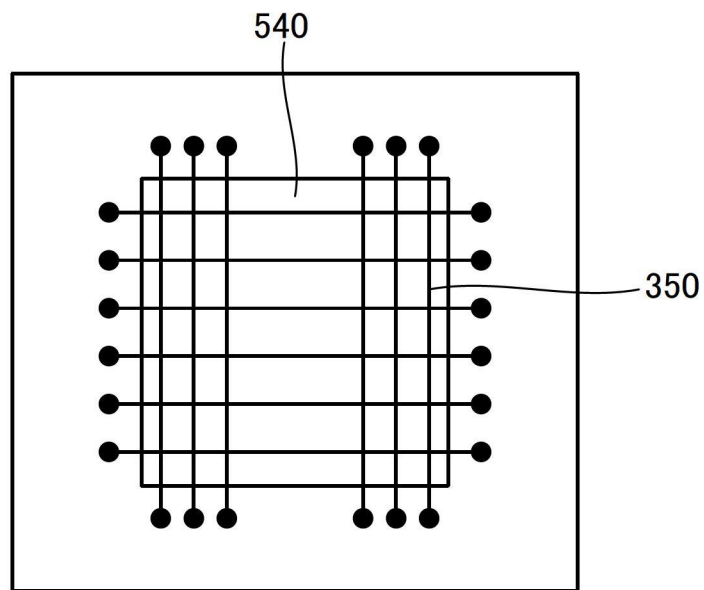
【圖75】



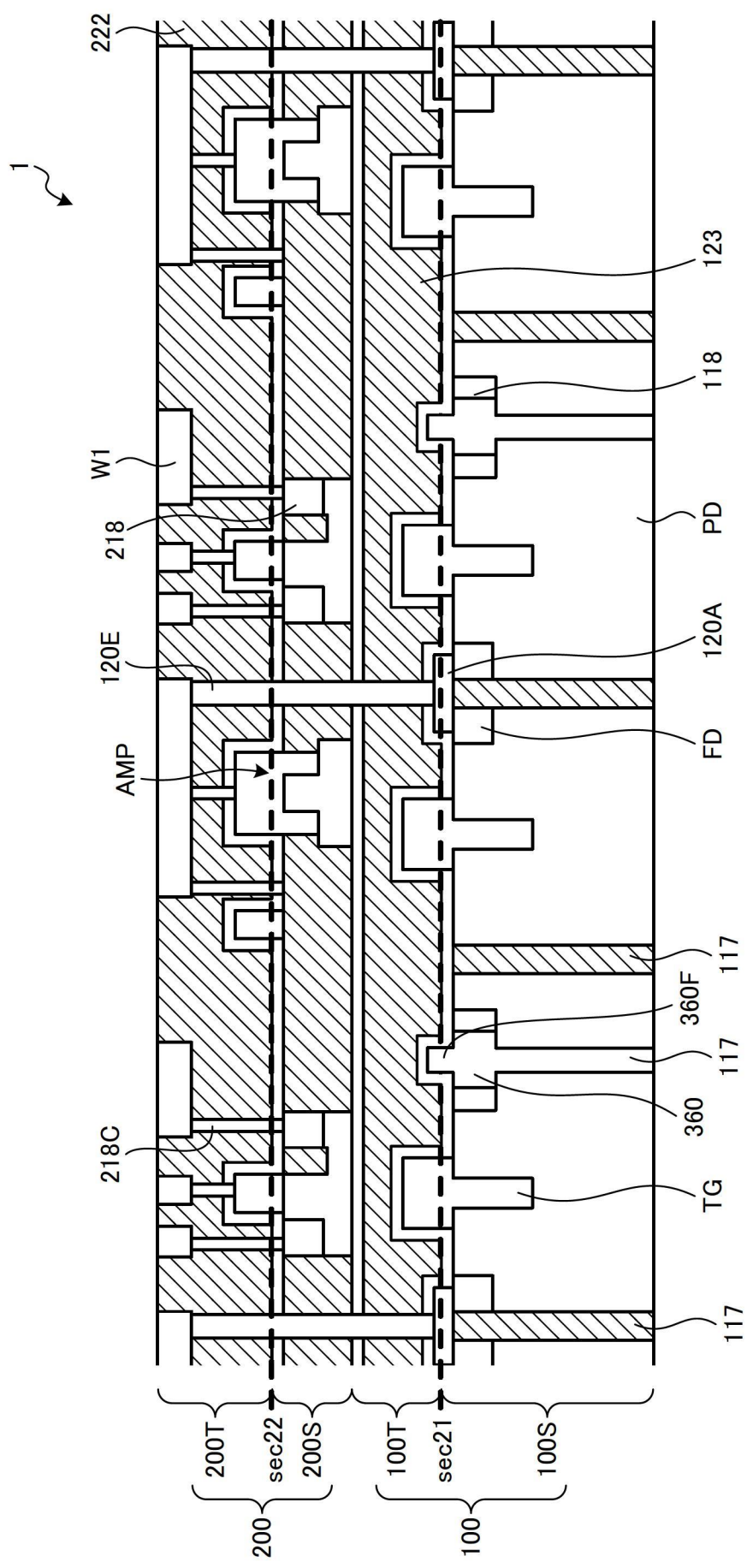
【圖76】



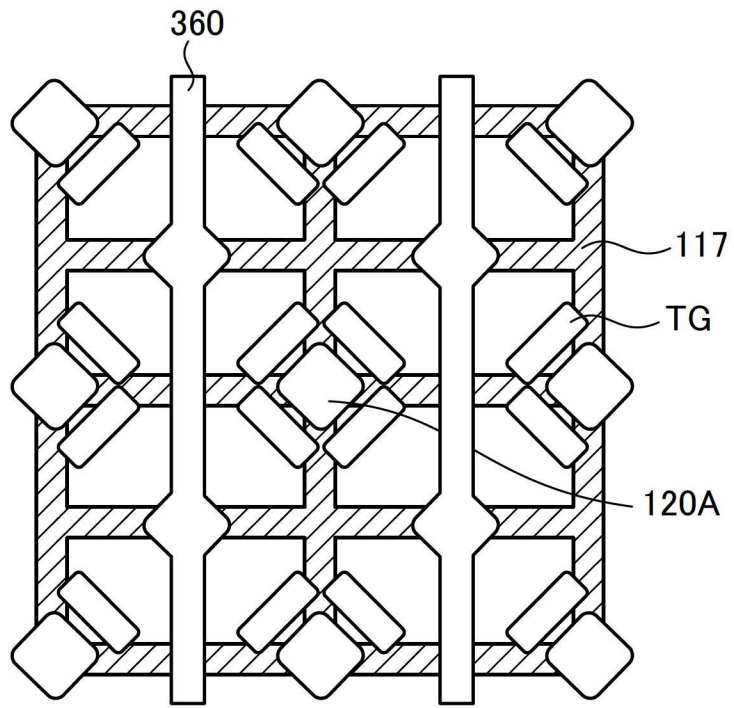
【圖77】



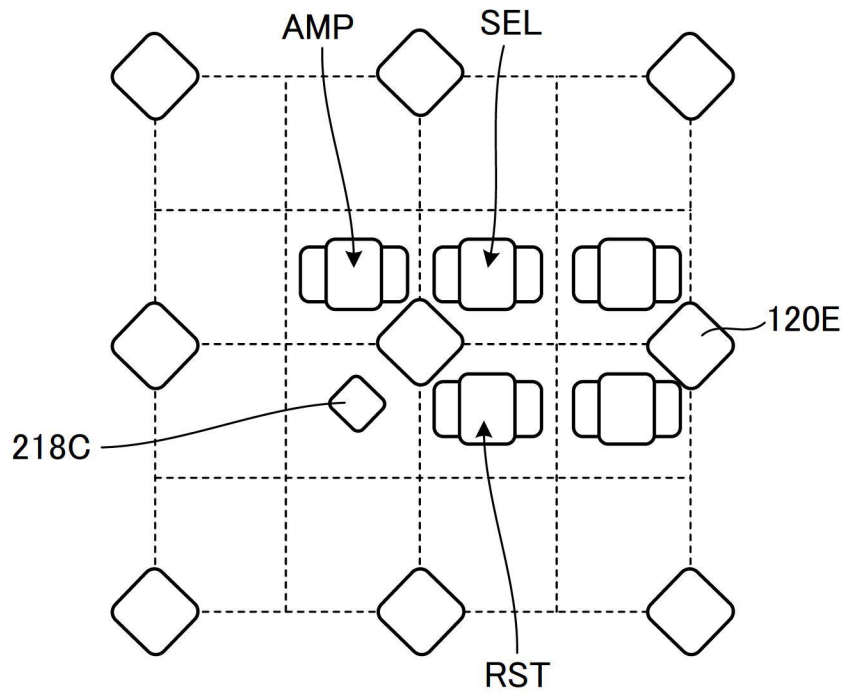
【圖78】



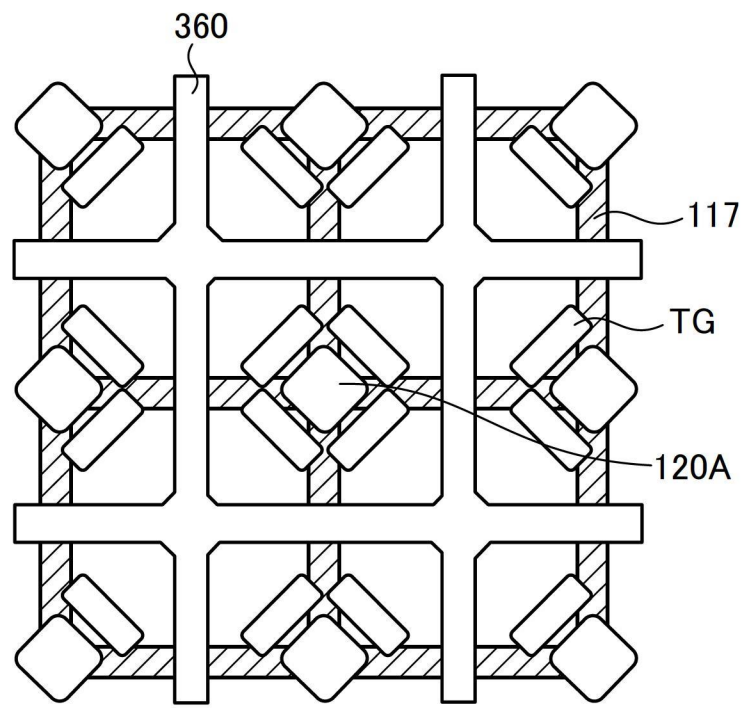
【圖79】



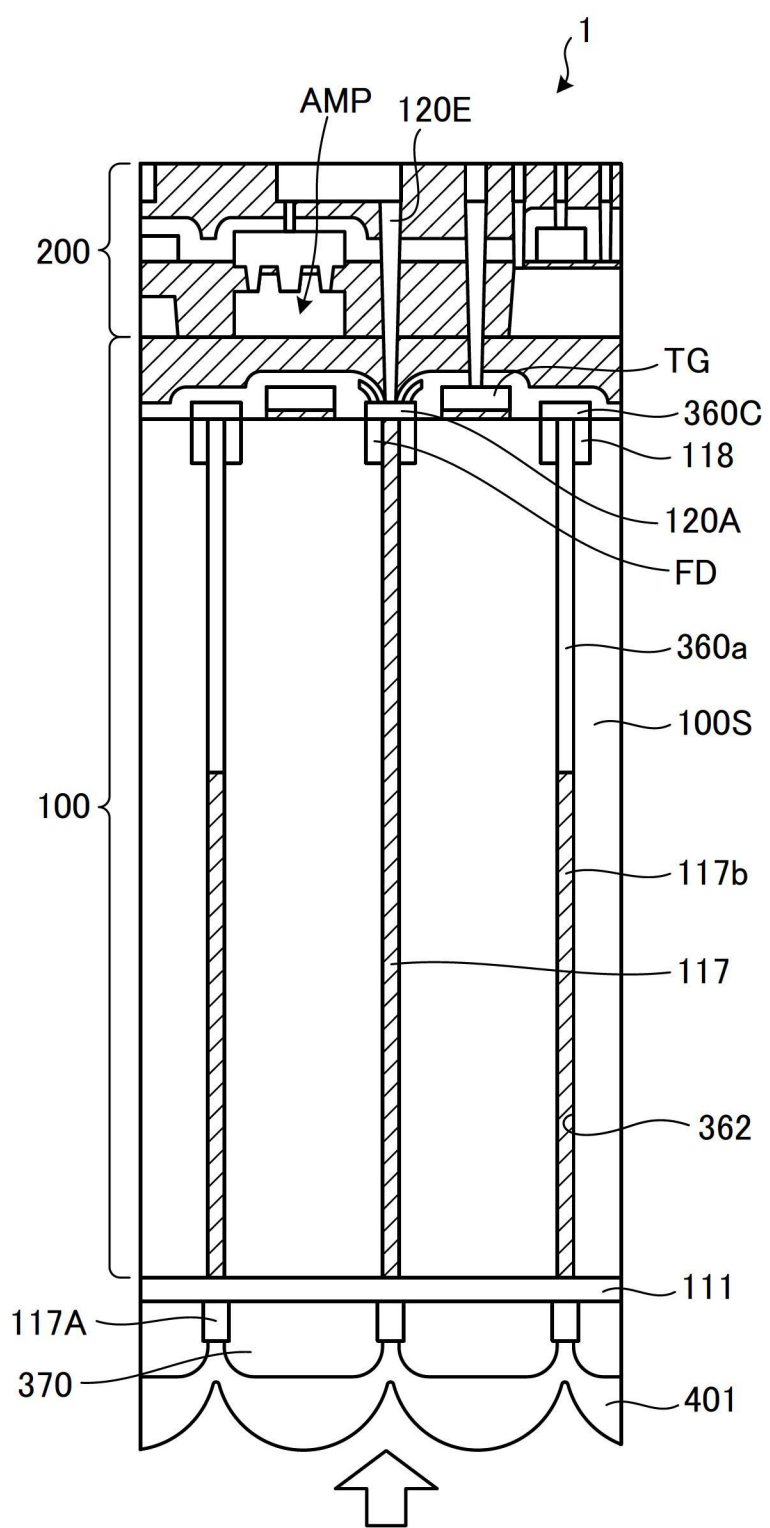
【圖80】



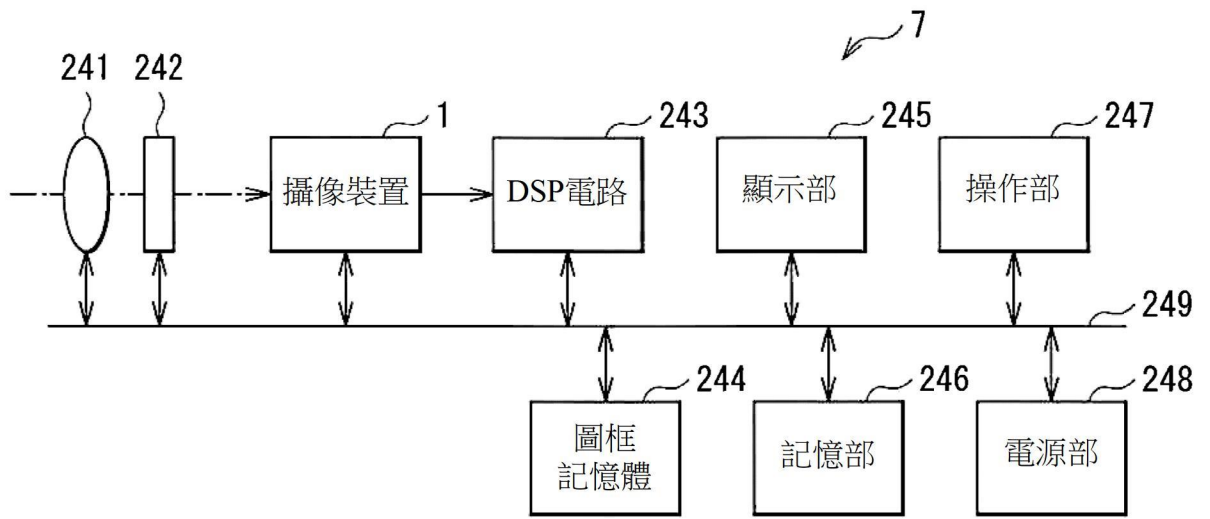
【圖81】



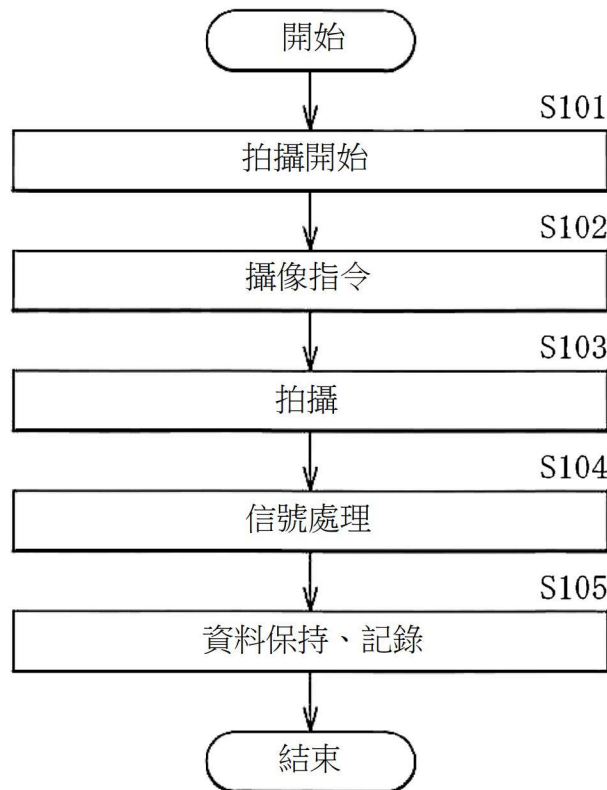
【圖82】



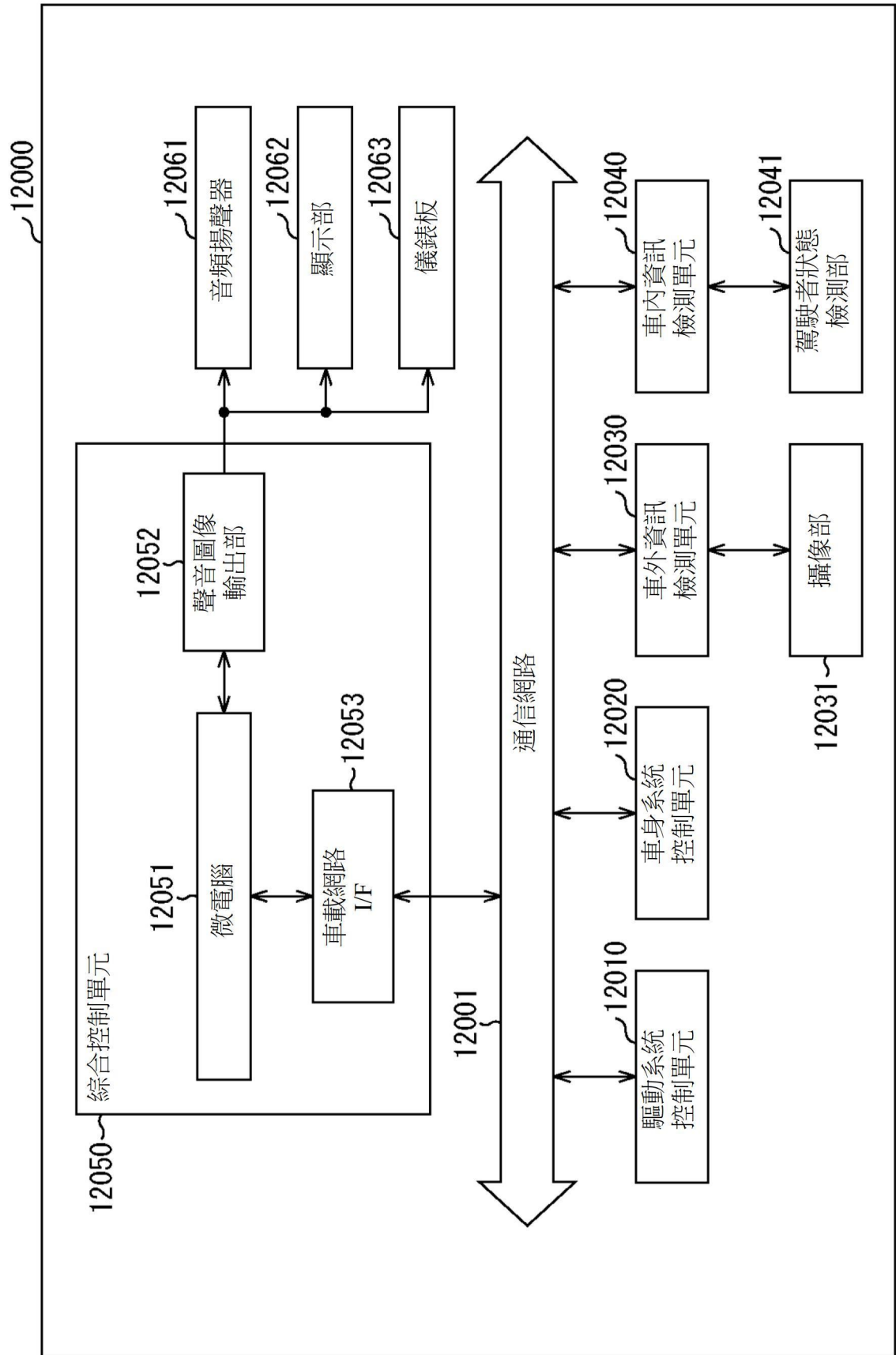
【圖83】



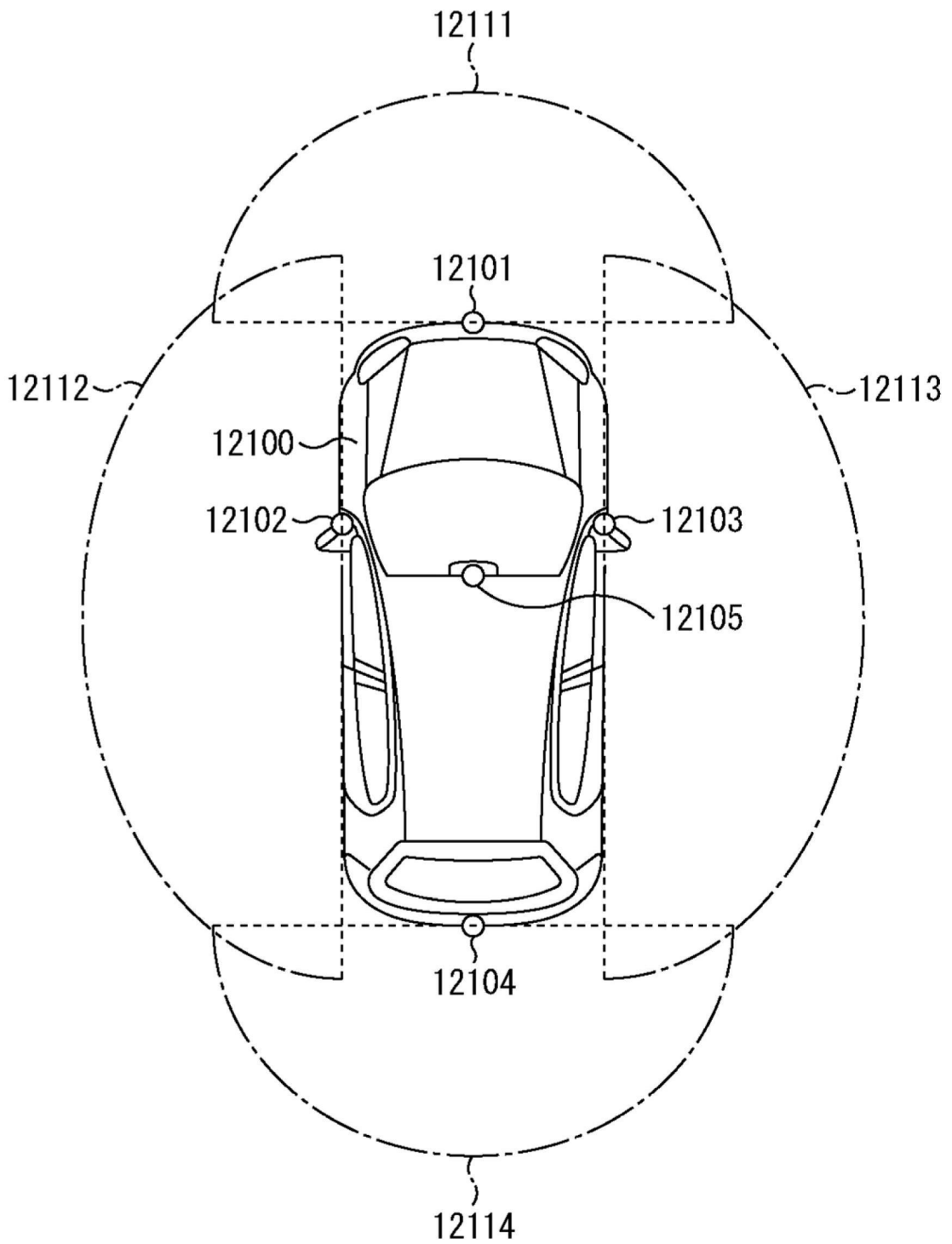
【圖84】



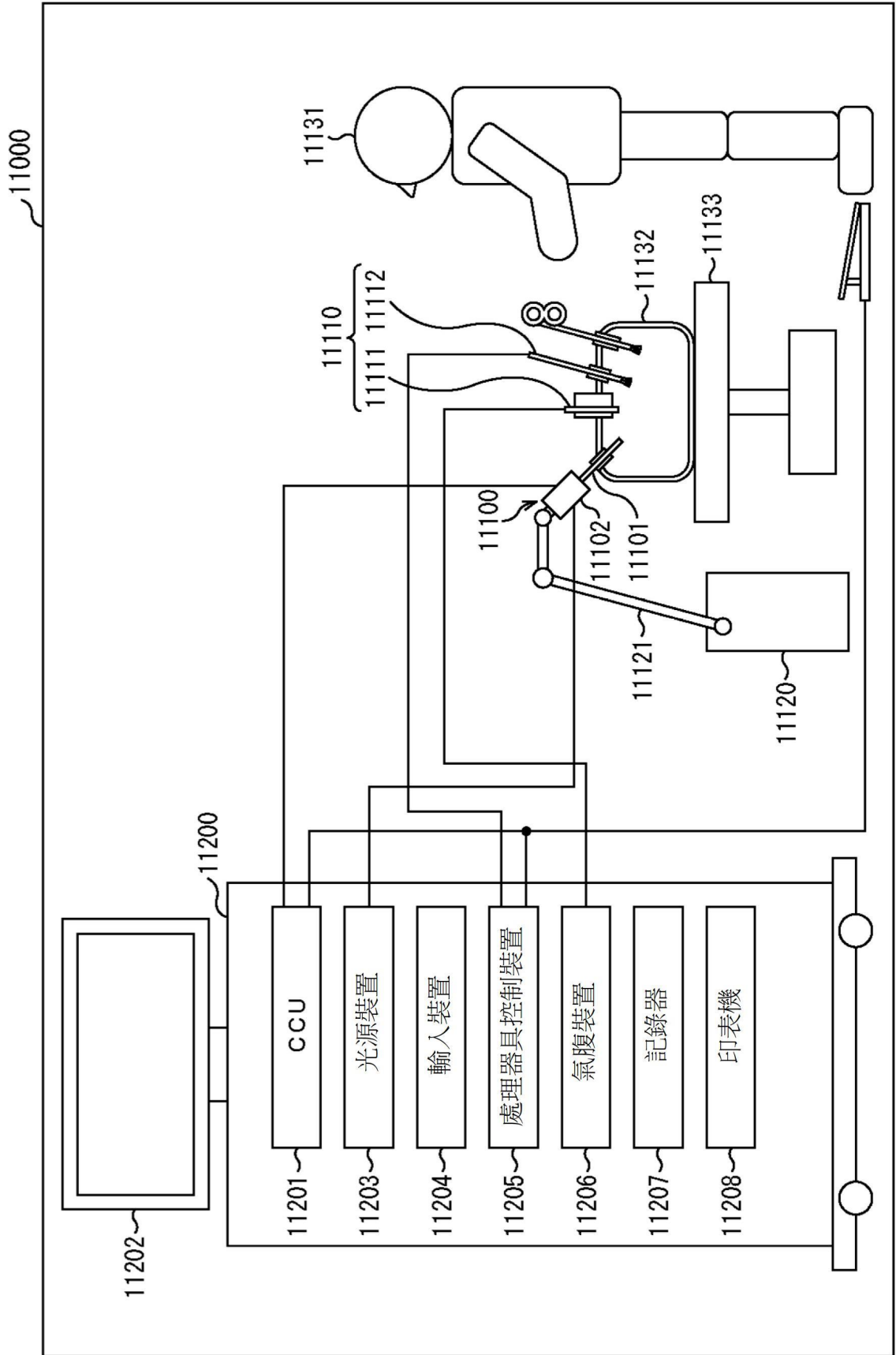
【圖85】



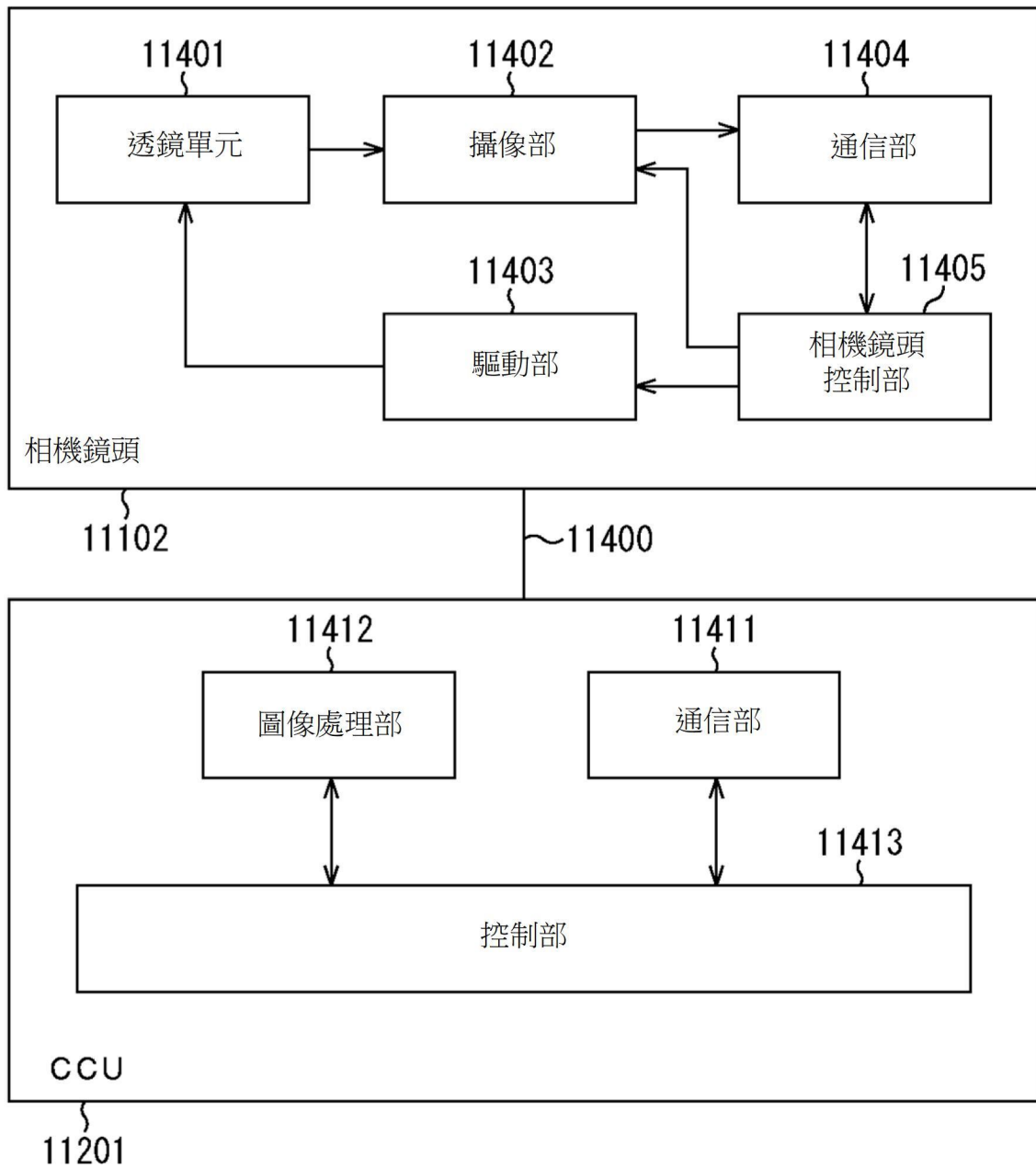
【圖86】



【圖87】



【圖88】



【圖89】