



(19) Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 11 2008 001 192 T5 2010.04.15

(12)

## Veröffentlichung

der internationalen Anmeldung mit der  
(87) Veröffentlichungs-Nr.: **WO 2008/137055**  
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)  
(21) Deutsches Aktenzeichen: **11 2008 001 192.3**  
(86) PCT-Aktenzeichen: **PCT/US2008/005657**  
(86) PCT-Anmeldetag: **30.04.2008**  
(87) PCT-Veröffentlichungstag: **13.11.2008**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **15.04.2010**

(51) Int Cl.<sup>8</sup>: **G06F 3/14 (2006.01)**

(30) Unionspriorität:  
**60/915,814 03.05.2007 US**

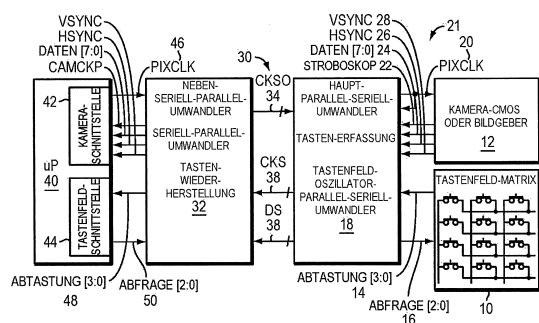
(71) Anmelder:  
**Boomer, James, Monument, Col., US; Freitas, Oscar, Cape Elizabeth, Me., US**

(74) Vertreter:  
**Meissner, Bolte & Partner GbR, 80538 München**

(72) Erfinder:  
**gleich Anmelder**

(54) Bezeichnung: **Verfahren und Schaltung zum Verschachteln, Parallel-Seriell-Umwandeln und Seriell-Parallel-Umwandeln von Kamera- und Tastenfeld-Daten**

(57) Hauptanspruch: System zum Verschachteln von Hochgeschwindigkeits-Daten und Niedriggeschwindigkeits-Daten, wobei das System enthält:  
eine erste Schnittstelle, welche parallele Hochgeschwindigkeits-Daten empfängt;  
eine zweite Schnittstelle, welche parallele Niedriggeschwindigkeits-Daten empfängt;  
einen Multiplexer, welcher in einer Zeitabfolge die parallelen Hochgeschwindigkeits- und Niedriggeschwindigkeits-Daten verschachtelt; und  
einen Parallel-Seriell-Umwandler, welcher die verschachtelte Zeitabfolge aus parallelen Daten von dem Multiplexer empfängt und die verschachtelte Abfolge aus parallelen Daten auf die Art und Weise serieller Daten ausgibt.



**Beschreibung**

## HINTERGRUND DER ERFINDUNG

## Gebiet der Erfindung

**[0001]** Die vorliegende Erfindung bezieht sich auf Tastenfelder und Kameras, und genauer gesagt auf Betriebe, bei welchen Tastenfeld-Daten und Kamera-Daten zusammen auftreten und gemeinsam eine Elektronik in Vorrichtungen teilen.

## Hintergrundinformation

**[0002]** Tastenfelder und Kameras werden oftmals in Mobil- oder Zellulartelefonen aufgefunden. Typischerweise werden Eingabe-/Ausgabe-(I/O)-Betriebe von diesen beiden über separate und eindeutige Schnittstellen gesendet. Die Daten von dem Tastenfeld und der Kamera können auf parallele oder serielle Art und Weise gesendet werden, jedoch werden die Daten von dem Tastenfeld und der Kamera bei Anwendungen aus dem Stand der Technik nicht gemultiplext oder verschachtelt. Bei vielen Zellulartelefonen werden diese Tastenfeld- und Kamera I/O-Signale über ein flexibles Gelenkkabel, welches in Aufklapp- oder Schiebe-Zellulartelefonen verwendet wird, jedoch auf separaten Drähten, gesendet.

**[0003]** Typische Mikroprozessoren in einem Zellulartelefon oder in weiteren tragbaren Vorrichtungen enthalten eine parallele Schnittstelle zu einem Tastenfeld, welches über das flexible Gelenk hinweg verläuft. Kamerasignale überqueren ebenfalls das Gelenk über weitere Drähte. Es wäre effizienter, wenn die Drähte in dem Gelenk die Tastenfeld-Daten mit Kamera-Daten verschachtelt übertragen.

**[0004]** Es wäre vorteilhaft, die Anzahl von Drähten oder Leitungen, welche über flexible Kabel überführt sind, zu reduzieren, und die vorliegende Erfindung stellt eine reduzierte Anzahl von Leitungen bereit, welche das Gelenk überqueren müssen.

## UMRISS DER ERFINDUNG

**[0005]** Die vorliegende Erfindung stellt eine Verschachtelung über gemeinsam genutzte Drähte von Kamera-Daten und Tastenfeld-Daten oder anderen seriellen Daten, welche langsamer als der HSYNC-Zeitzyklus sind, bereit. Die Ausdrücke „Kamera“ und „Tastenfeld“ sind hier derart definiert, dass sie weitere Vorrichtungen enthalten, welche serielle Daten, wie hier angezeigt, erzeugen. Obwohl im Folgenden als Tastenfeld-Daten ausgedrückt, können virtuell jegliche seriellen Daten während der Kamera HSYNC-Zeitperiode überführt werden. Auf gleiche Art und Weise können virtuell jegliche Daten, welche eine HSYNC-Zeitperiode, in welcher ihre Datensignale bedeutungslos sind, in Verbindung mit den lang-

sameren seriellen Daten verwendet werden. Das heißt, dass LCD, Video und dergleichen gemultiplext werden können, wobei während des HSYNC langsamere serielle Daten übertragen werden können. Da Kamera-Daten während des horizontalen Synchronisationssignals (HSYNC) oder des vertikalen Synchronisationssignals (VSYNC) nicht übertragen werden, können Tastenfeld-Daten gesendet werden. In dieser Ausführungsform werden Tastenfeld-Daten innerhalb der HSYNC-Zeitperiode gesendet. Da Tastenfeld-Daten bei „menschlicher“ Geschwindigkeit operieren und der Kamera HSYNC oftmals auftritt, wird das Senden von Tastenfeld-Daten, lediglich während des HSYNC, nicht durch den Benutzer bemerkt.

**[0006]** Wenn kein HSYNC erzeugt wird, wenn die Kamera nicht in Verwendung ist, kann dies erfasst werden, und können Tastenfeld-Daten Parallel-Seriell umgewandelt (engl.: serialized) bzw. seriell erstellt werden und übertragen werden, unter Verwendung eines Oszillators zur Erzeugung von Zeitsignalen.

**[0007]** Es wird durch den Fachmann anerkannt, dass, obwohl die folgende detaillierte Beschreibung mit einer Bezugnahme auf darstellhafte Ausführungsformen, die Zeichnung und Verwendungsverfahren fortsetzen wird, es nicht beabsichtigt ist, dass die vorliegende Erfindung auf diese Ausführungsformen und Verwendungsverfahren beschränkt ist. Vielmehr hat die vorliegende Erfindung einen breiten Umfang und ist sie lediglich wie in den begleitenden Ansprüchen dargelegt definiert.

## KURZE BESCHREIBUNG DER ZEICHNUNG

**[0008]** Die folgende Beschreibung der Erfindung bezieht sich auf die begleitende Zeichnung, bei welcher:

**[0009]** [Fig. 1](#) ein schematisches Blockdiagramm ist, welches eine Ausführungsform der vorliegenden Erfindung darstellt;

**[0010]** [Fig. 2](#) ein schematisches Blockdiagramm von einem Teil eines Haupt-Parallel-Seriell-Umwandlers (engl.: Master Serializer) zum Neben-Seriell-Parallel-Umwandler (engl.: Slave Deserializer) von [Fig. 1](#) ist;

**[0011]** [Fig. 3](#) System-Wellenformenspurten darstellt, wobei Tastenfeld-Daten innerhalb des HSYNC-Synchronisationssignals der Kamera überführt werden.

## GENAUE BESCHREIBUNG VON EINER BEISPIELHAFTEN AUSFÜHRUNGSFORM

**[0012]** [Fig. 1](#) ist ein Schaltplan, welcher den elektronischen Aufbau von einer Tastenfeld-Matrix **10** und

einer Kamera **12**, wie sie in einem Zellulartelefon vorliegen können, darstellt.

**[0013]** Die Tastenfeld-Matrix **10** ist zu drei Spalten und vier Zeilen angeordnet. Es reichen vier Abtastleitungen **14** und drei Abfrageleitungen **16** aus, um eindeutig zu bestimmen, welche Taste gedrückt wurde. Diese Abtast- und Abfrageleitungen sind an den Haupt-Parallel-Seriell-Umwandler **18** gekoppelt.

**[0014]** Die Kamera **12** steht mit dem Haupt-Parallel-Seriell-Umwandler **18** über Verbindungen **21** mit einem Bildelementtakt PIXCLK **20**, einem Stroboskop **22**, acht Parallel-Daten-(1 Byte)-Leitungen **24**, einem HSYNC-(horizontale Synchronisation)-Signal **26** und einem VSYNC-(vertikale Synchronisation)-Signal **28** in Schnittstellen-Verbindung. Die Organisation bzw. das Protokoll, welche diese Signale verwendet, sind bekannt und dem Fachmann verständlich.

**[0015]** Der Haupt-Parallel-Seriell-Umwandler **18** imitiert oder spiegelt die Schnittstelle, welche der Mikroprozessor **40** der Kamera und dem Tastenfeld darstellen würde. Auf diese Art und Weise ist der Haupt-Parallel-Seriell-Umwandler ein virtueller Mikroprozessor für die Kamera und das Tastenfeld. Der Haupt-Parallel-Seriell-Umwandler empfängt parallele Daten von der Kamera **12** und von dem Tastenfeld **10**, und zwar auf die gleiche Art und Weise, wie dies der Mikroprozessor **40** tun würde. Diese Daten werden seriell formatiert und über das flexible Gelenk **30** an den Neben-Seriell-Parallel-Umwandler **32** mit lediglich einem Taktsignal CKSO **34** (vom Neben-Gerät zum Haupt-Gerät), einem Takt CKS **36** (vom Haupt-Gerät zum Neben-Gerät) und Datenleitungen DS **38** gesendet.

**[0016]** Der Neben-Seriell-Parallel-Umwandler **32** imitiert die Kamera und das Tastenfeld derart, dass der Mikroprozessor „annimmt“, dass er direkt mit der Kamera und dem Tastenfeld eine Schnittstelle bildet. Der Neben-Seriell-Parallel-Umwandler ist für den Mikroprozessor eine virtuelle Kamera und ein virtuelles Tastenfeld.

**[0017]** Der Neben-Seriell-Parallel-Umwandler **32** bildet über eine Kamera-Schnittstelle **42** und eine Tastenfeld-Schnittstelle **44** eine Schnittstelle mit dem Mikroprozessor **40**. Die Kamera-Schnittstellen-Verbindungen **46** spiegeln die Kamera-Verbindungen **21** zwischen der Kamera **12** und dem Haupt-Parallel-Seriell-Umwandler **18**. Die Tastenfeld-Schnittstelle zum Basisband-Mikroprozessor aus vier Abtastleitungen und drei Abfrageleitungen **50** spiegelt selber die Verbindungen **14** und **16** zum Tastenfeld.

**[0018]** [Fig. 2](#) stellt die elektronischen Funktionen innerhalb des Haupt-Parallel-Seriell-Umwandlers **18** und des Neben-Seriell-Parallel-Umwandlers **32** in Blockform dar.

**[0019]** Es liegt dort eine Tastenfeld-Erfassungsschaltung **50** vor, welche das Tastenfeld **10** ([Fig. 1](#)) abfragt und erfasst, welche Taste gedrückt wurde, indem ein empfangenes Oszillator-**52**-Signal abgetastet wird. Wie dem Fachmann bekannt, können andere Techniken dazu verwendet werden, um zu erfassen, wann eine Taste gedrückt wird. Ein Steuer- und Daten-Multiplexer **54** verschachtelt Send-/Empfangssignale frühzeitig von beispielsweise dem Tastenfeld und der Kamera. Es ist Vorsicht zu walten, dass die Zeitbeschränkungen auf die Kamera I/O eingehalten werden, während keinerlei Betätigungen auf das Tastenfeld verloren gehen. Die Zeitaufteilung von Übertragungen über den Multiplexer **54** ist dem Fachmann bekannt.

**[0020]** Wenn das Tastenfeld **10** Daten über den Steuer- und Daten-Multiplexer **54** sendet, werden Signale von der Tastenerfassungsschaltung **50** und dem Oszillator **52** zu einem 12-Bit Parallel-Seriell-Umwandler **56** gesendet. Die Tastenfeld-Daten werden parallel-seriell umgewandelt und über die DS **38** zusammen mit einem Taktsignal CKS **36**, welches eine Zeittaktung für den Neben-Seriell-Parallel-Umwandler bereitstellt, um die Tastenfeld-Signale korrekt zu empfangen, gesendet. Die Tastenfeld-Daten können binär, hexadezimal, usw., wie durch den Entwickler bestimmt, formatiert oder enkodiert werden.

**[0021]** Falls die Kamera es benötigt, kann eine Phasenregelkreis-Schaltung PLL **58** zur Unterstützung beitragen, welche der Kamera den Bildelementtakt PIXCLK **20** bereitstellt. Die Datenleitungen **24**, der HSYNC **26**, der VSYNC **28** und das Stroboskop **22** werden direkt an den Steuer- und Daten-Multiplexer **54** gesendet. Der Steuer-Daten-Multiplexer bildet über beispielsweise zwölf parallele Datenleitungen **60**, ein Stroboskop STRB **62** und einen SERCK, nämlich ein serieller Takt **64**, mit dem Parallel-Seriell-Umwandler **56** eine Schnittstelle.

**[0022]** In einem beispielhaften Betrieb, wenn die Kamera einen HSYNC oder VSYNC (horizontale oder vertikale Synchronisation) durchführt, sind die Kameradaten ungültig. Innerhalb dieser Zeiten können die Tastenfeld-Daten überführt werden, ohne dass entweder die Tastenfeld- oder Kamera-Betriebe verfälscht werden. Die vorliegende Erfindung verwendet beispielsweise die HSYNC-Zeitperiode, um die Tastenfeld-Daten und Kamera-Daten zu verschachteln oder zu multiplexen. Die zusammengefassten Daten sind in serieller Form und werden über die DS-Leitung mit dem CKS-Signal in dem flexiblen Kabel gesendet.

**[0023]** Der Neben-Seriell-Parallel-Umwandler **32** empfängt die gemultiplexten Tastenfeld- und Kamera-Daten und wandelt sie seriell-parallel in parallele Daten um und trennt die zwei Daten durch einen Endmultiplexer **72**. Die Tastenfeld-Daten werden, durch

einen Mikroprozessor erkennt, in parallele Weise **74** umgestaltet. Die Parallel-Daten der Kamera werden ebenfalls in parallele Weise, durch den Mikroprozessor **40**, wie in [Fig. 1](#) gezeigt, erkannt, umgestaltet.

**[0024]** In einer Ausführungsform kann ein zusätzlicher Draht in der DS-Gruppe enthalten sein, welcher signalisiert, wann Tastenfeld- oder Kamera-Daten durchlaufen sind. Weitere Verfahren, wie dem Fachmann bekannt, können verwendet werden, beispielsweise kann das erste Byte, welches auf den DS-Leitungen überführt ist, stets ein Modus-Indikator sein, welcher eine vorgegebene Größe von folgenden Kamera-(oder Tastenfeld-)Daten anzeigt. Weitere Techniken sind im Stand der Technik bekannt.

**[0025]** [Fig. 3](#) stellt einen typischen Satz von Kamera- und Tastenfeld-Wellenformen dar, welche die vorliegende Erfindung darstellen. Entlang der Oberseite ist eine TIME-Sequenz angezeigt, welche für eine typische Kamera-CMOS- oder -CCD-Bildvorrichtung aufgefunden werden kann. Die erste Zeile **80** von Datensignalen, jedes in der Größe von einem Byte, im Hexadezimalformat angezeigt, sind beispielhafte Datensignale von der Kamera. Die Gruppierung dieser Signale **81** zeigt eine HSYNC-getreue, horizontale Synchronisation, Zeitperiode an. Die Kamera-Datensignale sind, während HSYNC **82** auf Low ist, durch Bytes F0, F1, F2, F3, F4 und F5 angezeigt. Die Daten auf diesen Leitungen sind mit Bezug auf die Kamera bedeutungslos. Jedoch wird die HSYNC-Zeit in der vorliegenden Erfindung dazu verwendet, um Tastenfeld-Daten über den Haupt-Parallel-Seriell-Umwandler/Seriell-Parallel-Umwandler an den Mikroprozessor zu senden. Es ist zu erwähnen, dass Daten **84** und HSYNC **86** zeitlich versetzt sind, welche später als die Spuren bei **80** und **82** auftreten. Diese Zeitdifferenz stellt die Verzögerungszeiten über die Haupt-Parallel-Seriell-Umwandler-Elektronik dar. Es ist ebenfalls zu erwähnen, dass, innerhalb des HSYNC **86**, die F2- und F3-Daten-Bytes von der Kamera durch die zwei Byte-Gruppen 00 und 04 ersetzt wurden, wie bei Element **92** angezeigt. Die nächste Zeile **88** zeigt die Tastenfeld-Daten auf 12 Bits oder Hexadezimal 004 an. Es werden lediglich 1,5 Bytes durch das Tastenfeld verwendet, so dass die führenden vier Bits auf gleich 0 erstellt werden, so dass Bytes 00 04 an den Seriell-Parallel-Umwandler gesendet werden. In dieser Ausführungsform werden die Tastenfeld-Daten gesendet, welche die F2- und F3-Bytes der Kamera-Daten innerhalb des HSYNC ersetzen, jedoch können jegliche der Daten-Bytes innerhalb des HSYNC verwendet werden, solange sie konsistent sind. Es können ebenfalls Tastenfeld-Daten innerhalb des VSYNC übertragen werden, wie dies dem Fachmann bekannt ist.

**[0026]** Darstellhaft folgt dem Daten-Byte das 04-Tastenfeld-Daten-Byte in die interne Logik im Haupt-Parallel-Seriell-Umwandler.

**[0027]** In bevorzugten Ausführungsformen kann das System in verschiedenen Modi betrieben werden. In einem ersten Modus, nämlich einem Niedriggeschwindigkeits-Tastenfeld, wird die PLL **58** ausgeschaltet und durchläuft der Tasten-Oszillator **52** durch die Tastenfeld-Matrix, wenn eine Taste gedrückt wird, auf Pegeln auf den seriellen Leitungen. Die Tastenfeld-Daten werden unter Verwendung von LVCMOS (Niedrigspannung-CMOS) überführt.

**[0028]** Bei einem zweiten Modus, nämlich einem Hochgeschwindigkeit-Kamera/Tastenfeld, ist die PLL **58** (welche verriegelt wird) eingeschaltet. Die Tastenfeld-Daten werden eingefangen und überführt, wenn das HSYNC-Signal **26** auf Low ist. Kameradaten werden überführt, wenn das HYSYNC **26** auf High ist.

**[0029]** Bei einem dritten Modus, nämlich eine Hochgeschwindigkeits-Kamera, werden keine Kamera-Daten überführt. Jedoch werden Tastenfeld-Daten durch die Steuerung überführt, und stellt ein Tastenfeld-Daten-Multiplexer ein Low Pseudo-HYSYNC-Signal bereit.

**[0030]** Wie dem Fachmann bekannt, können weitere Zeitvorgabe-Anordnungen als auch weitere Multiplex-Anordnungen vorteilhafterweise in Bezug auf die vorliegende Erfindung verwendet werden. Beispielsweise wird in der vorliegenden Beschreibung ein Oszillator dazu verwendet, um das Drücken einer Taste zu erfassen und zu decodieren, jedoch können Logik-Signale verwendet werden, welche Spannungssignale und/oder Stromsignale enthalten. Zusätzlich gibt es viele Mikroprozessoren, welche vorteilhafterweise verwendet werden können. Zusätzlich können sehr große Siliziumschaltungen mit zugewiesenen Funktionen als auch Einzel-Chip-Computer verwendet werden.

**[0031]** In diesem darstellhaften Beispiel ist eine PLL beschrieben, jedoch können Betriebe ohne PLLs verwendet werden, wie dem Fachmann bekannt. Beispielsweise können Quarz-Takte oder Äquivalente in Abhängigkeit von den Kamera-Zeitvorgabe-Anforderungen und weitere Typen von Zeitvorgabe-Schaltungen in einer vorteilhaften Ausführungsform verwendet werden.

**[0032]** Obwohl die Implementierung hier als elektronische Schaltungen angezeigt ist, wird es dem Fachmann verständlich sein, dass weitere elektronische Schaltungen die gleichen Funktionen durchführen können, und dass Systeme, welche eine Software, Firmware und/oder Hardware verwenden, und Kombinationen daraus, in einer vorteilhaften Ausführungsform verwendet werden können, um äquivalente Funktionen zu erzielen.

## Zusammenfassung

**[0033]** System zum Verschachteln von Hochgeschwindigkeits-Daten und Niedriggeschwindigkeits-Daten, welche seriell erstellt sind und einem Mikroprozessor zugeführt werden. Die typische Quelle der Hochgeschwindigkeits-Daten ist eine Kamera und die Quelle der Niedriggeschwindigkeits-Daten ist ein Tastenfeld. Die Hochgeschwindigkeits-Daten und die Niedriggeschwindigkeits-Daten bilden beispielsweise auf parallele Art und Weise eine Schnittstelle mit einem Mikroprozessor. Die vorliegende Erfindung spiegelt die Parallel-Schnittstelle zum Mikroprozessor und spiegelt die Parallel-Schnittstelle zu den Quellen der Hochgeschwindigkeits-Daten (Kamera) und Niedriggeschwindigkeits-Daten (Tastenfeld). Das vorliegende System formatiert parallele Daten von den Quellen und überführt jene Daten auf serielle Art und Weise, typischerweise mit einem Takt, über ein flexibles Kabel, welches zwei Teileinheiten von vielen Zellulartelefonen und anderen tragbaren Vorrichtungen verbindet.

## Patentansprüche

1. System zum Verschachteln von Hochgeschwindigkeits-Daten und Niedriggeschwindigkeits-Daten, wobei das System enthält:

eine erste Schnittstelle, welche parallele Hochgeschwindigkeits-Daten empfängt;  
eine zweite Schnittstelle, welche parallele Niedriggeschwindigkeits-Daten empfängt;  
einen Multiplexer, welcher in einer Zeitabfolge die parallelen Hochgeschwindigkeits- und Niedriggeschwindigkeits-Daten verschachtelt; und  
einen Parallel-Seriell-Umwandler, welcher die verschachtelte Zeitabfolge aus parallelen Daten von dem Multiplexer empfängt und die verschachtelte Abfolge aus parallelen Daten auf die Art und Weise serieller Daten ausgibt.

2. System nach Anspruch 1, bei welchem die Hochgeschwindigkeits-Daten eine erste Zeitperiode bestimmen, innerhalb welcher die Hochgeschwindigkeits-Daten bedeutungslos sind, und wobei der Multiplexer innerhalb der ersten Zeitperiode die Niedriggeschwindigkeits-Daten empfängt.

3. System nach Anspruch 2, bei welchem die erste Zeitperiode eine Horizontal-Synchronisations-Periode, HSYNC, Zeitperiode enthält.

4. System nach Anspruch 1, welches ferner enthält:

ein Kabel, welches mit dem Parallel-Seriell-Umwandler gekoppelt ist, wobei das Kabel die seriell erstellten Daten und einen Takt überträgt;  
einen Seriell-Parallel-Umwandler, welcher mit dem Kabel gekoppelt ist und dazu ausgelegt ist, die seriell erstellten Daten und den Takt zu empfangen und zu-

sammengefasste parallele Daten auszugeben;  
einen Demultiplexer, welcher die zusammengefassten parallelen Daten empfängt und die parallelen Hochgeschwindigkeits-Daten von den Niedriggeschwindigkeits-Daten trennt;  
eine Hochgeschwindigkeits-Daten-Wiederherstellungsschaltung, welche parallele Hochgeschwindigkeits-Daten an einen Mikroprozessor überträgt; und  
eine Niedriggeschwindigkeits-Daten-Wiederherstellungsschaltung, welche parallele Niedriggeschwindigkeits-Daten an den Mikroprozessor überträgt.

5. System nach Anspruch 4, bei welchem die Hochgeschwindigkeits-Daten- und Niedriggeschwindigkeits-Daten-Wiederherstellungsschaltungen die Betriebe und Antworten von Schaltungen, welche die Hochgeschwindigkeits- und Niedriggeschwindigkeits-Daten erzeugen, spiegeln.

6. System nach Anspruch 1, bei welchem die erste und zweite Schnittstelle die Betriebe und Antworten von einem Mikroprozessor spiegeln.

7. System nach Anspruch 1, welches ferner einen Takt enthält, welcher mit den seriell erstellten Daten mitgeführt ist und dazu verwendet werden kann, jedes serielle Daten-Bit zu laden.

8. System nach Anspruch 1, bei welchem die Quelle der Hochgeschwindigkeits-Daten eine Kamera ist und die Quelle der Niedriggeschwindigkeits-Daten ein Tastenfeld oder eine Tastatur ist.

9. Verfahren zum Verschachteln von Kamera- und Tastenfeld-Daten, wobei das Verfahren die Schritte enthält:

Empfangen von Hochgeschwindigkeits-Parallel-Daten;  
Empfangen von Niedriggeschwindigkeits-Parallel-Daten;  
Verschachteln der Hochgeschwindigkeits- und Niedriggeschwindigkeits-Daten zu einer Zeitabfolge;  
Parallel-Seriell-Umwandeln der verschachtelten Zeitabfolge aus parallelen Daten;  
Ausgeben der seriell erstellten, verschachtelten Zeitabfolge aus parallelen Daten auf die Art und Weise von seriellen Daten.

10. Verfahren nach Anspruch 9, bei welchem der Schritt des Verschachtelns den Schritt eines Platzierens der Niedriggeschwindigkeits-Daten in eine erste Zeitperiode enthält, innerhalb welcher die Hochgeschwindigkeits-Daten bedeutungslos sind.

11. Verfahren nach Anspruch 10, bei welchem die erste Zeitperiode eine Horizontal-Synchronisations-Periode HSYNC enthält.

12. Verfahren nach Anspruch 9, welches ferner die Schritte enthält:

Übertragen der verschachtelten, seriell erstellten Daten und eines Taktes über ein Kabel;  
Empfangen und Seriell-Parallel-Umwandeln der seriell erstellten Daten mit dem Takt;  
Ausgeben von parallelen Daten aus dem Seriell-Parallel-Umwandler;  
Trennen der parallelen Daten von dem Seriell-Parallel-Umwandler in die parallelen Hochgeschwindigkeits-Daten und die parallelen Niedriggeschwindigkeits-Daten;  
Überführen der parallelen Hochgeschwindigkeits-Daten an einen Mikroprozessor;  
Überführen der parallelen Niedriggeschwindigkeits-Daten an einen Mikroprozessor.

13. Verfahren nach Anspruch 12, bei welchem der Schritt des Überführens der parallelen Hochgeschwindigkeits- und Niedriggeschwindigkeits-Daten an den Mikroprozessor die Betriebe und Antworten von Schaltungen, welche die Hochgeschwindigkeits- und Niedriggeschwindigkeits-Daten erzeugen, spiegelt.

14. Verfahren nach Anspruch 9, bei welchem der Schritt des Empfangens der parallelen Hochgeschwindigkeits- und Niedriggeschwindigkeits-Daten die Betriebe und Antworten von einem Mikroprozessor spiegelt.

15. Verfahren nach Anspruch 9, welches ferner das Beziehen der Hochgeschwindigkeits-Daten von einer Kamera und das Beziehen der Niedriggeschwindigkeits-Daten von einem Tastenfeld enthält.

16. Verfahren nach Anspruch 10, bei welchem die erste Zeitperiode eine HSYNC-Zeitperiode ist.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

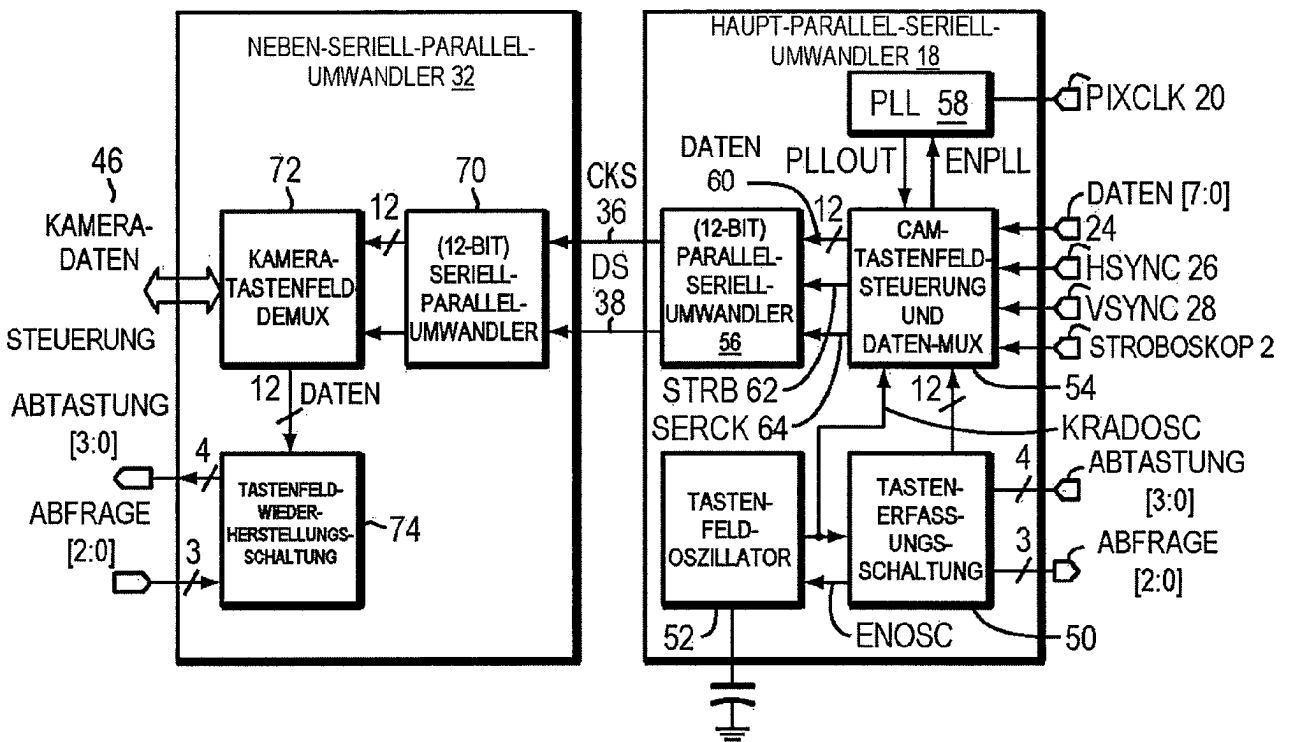
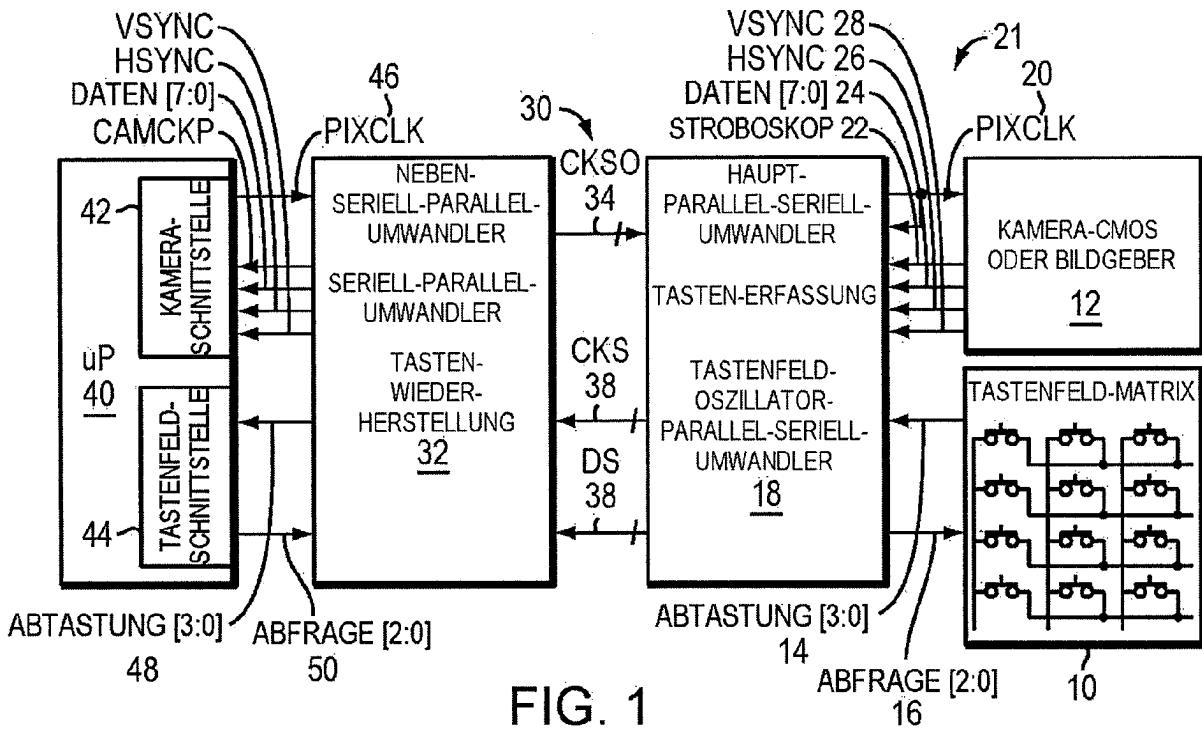


FIG. 2

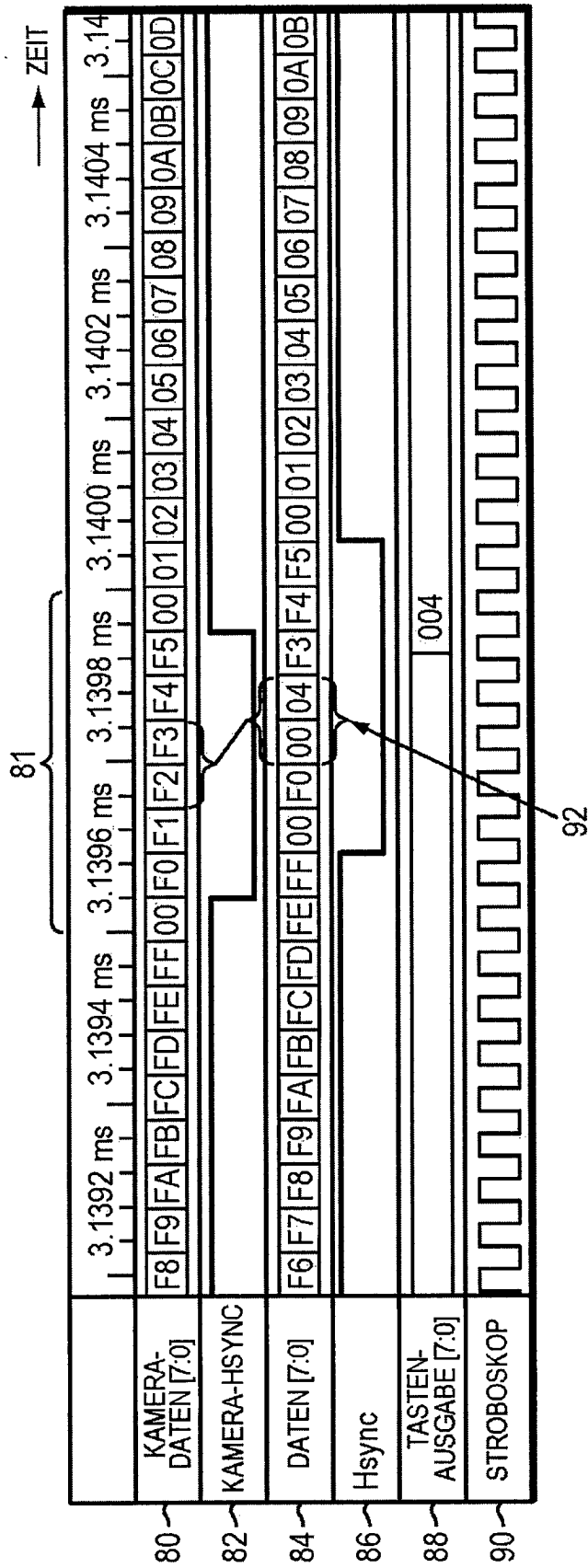


FIG. 3