

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6984688号
(P6984688)

(45) 発行日 令和3年12月22日 (2021. 12. 22)

(24) 登録日 令和3年11月29日 (2021. 11. 29)

(51) Int. Cl.	F I				
HO 1 G 4/40 (2006. 01)	HO 1 G	4/40	A		
HO 1 G 2/06 (2006. 01)	HO 1 G	4/40	3 O 1 A		
HO 1 C 13/00 (2006. 01)	HO 1 G	4/40	3 2 1 A		
HO 1 C 1/142 (2006. 01)	HO 1 G	2/06	5 O O		
HO 1 F 27/00 (2006. 01)	HO 1 C	13/00	C		
請求項の数 12 (全 30 頁) 最終頁に続く					

(21) 出願番号	特願2020-79116 (P2020-79116)	(73) 特許権者	000006231
(22) 出願日	令和2年4月28日 (2020. 4. 28)		株式会社村田製作所
(62) 分割の表示	特願2015-120845 (P2015-120845) の分割		京都府長岡京市東神足1丁目10番1号
原出願日	平成27年6月16日 (2015. 6. 16)	(74) 代理人	110001195 特許業務法人深見特許事務所
(65) 公開番号	特開2020-115589 (P2020-115589A)	(72) 発明者	服部 和生 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(43) 公開日	令和2年7月30日 (2020. 7. 30)	(72) 発明者	藤本 力 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
審査請求日	令和2年4月28日 (2020. 4. 28)	(72) 発明者	黒岩 慎一郎 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
最終頁に続く			

(54) 【発明の名称】 複合電子部品

(57) 【特許請求の範囲】

【請求項1】

1つの基板型の電子素子に1つの電子素子が接合された合計で2つの電子素子からなる複合電子部品であって、

前記1つの基板型の電子素子である第1電子素子と、
高さ方向において前記第1電子素子に実装された、前記1つの電子素子である第2電子素子と、

前記第1電子素子および前記第2電子素子を接合する接合材とを備え、

前記第1電子素子は、前記高さ方向に交差する上面を有する絶縁性の基部と、前記基部の前記上面に設けられた抵抗体と、前記基部の前記上面に設けられた上面導体を有し、

前記第2電子素子は、前記高さ方向において前記基部の前記上面に対向する下面を有するとともに積層された複数の誘電体層および複数の導電体層を含む素子本体と、前記素子本体の前記下面の少なくとも一部に設けられた端子導体を有し、

前記接合材は、前記上面導体の少なくとも一部と前記端子導体の少なくとも一部とを接合し、

前記上面導体が、重量比で最大の金属成分としてAgまたはCuを含有する導電層を含み、

前記導電層の側面の少なくとも一部が、保護金属膜によって覆われ、

前記保護金属膜に含有された重量比で最大の金属成分が、AgおよびCu以外の金属であり、

前記上面導体の大きさが、前記高さ方向に直交する任意の方向のいずれにおいても前記端子導体の大きさよりも小さく、

前記保護金属膜が、前記上面導体に含まれる、前記導電層の上面および前記側面を覆う被覆導電層であり、

前記導電層の前記側面を覆う部分の前記保護金属膜が、前記接合材の一部によってさらに覆われている、複合電子部品。

【請求項 2】

前記保護金属膜が、めっき層である、請求項 1 に記載の複合電子部品。

【請求項 3】

1 つの基板型の電子素子に 1 つの電子素子が接合された合計で 2 つの電子素子からなる複合電子部品であって、

前記 1 つの基板型の電子素子である第 1 電子素子と、

高さ方向において前記第 1 電子素子に実装された、前記 1 つの電子素子である第 2 電子素子と、

前記第 1 電子素子および前記第 2 電子素子を接合する接合材とを備え、

前記第 1 電子素子は、前記高さ方向に交差する上面を有する絶縁性の基部と、前記基部の前記上面に設けられた抵抗体と、前記基部の前記上面に設けられた上面導体とを有し、

前記第 2 電子素子は、前記高さ方向において前記基部の前記上面に対向する下面を有するとともに積層された複数の誘電体層および複数の導電体層を含む素子本体と、前記素子本体の前記下面の少なくとも一部に設けられた端子導体とを有し、

前記接合材は、前記上面導体の少なくとも一部と前記端子導体の少なくとも一部とを接合し、

前記上面導体が、重量比で最大の金属成分として A g または C u を含有する導電層を含み、

前記導電層の側面の少なくとも一部が、前記接合材の一部からなる保護金属膜によって覆われ、

前記保護金属膜に含有された重量比で最大の金属成分が、A g および C u 以外の金属であり、

前記上面導体の大きさが、前記高さ方向に直交する任意の方向のいずれにおいても前記端子導体の大きさよりも小さい、複合電子部品。

【請求項 4】

前記保護金属膜に含有された重量比で最大の金属成分が、S n、N i、A u および P b のうちのいずれかである、請求項 1 から 3 のいずれかに記載の複合電子部品。

【請求項 5】

前記上面導体の厚みが、5 [μ m] 以上である、請求項 1 から 4 のいずれかに記載の複合電子部品。

【請求項 6】

前記上面導体が、前記高さ方向に直交する長さ方向に互いに離隔する第 1 上面導体および第 2 上面導体と、前記第 1 上面導体と前記第 2 上面導体との間に位置する第 3 上面導体とを含み、

前記端子導体が、前記長さ方向に互いに離隔する第 1 端子導体および第 2 端子導体を含み、

前記第 1 端子導体が、前記接合材によって前記第 1 上面導体に接合され、

前記第 2 端子導体が、前記接合材によって前記第 2 上面導体に接合されている、請求項 1 から 5 のいずれかに記載の複合電子部品。

【請求項 7】

前記第 1 上面導体が、前記高さ方向および前記長さ方向に直交する幅方向において前記第 1 端子導体の両端の間に位置し、

前記第 2 上面導体が、前記幅方向において前記第 2 端子導体の両端の間に位置し、

前記第 1 上面導体の前記側面のうち、前記幅方向に直交する側面が、前記保護金属膜で

10

20

30

40

50

覆われ、

前記第 2 上面導体の前記側面のうち、前記幅方向に直交する側面が、前記保護金属膜で覆われている、請求項 6 に記載の複合電子部品。

【請求項 8】

前記基部の前記幅方向における寸法が、前記第 2 電子素子の前記幅方向における寸法よりも大きい、請求項 7 に記載の複合電子部品。

【請求項 9】

前記第 1 上面導体が、前記長さ方向において前記第 1 端子導体の外端と前記第 2 端子導体の外端との間に位置し、

前記第 2 上面導体が、前記長さ方向において前記第 1 端子導体の外端と前記第 2 端子導体の外端との間に位置し、

前記第 1 上面導体の前記側面のうち、前記長さ方向に直交する側面が、前記保護金属膜で覆われ、

前記第 2 上面導体の前記側面のうち、前記長さ方向に直交する側面が、前記保護金属膜で覆われている、請求項 6 から 8 のいずれかに記載の複合電子部品。

【請求項 10】

前記基部の前記長さ方向における寸法が、前記第 2 電子素子の前記長さ方向における寸法よりも大きい、請求項 9 に記載の複合電子部品。

【請求項 11】

前記抵抗体が、前記第 3 上面導体に接続されている、請求項 6 から 10 のいずれかに記載の複合電子部品。

【請求項 12】

前記上面導体が、前記第 1 上面導体と前記第 2 上面導体との間に位置する第 4 上面導体を含み、

前記抵抗体が、前記第 4 上面導体に接続されている、請求項 11 に記載の複合電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の電子素子を備えた複合電子部品に関する。

【背景技術】

【0002】

従来、複数の電子素子を備えた複合電子部品に関して、配線基板に対する電子部品の高集積化の観点から、いくつかの発明が提案されている。

【0003】

たとえば、特開 2001-338838 号公報（特許文献 1）には、コンデンサと抵抗体とからなる複合電子部品が開示されている。この複合電子部品では、チップ型コンデンサのコンデンサ本体の表面に抵抗体が設けられており、その抵抗体と、コンデンサ本体の表面に設けられた一対の外部電極とが接続されている。

【0004】

また、特開平 6-283301 号公報（特許文献 2）には、チップ型抵抗、チップ型サーミスタ、チップ型コンデンサおよびチップ型バリスタ等の群から選ばれた 2 種以上の同形かつ同寸法の直方体形状のチップ型素子が、これらの厚み方向に沿って互いに重ね合わせられ、さらにこれらに設けられた端子電極が一括してリードフレームで覆われることで、一体化された複合電子部品が開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2001-338838 号公報

【特許文献 2】特開平 6-283301 号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明者らは、特願2015-049457において、上述した特許文献1および2に開示されたものよりも、回路設計の自由度をより高めることができる複合電子部品を提案した。この複合電子部品は、絶縁性の基部に受動素子の機能が付加されてなる1つの基板型の電子素子に、他の1つの電子素子が接合された新規な構成の複合電子部品である。

【0007】

当該新規な構成の複合電子部品にあつては、基板型の電子素子の絶縁性の基部の上面が、他の1つの電子素子に対向する面となる。この上面に、接合材を介して他の1つの電子素子が接続される上面導体が設けられる。また、この新規な構成の複合電子部品のある態様では、基板型の電子素子の絶縁性の基部の上面に、前述した上面導体に加えてさらに、この基板型の電子素子に含まれる電気的な機能部に接続される他の上面導体も設けられている。

10

【0008】

これら上面導体は、十分な導電性を得るためにAgまたはCuからなる導電層を含むように構成されることが一般的である。しかしながら、AgおよびCuは、電界が作用することによってその一部がイオン化して別の場所に移動し、その移動後に再び還元されて析出する、いわゆる“イオンマイグレーション”の問題を引き起こし易い導電材料である。

【0009】

そのため、上記の新規な構成の複合電子部品のような上面導体が採用されている一方で、イオンマイグレーションの問題に何らの対策も施されていない場合には、上面導体間の絶縁抵抗が低下するおそれがある。

20

【0010】

したがって、本発明は、上述した問題を解決すべくなされたものであり、接合される複数の電子部品のうちの基板型の電子部品における上面導体同士の絶縁抵抗の低下を抑制することができる複合電子部品を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の局面に基づく複合電子部品は、1つの基板型の電子素子に1つの電子素子が接合された合計で2つの電子素子からなるものであって、上記1つの基板型の電子素子である第1電子素子と、高さ方向において上記第1電子素子に実装された、上記1つの電子素子である第2電子素子と、上記第1電子素子および上記第2電子素子を接合する接合材とを備えている。上記第1電子素子は、上記高さ方向に交差する上面を有する絶縁性の基部と、上記基部の上記上面に設けられた抵抗体と、上記基部の上記上面に設けられた上面導体とを有している。上記第2電子素子は、上記高さ方向において上記基部の上記上面に対向する下面を有するとともに積層された複数の誘電体層および複数の導電体層を含む素子本体と、上記素子本体の上記下面の少なくとも一部に設けられた端子導体とを有している。上記接合材は、上記上面導体の少なくとも一部と上記端子導体の少なくとも一部とを接合している。上記上面導体は、重量比で最大の金属成分としてAgまたはCuを含む導電層を含んでおり、上記導電層の側面の少なくとも一部は、保護金属膜によって覆われている。上記保護金属膜に含有された重量比で最大の金属成分は、AgおよびCu以外の金属である。上記上面導体の大きさは、上記高さ方向に直交する任意の方向のいずれにおいても上記端子導体の大きさよりも小さい。上記保護金属膜は、上記上面導体に含まれる、上記導電層の上面および上記側面を覆う被覆導電層であり、上記導電層の上記側面を覆う部分の上記保護金属膜は、上記接合材の一部によってさらに覆われている。

30

40

【0012】

上記本発明の第1の局面に基づく複合電子部品にあつては、上記保護金属膜が、めっき層であってもよい。

【0013】

50

本発明の第2の局面に基づく複合電子部品は、1つの基板型の電子素子に1つの電子素子が接合された合計で2つの電子素子からなるものであって、上記1つの基板型の電子素子である第1電子素子と、高さ方向において上記第1電子素子に実装された、上記1つの電子素子である第2電子素子と、上記第1電子素子および上記第2電子素子を接合する接合材とを備えている。上記第1電子素子は、上記高さ方向に交差する上面を有する絶縁性の基部と、上記基部の上記上面に設けられた抵抗体と、上記基部の上記上面に設けられた上面導体とを有している。上記第2電子素子は、上記高さ方向において上記基部の上記上面に対向する下面を有するとともに積層された複数の誘電体層および複数の導電体層を含む素子本体と、上記素子本体の上記下面の少なくとも一部に設けられた端子導体とを有している。上記接合材は、上記上面導体の少なくとも一部と上記端子導体の少なくとも一部とを接合している。上記上面導体は、重量比で最大の金属成分としてAgまたはCuを含有する導電層を含んでおり、上記導電層の側面の少なくとも一部は、上記接合材の一部からなる保護金属膜によって覆われている。上記保護金属膜に含有された重量比で最大の金属成分は、AgおよびCu以外の金属である。上記上面導体の大きさは、上記高さ方向に直交する任意の方向のいずれにおいても上記端子導体の大きさよりも小さい。

10

【0014】

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記保護金属膜に含有された重量比で最大の金属成分が、Sn、Ni、AuおよびPbのうちのいずれかであることが好ましい。

【0015】

20

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記上面導体の厚みが、5[μm]以上であることが好ましい。

【0016】

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記上面導体が、上記高さ方向に直交する長さ方向に互いに離隔する第1上面導体および第2上面導体と、上記第1上面導体と上記第2上面導体との間に位置する第3上面導体とを含んでいるとともに、上記端子導体が、上記長さ方向に互いに離隔する第1端子導体および第2端子導体を含んでいてもよい。その場合に、上記第1端子導体が、上記接合材によって上記第1上面導体に接合されているとともに、上記第2端子導体が、上記接合材によって上記第2上面導体に接合されているともよい。

30

【0017】

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記第1上面導体が、上記高さ方向および上記長さ方向に直交する幅方向において上記第1端子導体の両端の間に位置しているとともに、上記第2上面導体が、上記幅方向において上記第2端子導体の両端の間に位置しているともよい。その場合には、上記第1上面導体の上記側面のうち、上記幅方向に直交する側面が、上記保護金属膜で覆われているとともに、上記第2上面導体の上記側面のうち、上記幅方向に直交する側面が、上記保護金属膜で覆われていることが好ましい。

【0018】

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記基部の上記幅方向における寸法が、上記第2電子素子の上記幅方向における寸法よりも大きくてもよい。

40

【0019】

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記第1上面導体が、上記長さ方向において上記第1端子導体の外端と上記第2端子導体の外端との間に位置しているとともに、上記第2上面導体が、上記長さ方向において上記第1端子導体の外端と上記第2端子導体の外端との間に位置しているともよい。その場合には、上記第1上面導体の上記側面のうち、上記長さ方向に直交する側面が、上記保護金属膜で覆われているとともに、上記第2上面導体の上記側面のうち、上記長さ方向に直交する側面が、上記保護金属膜で覆われていることが好ましい。

50

【0020】

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記基部の上記長さ方向における寸法が、上記第2電子素子の上記長さ方向における寸法よりも大きくてもよい。

【0021】

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記抵抗体が、上記第3上面導体に接続されていてもよい。

【0022】

上記本発明の第1および第2の局面に基づく複合電子部品にあつては、上記上面導体が、上記第1上面導体と上記第2上面導体との間に位置する第4上面導体を含んでいてもよく、またその場合に、上記抵抗体が、上記第4上面導体に接続されていてもよい。

10

【発明の効果】

【0025】

本発明によれば、接合される複数の電子部品のうちの基板型の電子部品における上面導体同士の絶縁抵抗の低下を抑制することができる複合電子部品を提供することができる。

【図面の簡単な説明】

【0026】

【図1】本発明の実施の形態1に係る複合電子部品の概略的な斜視図である。

【図2】図1に示される複合電子部品の模式的な断面図である。

【図3】図1に示される抵抗素子の模式的な上面図および下面図である。

20

【図4】図1に示される複合電子部品が分解された模式的な斜視図である。

【図5】図1に示される複合電子部品の模式的な断面図および要部を拡大した模式的な断面図である。

【図6】図1に示される複合電子部品の製造工程を説明するためのフローチャートである。

【図7】図6に示される孔あけ工程を説明するための模式的な平面図である。

【図8】図6に示される導電性ペーストの印刷工程を説明するための模式的な平面図である。

【図9】図6に示される抵抗体ペーストの印刷工程を説明するための模式的な平面図である。

30

【図10】図6に示される保護膜の塗布工程を説明するための模式的な平面図である。

【図11】図6に示されるマザー基板の切断工程を説明するための模式的な平面図である。

【図12】図6に示される接合材の印刷工程およびコンデンサ素子の載置工程を説明するための模式的な平面図である。

【図13】図6に示される接合材の印刷工程およびコンデンサ素子の載置工程を説明するための模式的な側面図である。

【図14】本発明の実施の形態2に係る複合電子部品の要部を拡大した模式的な断面図である。

【図15】図14に示される抵抗素子の製作フローにおける所定の工程を説明するための模式的な断面図である。

40

【図16】本発明の実施の形態3に係る複合電子部品の要部を拡大した模式的な断面図である。

【図17】図16に示される抵抗素子の製作フローにおける所定の工程を説明するための模式的な断面図である。

【図18】本発明の実施の形態4に係る複合電子部品の要部を拡大した模式的な断面図である。

【図19】本発明の実施の形態5に係る複合電子部品の要部を拡大した模式的な断面図である。

【図20】本発明の実施の形態6に係る複合電子部品の要部を拡大した模式的な断面図で

50

ある。

【図 2 1】本発明の実施の形態 7 に係る複合電子部品の模式的な断面図である。

【図 2 2】図 2 1 に示されるインダクタ素子の模式的な上面図、断面図および下面図である。

【発明を実施するための形態】

【0027】

以下、本発明の実施の形態について、図を参照して詳細に説明する。なお、以下に示す実施の形態の記載においては、同一のまたは共通する部分については、本明細書中および図中にて同一の符号を付し、原則としてその説明は繰り返されていない。

【0028】

なお、ここに、本明細書の一部を構成するものとして、本発明者らによる特願 2015-049457 の内容を援用する。

【0029】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 に係る複合電子部品 1 A の概略的な斜視図である。図 2 (A) および図 2 (B) は、図 1 中に示される I I A - I I A 線および I I B - I I B 線に沿って本実施の形態に係る複合電子部品 1 A が切断された場合の模式的な断面図である。図 3 (A) および図 3 (B) は、図 1 に示される抵抗素子 20 A の模式的な上面図および下面図である。図 4 は、図 1 に示される本実施の形態に係る複合電子部品 1 A が分解された模式的な斜視図である。また、図 5 (A) は、図 2 中に示される V A - V A 線に沿って本実施の形態に係る複合電子部品 1 A が切断された場合の模式的な断面図である。図 5 (B) は、図 5 (A) 中に示される領域 V B を拡大した模式的な断面図である。まず、これら図 1 から図 5 を参照して、本実施の形態に係る複合電子部品 1 A の構成について説明する。

【0030】

図 1、図 2、図 4 および図 5 に示されるように、本実施の形態に係る複合電子部品 1 A は、2 つの電子素子を備えている。すなわち、複合電子部品 1 A は、第 1 電子素子としての抵抗素子 20 A と、第 2 電子素子としてのコンデンサ素子 10 とを備えている。

【0031】

コンデンサ素子 10 は、略直方体形状を有し、後述する長さ方向 L に沿った 4 辺の寸法が、後述する幅方向 W に沿った 4 辺の寸法よりも大きい。ここで言う略直方体形状には、コンデンサ素子 10 の角部および稜部に丸み等が設けられたものや、コンデンサ素子 10 の表面に段差や凹凸等が設けられたもの等が含まれる。

【0032】

抵抗素子 20 A は、所定の厚みを有する略平板形状を有し、後述する長さ方向 L に沿った 4 辺の寸法が、後述する幅方向 W に沿った 4 辺の寸法よりも大きい。ここで言う略平板形状には、抵抗素子 20 A の角部および稜部に丸み等が設けられたものや、抵抗素子 20 A の表面に段差や凹凸等が設けられたもの等が含まれる。

【0033】

図 1、図 2 および図 5 に示されるように、コンデンサ素子 10 は、抵抗素子 20 A 上に配置されている。すなわち、コンデンサ素子 10 の下面 11 a と、抵抗素子 20 の上面 21 a とが対向するように、各電子素子が配置されている。そしてコンデンサ素子 10 が、第 1 および第 2 接合材 31、32 を介して抵抗素子 20 A に接合されている。

【0034】

ここで、複合電子部品 1 A の構成を具体的に説明するために、コンデンサ素子 10 と抵抗素子 20 A とが並ぶ方向を高さ方向 H と呼ぶ。そして、この高さ方向 H に直交する方向のうち、後述するコンデンサ素子 10 の第 1 および第 2 外部電極 14 A、14 B が並ぶ方向を長さ方向 L と呼ぶ。また、この高さ方向 H および長さ方向 L のいずれにも直交する方向を幅方向 W と呼ぶ。

【0035】

10

20

30

40

50

図1、図2、図4および図5に示されるように、コンデンサ素子10は、たとえば積層セラミックコンデンサであり、素子本体としてのコンデンサ本体11と、端子導体としての第1および第2外部電極14A、14Bとを有している。なお、本明細書中では、これら第1および第2外部電極14A、14Bを、第1および第2端子導体と呼ぶ場合もある。コンデンサ本体11は、略直方体形状を有しており、その表面の所定の領域に設けられた第1および第2外部電極14A、14Bは、長さ方向Lにおいて、たとえば300[μm]の距離で互いに離隔している。

【0036】

図2および図5に示されるように、コンデンサ本体11は、複数の誘電体層12および複数の内部電極層13からなり、各誘電体層12と各内部電極層13とが交互に積層されて構成されている。本実施の形態に係る複合電子部品1Aでは、複数の誘電体層12および複数の内部電極層13の積層方向が、高さ方向Hと一致している。ただし、これは一例にすぎず、複数の誘電体層12および複数の内部電極層13の積層方向は、幅方向Wに一致していてもよい。

10

【0037】

誘電体層12は、たとえばチタン酸バリウム($BaTiO_3$)、チタン酸カルシウム($CaTiO_3$)、チタン酸ストロンチウム($SrTiO_3$)、またはジルコン酸カルシウム($CaZrO_3$)等を主成分とするセラミック材料を含む材料からなる。また、誘電体層12は、主成分よりも含有量の少ない副成分として、Mn、Mg、Si、Co、Ni、または希土類等を含んでいてもよい。一方、内部電極層13は、たとえばNi、Cu、Ag、Pd、Ag-Pd合金、またはAu等の金属材料を含む材料からなる。

20

【0038】

図5(B)に示されるように、第1および第2外部電極14A、14Bは、いずれも下地導電層14a、被覆導電層14bおよび被覆導電層14cとは異なる被覆導電層14cを含む複数の導電層にて構成されている。図5(B)においては、第1外部電極14Aのみが示されている。下地導電層14aは、たとえばCu、Ni、Ag、Pd、Ag-Pd合金、またはAu等のペーストを焼き付けることで形成される焼結金属層から構成される。たとえば、被覆導電層14bは、めっき層としてのNi層であり、被覆導電層14cは、被覆導電層14bを覆うめっき層としてのSn層である。被覆導電層14b、14cは、これに代えてめっき層としてのCu層やAu層であってもよい。

30

【0039】

本実施の形態においては、下地導電層14aが焼結金属層としてのCu層にて構成されており、被覆導電層14bがめっき層としてのNi層にて構成されており、被覆導電層14cがめっき層としてのSn層にて構成されている。めっき層としてのNi層である被覆導電層14bは、めっき層としてのSn層である被覆導電層14cに覆われている。

【0040】

なお、第1および第2外部電極14A、14Bは、下地導電層14aを省略してめっき層のみによって構成されていてもよい。また、下地導電層14aは、金属成分と樹脂成分とを含む導電性樹脂ペーストを硬化させた導電性の樹脂層で構成されていてもよい。

【0041】

40

図1、図2および図5に示されるように、コンデンサ本体11は、長さ方向Lにおいて相対する一対の端面と、幅方向Wにおいて相対する一対の側面と、高さ方向Hにおいて相対する一対の主面とを有している。このうち、高さ方向Hにおいて相対する一対の主面のうち的一方である下面11aが、抵抗素子20Aに対向している。

【0042】

また、第1外部電極14Aは、コンデンサ本体11の一方の端面と、上記一対の側面および上記一対の主面のそれぞれの一部とに連なって設けられており、第2外部電極14Bは、コンデンサ本体11の他方の端面と、上記一対の側面および上記一対の主面のそれぞれの一部とに連なって設けられている。これにより、コンデンサ本体11の下面11aの所定の領域は、長さ方向Lにおいて互いに離隔する第1および第2外部電極14A、14

50

Bによって覆われており、これら第1および第2外部電極14A、14Bの間においてコンデンサ本体11の下面11aの一部が露出している。

【0043】

図2に示されるように、高さ方向Hに沿って1つの誘電体層12を挟んで隣り合う一对の内部電極層13のうち的一方は、コンデンサ本体11の一对の端面のうち的一方に引き出されて第1および第2外部電極14A、14Bのうち的一方に電氣的に接続されている。そして、他方の内部電極層13は、コンデンサ本体11の一对の端面のうち他方に引き出されて第1および第2外部電極14A、14Bのうち他方に電氣的に接続されている。これにより、第1および第2外部電極14A、14B間は、複数のコンデンサが電氣的に並列に接続された状態とされている。

10

【0044】

上述したコンデンサ素子10は、たとえば、以下の手順で製造される。まず、誘電体層12となるセラミックグリーンシートの表面に内部電極層13となる導電性ペーストが印刷されてなる素材シートを交互に積層して圧着することにより、積層チップが得られる。ここで、複数の積層チップが一体化された積層ブロックを予め準備し、この積層ブロックを切り離して、積層チップを得てもよい。次に、積層チップを焼成することで、コンデンサ本体11が得られる。そしてその後、コンデンサ本体11の表面に第1および第2外部電極14A、14Bが形成されて、上述したコンデンサ素子10が製造される。

【0045】

なお、コンデンサ素子10の大きさは、特に制限されるものではないが、一例としては、その長さ方向Lの寸法が0.62[m]であり、その幅方向Wの寸法が0.32[m]であり、その高さ方向Hの寸法が0.32[m]である。

20

【0046】

図1から図5に示されるように、抵抗素子20Aは、絶縁性の基部21と、抵抗体22と、保護膜23と、第1から第4上面導体24A~24Dと、第1から第4下面導体25A~25Dと、第1から第4接続導体26A~26Dとを有している。第1から第4接続導体26A~26Dがビア導体として基部21の内部に設けられている場合、これらを第1から第4ビア導体26A~26Dと呼んでもよい。

【0047】

基部21は、所定の厚みを有する略平板形状を有しており、たとえばエポキシ樹脂等の樹脂材料やアルミナ等のセラミック材料、あるいはこれらに無機材料または有機材料からなるフィラーや繊維等が添加されたもの等にて構成される。より好ましくは、アルミナ基板や、低温同時焼成セラミック(LTCC)基板を含むセラミック基板が、基部21として利用される。なお、本実施の形態においては、基部21としてLTCC基板が用いられている。

30

【0048】

基部21は、長さ方向Lにおいて相対する一对の側面である第1および第2側面と、幅方向Wにおいて相対する一对の側面である第3および第4側面と、高さ方向Hにおいて相対する一对の主面とを有している。図2、図4および図5に示されるように、一对の主面のうち的一方である上面21aが、コンデンサ素子10に対向しており、一对の主面うち他方である下面21bが、複合電子部品1Aが実装される配線基板(不図示)と対向する面となる。配線基板上において隣に実装される別の電子部品と第2電子素子とが接触することを防止するためには、基部21の長さ方向Lの寸法を第2電子素子の長さ方向Lの寸法よりも大きくすることが好ましく、また、基部21の幅方向Wの寸法を第2電子素子の幅方向Lの寸法よりも大きくすることも好ましい。

40

【0049】

図2および図3に示されるように、抵抗体22は、基部21の上面21aの所定位置に設けられており、高さ方向Hに沿って平面視された場合に、たとえば矩形または円形の膜形状を有している。抵抗体22としては、たとえば金属皮膜、酸化金属皮膜、または酸化金属皮膜とガラスとの混合物であるメタルグレーズ被膜等が利用できる。

50

【0050】

保護膜23は、基部21の上面21a上において抵抗体22の少なくとも一部を覆っており、たとえばガラス材料や樹脂材料等からなる絶縁性の膜で構成されている。ここで、保護膜23は、抵抗体22が露出されることがないように、抵抗体22を完全に覆っていることが好ましい。

【0051】

第1および第2上面導体24A、24Bは、基部21の上面21aに設けられており、矩形の導電層にて構成されている。第1および第2上面導体24A、24Bの長さ方向Lの寸法は、たとえば0.125 [mm]である。第1および第2上面導体24A、24Bは、長さ方向Lにおいて、たとえば0.36 [mm]の距離で互いに離隔しており、基部21の上面21aの長さ方向Lにおける両端部近傍に配置されている。第1上面導体24Aは、第1側面、第3側面および第4側面から所定の間隔、たとえば0.025 [mm]の距離で離れている。また、第2上面導体24Bは、第2側面、第3側面および第4側面から所定の間隔、たとえば0.025 [mm]の距離で離れている。基部21の第1および第2上面導体24A、24Bは、含有する金属成分のうち重量比で最大の金属成分がAgであるAg層、または含有する金属成分のうち重量比で最大の金属成分がCuであるCu層を含んでいる。

10

【0052】

第3および第4上面導体24C、24Dは、基部21の上面21aに設けられており、矩形の導電層にて構成されている。第3および第4上面導体24C、24Dは、長さ方向Lにおいて、第1上面導体24Aが設けられた領域と第2上面導体24Bが設けられた領域との間に位置している。また、第3および第4上面導体24C、24Dは、幅方向Wにおいて互いに離隔しており、基部21の上面21aの幅方向Wにおける両端部近傍に配置されている。ここで、第3および第4上面導体24C、24Dは、長さ方向Lにおいて互いに離隔して配置されていてもよい。

20

【0053】

第3および第4上面導体24C、24Dは、含有する金属成分のうち重量比で最大の金属成分がAgであるAg層、または含有する金属成分のうち重量比で最大の金属成分がCuであるCu層を含んでいる。

【0054】

第1および第2下面導体25A、25Bは、基部21の下面21bに設けられており、矩形の導電層にて構成されている。第1および第2下面導体25A、25Bは、長さ方向Lにおいて互いに離隔しており、基部21の下面21bの長さ方向Lにおける両端部近傍に配置されている。第1下面導体25Aは、基部21を挟んで第1上面導体24Aと相対し、第1側面、第3側面および第4側面から所定の間隔で離れている。また、第2下面導体25Bは、基部21を挟んで第2上面導体24Bと相対し、第2側面、第3側面および第4側面から所定の間隔で離れている。

30

【0055】

第3および第4下面導体25C、25Dは、基部21の下面21bに設けられており、矩形の導電層にて構成されている。第3および第4下面導体25C、25Dは、長さ方向Lにおいて、第1下面導体25Aが設けられた領域と第2下面導体25Bが設けられた領域との間に位置している。また、第3および第4下面導体25C、25Dは、幅方向Wにおいて互いに離隔しており、基部21の下面21bの幅方向Wにおける両端部近傍に配置されている。

40

【0056】

第1および第2接続導体26A、26Bは、基部21を高さ方向Hに沿って貫通する第1および第2ビア導体26A、26Bであり、高さ方向Hに沿って平面視された場合に、略円形状を有している。第1ビア導体26Aは、高さ方向Hに沿って平面視された場合に、第1上面導体24Aおよび第1下面導体25Aに重なっており、第1上面導体24Aと第1下面導体25Aとを接続している。第2ビア導体26Bは、高さ方向Hに沿って平面

50

視された場合に、第2上面導体24Bおよび第2下面導体25Bに重なっており、第2上面導体24Bと第2下面導体25Bとを接続している。

【0057】

第3および第4接続導体26C、26Dは、基部21を高さ方向Hに沿って貫通する第3および第4ビア導体26C、26Dであり、高さ方向Hに沿って平面視された場合に、略円形状を有している。第3ビア導体26Cは、高さ方向Hに沿って平面視された場合に、第3上面導体24Cおよび第3下面導体25Cに重なっており、第3上面導体24Cと第3下面導体25Cとを接続している。第4ビア導体26Dは、高さ方向Hに沿って平面視された場合に、第4上面導体24Dおよび第4下面導体25Dに重なっており、第4上面導体24Dと第4下面導体25Dとを接続している。

10

【0058】

なお、第1から第4接続導体26A～26Dは、基部21の側面に設けられていてもよい。

【0059】

上述した抵抗体22は、長さ方向Lにおいて第1上面導体24Aが設けられた領域と第2上面導体24Bが設けられた領域との間に位置しており、高さ方向Hから平面視された場合に、抵抗体22の幅方向Wにおける一端が第3上面導体24Cの一部と重なっていると同時に、他端が第4上面導体24Dの一部と重なっている。これにより、第3および第4上面導体24C、24Dが、抵抗体22に接続されることになる。

【0060】

抵抗素子20Aとコンデンサ素子10とが物理的に干渉することを防止するためには、抵抗体22の長さ方向Lにおける寸法を、コンデンサ素子10の第1外部電極14Aと第2外部電極14Bとの間隔よりも小さくすることが好ましい。

20

【0061】

また、他の導電性部材との接触を防ぐためには、図示されるように、上述した保護膜23は、抵抗体22のみならず、第3および第4上面導体24C、24Dをも覆うことが好ましい。

【0062】

なお、抵抗素子20Aの大きさは、特に制限されるものではないが、一例としては、その長さ方向Lの寸法が0.66[mm]であり、その幅方向Wの寸法が0.36[mm]であり、その高さ方向Hの寸法が0.14[mm]である。

30

【0063】

なお、抵抗素子20Aは、第4上面導体24Dを含まず、基部の上面に第1から第3上面導体24A～24Cのみを有してもよい。この場合、抵抗体22は、第4上面導体24Dに代えて、第1上面導体24Aまたは第2上面導体24Bに接続される。また、この場合、抵抗素子20Aは、第4下面導体25Dおよび第4ビア導体26Dを含まなくてもよい。

【0064】

図5(B)に示されるように、第1および第2上面導体24A、24Bは、いずれも下地導電層24a、被覆導電層24bおよび被覆導電層24cを含む複数の導電層にて構成されている。図5(B)においては、第1上面導体24Aのみが示されている。ここで、下地導電層24aは、Agペーストを焼き付けることで形成された焼結金属層としてのAg層にて構成されており、被覆導電層24b、24cは、それぞれめっき層としてのNi層およびこれを覆うめっき層としてのAu層にて構成されている。

40

【0065】

一方、第3および第4上面導体24C、24Dは、製造の容易化の観点から、第1および第2上面導体24A、24Bの下地導電層24aと同時に形成されることが好ましい。その場合には、第3および第4上面導体24C、24Dは、Agペーストを焼き付けることで形成された焼結金属層としてのAg層で構成することが好ましい。

【0066】

50

また、第1から第4下面導体25A~25Dは、製造の容易化の観点からは、第1および第2上面導体24A、24Bと同様の方法にて形成することが好ましい。その場合には、図5(B)に示されるように、第1から第4下面導体25A~25Dは、Agペーストを焼き付けることで形成された焼結金属層としてのAg層である下地導電層25aと、めっき層としてのNi層である被覆導電層25bおよびこれを覆うめっき層としてのAu層である被覆導電層25cとからなる複数の導電層にて構成されることになる。図5(B)においては、第1下面導体25Aのみが示されている。

【0067】

さらに、第1から第4ビア導体26A~26Dは、製造の容易化の観点から、第1および第2上面導体24A、24Bの下地導電層24a、ならびに第3および第4上面導体24C、24D、または、第1から第4下面導体25A~25Dの下地導電層25aと同様の方法にて形成することが好ましい。すなわち、第1から第4ビア導体26A~26Dは、Agペーストを焼き付けることで形成された焼結金属層にて構成されることが好ましい。

10

【0068】

ここで、第1から第4上面導体24A~24D、および第1から第4下面導体25A~25Dが、いずれも焼結金属層としてのAg層を含んでいる理由は、上面導体および下面導体における導電性を十分に得るためである。また、第1および第2上面導体24A、24Bならびに第1から第4下面導体25A~25Dの最外部が、いずれも被覆導電層としてのAu層にて構成されている理由は、上面導体および下面導体とこれに接合される接合材との間の電気的および機械的な接続信頼性を十分に得るためである。

20

【0069】

図1、図2および図5に示されるように、コンデンサ素子10と抵抗素子20Aとは、上述した第1および第2接合材31、32を介して接合されている。具体的には、コンデンサ素子10が、高さ方向Hにおいて抵抗素子20Aの上面21a側に配置されて実装されることにより、コンデンサ本体11の下面11aと基部21の上面21aとが、高さ方向Hにおいて対向している。そして、コンデンサ素子10の第1外部電極14Aと抵抗素子20Aの第1上面導体24Aとが第1接合材31を介して接合され、第2外部電極14Bと第2上面導体24Bとが、第2接合材32を介して接合されている。

【0070】

30

第1および第2接合材31、32としては、たとえば半田や導電性接着剤等が利用できるが、特に半田が用いられることが好ましい。一般的な半田として、Snが金属重量比で96.5[%]、Agが金属重量比で3[%]、Cuが金属重量比で0.5[%]含有する半田(Sn-3Ag-0.5Cuの三元系の半田)が用いられる。さらに、複合電子部品1Aの配線基板への実装時において、コンデンサ素子10と抵抗素子20Aとを接合する半田が再溶融することを避けるために、第1および第2接合材31、32としては、いわゆる高温半田が用いられることが好ましい。高温半田には、たとえば、Snを金属の主成分としてBi、Au、Zn、AlまたはSbが添加された半田がある。

【0071】

これにより、第1外部電極14Aは、第1上面導体24Aと第1ビア導体26Aを通じて第1下面導体25Aに電気的に接続される。第2外部電極14Bは、第2上面導体24Bと第2ビア導体26Bを通じて第2下面導体25Bに電気的に接続される。したがって、第1および第2上面導体24A、25Bならびに第1および第2ビア導体26A、26Bは、コンデンサ素子10の中継導体として機能する。第1および第2下面導体25A、25Bは、コンデンサ素子10の配線基板への接続端子として機能する。

40

【0072】

一方、抵抗素子20Aに設けられた抵抗体22は、上述したように抵抗素子20Aの第3および第4上面導体24C、24Dに電気的に接続されている。第3上面導体24Cは、第3ビア導体26Cを通じて第3下面導体25Cに電気的に接続されている。第4上面導体24Dは、第4ビア導体26Dを通じて第4下面導体25Dに電気的に接続されてい

50

る。したがって、第3および第4上面導体24C、24Dならびに第3および第4ビア導体26C、26Dは、抵抗体22の中継導体として機能する。第3および第4下面導体25C、25Dは、抵抗素子20Aの配線基板への接続端子として機能する。

【0073】

ここで、図5(B)に示されるように、本実施の形態に係る複合電子部品1Aでは、上述したように、第1および第2上面導体24A、24Bが、それぞれ下地導電層24aとしてのAg層と被覆導電層24bとしてのNi層および被覆導電層24cとしてのAu層との複数の層にて構成されている。また、下地導電層24aとしてのAg層は、その上面が被覆導電層24b、24cによって覆われていることに加え、その側面(これら側面には、長さ方向Lに交差する一対の側面および幅方向Wに交差する一対の側面が含まれる)も被覆導電層24b、24cによって覆われている。図5(B)においては、第1上面導体24Aの下地導電層24aのうちの、幅方向Wに交差する一対の側面のうちの一方の側面24a1が、被覆導電層24b、24cによって覆われている様子が示されている。

10

【0074】

本実施の形態に係る複合電子部品1Aでは、Ag層からなる下地導電層24aの側面が、AgおよびCuを含まない保護金属膜としての被覆導電層24b、24cによって覆われているため、当該Ag層からなる下地導電層24aが外部に露出しない。そのため、第1および第2上面導体24A、24Bに含まれるAg層に起因したイオンマイグレーションの問題の発生を低減することができ、上面導体同士の絶縁抵抗の低下が抑制される。したがって、本実施の形態に係る複合電子部品1Aは、高い信頼性を有する。

20

【0075】

なお、本実施の形態に係る複合電子部品1Aでは、第3および第4上面導体24C、24Dが、上述した第1および第2上面導体24A、24Bの構成とは異なり、Ag層からなる下地導電層24aのみによって構成されている。これは、第3および第4上面導体24C、24Dが、被覆導電層に代えて、抵抗体22を覆う保護膜23によって覆われているためであり、当該保護膜23によって覆われることでイオンマイグレーションの発生が低減できるためである。しかしながら、保護膜23によってこれら第3および第4上面導体24C、24Dそれぞれの全部または一部を覆わない場合には、上述した第1および第2上面導体24A、24Bと同様に、第3および第4上面導体24C、24DのAg層が、被覆導電層24b、24cで覆われることが好ましい。

30

【0076】

また、本実施の形態に係る複合電子部品1Aにあつては、第1および第2上面導体24A、24BのそれぞれにおけるAg層からなる下地導電層24aの側面を覆う被覆導電層24b、24cが、さらに第1および第2接合材31、32によって覆われている。ここで、当該第1および第2接合材31、32は、上述したようにSn-3Ag-0.5Cuの三元系の半田にて構成されているため、イオンマイグレーションを発生させ易い導電材料であるAgおよびCuを含んでいる。しかしながら、当該第1および第2接合材31、32中に含まれるAgおよびCuは、いずれも非常に微量であるため、Ag層からなる下地導電層24aが露出している場合に比べて発生し得るイオンマイグレーションの程度は大幅に低い。したがって、このように構成した場合にも、高い信頼性を確保することが可能である。

40

【0077】

ここで、第1および第2上面導体24A、24BのそれぞれにおけるAg層からなる下地導電層24aの側面を覆う被覆導電層24b、24cが、さらに第1および第2接合材31、32によって覆われている場合には、抵抗素子20Aに対するコンデンサ素子10の実装時において、いわゆるセルフアライメント効果が得やすくなる。なお、その詳細については、後述する。

【0078】

また、本実施の形態に係る複合電子部品1Aでは、第1から第4下面導体25A~25Dにおいても、上述した第1および第2上面導体24A、24Bに準じた構成が採用され

50

ている。このように構成することにより、これら下面導体同士の絶縁抵抗の低下も抑制することができる。

【0079】

図6は、図1に示される複合電子部品1Aの製造工程を説明するためのフローチャートであり、図7から図13は、図6に示されるフローチャートにおける所定の各工程を説明するための模式的な平面図および模式的な側面図である。以下、これら図6から図13を参照して、本実施の形態に係る複合電子部品1Aの製造工程について説明する。なお、図7から図10は、製造過程の仕掛品をセラミックグリーンシート121の上面121a側から見た模式的な図であり、また、図11および図12は、製造過程の仕掛品を抵抗素子20Aの基部21の上面21a側から見た模式的な図である。また、図13(A)は、製造過程の仕掛品を幅方向Wに沿って見た模式的な図であり、図13(B)は、製造過程の仕掛品を長さ方向Lに沿って見た模式的な図である。

10

【0080】

以下で説明する製造の各工程のうち、抵抗素子20Aの製作工程は、複数の抵抗素子20Aが一体化された集合体を予め準備し、集合体を切り離すことで複数の抵抗素子20Aを一括して製作する場合のものである。なお、抵抗素子20Aの製作フローは、当然にこれに限定されるものではない。集合体は、図10等に示されるマザー基板121'に相当する。

【0081】

図6に示されるように、まず、セラミックグリーンシートが製作される(工程ST1)。具体的には、セラミック粉末、バインダ樹脂および溶媒等が所定の配合比率で混合されることでセラミックスラリーが調製される。このセラミックスラリーがキャリアフィルム上においてダイコーティング、グラビアコーティング、マイクログラビアコーティング、スクリーン印刷、またはスプレーコーティング等によってシート状に塗布されることにより、セラミックグリーンシートが形成される。形成されたセラミックグリーンシートは、抵抗素子20Aの集合体であるマザー基板121'となるものであり、また、抵抗素子20Aの基部21となるものである。

20

【0082】

次に、孔あけ加工が施される(工程ST2)。具体的には、図7に示されるように、セラミックグリーンシート121に複数の貫通孔128が形成される。ここで、当該貫通孔128の形成は、第1から第4ビア導体26A~26Dを形成するための前処理となる。

30

【0083】

図6に戻り、次に、導電性ペーストが印刷される(工程ST3)。具体的には、図8に示されるように、セラミックグリーンシート121の上面121aおよび下面に、導電性ペーストとしてAgペーストがスクリーン印刷法またはグラビア印刷法等によって印刷される。これにより、セラミックグリーンシート121に設けられた貫通孔128が、第1から第4ビア導体26A~26DとなるAgペーストからなる導電パターン126によって埋め込まれるとともに、セラミックグリーンシート121の上面121aに第1から第4上面導体24A~24DとなるAgペーストからなる所定形状の導電パターン124aが形成され、さらに、セラミックグリーンシート121の下面に第1から第4下面導体25A~25DとなるAgペーストからなる所定形状の導電パターンが形成されることになる。

40

【0084】

図6に戻り、次に、焼成が行なわれる(工程ST4)。具体的には、ここまでの仕掛品が所定の温度に加熱され、これによりセラミックグリーンシート121および当該セラミックグリーンシート121上に印刷されたAgペーストからなる導電パターン124aおよび126等の焼結処理が行なわれる。その結果、セラミックグリーンシート121が硬質のマザー基板121'に変化し、導電パターン124aおよび126等が焼結金属層に変化する。これにより、図9等に示されるように、マザー基板121'には、第1および第2上面導体24A、24Bならびに第1から第4下面導体25A~25Dの一部となる

50

下地導電層 2 4 a、2 5 a と、第 3 および第 4 上面導体 2 4 C、2 4 D と、第 1 から第 4 ビア導体 2 6 A ~ 2 6 D とが形成されることになる。

【 0 0 8 5 】

図 6 に戻り、次に、抵抗体ペーストが印刷される（工程 S T 5）。具体的には、図 9 に示されるように、マザー基板 1 2 1 ' の上面 1 2 1 a ' に、抵抗体ペーストがスクリーン印刷法またはグラビア印刷法等を用いて印刷される。これにより、マザー基板 1 2 1 ' の上面 1 2 1 a ' に抵抗体ペーストからなる抵抗体パターン 1 2 2 が形成されることになる。なお、その際、第 3 および第 4 上面導体 2 4 C、2 4 D の一部に当該抵抗体パターン 1 2 2 が重なるように印刷が行なわれる。

【 0 0 8 6 】

図 6 に戻り、次に、抵抗体ペーストが焼き付けられる（工程 S T 6）。具体的には、ここまでの仕掛品が所定の温度に加熱され、これにより、図 1 0 に示されるように、マザー基板 1 2 1 ' 上に印刷された抵抗体ペーストの焼結処理が行われる。その結果、抵抗体パターン 1 2 2 がマザー基板 1 2 1 ' に焼き付けられ、これによりマザー基板 1 2 1 ' には、抵抗体 2 2 が形成されることになる。

【 0 0 8 7 】

図 6 に戻り、次に、抵抗体のトリミングが行なわれる（工程 S T 7）。具体的には、抵抗体 2 2 にレーザー光が照射されてその一部が除去されることにより、当該抵抗体 2 2 の抵抗値の調整が行なわれる。

【 0 0 8 8 】

次に、保護膜が塗布され（工程 S T 8）、次いで保護膜の硬化処理が行なわれる（工程 S T 9）。具体的には、図 1 0 に示されるように、抵抗体 2 2 とこの抵抗体 2 2 に接続された第 3 および第 4 上面導体 2 4 C、2 4 D とを覆うように保護膜 2 3 が塗布される。その後、ここまでの仕掛品が所定の温度に加熱されることにより、当該保護膜 2 3 がマザー基板 1 2 1 ' に付着した状態で硬化することになる。

【 0 0 8 9 】

図 6 に戻り、次に、めっき処理が施される（工程 S T 1 0）。具体的には、ここまでの仕掛品が N i めっき浴および A u めっき浴に順次浸漬されることにより、マザー基板 1 2 1 ' 上において露出する下地導電層 2 4 a、2 5 a のめっき処理が実施される。これにより、当該下地導電層 2 4 a、2 5 a が N i 層である被覆導電層 2 4 b、2 5 b によって覆われ、被覆導電層 2 4 b、2 5 b が A u 層である被覆導電層 2 4 c、2 5 c によって覆われる。これにより、第 1 および第 2 上面導体 2 4 A、2 4 B ならびに第 1 から第 4 下面導体 2 5 A ~ 2 5 D が形成されることになる。なお、その際、下地導電層 2 4 a の側面も、これが N i 層および A u 層である被覆導電層 2 4 b、2 4 c によって覆われる。

【 0 0 9 0 】

次に、マザー基板 1 2 1 ' が切断される（工程 S T 1 1）。具体的には、図 1 1 に示されるように、押し切りやダイシングによってマザー基板 1 2 1 ' が所定の切断ラインに沿って切断されることにより、個々の抵抗素子 2 0 A が切り出される。以上により、抵抗素子 2 0 A の製作が完了する。

【 0 0 9 1 】

そして、図 6 に戻り、接合材が印刷され（工程 S T 1 2）、次いでコンデンサ素子が載置される（工程 S T 1 3）。具体的には、図 1 2 および図 1 3 に示されるように、第 1 および第 2 上面導体 2 4 A、2 4 B を覆うように半田ペーストからなる第 1 および第 2 接合材 3 1、3 2 がそれぞれスクリーン印刷法等によって印刷され、当該第 1 および第 2 接合材 3 1、3 2 上にそれぞれ第 1 および第 2 外部電極 1 4 A、1 4 B が配置されるようにコンデンサ素子 1 0 が載置される。

【 0 0 9 2 】

ここで、図 1 3 (A) に示されるように、長さ方向 L における第 1 および第 2 外部電極 1 4 A、1 4 B の寸法をそれぞれ L e とし、長さ方向 L における第 1 および第 2 上面導体 2 4 A、2 4 B の寸法をそれぞれ L 1 とした場合には、これら L e および L 1 が、L 1 <

10

20

30

40

50

L e の条件を満たしていることが好ましい。つまり、長さ方向 L において、第 1 および第 2 上面導体 2 4 A、2 4 B は、第 1 外部電極 1 4 A の外端および第 2 外部電極 1 4 B の外端の間に位置することが好ましい。すなわち、第 1 上面導体 2 4 A の外端と第 2 外部電極 1 4 B の外端との間の距離は、第 1 外部電極 1 4 A の外端と第 2 外部電極 1 4 B の外端との間の距離よりも小さいことが好ましく、また、第 2 上面導体 2 4 B の外端と第 1 外部電極 1 4 A の外端との間の距離よりも小さいことが好ましい。また、高さ方向 H から平面視されて、第 1 上面導体 2 4 A の長さ方向 L の外端は、第 1 外部電極 1 4 A と重なっていることが好ましく、また、第 2 上面導体 2 4 B の長さ方向 L の外端は、第 2 外部電極 1 4 B と重なっていることが好ましい。

10

【 0 0 9 3 】

なお、長さ方向 L における第 1 外部電極 1 4 A の外端とは、長さ方向 L における第 1 外部電極 1 4 A の両端のうち、第 2 外部電極 1 4 B から遠い方の端を意味する。長さ方向 L における第 2 外部電極 1 4 B の外端とは、長さ方向 L における第 2 外部電極 1 4 B の両端のうち、第 1 外部電極 1 4 A から遠い方の端を意味する。長さ方向 L における第 1 上面導体 2 4 A の外端とは、長さ方向 L における第 1 上面導体 2 4 A の両端のうち、第 2 上面導体 2 4 B から遠い方の端を意味する。長さ方向 L における第 2 上面導体 2 4 B の外端とは、長さ方向 L における第 2 上面導体 2 4 B の両端のうち、第 1 上面導体 2 4 B から遠い方の端を意味する。

【 0 0 9 4 】

また、図 1 3 (B) に示されるように、幅方向 W における第 1 および第 2 外部電極 1 4 A、1 4 B の寸法をそれぞれ W_e とし、幅方向 W における第 1 および第 2 上面導体 2 4 A、2 4 B の寸法をそれぞれ W_l とした場合には、これら W_e および W_l が、 $W_l < W_e$ の条件を満たしていることが好ましい。つまり、幅方向 W において、第 1 上面導体 2 4 A が、第 1 外部電極 1 4 A の両端の間に位置することが好ましく、また、第 2 上面導体 2 4 B が、第 2 外部電極 1 4 B の両端の間に位置することが好ましい。すなわち、幅方向において、第 1 上面導体 2 4 A の一方端と他方端との間の距離 W_l は、第 1 外部電極 1 4 A の一方端と第 1 上面導体 2 4 A の他方端との間の距離よりも小さいことが好ましく、第 2 上面導体 2 4 B の一方端と他方端との間の距離 W_l は、第 2 外部電極 1 4 B の一方端と第 2 上面導体 2 4 B の他方端との間の距離よりも小さいことが好ましい。また、高さ方向 H から平面視されて、第 1 上面導体 2 4 A の幅方向 W の両端は、それぞれ第 1 外部電極 1 4 A と重なっていることが好ましく、また、第 2 上面導体 2 4 B の幅方向 W の両端は、それぞれ第 2 外部電極 1 4 B と重なっていることが好ましい。

20

30

【 0 0 9 5 】

すなわち、高さ方向 H に直交する任意の方向のいずれにおいても、第 1 および第 2 上面導体 2 4 A、2 4 B の大きさが、第 1 および第 2 外部電極 1 4 A、1 4 B の大きさよりも小さいことが好ましい（以下、この好ましい条件を「第 1 条件」と称す）。本実施の形態においては、高さ方向 H から平面視されて、第 1 上面導体 2 4 A の全てが、第 1 外部電極 1 4 A と重なっており、第 2 上面導体 2 4 B の全てが、第 2 外部電極 1 4 B に重なっている。

40

【 0 0 9 6 】

一方、図 1 3 (A) に示されるように、長さ方向 L における第 1 および第 2 接合材 3 1、3 2 の塗布領域の長さをそれぞれ L_s とした場合には、当該 L_s と上記 L_l とが、 $L_l < L_s$ の条件を満たしていることが好ましい。また、図 1 3 (B) に示されるように、幅方向 W における第 1 および第 2 接合材 3 1、3 2 の塗布領域の長さをそれぞれ W_s とした場合には、当該 W_s と上記 W_l とが、 $W_l < W_s$ の条件を満たしていることが好ましい。すなわち、第 1 および第 2 接合材 3 1、3 2 は、それぞれ第 1 および第 2 上面導体 2 4 A、2 4 B からはみ出すように塗布されることが好ましい（以下、この好ましい条件を「第 2 条件」と称す）。

【 0 0 9 7 】

50

条件 1 および / または条件 2 を満たすことにより、後述するリフローの際に、すなわち抵抗素子 20A に対するコンデンサ素子 10 の実装時において、いわゆるセルフアライメント効果が得やすくなる。ここで、セルフアライメント効果とは、半田付けに際して溶融した半田にその表面積が小さくなるような力（すなわち表面張力）が作用することにより、溶融した半田によって支持された実装の対象となる電子素子が移動することでその位置決めが行なわれる効果のことであり、このセルフアライメント効果が得られることで実装時の位置ずれが防止できることになる。

【0098】

ここで、上記第 1 条件を満たすことにより、平面視した状態においてコンデンサ素子 10 よりも第 1 および第 2 上面導体 24A、24B の側面が内側に位置することになる。そして、第 1 および第 2 接合材 31、32 としての半田の溶融時において当該第 1 および第 2 上面導体 24A、24B の側面付近に位置する半田の表面張力が、その上部に位置するコンデンサ素子 10 を内側に向けて引っ張る方向に作用することになる。このコンデンサ素子 10 を内側に向けて引っ張る力は、上記第 1 および第 2 上面導体 24A、24B の側面付近に半田がない場合に比べて非常に大きい。したがって、上記第 2 条件をさらに満たすことにより、上記第 1 および第 2 上面導体 24A、24B の側面付近に半田が位置することになるため、コンデンサ素子 10 を内側に向けて引っ張る力がより強く得られることになり、その結果、セルフアライメント効果がより確実に得られるようになる。

【0099】

なお、上述したセルフアライメント効果は、第 1 および第 2 上面導体 24A、24B の厚み、すなわち、抵抗素子 20A の基部 21 の上面 21a を基準とした第 1 および第 2 上面導体 24A、24B の高さが 5 [μm] 以上である場合に、より確実に得られることとなるため、当該第 1 および第 2 上面導体 24A、24B の厚みは、好ましくは 5 [μm] 以上とされる。

【0100】

図 6 に戻り、次に、リフローが行なわれる（工程 ST14）。具体的には、ここまでの仕掛品がリフロー炉等に投入されることによって半田付けが行なわれ、第 1 および第 2 上面導体 24A、24B と第 1 および第 2 外部電極 14A、14B とがそれぞれ第 1 および第 2 接合材 31、32 によって接合される。これにより、コンデンサ素子 10 が抵抗素子 20A に対して実装されることになり、上述した本実施の形態に係る複合電子部品 1A の製造が完了する。

【0101】

なお、以上において説明した複合電子部品の製造フローは一例に過ぎず、当然に他の製造フローに基づいて本実施の形態に係る複合電子部品 1A を製造することも可能である。

【0102】

（実施の形態 2）

図 14 は、本発明の実施の形態 2 に係る複合電子部品 1B の要部を拡大した模式的な断面図であり、図 15 (A) から図 15 (D) は、図 14 に示される抵抗素子 20B の製作フローにおける所定の各工程を説明するための模式的な断面図である。以下、これら図 14 および図 15 を参照して、本実施の形態に係る複合電子部品 1B の構成ならびにこの複合電子部品 1B に具備された抵抗素子 20B の製作フローについて説明する。

【0103】

図 14 に示されるように、複合電子部品 1B は、実施の形態 1 に係る複合電子部品 1A の抵抗素子 20A とは異なる構成の抵抗素子 20B を備えている。そして、抵抗素子 20B に設けられた第 1 および第 2 上面導体 24A、24B に対する第 1 および第 2 接合材 31、32 の接合位置が、複合電子部品 1A と異なる。

【0104】

具体的には、第 1 および第 2 上面導体 24A、24B は、Ag 層である下地導電層 24a と、Ni 層である被覆導電層 24b およびこれを覆う Au 層である被覆導電層 24c とからなる複数の導電層にて構成されている。Ag 層である下地導電層 24a は、その上面

10

20

30

40

50

が被覆導電層 2 4 b、2 4 c によって覆われているのみではなく、その側面 2 4 a 1 も被覆導電層 2 4 b、2 4 c によって覆われている。図 1 4 においては、第 1 上面導体 2 4 A のみが示されている。

【 0 1 0 5 】

一方で、第 1 および第 2 上面導体 2 4 A、2 4 B のそれぞれにおいて、A g 層である下地導電層 2 4 a の側面 2 4 a 1 を覆う被覆導電層 2 4 b、2 4 c は、第 1 および第 2 接合材 3 1、3 2 によって覆われておらず、下地導電層 2 4 a の上面を覆う被覆導電層 2 4 b、2 4 c のみが、第 1 および第 2 接合材 3 1、3 2 によって覆われている。図 1 4 においては、第 1 上面導体 2 4 A の下地導電層 2 4 a の側面 2 4 a 1 が、被覆導電層 2 4 b、2 4 c によってのみ覆われている様子が示されている。

10

【 0 1 0 6 】

このように構成した場合にも、A g 層である下地導電層 2 4 a の側面 2 4 a 1 が A g および C u を含まない保護金属膜としての被覆導電層 2 4 b、2 4 c によって覆われているため、上述した実施の形態 1 の場合と同様に、上面導体間の絶縁抵抗の低下を抑制できることになる。

【 0 1 0 7 】

また、本実施の形態に係る複合電子部品 1 B にあっては、上述した実施の形態 1 の場合とは異なり、第 1 および第 2 上面導体 2 4 A、2 4 B の大きさが、高さ方向 H に直交する方向において第 1 および第 2 外部電極 1 4 A、1 4 B よりも大きく構成されている。このように構成した場合には、上述したセルフアライメント効果が得られる程度が若干低下することにはなるものの、上面導体同士の絶縁抵抗の低下を効果的に抑制できる点については、上述した実施の形態 1 に比べて遜色ない効果を得ることができる。

20

【 0 1 0 8 】

上記構成の抵抗素子 2 0 B は、たとえば以下の製作フローによって容易に製作することができる。なお、当該抵抗素子 2 0 B の製作フローの説明は、上述した抵抗素子 2 0 A の製作フローの説明に基本的に準じており、以下においては、特に相違点に着目してその説明を行なう。

【 0 1 0 9 】

図 1 5 (A) に示されるように、まず、セラミックグリーンシート 1 2 1 の上面 1 2 1 a および下面 1 2 1 b に A g ペーストからなる所定形状の導電パターン 1 2 4 a、1 2 5 a がそれぞれ印刷された後、仕掛品の焼成が行なわれる。その後、抵抗体ペーストの印刷および焼き付け、トリミング、保護膜の塗布および硬化処理が順次実施される。

30

【 0 1 1 0 】

次に、図 1 5 (B) に示されるように、下地導電層 2 4 a、2 5 a が形成されたマザー基板 1 2 1 ' の所定位置に向けて、上面 1 2 1 a ' 側および下面 1 2 1 b ' 側からマザー基板 1 2 1 ' に達するようにそれぞれレーザー光が照射される。これにより、マザー基板 1 2 1 ' の上面 1 2 1 a ' 側および下面 1 2 1 b ' 側のそれぞれに断面が略 V 字状の溝部 1 2 9 a が形成されることになり、下地導電層 2 4 a、2 5 a が溝部 1 2 9 a によって分断されることになる。

【 0 1 1 1 】

次に、図 1 5 (C) に示されるように、溝部 1 2 9 a が形成されたマザー基板 1 2 1 ' 対して図中に示される矢印 A R 方向に沿って力が加えられることにより、マザー基板 1 2 1 ' の切断が行なわれる。これにより、マザー基板 1 2 1 ' は、個片化されることになる。

40

【 0 1 1 2 】

次に、図 1 5 (D) に示されるように、切り出された個々の仕掛品に対してめっき処理が施され、下地導電層 2 4 a を覆うようにめっき層としての N i 層である被覆導電層 2 4 b およびめっき層としての A u 層である被覆導電層 2 4 c が形成され、下地導電層 2 5 a を覆うようにめっき層としての N i 層である被覆導電層 2 5 b およびめっき層としての A u 層である被覆導電層 2 5 c が形成される。これにより、下地導電層 2 4 a の側面 2 4 a

50

1が被覆導電層24b、24cによって覆われてなる第1および第2上面導体24A、24Bが形成されることになる。以上により、抵抗素子20Bの製作が完了する。

【0113】

なお、マザー基板121'に溝部129aを形成した後であって、マザー基板121'を切断して個片化する前に、下地導電層24a、24bにめっき層を形成しても、同じ構成の抵抗素子20Bが得られる。

【0114】

(実施の形態3)

図16は、本発明の実施の形態3に係る複合電子部品1Cの要部を拡大した模式的な断面図であり、図17(A)から図17(D)は、図16に示される抵抗素子20Cの製作フローにおける所定の各工程を説明するための模式的な断面図である。以下、これら図16および図17を参照して、本実施の形態に係る複合電子部品1Cの構成ならびにこの複合電子部品1Cに具備された抵抗素子20Cの製作フローについて説明する。

10

【0115】

図16に示されるように、複合電子部品1Cは、実施の形態1に係る複合電子部品1Aの抵抗素子20CAは異なる構成の抵抗素子20Cを備えている。

【0116】

具体的には、第1および第2上面導体24A、24Bは、Ag層である下地導電層24aと、Ni層である被覆導電層24bおよびこれを覆うAu層である被覆導電層24cとからなる複数の導電層にて構成されている。Ag層である下地導電層24aは、その上面のみが被覆導電層24b、24cによって覆われており、その側面24a1は、被覆導電層24b、24cによって覆われていない。図16においては、第1上面導体24Aのみが示されている。

20

【0117】

一方で、第1および第2上面導体24A、24Bのそれぞれにおいて、Ag層である下地導電層24aの側面24a1は、第1および第2接合材31、32によって覆われている。図16においては、第1上面導体24Aの下地導電層24aの側面24a1が、第1接合材31によって覆われている様子が示されている。下地導電層24aの側面24a1は、高さ方向Hから見て、第1外部電極14Aと重なり、また、高さ方向Hに対して傾斜している。このため、第1および第2上面導体24A、24Bの下地導電層24aの側面24a1は、それぞれ第1および第2接合材31、32によって覆われやすい。

30

【0118】

なお、抵抗素子20Aの大きさは、特に制限されるものではないが、一例としては、その長さ方向Lの寸法が0.60[mm]であり、その幅方向Wの寸法が0.30[mm]であり、その高さ方向Hの寸法が0.14[mm]である。

【0119】

このように構成した場合にも、第1および第2上面導体24A、24Bの下地導電層24aの側面24a1が、それぞれAgおよびCuを殆ど含まない保護金属膜としての第1および第2接合材31、32によって覆われているため、上述した実施の形態1の場合と同様に、上面導体間の絶縁抵抗の低下を抑制できることになる。

40

【0120】

上記構成の抵抗素子20Cは、たとえば以下の製作フローによって容易に製作することができる。なお、当該抵抗素子20Cの製作フローの説明は、上述した抵抗素子20Aの製作フローの説明に基本的に準じており、以下においては、特に相違点に着目してその説明を行なう。

【0121】

図17(A)に示されるように、まず、セラミックグリーンシート121の上面121aおよび下面121bにAgペーストからなる所定形状の導電パターン124a、125aがそれぞれ印刷された後、仕掛品の焼成が行なわれる。その後、抵抗ペーストの印刷および焼き付け、トリミング、保護膜の塗布および硬化処理が順次実施される。

50

【0122】

次に、図17(B)に示されるように、ここまでの仕掛品に対してめっき処理が施され、下地導電層24aを覆うようにめっき層としてのNi層である被覆導電層24bおよびめっき層としてのAu層である被覆導電層24cが形成され、下地導電層25aを覆うようにめっき層としてのNi層である被覆導電層25bおよびめっき層としてのAu層である被覆導電層25cが形成される。

【0123】

次に、図17(C)に示されるように、下地導電層24a、25aならびに被覆導電層24b、24c、25b、25cが形成されたマザー基板121'の所定位置に向けて、上面121a'側および下面121b'側からマザー基板121'に達するようにそれぞれレーザー光が照射される。これにより、マザー基板121'の上面121a'側および下面121b'側のそれぞれに断面が略V字状の溝部129bが形成されることになり、下地導電層24a、25aならびに被覆導電層24b、24c、25b、25cが溝部129bによって分断されることになる。

10

【0124】

次に、図17(D)に示されるように、溝部129bが形成されたマザー基板121'に対して図中に示される矢印AR方向に沿って力が加えられることにより、マザー基板121'の切断が行なわれる。これにより、マザー基板121'は、個片化されることになり、下地導電層24aの側面24a1が被覆導電層24b、24cによって覆われずに露出してなる第1および第2上面導体24A、24Bが形成されることになる。以上により、抵抗素子20Cの製作が完了する。

20

【0125】

(実施の形態4)

図18は、本発明の実施の形態4に係る複合電子部品1Dの要部を拡大した模式的な断面図である。以下、この図18を参照して、本実施の形態に係る複合電子部品1Dについて説明する。

【0126】

図18に示されるように、複合電子部品1Dは、上述した実施の形態1に係る複合電子部品1Aの抵抗素子20Aとは異なる第1および第2上面導体24A、24Bの構成を有する抵抗素子20Dを備えている。そして、抵抗素子20Dの第1および第2上面導体24A、24Bを構成する導電層の材料が、複合電子部品1Aと異なる。

30

【0127】

具体的には、第1および第2上面導体24A、24Bは、Cu層である下地導電層24aと、Sn層である被覆導電層24bとからなる複数の導電層にて構成されている。図18においては、第1上面導体24Aのみが示されている。Cu層である下地導電層24aは、たとえばCuペーストを焼き付けることで形成された焼結金属層にて構成され、Sn層である被覆導電層24bは、たとえばめっき層にて構成される。なお、Sn層である被覆導電層24bは、第1および第2接合材31、32として半田を用いた場合に、第1および第2接合材31、32中に拡散することでこれと一体化する。

40

【0128】

その結果、コンデンサ素子10の抵抗素子20Dへの実装後においては、第1および第2上面導体24A、24BのCu層である下地導電層24aは、それぞれ、その上面が第1および第2接合材31、32によって覆われているのみではなく、その側面24a1も第1および第2接合材31、32によって覆われている。図18においては、第1上面導体24Aの下地導電層24aの側面24a1が、第1接合材31によって覆われている様子が示されている。

【0129】

このように構成した場合にも、Cu層である下地導電層24aの側面24a1がAgおよびCuを殆ど含まない保護金属膜としての第1および第2接合材31、32によって覆われているため、上述した実施の形態1の場合と同様に、上面導体間の絶縁抵抗の低下を

50

抑制できることになる。

【0130】

(実施の形態5)

図19は、本発明の実施の形態5に係る複合電子部品1Eの要部を拡大した模式的な断面図である。以下、この図19を参照して、本実施の形態に係る複合電子部品1Eについて説明する。

【0131】

図19に示されるように、複合電子部品1Eは、上述した実施の形態2に係る複合電子部品1Bの抵抗素子20Bとは異なる第1および第2上面導体24A、24Bの構成を有する抵抗素子20Eを備えている。そして、抵抗素子20Eの第1および第2上面導体24A、24Bを構成する導電層の材料が、複合電子部品1Bと異なり、上述した実施の形態4に係る複合電子部品1Dと同様である。

10

【0132】

具体的には、第1および第2上面導体24A、24Bは、Cu層である下地導電層24aと、Sn層である被覆導電層24bとからなる複数の導電層にて構成されている。図19においては、第1上面導体24Aのみが示されている。なお、Sn層である被覆導電層24bの一部は、第1および第2接合材31、32として半田を用いた場合に、第1および第2接合材31、32中に拡散することでこれと一体化する。

【0133】

その結果、コンデンサ素子10の抵抗素子20Eへの実装後においては、第1および第2上面導体24A、24BのCu層である下地導電層24aは、その上面が第1および第2接合材31、32によって覆われているのみではなく、その側面24a1が被覆導電層24bによって覆われることになる。図19においては、第1上面導体24Aの下地導電層24aの側面24a1が、被覆導電層24bによって覆われている様子が示されている。

20

【0134】

このように構成した場合にも、Cu層である下地導電層24aの側面24a1がAgおよびCuを含まない保護金属膜としての被覆導電層24bによって覆われているため、上述した実施の形態2の場合と同様に、上面導体間の絶縁抵抗の低下を抑制できることになる。

30

【0135】

(実施の形態6)

図20は、本発明の実施の形態6に係る複合電子部品1Fの要部を拡大した模式的な断面図である。以下、この図20を参照して、本実施の形態に係る複合電子部品1Fについて説明する。

【0136】

図20に示されるように、複合電子部品1Fは、上述した実施の形態3に係る複合電子部品1Cの抵抗素子20Cとは異なる第1および第2上面導体24A、24Bの構成を有する抵抗素子20Fを備えている。そして、抵抗素子20Fの第1および第2上面導体24A、24Bを構成する導電層の材料が、複合電子部品1Cと異なり、上述した実施の形態4に係る複合電子部品1Dと同様である。

40

【0137】

具体的には、第1および第2上面導体24A、24Bは、Cu層である下地導電層24aと、Sn層である被覆導電層24bとからなる複数の導電層にて構成されている。図20においては、第1上面導体24Aのみが示されている。なお、Sn層である被覆導電層24bは、第1および第2接合材31、32として半田を用いた場合に、第1および第2接合材31、32中に拡散することでこれと一体化する。

【0138】

その結果、コンデンサ素子10の抵抗素子20Fへの実装後においては、第1および第2上面導体24A、24BのCu層である下地導電層24aは、それぞれ、その上面が第

50

1 および第2接合材31、32によって覆われているのみではなく、その側面24a1も第1および第2接合材31、32によって覆われている。図20においては、第1上面導体24Aの下地導電層24aの側面24a1が、第1接合材31によって覆われている様子が示されている。

【0139】

さらに、実施の形態3と同様、下地導電層24aの側面24a1は、高さ方向Hから見て、第1外部電極14Aと重なり、また、高さ方向Hに対して傾斜している。このため、第1および第2上面導体24A、24Bの下地導電層24aの側面24a1は、それぞれ第1および第2接合材31、32によって覆われやすい。

【0140】

このように構成した場合にも、Cu層である下地導電層24aの側面24a1がAgおよびCuを殆ど含まない保護金属膜としての第1および第2接合材31、32によって覆われているため、上述した実施の形態3の場合と同様に、上面導体間の絶縁抵抗の低下を抑制できることになる。

【0141】

(実施の形態7)

図21(A)および図21(B)は、本発明の実施の形態7に係る複合電子部品1Gの模式的な断面図であり、図22(A)から図22(C)は、図21に示されるインダクタ素子の模式的な上面図、断面図および下面図である。なお、図21(B)は、図21(A)中に示されるXXIB-XXIB線に沿って本実施の形態に係る複合電子部品1Gが切断された場合の模式的な断面図であり、図22(B)は、図21(A)中に示されるXXIIB-XXIIB線に沿って本実施の形態に係る複合電子部品1Gが切断された場合の模式的な断面図である。以下、これら図21および図22を参照して、本実施の形態に係る複合電子部品1Gについて説明する。

【0142】

図21に示されるように、複合電子部品1Aは、上述した実施の形態1に係る複合電子部品1Aと比較した場合に、基板型の電子素子である第1電子素子が、抵抗素子ではなくインダクタ素子20Gである点において相違している。

【0143】

図21および図22に示されるように、インダクタ素子20Gは、絶縁性の基部21と、インダクタ配線28と、第1および第2上面導体24A、24Bと、第1から第4下面導体25A~25Dと、第1から第4ビア導体26A~26Dとを有している。

【0144】

インダクタ配線28は、基部21の内部に埋め込み配線として形成されており、高さ方向Hから平面視された場合に、渦巻き状の形状を有している。インダクタ配線28の外周側端部は、第3ビア導体26Cに接続されており、内周側端部は、第4ビア導体26Dに接続されている。また、第3および第4ビア導体26C、26Dは、いずれもインダクタ配線28から基部21の下面21b側に向けて延びており、基部21の下面21bに設けられた第3および第4下面導体25C、25Dにそれぞれ接続されている。なお、インダクタ配線28は、高さ方向Hに積層された複数のインダクタ配線層を含んでもよい。

【0145】

なお、第1および第2上面導体24A、24B、第1および第2下面導体25A、25Bならびに第1および第2ビア導体26A、26Bの構成は、上述した実施の形態1と同様であり、特に、第1および第2上面導体24A、24Bを構成する導電層の材料および当該第1および第2上面導体24A、24Bと第1および第2接合材31、32の接合構造も、上述した実施の形態1と同様である。

【0146】

したがって、このように構成した場合にも、上述した実施の形態1の場合と同様に、上面導体同士に電気的な短絡が発生することが効果的に抑制できることになる。

【0147】

10

20

30

40

50

上述した本発明の実施の形態 1 から 7 においては、第 1 および第 2 上面導体の側面の全周囲にわたって下地導電層が保護金属膜によって覆われている場合を例示して説明を行なったが、当該側面の全周囲が必ずしも保護金属膜によって覆われている必要はなく、一部のみが保護金属膜によって覆われていてもよい。このように構成した場合にも、上面導体間の絶縁抵抗の低下を抑制できる。

【0148】

また、本発明の実施の形態 1 から 7 においては、基板型の電子素子である第 1 電子素子の基部として L T C C 基板を利用した場合を例示して説明を行なったが、その場合には、上述したように、第 1 および第 2 上面導体が、下地導電層である A g 層と、被覆導電層である N i 層および被覆導電層である A u 層とからなる複数の導電層にて構成されているか、あるいは、下地導電層である C u 層と、被覆導電層である S n 層とからなる複数の導電層にて構成されているか、のいずれかとされていることが好ましい。しかしながら、当然にこれに限定されるものではなく、第 1 および第 2 上面導体を、下地導電層である A g 層と、被覆導電層である N i 層および被覆導電層である S n 層とからなる複数の導電層等にて構成してもよい。

10

【0149】

また、基板型の電子素子である第 1 電子素子の基部としてガラスエポキシ基板を用いる場合や、アルミナ基板を用いる場合、シリコン基板を用いる場合等においては、第 1 および第 2 上面導体を、下地導電層である C u 層と、被覆導電層である S n 層とからなる複数の導電層にて構成することが好ましい。

20

【0150】

さらに、これら導電層は、上述した焼結金属層やめっき層に限られるものではなく、蒸着法によって形成された金属蒸着層やスパッタ法によって形成されたスパッタ層等であってもよい。

【0151】

いずれにしても、下地導電層として十分な導電性を考慮して A g 層または C u 層を利用する場合においては、接合材との間の電気的および機械的な接続信頼性を考慮した上での被覆導電層の材料の選定ならびに接合材の材料の選定が行なわれることが好ましく、その場合に、当該下地導電層の側面を保護導電層（被覆導電層あるいは接合材）にて覆うとともに、当該保護金属膜に含有された重量比で最大の金属成分を、A g および C u 以外とすればよい。この場合、保護金属膜に含有された重量比で最大の金属成分は、S n、N i、A u および P b のいずれかとされることが好ましい。

30

【0152】

保護金属膜や導電層に含有される重量比で最大の金属成分の特定には、公知の分析方法を用いることができ、たとえば、走査型電子顕微鏡（S E M）に付帯された波長分散型 X 線分析装置（W D X）による元素分析などを用いることができる。

【0153】

また、上述した本発明の実施の形態 1 から 7 においては、コンデンサ素子のコンデンサ本体を構成する誘電体層および内部電極層の積層方向を複合電子部品の高さ方向と合致するように構成した場合を例示して説明を行なったが、当該積層方向は、複合電子部品の幅方向に合致するように構成することも当然に可能である。

40

【0154】

また、上述した本発明の実施の形態 1 から 7 においては、複合電子部品に組み込むコンデンサ素子として、積層セラミックコンデンサを用いた場合を例示して説明を行なったが、積層セラミックコンデンサに代えて他の種類のコンデンサ素子を複合電子部品に組み込むこととしてもよい。

【0155】

また、上述した本発明の実施の形態 1 から 7 においては、基板型の第 1 電子素子として抵抗素子またはインダクタ素子を例示して説明を行なったが、基板型の第 1 電子素子は、サーミスタ素子、圧電素子等、他の電子素子であってもよい。また、基板型の第 1 電子素

50

子に実装される第2電子素子としても、上述したコンデンサ素子以外の電子素子であってもよい。

【0156】

さらには、上述した本発明の実施の形態1から7において示した特徴的な構成は、本発明の趣旨を逸脱しない限りにおいて、当然に相互にその組み合わせが可能である。

【0157】

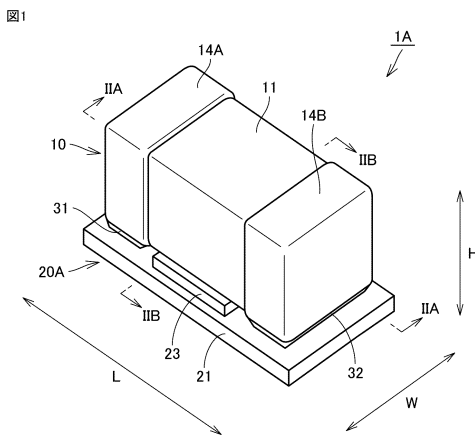
このように、今回開示した上記実施の形態はすべての点で例示であって、制限的なものではない。本発明の技術的範囲は特許請求の範囲によって画定され、また特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

【符号の説明】

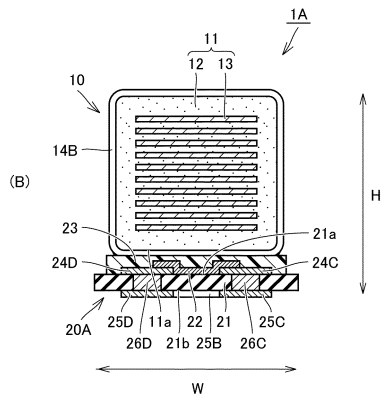
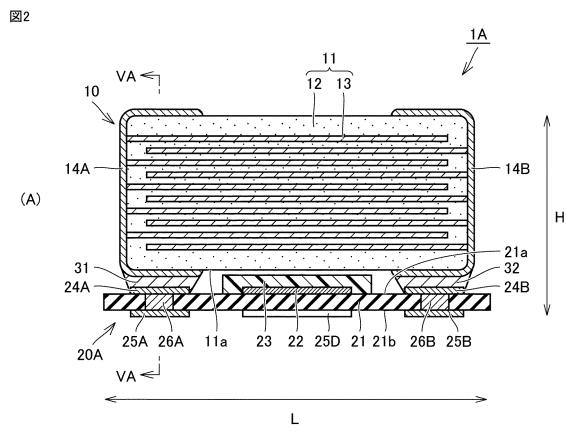
【0158】

1A~1G 複合電子部品、10 コンデンサ素子、11 コンデンサ本体、11a 下面、12 誘電体層、13 内部電極層、14A 第1外部電極、14B 第2外部電極、14a 下地導電層、14b, 14c 被覆導電層、20A~20F 抵抗素子、20G インダクタ素子、21 基部、21a 上面、21b 下面、22 抵抗体、23 保護膜、24A 第1上面導体、24B 第2上面導体、24C 第3上面導体、24D 第4上面導体、24a 下地導電層、24a1 側面、24b, 24c 被覆導電層、25A 第1下面導体、25B 第2下面導体、25C 第3下面導体、25D 第4下面導体、25a 下地導電層、25b, 25c 被覆導電層、26A 第1接続導体(第1ビア導体)、26B 第2接続導体(第2ビア導体)、26C 第3接続導体(第3ビア導体)、26D 第4接続導体(第4ビア導体)、28 インダクタ配線、31 第1接合材、32 第2接合材、121 セラミックグリーンシート、121a 上面、121b 下面、121' マザー基板、121a' 上面、121b' 下面、122 抵抗体パターン、124a, 125a, 126 導電パターン、128 貫通孔、129a, 129b 溝部。

【図1】



【図2】

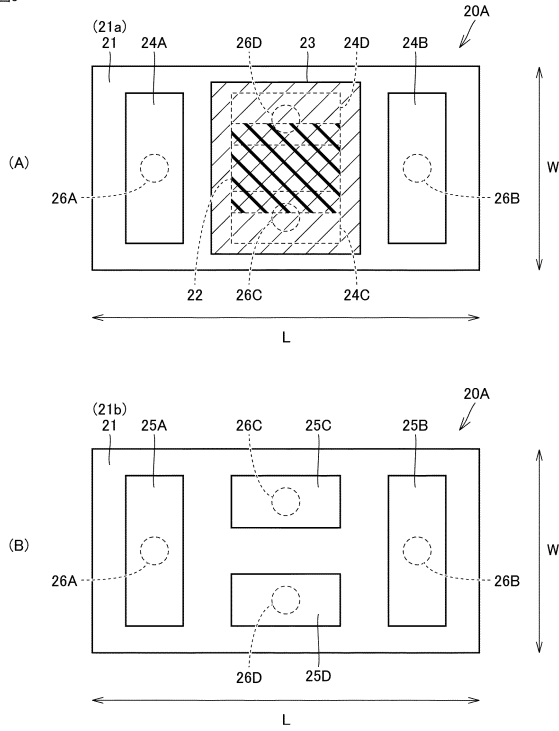


10

20

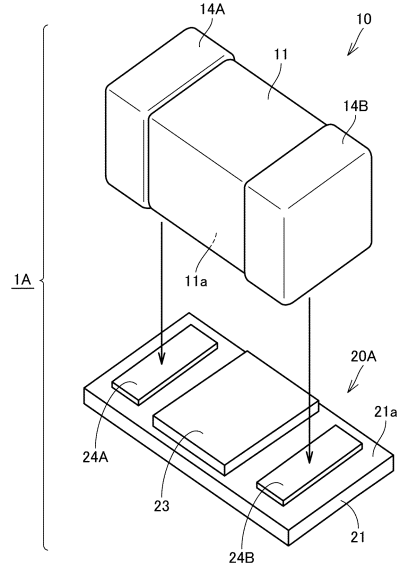
【図3】

図3



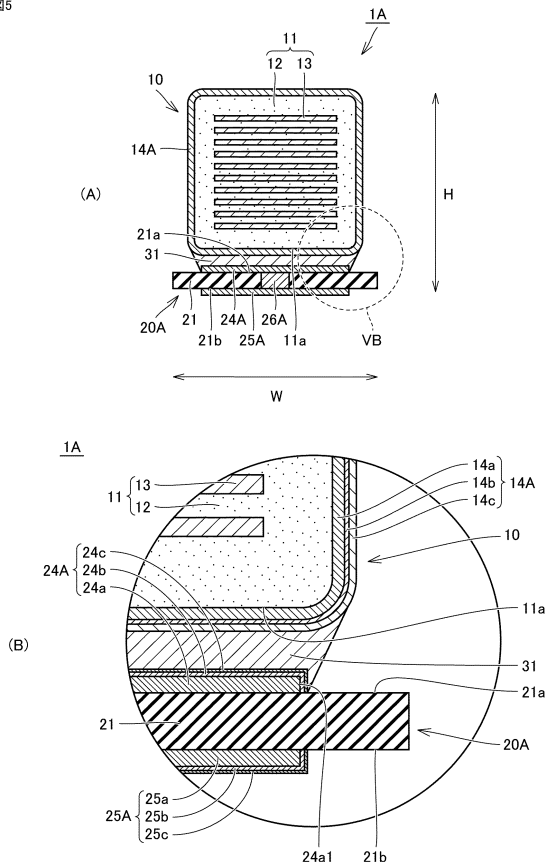
【図4】

図4



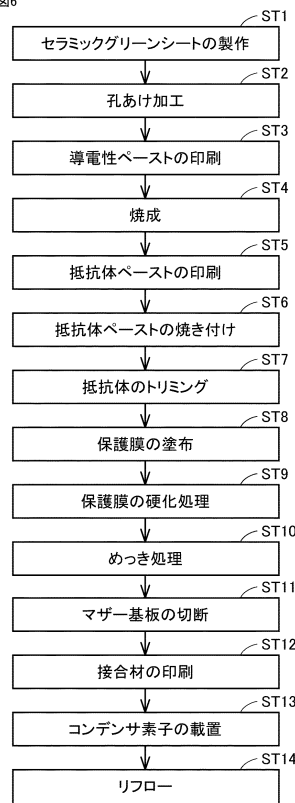
【図5】

図5



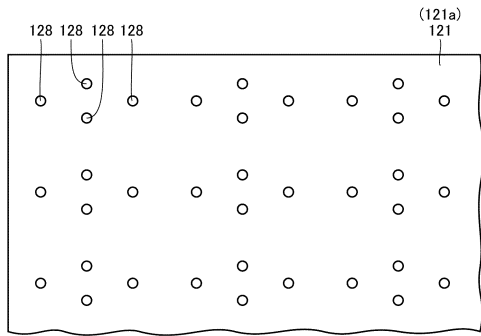
【図6】

図6



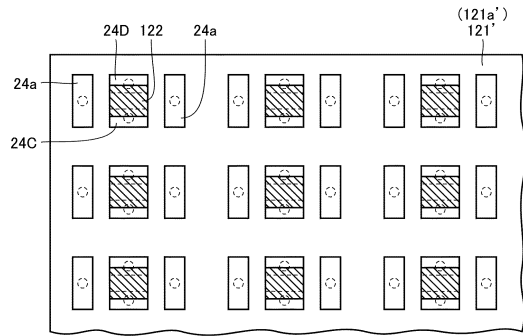
【 図 7 】

図7



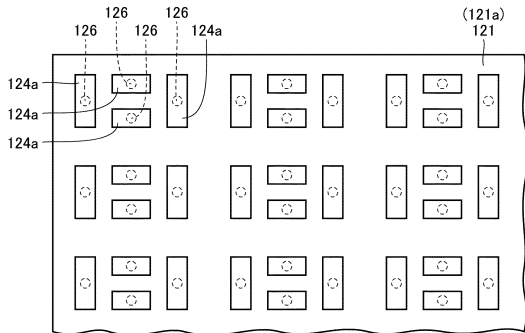
【 図 9 】

図9



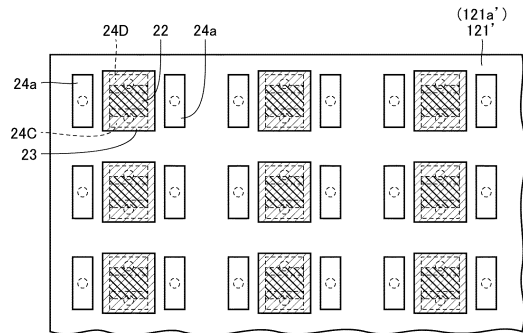
【 図 8 】

図8



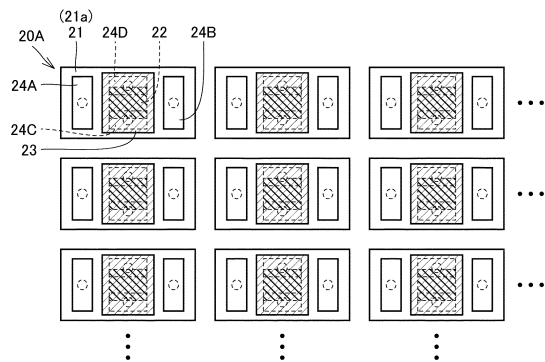
【 図 10 】

図10



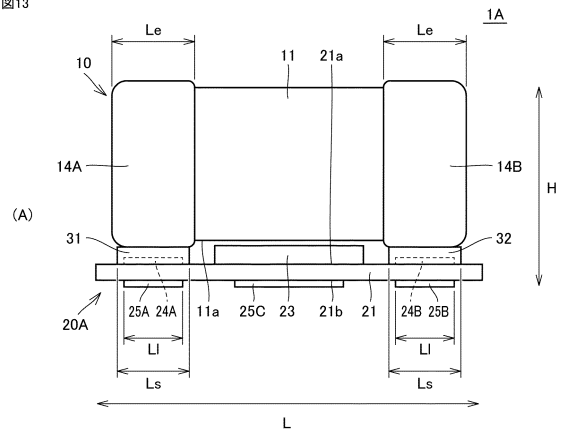
【 図 11 】

図11



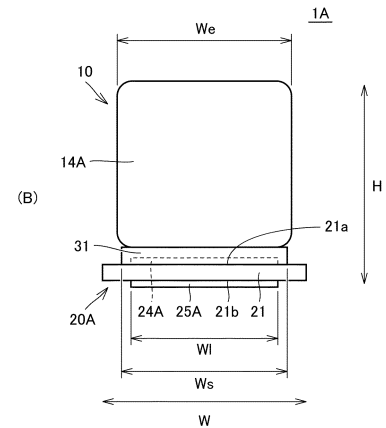
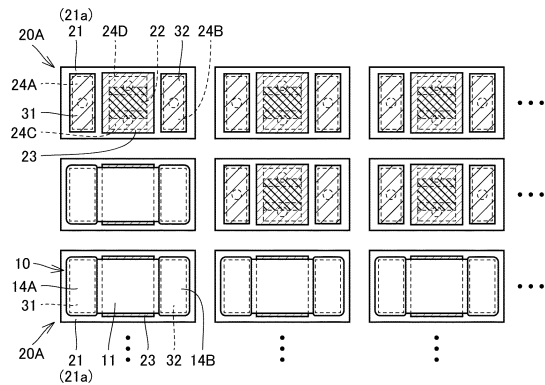
【 図 13 】

図13



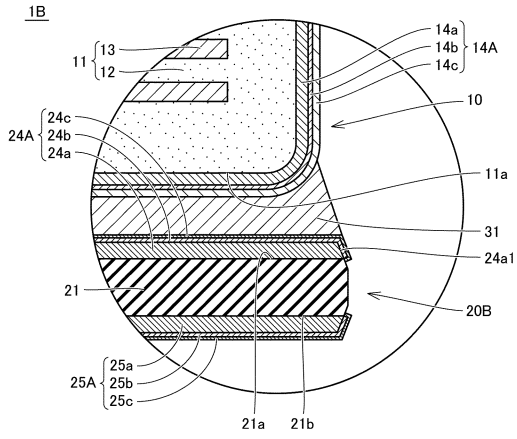
【 図 12 】

図12



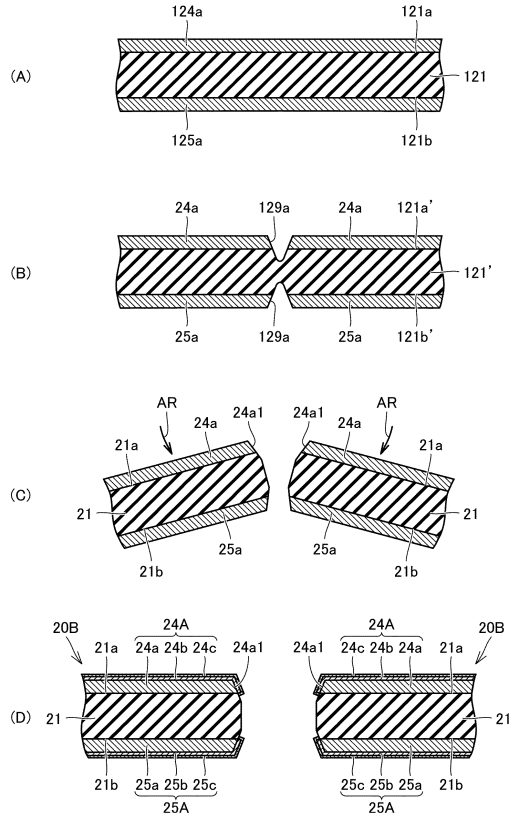
【 14 】

图14



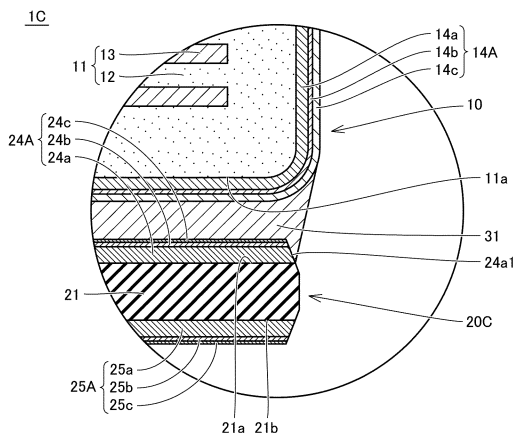
【 15 】

图15



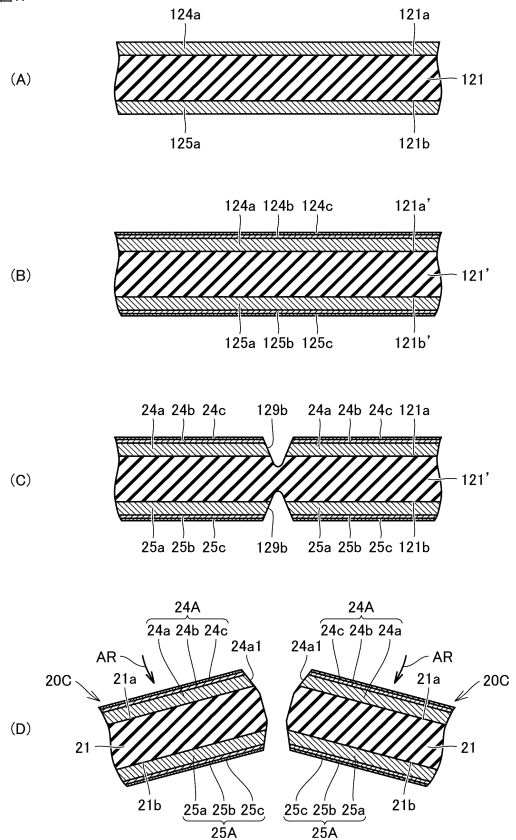
【 16 】

图16



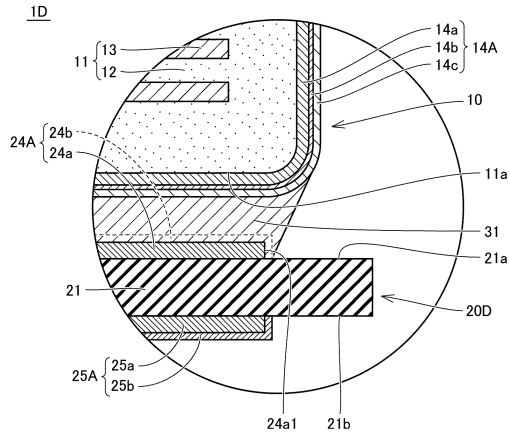
【 17 】

图17



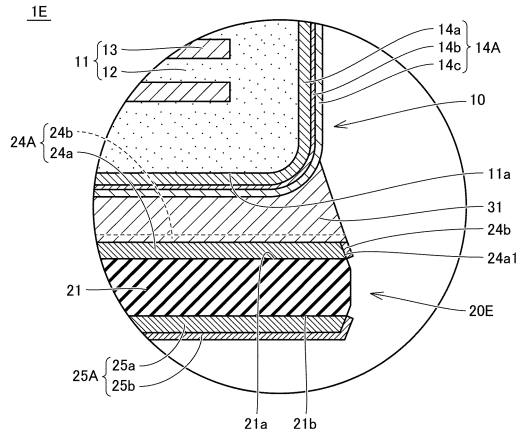
【 図 18 】

図18



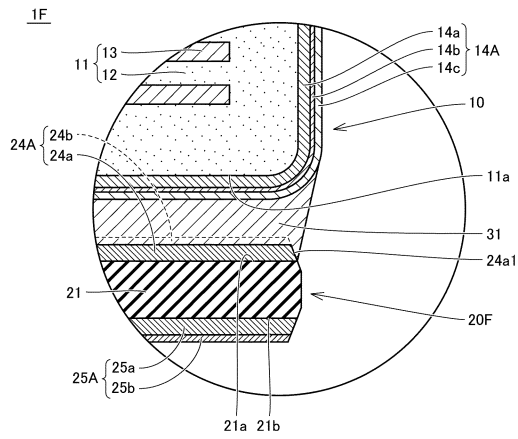
【 図 19 】

図19



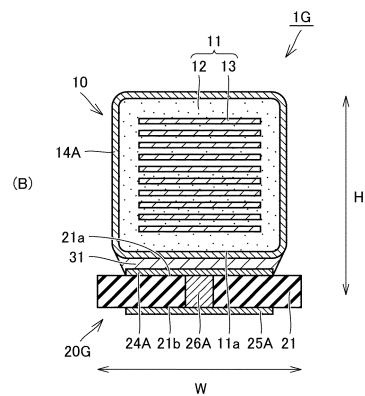
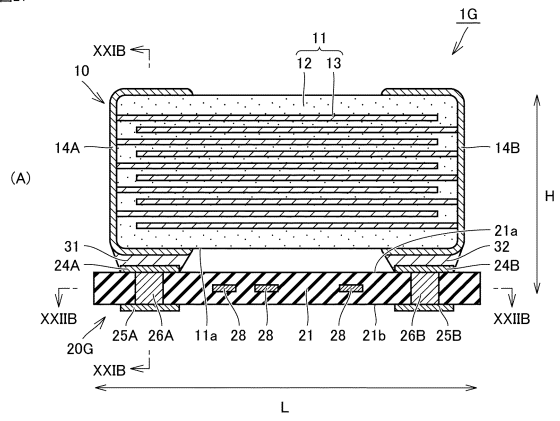
【 図 20 】

図20



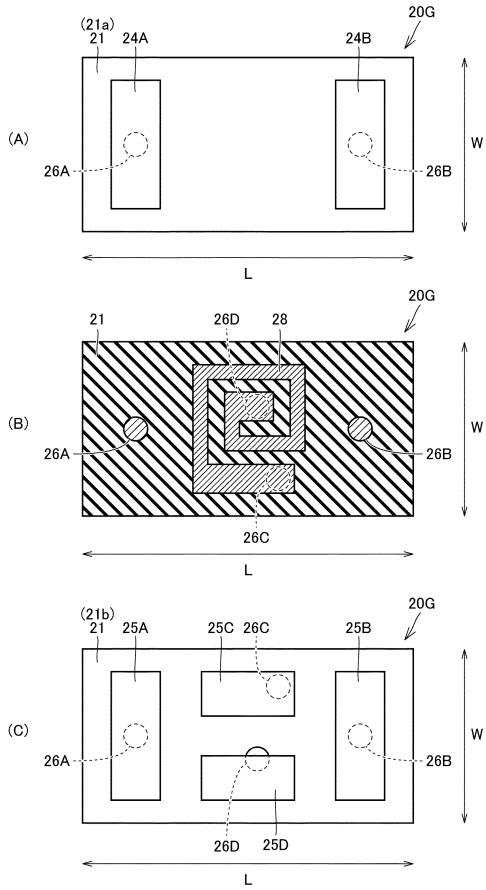
【 図 21 】

図21



【 2 2 】

图22



フロントページの続き

(51)Int.Cl. F I
H 0 1 C 1/142
H 0 1 F 27/00 S

審査官 田中 晃洋

(56)参考文献 特開2004-235403(JP,A)
特開平07-254764(JP,A)
実開平01-173964(JP,U)
特開平06-084687(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 G 4 / 4 0
H 0 1 G 2 / 0 6
H 0 1 C 1 3 / 0 0
H 0 1 C 1 / 1 4 2
H 0 1 F 2 7 / 0 0