



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0091691
(43) 공개일자 2017년08월09일

- (51) 국제특허분류(Int. Cl.)
H01L 43/02 (2006.01) H01L 43/10 (2006.01)
H01L 43/12 (2006.01)
- (52) CPC특허분류
H01L 43/02 (2013.01)
H01L 43/10 (2013.01)
- (21) 출원번호 10-2017-7017984
- (22) 출원일자(국제) 2015년11월24일
심사청구일자 2017년06월29일
- (85) 번역문제출일자 2017년06월29일
- (86) 국제출원번호 PCT/US2015/062453
- (87) 국제공개번호 WO 2016/089682
국제공개일자 2016년06월09일
- (30) 우선권주장
14/558,367 2014년12월02일 미국(US)

- (71) 출원인
마이크론 테크놀로지, 인크
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자
첸, 웨이
미국, 뉴욕 10606, 화이트 플레인즈, 마틴 애비뉴 25, 아파트 1006
함스, 조나단, 디.
미국, 뉴욕 10606, 화이트 플레인즈, 마틴 애비뉴 25, 스위트 넘버 806
머쎄, 수닐
미국, 뉴욕 10606, 화이트 플레인즈, 마틴 애비뉴 25, 아파트 906
- (74) 대리인
한양특허법인

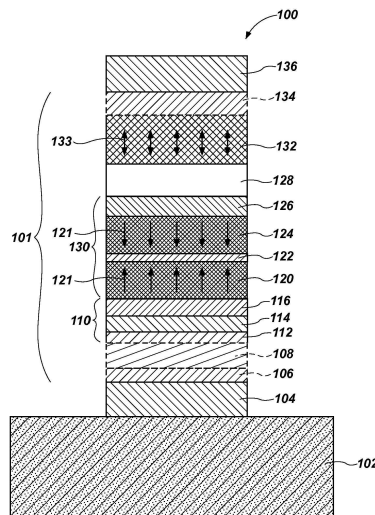
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 자기 셀 구조들, 및 제조 방법들

(57) 요약

자기 셀 구조는 탄탈륨, 백금, 및 루테튬을 포함하는 시드 재료를 포함한다. 시드 재료는 탄탈륨 부분 위에 놓인 백금 부분, 및 백금 부분 위에 놓인 루테튬 부분을 포함한다. 자기 셀 구조는 시드 재료 위에 놓인 자기 영역, 자기 영역 위에 놓인 절연 재료, 및 절연 재료 위에 놓인 다른 자기 영역을 포함한다. 자기 셀 구조를 포함하는 반도체 디바이스들, 자기 셀 구조 및 반도체 디바이스들을 형성하는 방법들이 또한 개시된다.

대표도 - 도2



(52) CPC특허분류
H01L 43/12 (2013.01)

명세서

청구범위

청구항 1

반도체 디바이스에 있어서,

기관 위 전극 위에 놓인(overlying) 적어도 하나의 자기 셀 구조로서, 상기 적어도 하나의 자기 셀 구조는 :

상기 전극 위에 놓인 탄탈륨, 백금(platinum), 및 루테튬을 포함하는 시드 재료(seed material);

상기 시드 재료 위에 놓인 자기 영역;

상기 자기 영역 위에 놓인 절연 재료;

상기 절연 재료 위에 놓인 다른 자기 영역을 포함하는, 상기 적어도 하나의 자기 셀 구조; 및

상기 다른 자기 영역 위에 놓인 다른 전극을 포함하는, 반도체 디바이스.

청구항 2

청구항 1에 있어서, 상기 적어도 하나의 자기 셀 구조는 자기 셀 구조들의 어레이를 포함하는, 반도체 디바이스.

청구항 3

청구항 1 또는 2에 있어서, 상기 시드 재료의 상기 백금은 상기 탄탈륨을 포함하는 상기 시드 재료의 영역과 상기 루테튬을 포함하는 상기 시드 재료의 다른 영역 사이에 배치된, 반도체 디바이스.

청구항 4

청구항 1 내지 청구항 3 중 어느 한 항에 있어서, 상기 자기 영역은 상기 시드 재료의 상기 루테튬의 바로 위에 놓인, 반도체 디바이스.

청구항 5

청구항 1 내지 청구항 4 중 어느 한 항에 있어서, 상기 자기 영역은 코발트 및 백금의 교번하는 부분들을 포함하는, 반도체 디바이스.

청구항 6

청구항 5에 있어서, 상기 코발트의 교번하는 부분들은 코발트의 약 1.0 Å과 약 6.0 Å 사이를 포함하는, 반도체 디바이스.

청구항 7

청구항 1 내지 청구항 6 중 어느 한 항에 있어서, 상기 시드 재료의 하지(underlying)에 니켈 및 코발트를 포함하는 아몰퍼스 영역을 더 포함하는, 반도체 디바이스.

청구항 8

청구항 7에 있어서, 상기 시드 재료의 상기 탄탈륨은 상기 아몰퍼스 영역을 컨택하는, 반도체 디바이스.

청구항 9

청구항 1 내지 청구항 8 중 어느 한 항에 있어서, 상기 다른 자기 영역은 백금, 팔라듐, 니켈, 및 이리듐의 적어도 하나와 코발트의 교번하는 부분들을 포함하는, 반도체 디바이스.

청구항 10

청구항 1 내지 청구항 9 중 어느 한 항에 있어서, 상기 자기 영역 및 상기 다른 자기 영역은 수직 자기 방위를 나타내는, 반도체 디바이스.

청구항 11

청구항 1 내지 청구항 10 중 어느 한 항에 있어서, 상기 자기 영역은 고정된 자기 방위를 나타내는, 반도체 디바이스.

청구항 12

청구항 1 내지 청구항 11 중 어느 한 항에 있어서, 상기 시드 재료는 약 10 Å과 약 1,000 Å 사이의 두께를 갖는 백금 부분을 포함하는, 반도체 디바이스.

청구항 13

청구항 12에 있어서, 상기 백금 부분은 약 90 원자 퍼센트와 약 100 원자 퍼센트 백금 사이를 포함하는, 반도체 디바이스.

청구항 14

청구항 1 내지 청구항 13 중 어느 한 항에 있어서, 상기 시드 재료는 상기 기판 위에 놓인 탄탈륨 부분, 상기 탄탈륨 부분 위에 놓인 백금 부분, 및 상기 백금 부분 위에 놓인 루테튬 부분을 포함하는, 반도체 디바이스.

청구항 15

반도체 디바이스를 형성하는 방법에 있어서, 상기 방법은:

기판상의 전극 위에 자기 셀 구조들의 어레이를 형성하는 단계로서, 상기 자기 셀 구조들의 어레이를 형성하는 단계는 :

상기 전극 위에 탄탈륨, 백금, 및 루테튬을 포함하는 시드 재료(seed material)를 형성하는 단계;

상기 시드 재료 위에 자기 재료를 형성하는 단계;

상기 자기 재료 위에 절연 재료를 형성하는 단계; 및

상기 절연 재료 위에 다른 자기 재료를 형성하는 단계;를 포함하는, 상기 자기 셀 구조들의 어레이를 형성하는 단계; 및

상기 어레이의 상기 자기 셀 구조의 각각의 상기 다른 자기 재료 위에 다른 전극을 형성하는 단계를 포함하는, 방법.

청구항 16

청구항 15에 있어서, 약 한 시간 동안 약 360°C의 온도에서 상기 시드 재료 및 상기 자기 재료를 어닐링하는 단계를 더 포함하는, 방법.

청구항 17

청구항 15 또는 16에 있어서, 상기 기판과 상기 시드 재료 사이에 니켈 및 크롬을 포함하는 아몰퍼스 재료를 형성하는 단계를 더 포함하는, 방법.

청구항 18

청구항 15 내지 청구항 17 중 어느 한 항에 있어서, 상기 시드 재료 위에 자기 재료를 형성하는 단계는 상기 시드 재료 위에 고정된 자기 방위를 나타내는 자기 재료를 형성하는 단계를 포함하는, 방법.

청구항 19

청구항 15 내지 청구항 18 중 어느 한 항에 있어서, 상기 전극 위에 탄탈륨, 백금, 및 루테튬을 포함하는 시드 재료를 형성하는 단계는:

상기 기판 위에 탄탈륨을 형성하는 단계;
 상기 탄탈륨 위에 루테튬을 형성하는 단계; 및
 상기 탄탈륨과 상기 루테튬 사이에 백금을 형성하는 단계를 포함하는, 방법.

발명의 설명

기술 분야

- [0001] 우선권 주장
- [0002] 본 출원은 “자기 셀 구조들 및 제조 방법(MAGNETIC CELL STRUCTURES, AND METHODS OF FABRICATION)”에 대하여, 2014년 12월 2일에 출원된, 미국 특허 출원 일련 번호 제14/558,367호의 출원일의 이익을 주장한다.
- [0003] 기술분야
- [0004] 본 출원에 개시된 실시예들은 자기 영역들을 포함한 자기 셀 구조들에 관한 것이다. 보다 구체적으로, 본 출원에서 개시된 실시예들은 반도체 구조들 및 시드 재료들을 포함하는 자기 셀 구조들 및 개선된 자기 특성들을 나타내는 자기 구조들, 관련 자기 셀 구조들, 및 이런 반도체 구조들 및 자기 셀 구조들을 형성하는 방법들에 관한 것이다.

배경 기술

- [0005] 자기 랜덤 액세스 메모리(MRAM)는 자기저항에 기초한 비-휘발성 컴퓨터 메모리 기술이다. 일 유형의 MRAM 셀은 기판에 의해 지지되는 자기 셀 코어(자기 셀 코어)를 포함하는 스핀 토크 전달 MRAM(STT-MRAM) 셀이다. 자기 셀 코어는 적어도 두 개의 자기 영역들, 예를 들어, 그 사이에 비-자기 영역을 갖는 “고정 영역(고정된 영역)” 및 “자유 영역(자유 영역)”을 포함한다. 자유 영역 및 고정 영역은 영역들의 폭(width)과 수평으로 방위되거나 (“평면내 (in plane)”) 또는 수직으로 방위된 (“평면외 (out-of-plane)”) 자기 방위(magnetic orientation)를 나타낼 수 있다. 고정 영역은 실질적으로 고정된 (예를 들어, 정상 동작동안에 스위칭 가능하지 않은) 자기 방위를 갖는 자기 재료를 포함한다. 반면에, 자유 영역은 셀의 동작 동안, “평행(parallel)” 구성과 “비-평행(anti-parallel)” 구성간에 스위칭 될 수 있는 자기 방위를 갖는 자기 재료를 포함한다. 평행 구성에서, 고정 영역 및 자유 영역의 자기 방위들은 동일한 방향 (예를 들어, 개별적으로, 북쪽 및 북쪽, 동쪽 및 동쪽, 남쪽 및 남쪽, 또는 서쪽 및 서쪽)으로 지향된다. “비-평행” 구성에서, 고정 영역 및 자유 영역의 자기 방위들은 반대 방향들 (예를 들어, 개별적으로, 북쪽 및 남쪽, 동쪽 및 서쪽, 남쪽 및 북쪽, 또는 서쪽 및 동쪽)로 지향된다. 평행 구성에서는, STT-MRAM 셀은 자기저항 엘리먼트들 (예를 들어, 고정 영역 및 자유 영역)을 가로질러 더 낮은 전기 저항을 나타낸다. 낮은 전기 저항의 이러한 상태는 STT MRAM 셀의 “0” 로직 상태(logic state)로서 정의될 수 있다. 비-평행 구성에서는, STT-MRAM 셀은 자기저항 엘리먼트들을 가로질러 더 높은 전기 저항을 나타낸다. 높은 전기 저항의 이러한 상태는 STT-MRAM 셀의 “1” 로직 상태로서 정의될 수 있다.
- [0006] 자유 영역의 자기 방위의 스위칭은 프로그래밍 전류(programming current)를 자기 셀 코어 그리고 그 내부에 고정 및 자유 영역들에 통과시킴으로써 성취될 수 있다. 고정 영역은 프로그래밍 전류의 전자 스핀을 극성화(polarize)시키며, 토크는 스핀-극성화 전류가 코어를 통과할 때 생성된다. 스핀-극성화된(spin-polarized) 전자 전류는 자유 영역 상에 토크를 발휘한다. 코어를 통과하는 스핀-극성화된 전자 전류의 토크가 자유 영역의 임계 스위칭 전류 밀도(J_c)보다 더 클 때, 자유 영역의 자기 방위의 방향이 스위치된다. 따라서, 자기 영역들을 가로질러 전기 저항을 바꾸기 하기 위해 프로그래밍 전류가 사용될 수 있다. 자기저항 엘리먼트들을 가로지른 결과 고 또는 저 저항 상태들이 STT-MRAM 셀의 기록 및 판독 동작들을 가능하게 한다. 희망하는 로직 상태와 관련하여 평행 구성 또는 비-평행 구성을 달성하기 위한 자유 영역의 자기 방위의 스위칭 후에, STT-MRAM 셀이 상이한 구성으로 (즉, 상이한 로직 상태로) 재 기록될 때 까지 자유 영역의 자기 방위는, “스토리지(storage)” 스테이지 동안에, 보통 유지되는 것이 원해진다.
- [0007] 그러나, 고정 영역으로부터 방출된 자기 다이폴 필드의 존재는, STT-MRAM 셀의 동작 동안 자유 영역의 자기 방위를 대칭적으로 스위칭하는 능력을 부여할 수 있다. 표유(stray) 자기 다이폴 필드로부터의 간섭에 기인한 스위칭에 부정적 효과들을 제거하기 위한 노력들이 이루어져 왔다. 예를 들어, 커플링 재료에 의해 분리된 상단 자기 영역 및 하단 자기 영역을 포함하는 인조(synthetic) 반강자성체를 포함하는 자기 재료들은 표유 자기 다이폴 필드들의 부정적 효과를 줄일 수 있다. 상단 자기 영역 및 하단 자기 영역의 각각은 전도성 재료에 의해

서로 분리되는 자기 재료들을 포함할 수 있다. 커플링 재료는 인접한 자기 재료들의 비-평행 커플링을 제공하도록 위치되고 제형(formulate)된다. 목적은 상단 영역에 의해 방출된 자기 다이폴 필드는 개별 자기 방위들의 반대 방향들에 기인한 하단 영역에 의해 방출된 자기 다이폴에 의해 효과적으로 소거될 것이라는 것이다. 그러나, 상단 영역과 하단 영역사이의 자기 커플링은 강자성 커플링과 반강자성 커플링 사이의 진동하는 행동을 나타낼 수 있다. 더구나, 통상의 인조 반강자성체들에서, 상단 자기 영역의 성장은 커플링 재료의 유형 및 두께에 의해 제한될 수 있지만, 반면에 하단 자기 영역의 자기 특성들 (예를 들어, PMA, 자기 히스테리시스, 등)은 탄탈륨 및 루테튬을 포함할 수 있는 하지의 통상의 시드 재료에 의해 결정될 수 있다. 예를 들어, 다른 자기 영역들보다 시드 재료로부터 더 멀리 위치한 자기 영역들 (예를 들어, 시드 재료로부터 말단에 있는 자기 영역들)는 다른 자기 영역들 및 시드 재료와 상이한 결정질 구조를 나타낼 수 있는데, 이는 자기 영역들을 포함하는 자기 셀 구조가 구조적 결함들 및 축소된 PMA를 나타내게 할 수 있다.

[0008] 커플링 재료를 상단 및 하단 자기 재료들에 결합시키는 노력들은 커플링 재료 및 상단 및 하단 자기 재료들 어닐링(annealing)을 포함한다. 그러나, 어닐링은 자기 재료들의 결정 구조를 개선시키고 자기 재료들과 커플링 재료 사이의 접착력을 개선시킬 수 있지만, 어닐링은 자기 재료들의 자기 특성들 (예를 들어, 자기 이방성 (“MA : magnetic anisotropy”) 및 수직 자기 이방성 (“PMA :perpendicular magnetic anisotropy”))을 축소시킬 수 있다. 어닐링은 또한 자기 재료들과 커플링 재료 사이의 커플링의 세기에 영향을 미칠 수 있고 이는 결합된 자기 구조의 반강자성 및/또는 반강자성에 영향을 미칠 수 있다. 예를 들어, 어닐링은 자기 재료의 결정 방향을 변경할 수 있고 메모리 셀의 판독 및 기록 동작들과 간섭할 수 있는 평면내 또는 평면외 자기 모멘트들을 생성할 수 있다. 따라서, 어닐링은 자기 재료들의 PMA를 줄일 수 있고 자기 재료들을 통합한 자기 셀 구조의 동작과 간섭하는 평면외 자기 쌍극자 모멘트들을 생성할 수 있다.

발명의 내용

도면의 간단한 설명

[0009] 도 1a는 시드 재료 위에 형성된 자기 재료의 간략화된 단면도이다;
 도 1b는 자기 재료 및 전도성 재료의 교번하는 부분들을 포함하는 자기 재료의 간략화된 단면도이다;
 도 2는 본 개시의 일 실시예에 따른 시드 재료를 포함한 자기 셀 구조의 간략화된 단면도이다 ;
 도 3은 본 개시의 다른 실시예에 따른 시드 재료를 포함한 자기 셀 구조의 간략화된 단면도이다 ;
 도면들 4a 내지 도 4d는 도 2의 자기 셀 구조를 형성하는 방법의 실시예를 위한 상이한 프로세스 스테이지들을 예시하는 간략화된 단면도들이다;
 도 5는 본 개시의 실시예에 따른 자기 셀 구조를 갖는 메모리 셀을 포함하는 STT-MRAM 시스템의 개략도이다.
 도 6은 통상의 시드 재료를 포함하는 자기 구조에 비교된 백금-함유 시드 재료를 포함하는 자기 구조의 이방성 필드 (즉, H_k)를 비교한 평면내 루프 플롯(plot)이다 ;
 도 7은 300°C에서 각각의 구조들을 어닐링한 후에 통상의 시드 재료를 포함한 자기 셀 구조에 도 2의 자기 셀 구조의 자기 특성들을 비교한 평면외 루프 플롯이다;
 도 8a는 300°C에서 각각의 구조들 어닐링에 이어 360°C에서 각각의 구조들 어닐링 한 후에 통상의 시드 재료를 포함한 자기 셀 구조에 도 2의 자기 셀 구조의 자기 특성들을 비교한 평면외 루프 플롯이다;
 도 8b는 300°C에서 각각의 구조들 어닐링에 이어 360°C에서 각각의 구조들 어닐링 한 후에 통상의 시드 재료를 포함한 자기 셀 구조에 도 2의 자기 셀 구조의 자기 특성들을 비교한 평면내 루프 플롯이다;
 도 9a는 아몰퍼스 기판 위에 성장된 자기 셀 구조의 자기 특성들에 결정질 기판 위에 성장된 자기 셀 구조의 자기 특성들을 비교한 평면외 루프 플롯이다; 및
 도 9b는 각각의 자기 셀 구조들이 기판과 시드 재료 사이에 아몰퍼스 재료를 포함할 때 아몰퍼스 기판 위에 성장된 자기 셀 구조의 자기 특성들에 결정질 기판 위에 성장된 자기 셀 구조의 자기 특성들을 비교한 평면외 루프 플롯이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 예시들은 임의의 특정 시스템들 또는 반도체 구조들의 실제 도면들인 것으로 의도되지 않지만 단순히 본 출원에 실시예들을 설명하기 위해 사용되는 이상적인 표현들이다. 도면들 사이에 공통 엘리먼트들 및 특징부들은 동일한 수치 지정을 유지할 수 있다.
- [0011] 이어지의 설명은 본 출원에 설명된 실시예들의 철저한 설명을 제공하기 위해 재료 유형들, 재료 두께들, 및 프로세싱 조건들과 같은, 특정 세부사항들을 제공한다. 그러나, 이 기술분야의 숙련자는 본 출원의 개시의 실시예들이 이들 특정 세부사항들을 이용하지 않고 실시될 수 있다는 것을 이해할 것이다. 실제로, 실시예들은 반도체 산업에 이용된 종래의 제작 기술들과 함께 실시될 수 있다. 추가하여, 본 출원에 제공된 설명은 반도체 구조들, 자기 셀 구조들, 또는 메모리 셀들 제조를 위한 완전한 프로세스 플로우를 형성하지 않고, 이하에 설명된 반도체 구조들, 자기 셀 구조들, 및 메모리 셀들은 완전한 반도체 구조, 자기 셀 구조, 또는 메모리 셀을 형성하지 않는다. 단지 본 출원에 설명된 실시예들을 이해하기 위해 필요한 이들 프로세스 동작들 및 구조들만이 이하에서 상세히 설명된다. 반도체 구조를 포함하는 완전한 반도체 구조 및 메모리 셀을 형성하는 추가 동작들은 종래의 기술들에 의해 수행될 수 있다.
- [0012] 일부 실시예들에 따른, 자기 메모리 셀 구조는 시드 재료 위에 하나 이상의 자기 영역들을 포함할 수 있다. 시드 재료는 시드 재료 위에 놓인 자기 영역들의 결정 구조 및 자기 방위에 영향을 미칠 수 있다. 시드 재료는 시드 재료 위에 놓인 자기 영역들과 유사한 결정질 구조(crystalline structure)를 나타내도록 구성되고 제형될 수 있다. 시드 재료는 세개의 재료들, 예컨대 탄탈륨, 백금, 및 루테튬을 포함할 수 있고 “백금-함유 시드 재료(platinum-containing seed material)”로서 본 출원에서 지칭될 수 있다. 본 개시의 탄탈륨, 백금, 및 루테튬은 시드 재료의 별개의 부분들을 형성할 수 있다. 본 개시의 시드 재료를 포함한 자기 셀 구조는 통상의 시드 재료들을 포함하는 자기 셀 구조들에 비하여 개선된 자기 이방성(magnetic anisotropy) (예를 들어, 개선된 PMA)을 나타낼 수 있다. 백금-함유 시드 재료를 포함하는 자기 셀 구조는 또한 약 300°C 초과 온도에서 어닐링 후에 자기 특성들의 저하 (예를 들어, 축소된 PMA 또는 평면내 자기 모멘트의 증가)를 나타내지 않고 개선된 접착력을 나타낼 수 있다. 백금-함유 시드 재료를 갖는 자기 메모리 셀 구조들을 포함하는 메모리 셀들 및 자기 셀 구조들은 따라서 단지 두개의 재료들 (예를 들어, 탄탈륨 및 루테튬)을 포함하는 통상의 시드 재료들을 갖는 자기 셀 구조들에 비교하여 개선된 자기 특성들 및 스위칭 특성들을 나타낼 수 있다.
- [0013] 도 1a는 자기 메모리 셀 구조의 일부를 형성하는 시드 재료(110) 위에 놓인 인공 초격자 (“ASL: artificial superlattice”) 구조 (120)를 포함하는 자기 구조 (105)를 예시한다. 시드 재료 (110)는 탄탈륨 부분 (112), 백금 부분 (114), 및 루테튬 부분 (116)을 포함할 수 있다. 인공 초격자 구조 (120)는 시드 재료 (110) 위에 바로(directly) 놓여 접촉할 수 있다. 루테튬 부분 (116)의 결정 구조 및 방위는 인공 초격자 구조 (120)의 결정 구조에 실질적으로 유사할 수 있다.
- [0014] 시드 재료 (110)는 탄탈륨 부분 (112), 백금 부분 (114), 및 루테튬 부분 (116)와 같은 하나 초과의 부분을 포함할 수 있다. 탄탈륨 부분 (112)은 기판 (미도시) 또는 자기 메모리 셀의 다른 부분 위에 놓일 수 있다. 백금 부분 (114)은 탄탈륨 부분 (112) 바로 위에 놓여 접촉할 수 있고 루테튬 부분 (116)은 백금 부분 (114) 바로 위에 놓여 접촉할 수 있다. 백금 부분 (114)은 탄탈륨 부분 (112)과 루테튬 부분 (116) 사이에 배치될 수 있고 각각의 탄탈륨 부분 (112) 및 루테튬 부분 (116)과 직접 접촉할 수 있다. 각각의 탄탈륨 부분 (112), 백금 부분 (114), 및 루테튬 부분 (116)은 별개의 재료들일 수 있고, 인접한 부분들과 계면(interface)을 형성할 수 있다. 탄탈륨 부분 (112)은 약 90 원자 퍼센트 탄탈륨과 약 100 원자 퍼센트 탄탈륨 사이를 포함할 수 있고, 백금 부분 (114)은 약 90 원자 퍼센트 백금과 약 100 원자 퍼센트 백금 사이를 포함할 수 있고, 및 루테튬 부분 (116)은 약 90 원자 퍼센트 루테튬과 약 100 원자 퍼센트 루테튬 사이를 포함할 수 있다.
- [0015] 탄탈륨 부분 (112)은 약 20 Å과 약 40 Å 사이, 예컨대 약 20 Å과 약 25 Å 사이, 약 25 Å과 약 35 Å, 또는 약 35 Å과 약 40 Å 사이의 두께를 가질 수 있다. 일부 실시예들에서, 탄탈륨 부분 (112)은 약 30 Å의 두께를 가진다. 백금 부분 (114)은 약 10 Å과 약 1,000 Å 사이, 예컨대 약 10 Å과 약 50 Å 사이, 약 50 Å과 약 100 Å 사이, 약 100 Å과 약 200 Å 사이, 약 200 Å과 약 300 Å 사이, 약 300 Å과 약 500 Å, 또는 약 500 Å과 약 1,000 Å사이의 두께를 가질 수 있다. 일부 실시예들에서, 백금 부분 (114)은 약 50 Å의 두께를 가진다. 루테튬 부분 (116)은 약 35 Å과 약 65 Å 사이, 예컨대 약 35 Å과 약 45 Å 사이, 약 45 Å과 약 55 Å, 또는 약 55 Å과 약 65 Å사이의 두께를 가질 수 있다. 일부 실시예들에서, 루테튬 부분 (116)은 약 50 Å의 두께를 가진다. 일부 실시예들에서, 탄탈륨 부분 (112)의 두께는 약 30 Å일 수 있고, 백금 부분 (114)의 두께는 약 50 Å 일 수 있고, 및 루테튬 부분의 두께는 약 50 Å일 수 있다.
- [0016] 시드 재료 (110)는 스퍼터링 증착, 예컨대 마그네트론 스퍼터링 (예를 들어, 하이-파워 임펄스 마그네트론 스퍼

터링 (HIPIMS), DC 마그네트론 스퍼터링, 등.), 이온 빔 스퍼터링, 또는 다른 물리적 기상 증착 (PVD) 방법들에 의해 형성될 수 있다. 시드 재료 (110)는 또한 원자 층 증착 (ALD), 화학적 기상 증착 (CVD), 플라즈마 증강 화학적 기상 증착 (PECVD), 저 압력 화학적 기상 증착 (LPCVD), 또는 다른 필름 증착 프로세스들 중 적어도 하나에 의해 형성될 수 있다. 시드 재료 (110)는 베이스 재료(base material) (미도시) 위에 탄탈륨 부분 (112)을 형성하는 것에 의해 형성될 수 있다. 백금 부분 (114)은 탄탈륨 부분 (112)과 직접 접촉하게 그 위에 형성될 수 있다. 루테튬 부분 (116)은 백금 부분 (114)과 직접 접촉하게 그 위에 형성될 수 있다. 시드 재료 (110)의 각각의 탄탈륨 부분 (112), 백금 부분 (114), 및 루테튬 부분 (116) 은 실온에서 형성될 수 있다.

[0017] 도 1b에 관련하여, 인공 초격자 구조 (120)는 자기 재료 (117) 및 전도성 재료 (119)의 교번하는 부분들을 포함할 수 있다. 전도성 재료 (119)는 인접한 자기 재료들 (117) 사이에 있을 수 있다. 전도성 재료 (119)는 자기 재료 (117)가 수직 이방성 (즉, 수직 자기 방위)를 나타내는 것을 가능하게 할 수 있다. 자기 재료 (117)는 코발트 및 철 중 적어도 하나를 포함할 수 있다. 전도성 재료 (119)는 백금, 팔라듐, 이리듐, 및 니켈 중 적어도 하나를 포함할 수 있다. 일부 실시예들에서, 자기 재료 (117)는 코발트를 포함하고 전도성 재료 (119)는 백금, 팔라듐, 니켈, 및 이리듐 중 적어도 하나를 포함한다. 비록 도 1b는 인공 초격자 구조 (120)에 여섯개의 자기 재료 (117)의 영역들 및 여섯개의 전도성 재료 (119)의 영역들을 도시하지만, 인공 초격자 구조 (120)는 그렇게 제한되지 않고 자기 재료 (117) 및 전도성 재료 (119)의 임의의 수의 (예를 들어, 하나, 둘, 셋, 네개, 또는 다섯개) 교번하는 영역들을 포함할 수 있다.

[0018] 자기 재료 (117)는 대략 하나의 단일층(monolayer)의 두께를 가질 수 있다. 제한이 아니라 예제의 방식으로, 자기 재료 (117)는 약 1.0 Å과 약 6.0 Å 사이, 예컨대 약 1.0 Å과 약 2.0 Å 사이, 약 2.0 Å과 약 3.0 Å 사이, 약 3.0 Å과 약 4.0 Å, 또는 약 4.0 Å과 약 6.0 Å의 두께를 가질 수 있다. 일부 실시예들에서, 자기 재료 (117)는 약 2.4 Å의 두께를 가진다. 전도성 재료 (119)는 대략 하나의 단일층의 두께를 가질 수 있다. 제한이 아니라 예제의 방식으로, 전도성 재료 (119)는 약 1.2 Å과 약 2.0 Å 사이, 예컨대 약 1.2 Å과 약 1.6 Å, 또는 약 1.6 Å과 약 2.0 Å의 두께를 가질 수 있다. 일부 실시예들에서, 전도성 재료 (119)는 약 1.6 Å의 두께를 가진다.

[0019] 일부 실시예들에서, 인공 초격자 구조 (120)의 전도성 재료 (119)의 영역은 시드 재료 (110) 위에 바로 놓여 접촉할 수 있다. 예를 들어, 전도성 재료 (119)의 영역은 시드 재료 (110)의 루테튬 부분 (116) 바로 위에 놓여 접촉할 수 있다. 다른 실시예들에서, 자기 재료 (117)의 영역은 시드 재료 (110) 바로 위에 놓여 접촉할 수 있다.

[0020] 시드 재료 (110)의 결정 구조는 시드 재료 (110)를 어닐링 조건들에 노출시킴으로써 개선될 수 있다 (예를 들어, 시드 재료 (110)의 입자 구조에 결함(defect)들을 제거함으로써). 도 1a의 자기 구조 (105)의 어닐링은 인공 초격자 구조 (120)의 자기 재료 (117)과 전도성 재료 (119) 사이의 커플링 세기 (예를 들어, 접착력)을 또한 증가시킬 수 있다. 시드 재료 (110) 및 인공 초격자 구조 (120)는 인공 초격자 구조 (120) 또는 시드 재료 (110)에 인접한 임의의 다른 재료들에 손상없이 약 일분 (1 min) 내지 약 한 시간(1 hr) 사이 동안 약 300°C 과 약 500°C 사이의 온도에 시드 재료 (110) 및 인공 초격자 구조 (120)를 노출시킴으로써 어닐링될 수 있다. 일부 실시예들에서, 시드 재료 (110) 및 인공 초격자 구조 (120)는 약 한 시간 동안 약 300°C 보다 더 높은 온도에서 어닐링될 수 있다. 다른 실시예들에서, 시드 재료 (110) 및 인공 초격자 구조 (120)는 약 15 분과 약 30분 사이 동안 약 400°C의 온도에서 어닐링될 수 있다. 또 다른 실시예들에서, 시드 재료 (110) 및 인공 초격자 구조 (120)는 약 한 시간 동안 300°C에서 또는 약 한 시간 동안 약 360°C의 온도에서 어닐링된다. 어닐링은 진공에서 수행될 수 있다. 시드 재료 (110) 및 인공 초격자 구조 (120)는 단지 탄탈륨 및 루테튬을 포함하는 시드 재료들과 같은 통상의 시드 재료들을 포함하는 메모리 셀들에 비교하여 개선된 PMA 및 MA를 나타낼 수 있다. 예를 들어, 시드 재료 (110) 및 인공 초격자 구조 (120)를 포함하는 도 1a의 구조는 통상의 시드 재료 위에 형성된 자기 재료보다 그것의 자기 방위의 변경이 쉽지 않을 수 있다.

[0021] 이어서, 자기 셀 구조가 개시된다. 자기 셀 구조는 기판 위에 놓인 탄탈륨 부분, 탄탈륨 부분 위에 놓인 백금 부분, 및 백금 부분 위에 놓인 루테튬 부분 및 시드 재료 위에 자기 영역을 포함한다.

[0022] 이어서, 자기 셀 구조를 형성하는 방법이 개시된다. 방법은 기판 위에 탄탈륨, 백금, 및 루테튬을 포함하는 시드 재료를 형성하는 단계를 포함하고, 시드 재료를 형성하는 단계는 기판 위에 탄탈륨을 형성하는 단계, 탄탈륨 위에 백금을 형성하는 단계, 백금 위에 루테튬을 형성하는 단계를 포함하고, 시드 재료 위에 자기 재료를 형성하는 단계를 더 포함한다.

[0023] 도 2에 관련하여, 일부 실시예들에 따라 시드 재료 (110)를 포함하는 자기 셀 구조 (100)가 예시된다. 자기 셀

구조 (100)는 기판 (102) 위에 자기 셀 코어(101)를 포함한다. 자기 셀 코어 (101)는 상단 전극 (136)과 하단 전극 (104)사이 배치될 수 있다. 자기 셀 코어 (101)는 자기 영역 및 다른 자기 영역, 예를 들어, “고정 영역(fixed region)” (130) 및 “자유 영역(free region)” (132)을, 개별적으로 포함할 수 있다. 절연 영역 (insulating region) (128)이 고정된 영역 (130)과 자유 영역 (132) 사이에 배치될 수 있다.

[0024] 기판(substrate)(102)은 그 위에 메모리 셀들 내의 것들과 같은, 컴포넌트들이 형성되는 베이스 재료(base material) 또는 다른 구조를 포함한다. 기판(102)은 반도체 기판, 지지 기판상의 베이스 반도체 재료, 금속 전극, 또는 하나 이상의 재료들, 구조들, 또는 그 위에 형성된 영역들을 가진 반도체 기판일 수 있다. 기판(102)은 반도체 재료를 포함하는 통상의 실리콘 기판 또는 다른 벌크 기판일 수 있다. 본 출원에 사용되는, 용어 “벌크 기판(bulk substrate)”는 단지 실리콘 웨이퍼들 뿐만 아니라 실리콘-온-사파이어(“SOS”) 기판들 또는 실리콘-온-글래스(“SOG”) 기판들과 같은 실리콘-온-절연체(“SOI”) 기판들, 베이스 반도체 기저(foundation) 상에서의 실리콘의 에피택셜 층들, 또는 다른 것들 중에서, 실리콘-게르마늄($Si_{1-x}Ge_x$, 여기에서 x는 예를 들면, 0.2 및 0.8 사이에서의 몰분율), 게르마늄(Ge), 갈륨 비소(GaAs), 질화 갈륨(GaN), 또는 인화 인듐(InP)과 같은, 다른 반도체 또는 광전자 재료들을 의미하며 이들을 포함한다. 더욱이, 이하의 설명에서 “기판”에 대한 언급이 이루어질 때, 이전 프로세스 단계들은 베이스 반도체 구조 또는 기저내 재료, 영역들, 또는 집합들을 형성하기 위해 사용되었을 수 있다.

[0025] 하단 전극 (104)이 기판 (102) 위에 놓일 수 있다. 하단 전극 (104)은 금속 예컨대 구리, 텅스텐, 백금, 팔라듐, 티타늄, 탄탈륨, 니켈, 티타늄 나이트라이드 (TiN), 탄탈륨 나이트라이드 (TaN), 텅스텐 나이트라이드 (WN), 폴리실리콘, 금속 규화물, 금속 합금, 또는 그것의 조합들을 포함할 수 있다.

[0026] 하나 이상의 하단의 중간 영역들 (106)이 옵션으로, 자기 영역들 (예를 들어, 고정 영역 (130)과 자유 영역 (132))아래에 배치될 수 있다. 하단 중간 영역 (106)이 만약 포함된다면, 하단 전극 (104) 과 하단 전극 (104) 위에 놓인 재료들간의 종들의 확산을 억제하도록 구성될 수 있다. 하단 중간 영역 (106)은 전도성 재료 예컨대 구리, 탄탈륨, 티타늄, 텅스텐, 루테튬, 탄탈륨 나이트라이드, 및 티타늄 나이트라이드 중 하나 이상을 포함할 수 있다.

[0027] 아몰퍼스 재료 (108)가 옵션으로, 하단 중간 영역 (106) 위에 놓여질 수 있고, 만약 존재한다면, 하단 중간 영역 (106)과 시드 재료 (110) 사이에 배치될 수 있다. 일부 실시예들에서, 아몰퍼스 재료 (108)는 하단 전극 (104) 바로 위에 놓여질 수 있다. 도 2에 예시된 것과 같은 다른 실시예들에서, 아몰퍼스 재료 (108)는 하단 중간 영역 (106) 바로 위에 놓여질 수 있다. 아몰퍼스 재료 (108)는 시드 재료 (110) 및 자기 셀 구조 (100)에 결정 구조에서의 결함들의 수를 줄일 수 있다. 아몰퍼스 재료 (108)는 위에 놓이는 재료들, 예컨대 시드 재료 (110) (예를 들어, 시드 재료 (110)의 탄탈륨 부분 (112) (도 1a))이 형성되는 매끈한 템플레이트(template)를 제공할 수 있다. 아몰퍼스 재료 (108)는 자기 셀 구조 (100)의 PMA 및 자기 커플링을 증가시킬 수 있다.

[0028] 일부 실시예들에서, 아몰퍼스 재료 (108)는 시드 재료 (110)의 형성(formation)이 희망하는 결정 구조를 나타내는 것을 가능하게 구성되고 제형된다. 아몰퍼스 재료 (108)는 자기 셀 구조 (100)의 각각의 컴포넌트가 전체 자기 셀 구조 (100)에 걸쳐 유사한 자기 방위(magnetic orientation)를 나타내게 할 수 있다. 따라서, 자기 셀 구조 (100)의 고정 영역 (130)은 아몰퍼스 재료 (110)와 유사한 결정 방위를 나타낼 수 있다.

[0029] 아몰퍼스 재료 (108)는 실질적으로 아몰퍼스인 재료를 포함할 수 있다. 아몰퍼스 재료 (108)는 아몰퍼스 탄탈륨, 아몰퍼스 탄탈륨 옥사이드, 니켈, 크롬, 그것의 옥사이드들을 포함하는 아몰퍼스 재료, 니켈 옥사이드 및 크롬 옥사이드를 포함하는 아몰퍼스 재료, 및 그것의 조합들을 포함할 수 있다. 아몰퍼스 재료 (108)의 상단 부분은 산화될 수 있다. 예를 들어, 아몰퍼스 재료 (108)는 탄탈륨 옥사이드를 포함하는 상단 부분을 갖는 탄탈륨을 포함할 수 있거나, 또는 아몰퍼스 재료 (108)는 니켈 옥사이드 및 크롬 옥사이드를 포함하는 그것의 상단 부분을 갖는 니켈 및 크롬을 포함할 수 있다. 일부 실시예들에서, 아몰퍼스 재료 (108)는 약 40 원자 퍼센트 니켈 및 약 60 원자 퍼센트 크롬 (예를 들어, $Ni_{60}Cr_{40}$)을 포함할 수 있다.

[0030] 아몰퍼스 재료 (108)는 약 5 Å과 약 15 Å 사이, 예컨대 약 5 Å과 약 10 Å 사이, 또는 약 10 Å과 약 15 Å 사이의 두께를 가질 수 있다. 일부 실시예들에서, 아몰퍼스 재료 (108)는 약 10 Å의 두께를 가진다.

[0031] 시드 재료 (110)가 하단 전극 (104)위에 배치될 수 있다. 일부 실시예들에서, 시드 재료 (110)는 하단 전극 (104)과 직접 접촉할 수 있다. 다른 실시예들에서, 하단 중간 영역 (106)이 하단 전극 (104) 과 시드 재료 (110) 사이에 개입될 수 있거나, 또는 시드 재료 (110)가 아몰퍼스 재료 (108)가, 만약 존재한다면 아몰퍼스 재료와 직접 접촉할 수 있다.

- [0032] 시드 재료 (110)는 도 1a를 참고로 하여 상기에서 설명된 것과 동일할 수 있다. 예를 들어, 시드 재료 (110)는 탄탈륨 부분 (112), 백금 부분 (114), 및 루테튬 부분 (116)을 포함할 수 있다. 백금 부분 (114)은 탄탈륨 부분 (112)과 루테튬 부분 (116) 사이에 바로 배치될 수 있다. 루테튬 부분 (116)은 위에 놓인 인공 초격자 구조 (120)와 직접 접촉할 수 있다.
- [0033] 고정 영역 (130)이 시드 재료 (110) 위에 직접 형성될 수 있다. 고정 영역 (130)은 인공 초격자 구조 (120), 인공 초격자 구조 (120) 위에 놓인 커플링 재료 (122), 및 커플링 재료 (122) 위에 놓인 다른 인공 초격자 구조 (124)를 포함할 수 있다. 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)는 도 1b를 참고로 하여 상기에서 설명된 것과 동일할 수 있다. 따라서, 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)는 자기 재료 (117) 및 전도성 재료 (119)의 교번하는 영역들을 포함할 수 있다. 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)는 동일한 재료들을 포함할 수 있고, 실질적으로 동일할 수 있다. 따라서, 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)의 각각은 코발트 자기 재료 및 백금 전도성 재료의 교번하는 부분들을 포함할 수 있다.
- [0034] 인공 초격자 구조 (120)는 시드 재료 (110) 바로 위에 놓여질 수 있다. 일부 실시예들에서, 인공 초격자 구조 (120)의 전도성 재료 (119)는 시드 재료 (110)의 루테튬 부분 (116)과 직접 접촉할 수 있다. 다른 실시예들에서, 인공 초격자 구조 (120)의 자기 재료 (117)는 시드 재료 (110)와 직접 접촉할 수 있다.
- [0035] 커플링 재료 (122)는 인공 초격자 구조 (120) 바로 위에 놓여질 수 있다. 커플링 재료 (122)는 루테튬, 로듐, 및 그것의 조합들을 포함할 수 있다. 커플링 재료 (122)는 약 1 Å과 약 10 Å 사이 두께를 가질 수 있다. 일부 실시예들에서, 커플링 재료 (122)는 약 4 Å과 약 5 Å 사이의 두께를 가진다.
- [0036] 다른 인공 초격자 구조 (124)는 커플링 재료 (122) 바로 위에 놓여질 수 있다. 상기에서 설명된 것 처럼, 다른 인공 초격자 구조 (124)는 동일한 재료들을 포함할 수 있고, 실질적으로 동일할 수 있다.
- [0037] 다른 실시예들에서, 고정 영역 (130)은 코발트 및 철 (예를 들어, Co_xFe_y , 여기서 $x = 10$ 내지 80 및 $y = 10$ 내지 80)를 포함하고 및, 일부 실시예들에서, 또한 붕소 (예를 들어, $\text{Co}_x\text{Fe}_y\text{B}_z$, 여기서 $x = 10$ 내지 80, $y = 10$ 내지 80, 및 $z = 0$ 내지 50)를 포함하는 강자성 재료를 포함한다. 따라서, 고정 영역 (130)은 Co, Fe, 및 B 중 적어도 하나를 포함할 수 있다(예를 들어, CoFeB 재료, FeB 재료, CoB 재료). 다른 실시예들에서, 고정 영역(130)은 대안적으로 또는 추가적으로 니켈 (예를 들어, NiB 재료)을 포함할 수 있다.
- [0038] 도 2 에 도시된 바와 같이, 고정 영역 (130)의 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)는 화살표 (121)에 의해 표시된 고정된 자기 방위를 포함할 수 있다. 고정된 자기 방위는 북쪽, 남쪽, 동쪽, 서쪽 등일 수 있다. 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)의 고정된 자기 방위는 동일할 수 있다.
- [0039] 캡핑 재료(capping material) (126)가 다른 인공 초격자 구조 (124) 위에 놓여질 수 있다. 캡핑 재료 (126)는 CoFeB 재료를 포함할 수 있다. 본 출원에서 사용되는, 용어 “CoFeB 재료”는 코발트 (Co), 철 (Fe), 및 붕소 (B)를 포함하는 재료를 의미하고 포함한다 (예를 들어, $\text{Co}_x\text{Fe}_y\text{B}_z$, 여기서 $x = 10$ 내지 80, $y = 10$ 내지 80, 및 $z = 0$ 내지 50). CoFeB 재료는 그것의 구성 (예를 들어, 그것의 두께)에 의존하여 자성을 나타내거나 또는 나타내지 않을 수 있다. 캡핑 재료 (126)는 다른 인공 초격자 구조 (124) 바로 위에 놓여 접촉할 수 있다. 캡핑 재료 (126)는 인공 초격자 구조 (124)의 자기 재료 (117) 또는 전도성 재료 (119)를 접촉할 수 있다. 캡핑 재료 (126)는 약 5 Å과 약 15 Å 사이, 예컨대 약 5 Å과 약 10 Å 사이, 또는 약 10 Å과 약 15 Å 사이의 두께를 가질 수 있다. 일부 실시예들에서, 캡핑 재료 (126)는 약 10 Å의 두께를 가진다.
- [0040] 절연 영역 (128)은 캡핑 재료 (126) 위에 놓여질 수 있다. 일부 실시예들에서, 절연 영역 (128)은 캡핑 재료 (126) 바로 위에 놓여 접촉한다. 절연 영역 (128)은 통상 자기 터널 접합 (MTJ : magnetic tunnel junction) 영역들에 옥사이드 재료들 및 나이트라이드 재료들 예컨대 마그네슘 옥사이드 (MgO), 알루미늄 옥사이드 (Al_2O_3), 티타늄 디옥사이드 (TiO_2), 티타늄 나이트라이드 (TiN), 알루미늄 나이트라이드 (AlN), 또는 다른 옥사이드 또는 나이트라이드 재료들을 포함하는 비자기 (예를 들어, 자기적으로 절연의) 재료를 포함할 수 있다. 절연 영역 (128)은 자유 영역 (132)에 자기 이방성을 유도하고 그리고 고정 영역 (130), 절연 영역 (128), 및 자유 영역 (132)의 상호 작용에 의해 달성되는 MTJ의 터널 영역으로 기능하도록 구성될 수 있다. 다른 실시예들에서, 절연 영역 (128)은 전기적으로 전도성, 비-자기 재료, 예컨대 스핀 밸브 구조(spin valve structure)들에 사용되는 재료들을 포함할 수 있다.

- [0041] 자기 셀 코어 (101)는 절연 영역 (128) 위에 배치된 자유 영역 (132)을 더 포함할 수 있다. 자유 영역 (132)은 균질(homogeneous)일 수 있거나, 또는 하나 초과와 서브-영역을 포함할 수 있다. 자유 영역 (132)은 메모리 셀의 사용 및 동작 동안에 화살표들 (133)에 의해 표시된 스위칭가능한 자기 방위를 나타내는 자기 재료를 포함할 수 있다. 스위칭가능한 자기 방위는 자기 셀 구조(100)에 전류 또는 인가된 필드의 적용에 의해 평행 구성과 비-평행 구성 사이에서 스위칭될 수 있다.
- [0042] 일부 실시예들에서, 자유 영역 (132)은 통상 자유 영역 (즉, 인공 초격자 구조 (120), 다른 인공 초격자 구조 (124), 및 커플링 재료 (122)와 상이한 재료들을 포함하는 자기 영역)일 수 있다. 다른 실시예들에서, 자유 영역 (132)은 고정 영역(130)의 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)의 각각과 동일한 재료들을 포함할 수 있다. 자유 영역 (132)은 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)에 유사한 자기 재료 (117) 및 전도성 재료 (119)의 교번하는 부분들을 포함할 수 있다. 그러나, 자유 영역 (132)은 거기에 제한되지 않고 스위칭가능한 자기 방위를 나타내는 다른 적절한 자기 재료들을 포함할 수 있다.
- [0043] 하나 이상의 상단 중간 영역들 (134)이 옵션으로, 자유 영역 (132) 위에 배치될 수 있다. 상단 중간 영역 (134)이 만약 포함된다면, 메모리 셀의 동작 동안 상단 전극 (136) 과 하지의(underlying) 재료들간의 종들의 확산을 억제하도록 구성될 수 있다. 상단 중간 영역 (134)은 전도성 캡핑(conductive capping) 영역을 형성할 수 있는 전도성 재료 (예를 들어, 하나 이상의 재료들 예컨대 구리, 탄탈륨, 티타늄, 텅스텐, 루테튬, 탄탈륨 나이트라이드, 또는 티타늄 나이트라이드)을 포함할 수 있다. 다른 실시예들에서, 상단 중간 영역 (134)은 절연 재료 예컨대 MgO, Al₂O₃, TiO₂, 및 그것의 조합들을 또한 포함할 수 있다.
- [0044] 상단 전극 (136)이 상단 중간 영역 (134) 위에 놓여질 수 있다. 상단 전극 (136)은 구리, 텅스텐, 백금, 팔라듐, 티타늄, 탄탈륨, 니켈, 티타늄 나이트라이드, 탄탈륨 나이트라이드, 텅스텐 나이트라이드, 폴리실리콘, 금속 규화물, 금속 합금, 또는 그것의 조합들을 포함할 수 있다. 일부 실시예들에서, 상단 전극 (136)은 하단 전극 (104)과 동일한 재료들을 포함한다.
- [0045] 도 2의 자기 셀 구조(100)는 “바닥-핀 고정된(bottom-pinned)” 메모리 셀 (즉, 고정 영역 (130)이 자유 영역 (132) 아래에 배치된 메모리 셀)로 구성된다. 그러나, 도 3의 실시예와 같은 다른 실시예들에서, 고정 영역 (130')이 자유 영역 (132') 위에 놓여질 수 있다. 따라서, 도 3을 참고로 하여, 자기 셀 구조 (150)는 상부 핀 고정된(top pinned) 메모리 셀로 구성될 수 있다. 자기 셀 구조 (150)는 하단 전극 (104) 및 상단 전극 (134)사이에 배치된 자기 셀 코어 (101')를 포함할 수 있다.
- [0046] 자기 셀 구조 (150)는 하단 전극 (104) 위에 놓인 하단 중간 영역 (106)을 포함할 수 있다. 아몰퍼스 재료 (108)가 만약 존재한다면 하단 중간 영역 (106) 위에 놓여질 수 있다. 시드 재료 (110)가 만약 존재한다면 아몰퍼스 재료 (108) 위에 놓여질 수 있다. 다른 실시예들에서, 시드 재료 (110)는 하단 전극 (104) 또는 만약 존재한다면 하단 중간 영역 (106) 바로 위에 놓여질 수 있다. 시드 재료 (110)는 도 1a 및 도 2를 참고로 하여 상기에서 설명된 것과 동일할 수 있다. 예를 들어, 시드 재료 (110)는 탄탈륨 부분 (112), 백금 부분 (114), 및 루테튬 부분 (116)을 포함할 수 있다. 백금 부분 (114)은 탄탈륨 부분 (112)과 루테튬 부분 (116) 사이에 바로 배치될 수 있다.
- [0047] 자유 영역 (132')은 시드 재료 (110) 바로 위에 놓여질 수 있다. 예를 들어, 자유 영역 (132')은 시드 재료 (110)의 루테튬 부분 (116) 바로 위에 놓여 컨택할 수 있다. 자유 영역 (132')은 도 2를 참고로 하여 상기에서 설명된 것과 동일한 재료들을 포함할 수 있다. 자유 영역 (132')은 화살표들 (133)에 의해 표시된 스위칭가능한 자기 방위를 포함할 수 있다.
- [0048] 절연 영역 (128')은 자유 영역 (132') 위에 놓여질 수 있다. 절연 영역 (128')은 도 2를 참고로 하여 상기에서 설명된 것과 동일한 재료들을 포함할 수 있다. 절연 영역 (128')은 자유 영역 (132')과 고정 영역 (130') 사이에 바로 배치될 수 있다.
- [0049] 고정 영역 (130')은 절연 영역 (128') 바로 위에 놓여질 수 있다. 고정 영역 (130')은 화살표들 (121)에 의해 표시된 고정된 자기 방위를 포함할 수 있다. 고정 영역 (130')은 인공 초격자 구조 (120'), 커플링 재료 (122'), 다른 인공 초격자 구조 (124'), 및 캡핑 재료 (126')를 포함할 수 있다. 인공 초격자 구조 (120'), 커플링 재료 (122'), 다른 인공 초격자 구조 (124'), 및 캡핑 재료 (126')의 각각은 인공 초격자 구조 (120), 커플링 재료 (122), 다른 인공 초격자 구조 (124), 및 캡핑 재료 (126), 개별적으로, 도 2를 참고로 하여 상기에서 설명된 것과 동일할 수 있다. 그러나, 고정 영역 (130')은 도 2의 자기 셀 구조 (100)에서와 같이 시드 재료 (110) 위에 바로 놓여지지 않을 수 있다. 오히려, 고정 영역 (130')의 인공 초격자 구조 (120')은

아래의 절연 영역 (128')을 직접 컨택할 수 있다.

- [0050] 옵션의 상단 중간 영역 (134)이 캡핑 재료 (126') 위에 놓여질 수 있다. 상단 전극 (136)이 만약 존재한다면 상단 중간 영역 (134) 위에 놓여질 수 있다.
- [0051] 본 개시의 실시예들의 메모리 셀들은 “평면외(out-of-plane)” STT-MRAM 셀들로 구성될 수 있다. “평면외” STT-MRAM 셀들은 수직 방향으로 지배적으로(predominately) 방위된 자기 방위를 나타내는 자기 영역들을 포함할 수 있다 (예를 들어, STT-MRAM 셀이 위치되는 기판의 주 표면(primary surface)에 수직인 방향 또는 개별 영역의 폭 및 길에 수직인 방향). 예를 들어, 도 2 및 도 3에 예시된 바와 같이, STT-MRAM 셀은 자기 영역들 (예를 들어, 고정 영역 (130) 및 자유 영역 (132)) 중 적어도 하나에서 수직 자기 방위를 나타내도록 구성될 수 있다. 도 2 및 도 3에 표시된 대로, 고정 영역 (130)과 자유 영역 (132)의 각각은 화살표들 (121) 및 화살표들 (133)에 의해 표시된 수직 자기 방위를 나타낼 수 있다. 고정 영역 (130)의 자기 방위는 본질적으로 STT MRAM 셀의 사용 및 동작 내내 동일한 방향으로, 예를 들어, 화살표들 (121)에 의해 표시된 방향으로 지향되도록 유지될 수 있다. 반면에, 자유 영역(132)의 자기 방위는 셀의 사용 및 동작 동안, 화살표들 (133)에 의해 표시된 것처럼 평행 구성(parallel configuration)과 비-평행 구성(anti-parallel configuration) 사이에서 스위칭될 수 있다.
- [0052] 반도체 디바이스는 한쌍의 전극들 사이에 배치된 본 개시의 자기 셀 구조를 포함하는 적어도 하나의 메모리 셀을 포함할 수 있다.
- [0053] 이어서, 반도체 디바이스가 개시된다. 반도체 디바이스는 기판 위에 전극 위에 놓인 적어도 하나의 자기 셀 구조를 포함하고, 적어도 하나의 자기 셀 구조는 기판 위에 전극 위에 놓인 탄탈륨, 백금, 및 루테튬을 포함하는 시드 재료, 시드 재료 위에 놓인 자기 영역, 자기 영역 위에 놓인 절연 재료, 절연 재료 위에 놓인 다른 자기 영역, 및 다른 자기 영역 위에 놓인 다른 전극을 포함한다.
- [0054] 도 4a 내지 도 4d에 관련하여, 도 2의 자기 셀 구조 (100)를 형성하는 방법이 도시된다. 방법은 기판 (202) 위에 자기 셀 구조 (200)를 형성하는 단계를 포함할 수 있다. 하단 전극 재료 (204)가 기판 (202) 위에 형성될 수 있다. 하단 전극 재료 (204)는 하단 전극 (104)을 참고로 하여 상기에서 설명된 임의의 재료들을 포함할 수 있다.
- [0055] 중간 영역 재료 (206)가 옵션으로, 하단 전극 재료 (204) 위에 형성될 수 있다. 하단 중간 영역 재료 (206)는 하단 중간 영역 (106)를 참고로 하여 상기에서 설명된 임의의 재료들로 형성될 수 있다. 일부 실시예들에서, 하단 중간 영역 재료 (206)는 하단 전극 재료 (204)의 전도성 재료와 통합될 수 있다. 예를 들어, 하단 중간 영역 재료 (206)는 하단 전극 재료 (204)의 최상단(upper-most) 서브-영역일 수 있다.
- [0056] 아몰퍼스 재료 (208)가 하단 전극 재료 (204) 또는 만약 존재한다면 하단 중간 영역 재료 (206) 위에 형성될 수 있다. 아몰퍼스 재료(208)는 아몰퍼스 재료 (108)를 참고로 하여 상기에서 설명된 것과 동일한 재료들을 포함할 수 있다. 아몰퍼스 재료 (208)는 아몰퍼스 재료 (208)의 상단 부분을 산화시키기 위한 산화 상태에 노출될 수 있다. 비 제한적인 예제의 방식으로, 아몰퍼스 재료 (208)는 약 일분 내지 약 30 분 사이 동안 약 20°C 과 약 50°C 사이의 온도에서 산화 분위기(atmosphere)에 노출될 수 있다.
- [0057] 도 4b에 관련하여, 시드 재료 (210)는 만약 존재한다면, 아몰퍼스 재료 (208), 만약 존재한다면, 하단 중간 영역 재료 (206) 또는 하단 전극 재료 (204) 위에 형성될 수 있다. 시드 재료 (210)는 도 1a를 참고로 하여 상기에서 설명된 것처럼 형성될 수 있다. 예를 들어, 탄탈륨 재료 (212)가 아몰퍼스 재료 (208) 위에 형성될 수 있다. 백금 재료 (214)가 탄탈륨 재료 (212) 위에 형성될 수 있고 루테튬 재료 (216)가 백금 재료 (214) 위에 형성될 수 있다. 백금 재료 (214)는 탄탈륨 재료 (212)와 루테튬 재료 (216) 사이에 바로 형성될 수 있다. 탄탈륨 재료 (212), 백금 재료 (214), 및 루테튬 재료 (216)의 각각은 스퍼터링 증착, 예컨대 마그네트론 스퍼터링 (예를 들어, 하이-파워 임펄스 마그네트론 스퍼터링 (HIPIMS), dc 마그네트론 스퍼터링, 등), 이온 빔 스퍼터링, 또는 다른 PVD 방법들에 의해 형성될 수 있다. 시드 재료 (110)는 또한 ALD, CVD, PECVD, LPCVD, 또는 다른 필름 증착 프로세스들 중 적어도 하나에 의해 형성될 수 있다. 탄탈륨 재료 (212), 백금 재료 (214), 및 루테튬 재료 (216)의 각각은 시드 재료 (110)를 참고로 하여 상기에서 설명된 두께로 형성될 수 있다.
- [0058] 도 4c에 관련하여, 고정 영역 재료(230)는 시드 재료 (210) 위에 형성될 수 있다. 고정 영역 재료 (230)은 시드 재료 (210) 위에 인공 초격자 구조 재료 (220), 인공 초격자 재료 (220) 위에 커플링 재료 (222), 커플링 재료 (222) 위에 다른 인공 초격자 재료 (224), 및 다른 인공 초격자 재료 (224) 위에 캡핑 재료 (226)를 포함할 수 있다. 고정 영역 재료(230)는 화살표들 (221)에 의해 표시된 고정된 자기 방위를 포함할 수 있다.

- [0059] 인공 초격자 구조 재료 (220)는 시드 재료 (210)의 루테튬 재료 (216) 위에 바로 형성될 수 있다. 인공 초격자 구조 재료 (220)는 도 1b의 인공 초격자 구조 (120)를 참고로 하여 상기에서 설명된 자기 재료 (117) 및 전도성 재료 (119)의 교번하는 부분들로 형성될 수 있다.
- [0060] 커플링 재료 (222)는 인공 초격자 구조 재료 (220) 위에 형성될 수 있다. 커플링 재료 (222)는 인공 초격자 구조 재료 (220)와 다른 인공 초격자 구조 재료 (224) 사이에 형성될 수 있다. 커플링 재료 (222)는 커플링 재료 (122)를 참고로 하여 상기에서 설명된 것과 동일한 재료들로 형성될 수 있다. 커플링 재료 (222)는 또한 ALD, CVD, PVD, PECVD, LPCVD, 또는 다른 필름 증착 프로세스들 중 적어도 하나에 의해 형성될 수 있다.
- [0061] 다른 인공 초격자 구조 재료 (224)는 커플링 재료 (222) 위에 바로 형성될 수 있다. 다른 인공 초격자 재료 (224)는 인공 초격자 재료 (220)와 동일한 재료들로 그리고 동일한 방식으로 형성될 수 있다.
- [0062] 캡핑 재료 (226)는 다른 인공 초격자 재료 (224) 위에 바로 형성될 수 있다. 캡핑 재료 (226)는 자기 재료 예컨대 CoFeB로 형성될 수 있다. 캡핑 재료 (226)는 약 5 Å과 약 15 Å 사이, 예컨대 약 5 Å과 약 10 Å 사이, 또는 약 10 Å과 약 15 Å 사이의 두께로 형성될 수 있다. 일부 실시예들에서, 캡핑 재료 (226)는 약 10 Å의 두께로 형성된다.
- [0063] 도 4d에 관련하여, 절연 재료(228)는 캡핑 재료 (226) 위에 형성될 수 있다. 절연 재료 (228)는 고정 영역 재료 (230)의 캡핑 재료 (226)와 자유 영역 재료 (232) 사이에 형성될 수 있다. 절연 재료 (228)는 절연 영역 (128)를 참고로 하여 상기에서 설명된 것과 동일한 재료들로 형성될 수 있다. 절연 재료 (228)는 또한 ALD, CVD, PECVD, LPCVD, PVD 또는 다른 필름 증착 프로세스들 중 적어도 하나에 의해 형성될 수 있다.
- [0064] 자유 영역 재료 (232)는 절연 재료 (228) 위에 바로 형성될 수 있다. 자유 영역 재료 (232)는 고정 영역 재료 (230)의 인공 초격자 재료 (220) 및 다른 인공 초격자 재료 (224)과 유사한 방법들에 의해 그리고 동일한 재료들로 형성될 수 있다. 자유 영역 재료(232)는 화살표들 (233)에 의해 표시된 스위칭가능한 자기 방위를 나타내는 자기 재료를 포함할 수 있다.
- [0065] 상단 중간 영역 재료 (234)가 옵션으로 자유 영역 재료 (232) 위에 형성될 수 있고 하단 중간 영역 재료 (206)와 동일한 재료들을 포함할 수 있다. 따라서, 자기 셀 코어 (201)는 하단 중간 영역 재료 (206), 아몰퍼스 재료 (208), 시드 재료 (210), 고정 영역 재료 (230), 절연 재료 (228), 자유 영역 재료 (232), 및 상단 중간 영역 재료 (234)를 포함할 수 있다.
- [0066] 상단 전극 재료 (236)가 만약 존재한다면, 상단 중간 영역 재료 (234), 위에 또는 자유 영역 재료 (232) 위에 형성될 수 있다. 상단 전극 재료 (236)는 상단 전극 (136)을 참고로 하여 상기에서 설명된 것과 동일한 재료들을 포함할 수 있다.
- [0067] 도 2 에 도시된 자기 셀 구조 (100) (도 2) 를 형성하기 위해 자기 셀 구조 (200)는 프로세스될 수 있다. 자기 셀 구조 (200)는 통상의 포토리소그래피, 재료 제거, 에칭, 또는 본원에서 상세하게 설명되지 않는 다른 프로세스들에 의해 프로세스될 수 있다.
- [0068] 시드 재료 (210) 및 자기 셀 구조 (100) 또는 자기 셀 구조 (200)는 자기 셀 구조 (100)의 상이한 부분들을 결정화하기 위한 어닐링 조건들에 노출될 수 있다. 예를 들어, 자기 셀 구조 (100)는 약 300°C 과 약 500°C (예를 들어, 약 400°C) 사이의 온도에 노출될 수 있고 약 일분 (약 1 min.) 내지 약 한 시간 (약 1 hr.) 동안 어닐링 온도에 유지될 수 있다. 일부 실시예들에서, 자기 셀 구조 (100)는 약 300°C에서 약 한 시간 동안 어닐링된다. 어닐링 온도 및 시간은 자기 셀 구조 (100)의 재료들에 기초하여 조정될 수 있다. 일부 실시예들에서, 자기 셀 구조 (100)는 스테이지(stage)들에서 어닐링된다. 예를 들어, 자기 셀 구조 (100)는 약 한 시간 동안 300°C에서 어닐링될 수 있고 그런다음 약 한 시간 동안 약 360°C에서 어닐링될 수 있다. 다른 실시예들에서, 자기 셀 구조 (100)는 약 15 분 내지 약 30 분 사이 동안 약 400°C에서 어닐링된다.
- [0069] 비록 도 4a 내지 도 4d를 참고로 하여 설명된 자기 셀 구조 (200)는 도 2의 자기 셀 구조 (100)를 형성하는 단계를 설명하지만, 도 3의 자기 셀 구조 (150)는 유사한 방법들에 의해 형성될 수 있다. 그러나, 자유 영역 (132)은 시드 재료 (110) 위에 형성될 것이고, 절연 재료 (228)는 자유 영역 (132) 위에 형성될 것이고, 및 고정 영역 (130)은 절연 재료 (228) 위에 형성될 것이고, 도 3의 자기 셀 구조 (150)로 귀결된다.
- [0070] 어닐링 자기 셀 구조 (100)는 커플링 재료 (122)에 대한 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)의 커플링 세기 및 PMA를 증가시킬 수 있다. 자기 셀 구조(100)는 인공 초격자 구조 (120) 및 다른 인공 초격자 구조 (124)를 반강자성으로(antiferromagnetically) 결합하기 위해 어닐링될 수 있다. 약 4 Å과 약 5

Å의 두께를 갖는 커플링 재료는 인공 초격자 구조 (120)와 다른 인공 초격자 구조 (124) 사이에 개선된 반강자성의 커플링을 나타낼 수 있고 재료들의 강자성의 커플링을 나타내지 않을 수 있다.

- [0071] 시드 재료 (110)의 백금 부분 (114)은 자기 셀들 구조 (100)의 열적 안정성을 증가시킬 수 있다. 예를 들어, 일부 실시예들에서, 자기 셀 구조 (100)는 자기 특성들 (예를 들어, 평면내 자기 쌍극자 모멘트들의 형성)저하 없이 약 400°C 까지 또는 그것을 초과하는 온도에서 어닐링될 수 있다.
- [0072] 도 5을 참조하여, 시스템 요건들 및 제조 기술에 의존하여, 다수의 로우들 및 컬럼들을 포함한 그리드 패턴 (grid pattern)으로, 또는 다양한 다른 배열들로 메모리 셀들의 어레이를 형성하기 위해 제조될 수 있는 STT-MRAM 셀(514) 또는 이들의 그룹과 동작 가능하게 통신하는 주변 디바이스들(512)을 포함하는 STT-RAM 시스템 (500)이 예시된다. STT-MRAM 셀(514)은 자기 셀 코어(502), 액세스 트랜지스터(503), 데이터/감지 라인(504) (예로서, 비트 라인)으로서 기능할 수 있는 전도성 재료, 액세스 라인(505)(예로서, 워드 라인)으로서 기능할 수 있는 전도성 재료, 및 소스 라인(506)으로서 기능할 수 있는 전도성 재료를 포함할 수 있다. STT-MRAM 시스템의 주변 디바이스들(512)은 판독/기록 회로(507), 비트 라인 기준(508), 및 감지 증폭기(509)를 포함할 수 있다. 자기 셀 코어 (502)는 상기에서 설명된 자기 셀 코어들 (101,101') 중 임의의 하나일 수 있다.
- [0073] 메모리 셀들의 어레이는 기판 위에 어레이로 배열된 복수개의 자기 셀 구조들 (100, 150)을 포함한다. 자기 셀 구조들 (100, 150)는 자기 셀 코어 (101,101')를 각각 포함할 수 있고, 이의 자석 셀 코어들 (101,101')은 상기에서 설명된 방법에 따라 형성될 수 있다. 메모리 셀들의 어레이는 그리드 패턴(grid pattern)으로 배열된 복수개의 메모리 셀 구조들을 포함할 수 있다. 메모리 셀들의 어레이의 각각의 메모리 셀은 하단 전극 (104)과 상단 전극 (136) 사이에, 예컨대 메모리 셀들의 교차점(cross-point) 어레이에 배치될 수 있다.
- [0074] 이어서, 반도체 디바이스가 개시된다. 반도체 디바이스는 스핀 토크 전송 자기 랜덤 액세스 메모리 (STT-MRAM) 셀들의 어레이를 포함하고, 각각의 STT-MRAM 셀은 기판 위에 제 1 전극 위에 놓인 시드 재료, 시드 재료는 탄탈륨, 백금, 및 루테튬을 포함하고, 시드 재료 위에 놓인 자기 영역, 자기 영역 위에 놓인 절연 재료, 및 절연 재료 위에 놓인 다른 자기 영역, 및 각각의 STT-MRAM 셀들 위에 놓인 제 2 전극을 포함한다.
- [0075] 이어서, 반도체 디바이스를 형성하는 방법이 개시된다. 방법은 기판 위에 전극 위에 자기 셀 구조들의 어레이를 형성하는 단계를 포함하고, 자기 셀 구조들의 어레이를 형성하는 단계는 기판 위에 전극 위에 탄탈륨, 백금, 및 루테튬을 포함하는 시드 재료를 형성하는 단계, 시드 재료 위에 자기 재료를 형성하는 단계, 자기 재료 위에 절연 재료를 형성하는 단계, 및 절연 재료 위에 다른 자기 재료를 형성하는 단계를 포함하고, 및 어레이의 각각의 자기 셀 구조들의 다른 자기 영역 위에 다른 전극을 형성하는 단계를 더 포함한다.
- [0076] 사용 및 동작에 있어서, STT-MRAM 셀(514)이 프로그래밍되도록 선택될 때, 프로그래밍 전류는 STT-MRAM 셀(514)에 인가되며, 전류는 자기 셀 코어(502)의 고정 영역에 의해 스핀-극성화되고, 셀 코어(502)의 자유 영역 상에 토크를 가하며, 이것은 STT-MRAM 셀(514)에 기록" 하거나 또는 이를 "프로그램" 하기 위해 자유 영역의 자기화를 스위칭한다. STT-MRAM 셀(514)의 판독 동작에서, 전류는 자기 셀 코어(502)의 저항 상태를 검출하기 위해 사용된다.
- [0077] STT-MRAM 셀 (514)의 프로그래밍을 시작하기 위해, 판독/기록 회로부 (507)는 데이터/감지 라인 (504) 및 소스 라인 (506)에 기록 전류 (즉, 프로그래밍 전류)를 발생시킬 수 있다. 데이터/감지 라인 (504)과 소스 라인 (506)사이의 전압의 극성이 자기 셀 코어 (502)내 자유 영역의 자기 방위에서 스위치를 결정한다. 자유 영역의 자기 방위를 스핀 극성 (spin polarity)로 변화시킴으로써, 자유 영역은 프로그래밍 전류의 스핀 극성에 따라 자화되고 및 프로그래밍된 로직 상태는 STT-MRAM 셀 (514)에 기록된다.
- [0078] STT-MRAM 셀(514)을 판독하기 위해, 판독/기록 회로(507)가 셀 코어(502) 및 액세스 트랜지스터(503)를 통해 데이터/감지 라인(504) 및 소스 라인(506)에 대한 판독 전압을 생성한다. STT-MRAM 셀(514)의 프로그램된 상태는 셀 코어(502)에 걸친 전기 저항과 관련되며, 이것은 데이터/감지 라인(504) 및 소스 라인(506) 사이에서의 전압 차에 의해 결정될 수 있다. 일부 실시예들에서, 전압 차이는 비트 라인 기준 (508)에 비교될 수 있고 감지 증폭기 (509)에 의해 증폭될 수 있다.
- [0079] 도 5 는 적어도 하나의 메모리 셀을 포함하는 STT-MRAM 시스템 (500)의 일 예를 예시한다. 그러나, 자기 셀 코어들 (101,101')은 자기 영역들을 갖는 자기 셀 코어에 통합하도록 구성된 임의의 STT MRAM 시스템내에 통합될 수 있고 이용될 수 있다는 것이 고려된다. 자기 셀 코어들 (101,101')은 STT-MRAM 셀들 외에 다른 자기 메모리 셀들에 사용될 수 있다는 것이 또한 고려된다.

- [0080] 예들
- [0081] 예 1
- [0082] 도 6 은 통상의 시드 재료를 포함하는 (예를 들어, 단지 탄탈륨 및 루테튬만을 포함하는) 자기 구조에 비교된 백금-함유 시드 재료를 포함하는 자기 구조의 이방성 필드 (즉, H_k)의 그래픽 표현이다. 코발트 및 백금의 교번하는 영역들을 포함하는 자기 구조가 각각의 백금-함유 시드 재료 및 통상의 시드 재료 위에 형성된다. 백금-함유 시드 재료는 기관 위에 대략 30 Å 탄탈륨, 탄탈륨 위에 대략 50 Å 백금, 및 백금 위에 대략 50 Å 루테튬을 포함한다. 통상의 시드 재료는 기관 위에 대략 30 Å 탄탈륨, 탄탈륨 위에 바로 대략 50 Å 루테튬을 포함한다. 백금-함유 시드 재료를 포함하는 자기 구조의 이방성 필드는 통상의 시드 재료를 포함하는 자기 구조의 이방성보다 대략 25 퍼센트 (25%) 더 크다. 예를 들어, 평면내 루프 평가(in-plane loop evaluation)는 통상의 시드 재료를 갖는 자기 재료의 대략 12,000 Oe에 비교되어 백금-함유 시드 재료를 포함하는 자기 구조에 대한 대략 15,000 Oe 의 H_k 값 (MA 세기의 표시)을 표시한다. 평면내 루프 평가는 백금-함유 시드 재료를 포함하는 자기 구조에 대하여 개선된 PMA를 표시한다. 백금을 포함하는 시드 재료를 포함하는 자기 구조는 또한 통상의 시드 재료 위에 형성된 자기 구조보다 그것의 자기 방위의 변경이 쉽지 않았다.
- [0083] 예 2
- [0084] 도 7 은 통상의 시드 재료를 포함하는 자기 셀 구조의 자기 특성들을 백금-함유 시드 재료를 함유하는 자기 셀 구조의 자기 특성들에 비교하는 평면의 루프이다. 도 2의 자기 셀 구조 (100)에 유사한 자기 셀 구조는 백금-함유 시드 재료 위에 그리고 통상의 시드 재료 위에 형성되었다. 백금-함유 시드 재료는 기관 위에 대략 30 Å 탄탈륨, 탄탈륨 위에 대략 50 Å 백금, 및 백금 위에 대략 50 Å 루테튬을 포함한다. 통상의 시드 재료는 기관 위에 탄탈륨 및 탄탈륨 위에 루테튬을 포함한다. 각각의 자기 셀 구조들은 약 1 hour 동안 대략 300°C에서의 어닐링 조건들에 노출되었다. 백금-함유 시드 재료를 포함하는 자기 셀 구조는 통상의 시드 재료를 포함하는 자기 셀 구조에 비교하여 개선된 교환 커플링(exchange coupling)을 나타낸다. 백금-함유 시드 재료를 갖는 자기 셀 구조는 약 8,255 Oe 의 고정 영역 (예를 들어, 다른 인공 초격자 구조 (124))의 상단 인공 초격자 구조에 대한 교환 커플링 필드를 나타내지만 반면 통상의 시드 재료를 갖는 자기 셀 구조는 약 7,750 Oe의 고정 영역의 상단 및 하단 인공 초격자 구조들 사이의 교환 커플링 세기 (예를 들어, 인공 초격자 구조 (120)과 다른 인공 초격자 구조 (124) 사이의)를 나타낸다. 따라서, 백금-함유 시드 재료를 포함하는 자기 셀 구조는 나타내다ed 다른 자기 셀 구조에 비하여 평면의 자기장 (예를 들어, PMA에서의 증가)에서 약 7 퍼센트 (7%) 증가를 나타낸다.
- [0085] 도 8a에 관련하여, 1 hour동안 대략 360°C의 다른 어닐링에 노출된 후에 도 7를 참고로 하여 설명된 자기 셀 구조들의 자기 특성들을 비교하는 평면의 루프 플롯들이 도시된다. 백금-함유 시드 재료를 포함하는 자기 셀 구조는 대략 360°C에서 추가 어닐링 후에 통상의 시드 재료를 포함하는 자기 셀 구조보다 더 작은 자기 성능저하 (degradation)를 나타낸다. 예를 들어, 백금-함유 시드 재료를 갖는 자기 셀 구조의 상단 자기 영역 (예를 들어, 도 2의 다른 인공 초격자 구조 (124))은 통상의 시드 재료를 갖는 자기 셀 구조보다 커플링 재료 (예를 들어, 도 2의 커플링 재료 (122))에 대한 더 강한 커플링 및 개선된 PMA를 나타낸다. 백금-함유 시드 재료는 어닐링 후에 자기 셀 구조의 자기 저항이 줄어드는 양이 최소화된다. 예를 들어, 통상의 시드 재료를 갖는 자기 셀 구조 어닐링은 대략 46 퍼센트 (46%) 만큼 구조의 자기저항이 줄어들지만 반면에 백금-함유 시드 재료를 갖는 자기 셀 구조 어닐링은 대략 27 퍼센트 (27%) 만큼 구조의 자기 저항이 줄어든다.
- [0086] 도 8b에 관련하여, 백금-함유 시드 재료를 갖는 자기 셀은 최소 자기 성능저하를 갖는 개선된 평면의 자기장 (예를 들어, PMA)를 나타낸다. 예를 들어, 백금-함유 시드 재료를 포함하는 자기 셀 구조의 평면내 루프는 평면내 자기 모멘트를 나타내지 않았다. 반면에, 통상의 시드 재료를 자기 셀 구조는, 360°C에서 어닐링 후에 자기 성능저하 (예를 들어, 축소된 PMA, 평면내 자기 모멘트의 증가, 및 저하된 스위칭 특성들)을 나타낸다.
- [0087] 예 3
- [0088] 도 9a는 도 7를 참고로 하여 상기에서 설명된 백금-함유 시드 재료를 갖는 자기 셀 구조에 유사한 자기 셀 구조들의 평면의 자기장을 도시한 그래픽 표현이다. 도 9a의 자기 셀 구조들 중 하나에 백금-함유 시드 재료는 결정질 기관상에 성장되었고 (왼쪽 스케일) 및 도 9a의 다른 자기 셀 구조는 아몰퍼스 기관상에 성장되었다 (오른쪽 스케일). 결정질 기관상에 성장된 자기 셀 구조의 시드 재료의 탄탈륨 부분 또한 결정질이였다. 결정질 탄탈륨 위에 형성된 백금 및 루테튬은 다결정질 특성들을 나타냈고 결정질 입자들은 상이한 결정 방위들을 가졌다. 시드 재료 위에 형성된 인공 초격자 구조들 (예를 들어, 고정된 영역의 Co/Pt 인공 초격자 구조들)은 인공 초격자 구조들 사이에 루테튬 커플링 재료를 통한 약한 반강자성의 커플링 및 PMA에서의 감소를 나타냈다. 아몰퍼스 기

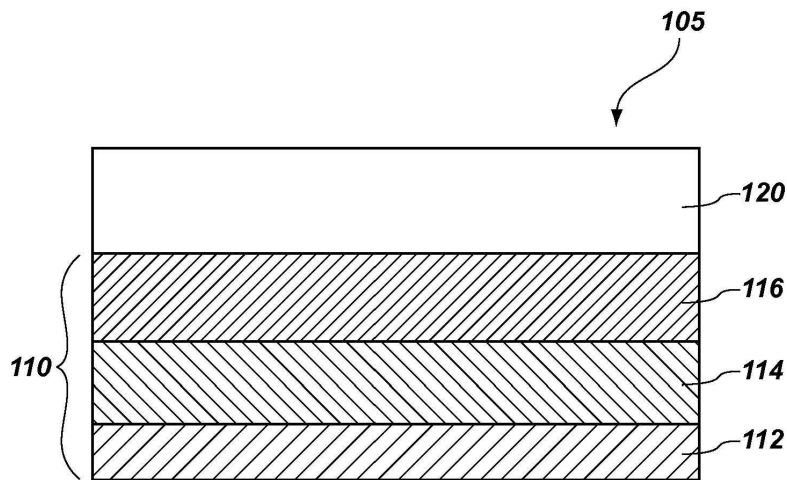
판 위에 형성된 탄탈륨 부분은 아몰퍼스였다. 시드 재료의 백금 및 루테튬 부분들은 균일한 결정질 구조를 나타냈고 시드 재료 위에 형성된 인공 초격자 구조들은 강한 PMA 및 루테튬 커플링 재료에 반강자성의 커플링을 나타냈다. 그래프에 도시된 바와 같이, 아몰퍼스 기관 위에 성장된 자기 셀 구조는 결정질 기관 위에 성장된 자기 셀 구조에 비하여 급격한(sharp) 스위칭 특성들을 나타냈다.

[0089] 도 9b에 관련하여, 아몰퍼스 기관 위에 성장된 자기 셀 구조 및 결정질 기관 위에 성장된 다른 자기 셀 구조의 평면의 자기장을 보여주는 그래프 표현이 도시된다. 각각의 자기 셀 구조들은 기관과 시드 재료 (예를 들어, 탄탈륨, 백금, 및 루테튬을 포함하는 시드 재료) 사이에 형성된 아몰퍼스 재료를 포함하였다. 기관 위에 아몰퍼스 재료는 대략 10 Å의 Ni₆₀Cr₄₀ 재료이었다. 아몰퍼스 재료의 노출된 부분은 산화되었다. 각각의 자기 셀 구조들에 시드 재료의 탄탈륨 부분은 아몰퍼스가었고 각각의 자기 셀 구조들은 높은 PMA 및 인공 초격자 구조들과 커플링 재료 사이에 강한 반강자성의 커플링을 나타냈다.

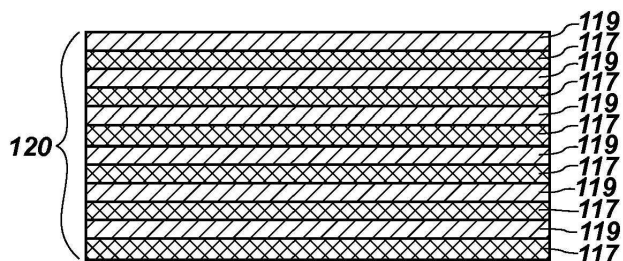
[0090] 어떤 예시적인 실시예들은 도면들과 관련하여 설명되었지만, 기술 분야에서의 통상의 기술자들은 본원에서 명확하게 도시되고 설명된 실시예들에 제한되지 않는다는 것을 이해하고 인식할 것이다. 오히려, 본 개시에 포함된 실시예들 예컨대 법적 등가물들을 포함하여 이하에서 청구된 것들의 범위에서 벗어남이 없이 본 출원에서 설명된 실시예들에 대하여 많은 추가사항들, 삭제 부분들, 및 수정예들이 제공될 수 있다. 추가하여, 일 개시된 실시예로부터의 특징부들은 발명자에 의해 고려되는 본 발명의 범위내에 계속 포함되면서 다른 개시된 실시예의 특징부들과 결합될 수 있다.

도면

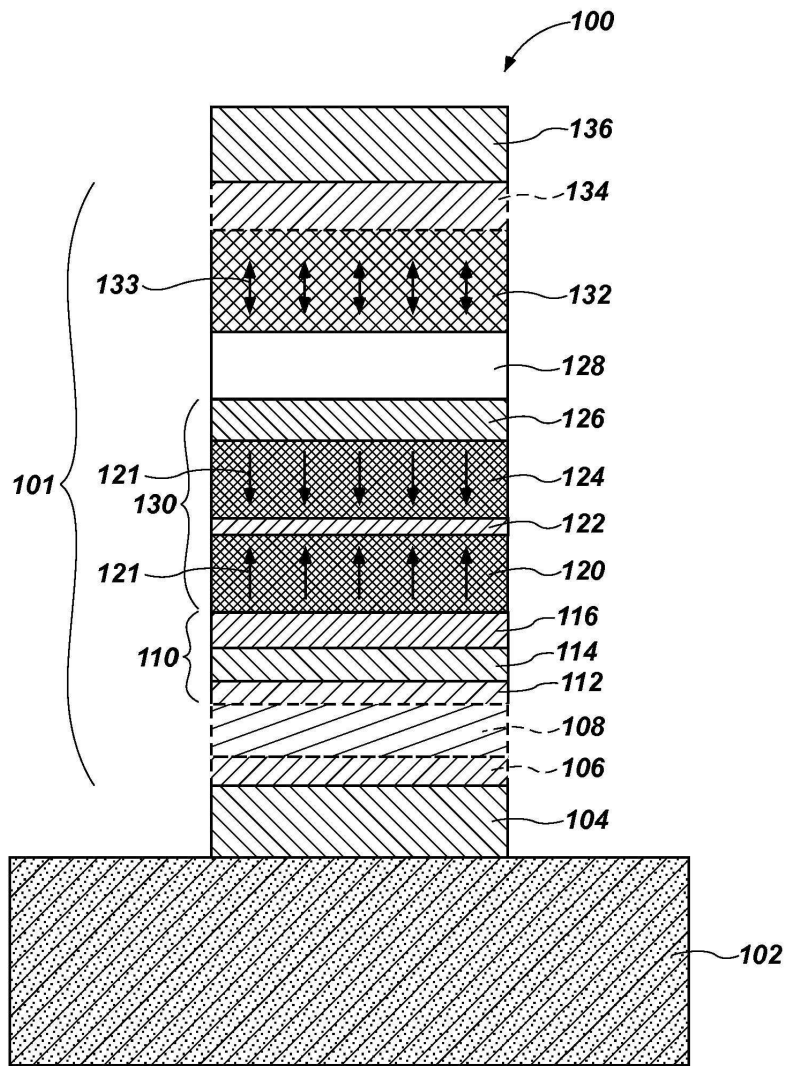
도면1a



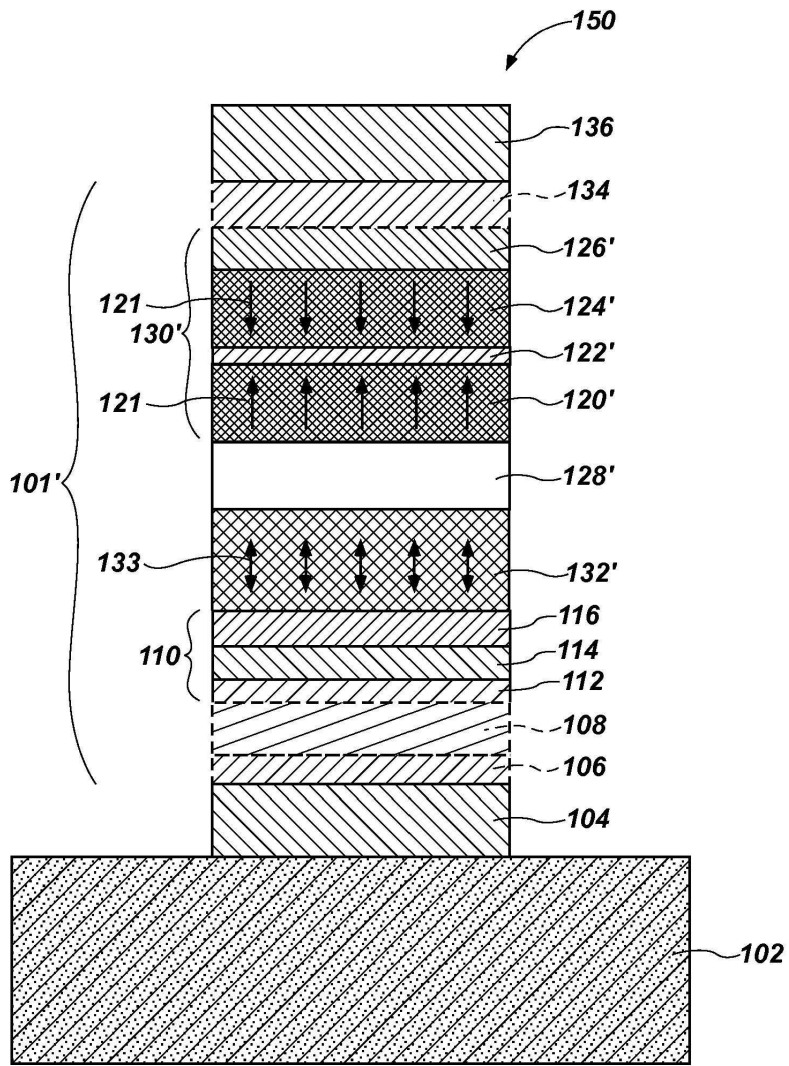
도면1b



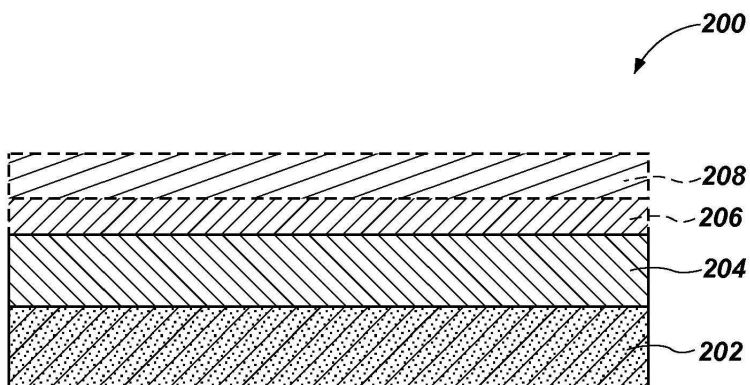
도면2



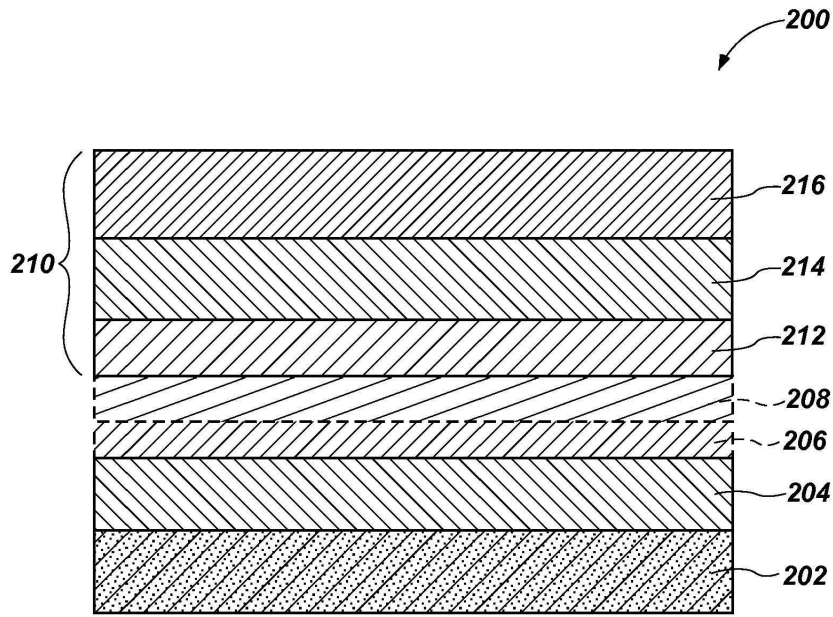
도면3



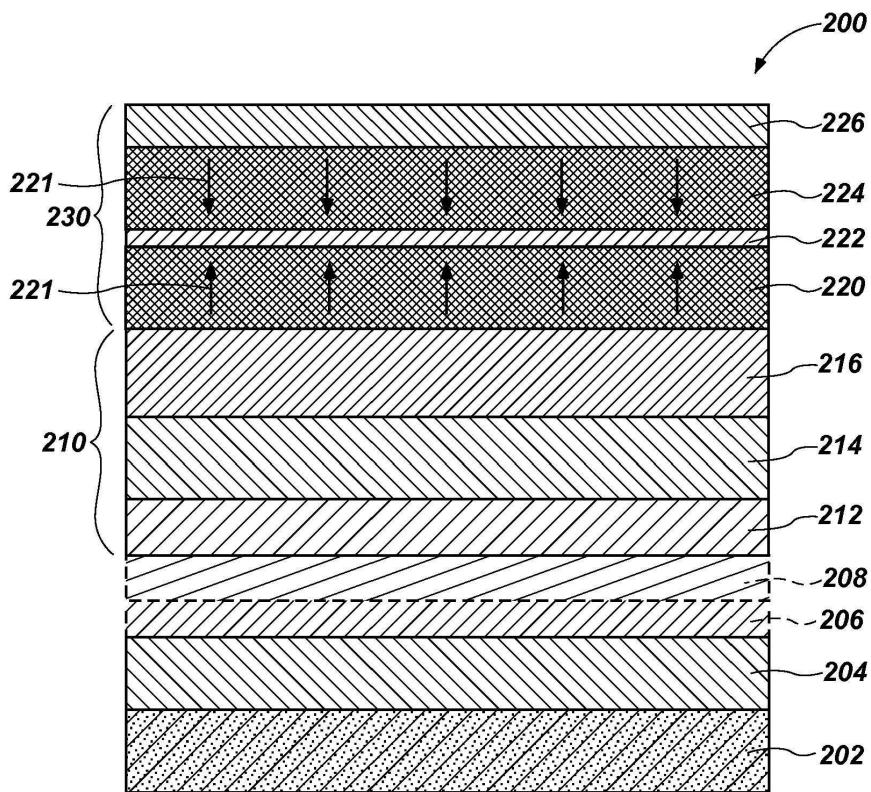
도면4a



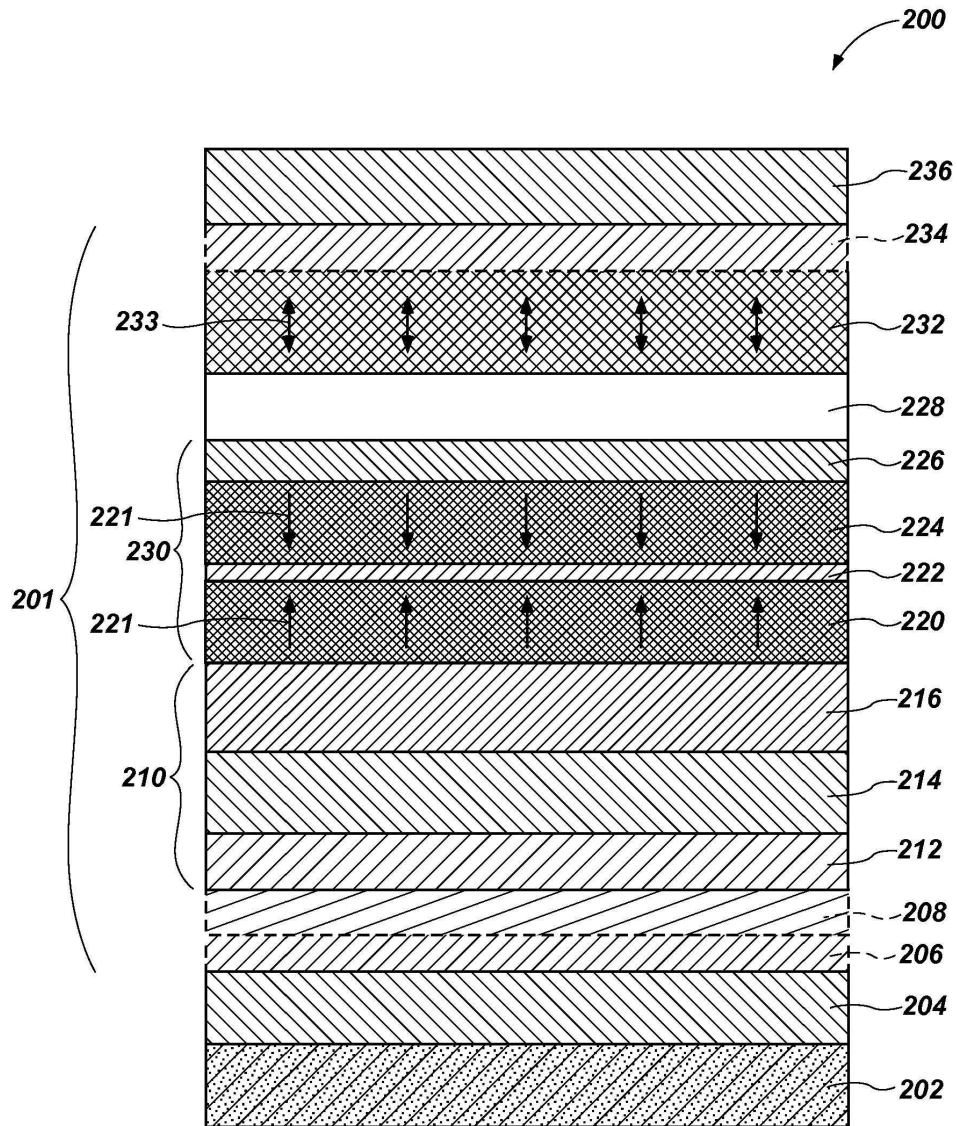
도면4b



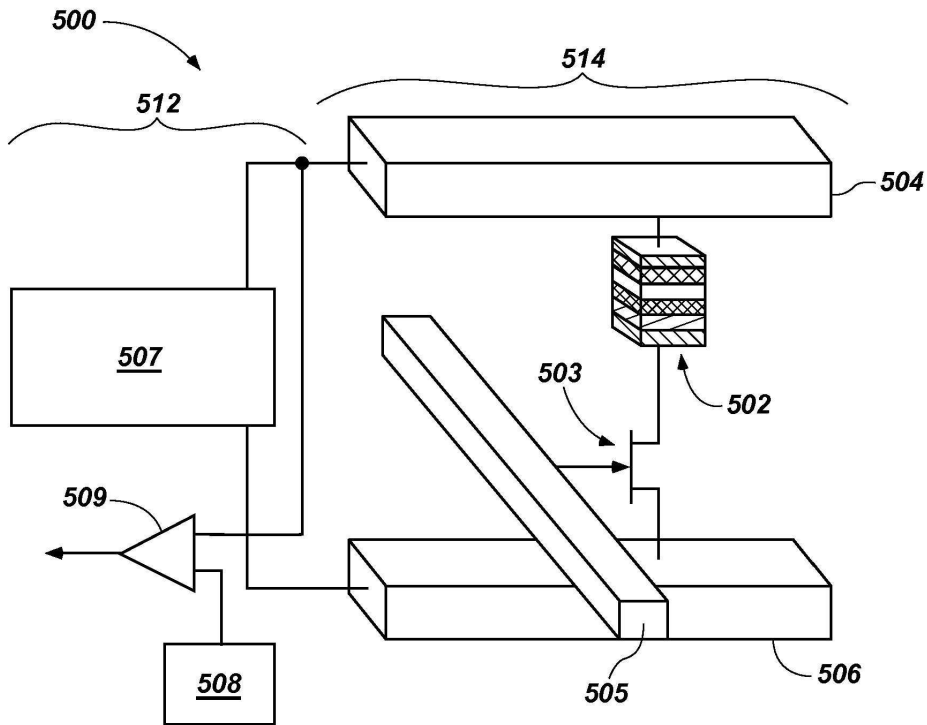
도면4c



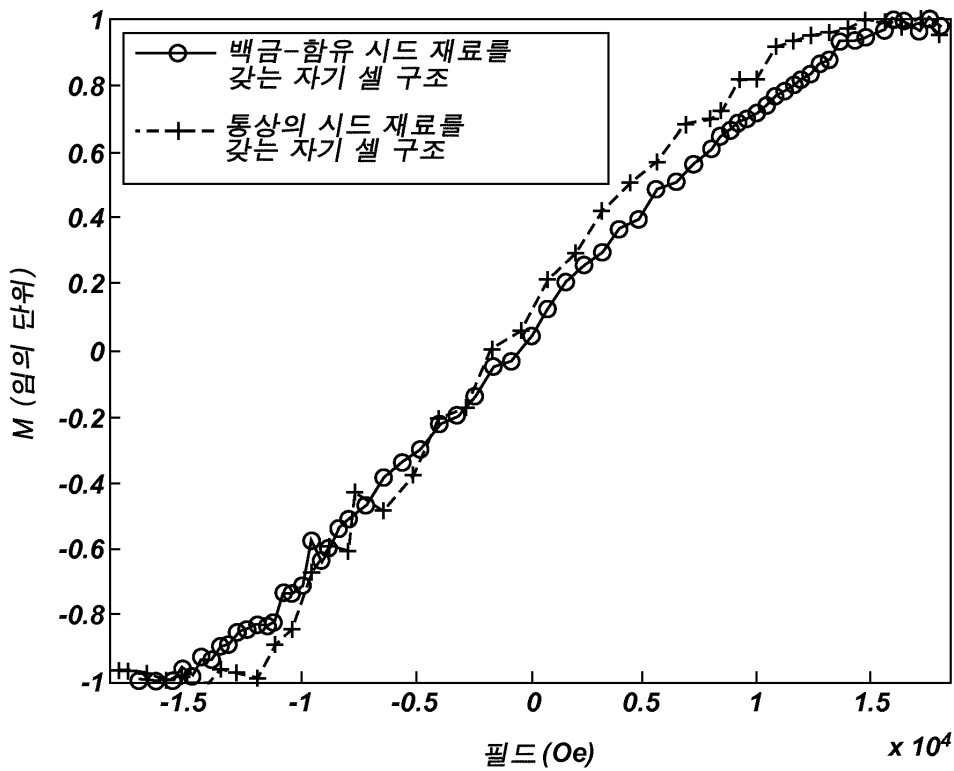
도면4d



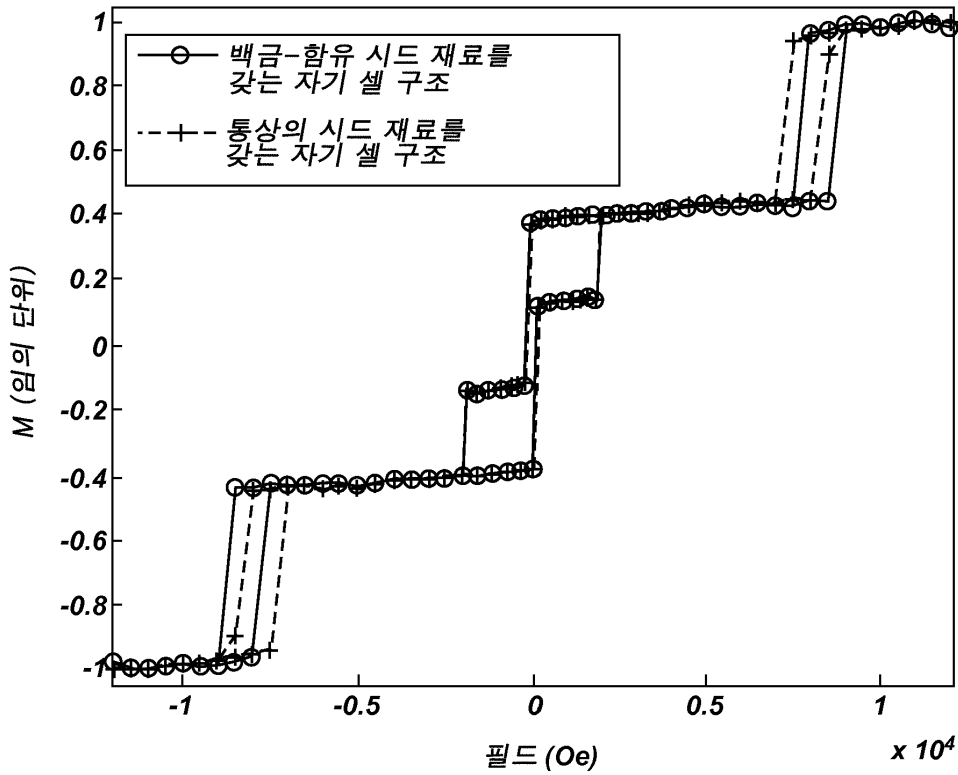
도면5



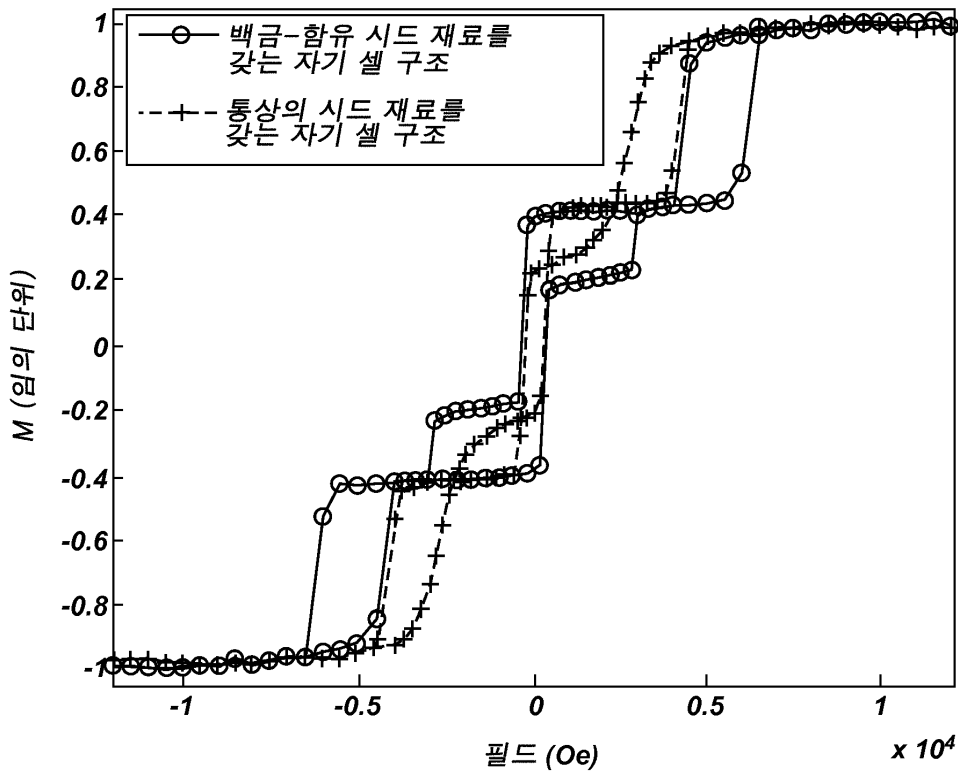
도면6



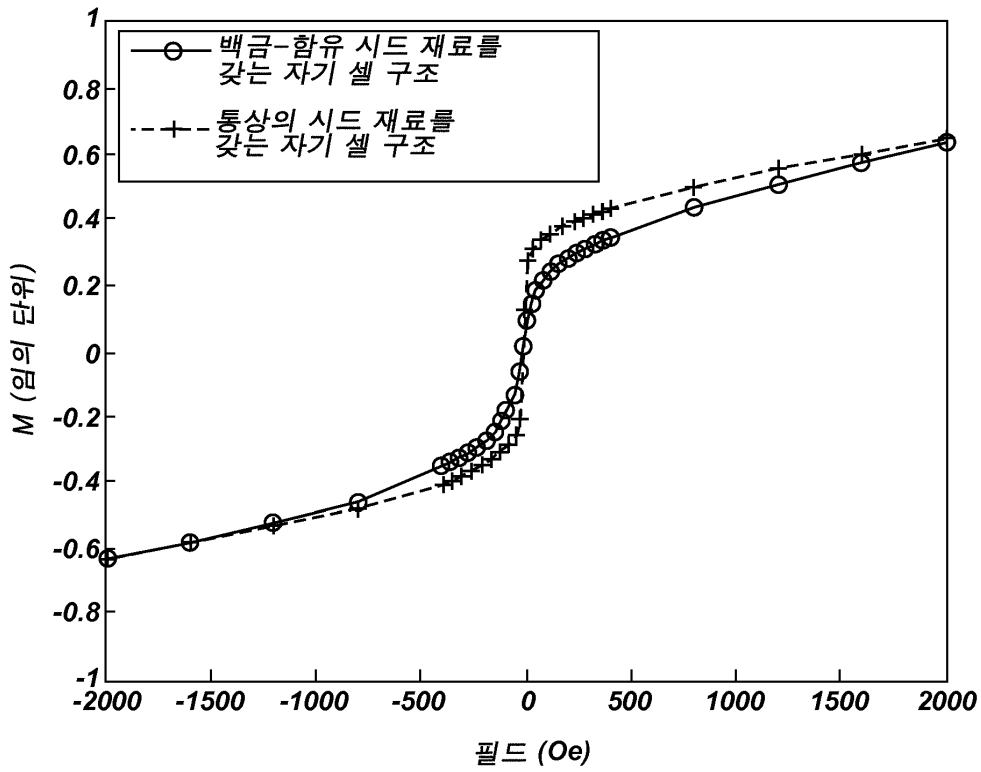
도면7



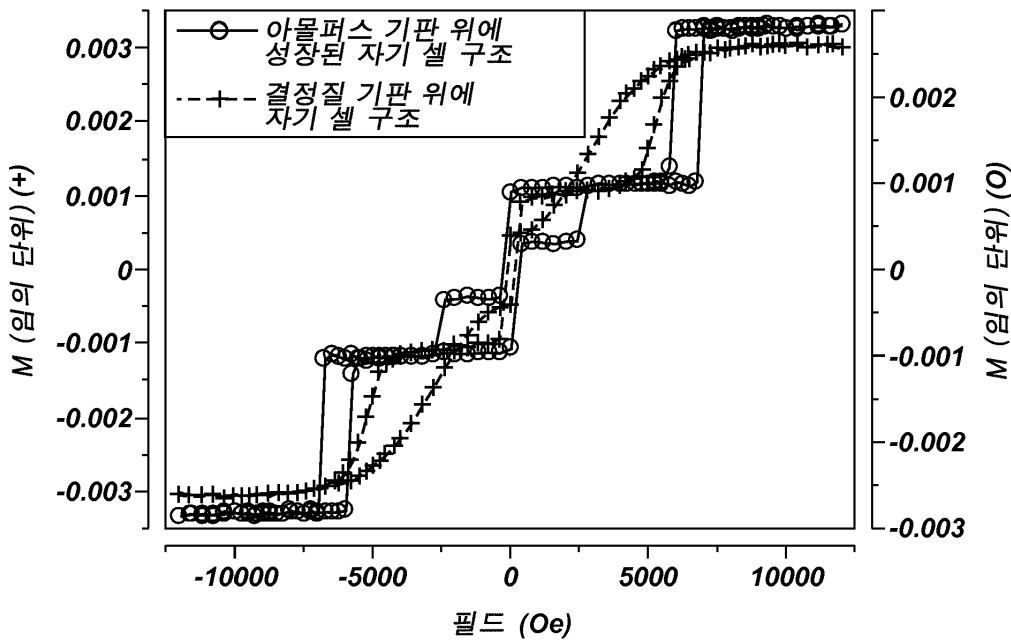
도면8a



도면8b



도면9a



도면9b

