

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】令和4年8月8日(2022.8.8)

【国際公開番号】WO2020/155593
 【公表番号】特表2022-518075(P2022-518075A)
 【公表日】令和4年3月14日(2022.3.14)
 【年通号数】公開公報(特許)2022-045
 【出願番号】特願2020-562188(P2020-562188)
 【国際特許分類】

10

G 0 9 F 9/30(2006.01)
 G 0 9 G 3/3233(2016.01)
 G 0 9 G 3/20(2006.01)
 G 0 9 F 9/302(2006.01)
 G 0 9 F 9/00(2006.01)
 H 0 1 L 51/50(2006.01)
 H 0 5 B 33/12(2006.01)
 H 0 1 L 27/32(2006.01)
 H 0 5 B 33/02(2006.01)
 H 0 5 B 33/10(2006.01)

20

【F I】

G 0 9 F 9/30 3 3 8
 G 0 9 G 3/3233
 G 0 9 G 3/20 6 2 4 B
 G 0 9 G 3/20 6 1 1 H
 G 0 9 F 9/30 3 6 5
 G 0 9 F 9/302 C
 G 0 9 F 9/30 3 4 9 Z
 G 0 9 F 9/30 3 3 0
 G 0 9 F 9/00 3 3 8
 H 0 5 B 33/14 A
 H 0 5 B 33/12 B
 H 0 1 L 27/32
 H 0 5 B 33/02
 H 0 5 B 33/10

30

【手続補正書】

【提出日】令和4年7月29日(2022.7.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

40

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ディスプレイパネルであって、
 ベース基板と、前記ベース基板に設置された複数のサブ画素と、を含み、前記複数のサブ画素は複数の繰返しユニットを構成し、各前記繰返しユニットは、1つの第1色サブ画素、2つの第2色サブ画素、及び1つの第3色サブ画素を含み、
 各前記サブ画素は、駆動トランジスタと、前記駆動トランジスタに電氣的に接続された

50

発光素子と、を含み、前記発光素子は、第 1 電極層、発光層、及び第 2 電極層を含み、各前記第 2 色サブ画素における発光素子の第 1 電極層の、前記ベース基板での正投影が、各前記第 2 色サブ画素における駆動トランジスタのゲート電極の、前記ベース基板での正投影とは少なくとも部分的に重なるディスプレイパネル。

【請求項 2】

各前記第 2 色サブ画素における駆動トランジスタのゲート電極の、前記ベース基板での正投影が、各前記第 2 色サブ画素における発光素子の第 1 電極層の、前記ベース基板での正投影内にある、請求項 1 に記載のディスプレイパネル。

【請求項 3】

各前記サブ画素は前記駆動トランジスタを含む画素回路を含み、

10

前記 2 つの第 2 色サブ画素のうち第 1 の第 2 色サブ画素における発光素子の第 1 電極層の、前記ベース基板での正投影が、前記 2 つの第 2 色サブ画素のうち第 2 の第 2 色サブ画素における画素回路の、前記ベース基板での正投影とは少なくとも部分的に重なり、

前記第 2 の第 2 色サブ画素における発光素子の第 1 電極層の、前記ベース基板での正投影が、前記第 1 の第 2 色サブ画素における画素回路の、前記ベース基板での正投影とは重ならない、請求項 1 又は 2 に記載のディスプレイパネル。

【請求項 4】

前記第 1 の第 2 色サブ画素における発光素子の第 1 電極層の形状と前記第 2 の第 2 色サブ画素における発光素子の第 1 電極層の形状が異なる、請求項 3 に記載のディスプレイパネル。

20

【請求項 5】

前記第 1 の第 2 色サブ画素における発光素子の第 1 電極層は、第 1 駆動電極ブロックと、前記第 1 駆動電極ブロックに接続された補助電極ブロックと、を含み、

前記第 1 駆動電極ブロックの前記ベース基板での正投影は、前記第 1 の第 2 色サブ画素における駆動トランジスタのゲート電極の、前記ベース基板での正投影とは重ならず、

前記補助電極ブロックの前記ベース基板での正投影は、前記第 1 の第 2 色サブ画素における駆動トランジスタのゲート電極の、前記ベース基板での正投影とは少なくとも部分的に重なる、請求項 4 に記載のディスプレイパネル。

【請求項 6】

前記補助電極ブロックの第 1 投影重なり領域の面積と、前記第 2 の第 2 色サブ画素における発光素子の第 1 電極層の第 2 投影重なり領域の面積との比率が、比率範囲内にあり、

30

前記第 1 投影重なり領域は、前記補助電極ブロックの前記ベース基板での正投影と、前記第 1 の第 2 色サブ画素における駆動トランジスタのゲート電極の、前記ベース基板での正投影とのオーバーラップ領域であり、前記第 2 投影重なり領域は、前記第 2 の第 2 色サブ画素における発光素子の第 1 電極層の、前記ベース基板での正投影と、前記第 2 の第 2 色サブ画素における駆動トランジスタのゲート電極の、前記ベース基板での正投影とのオーバーラップ領域であり、前記比率範囲は 90% ~ 110% である、請求項 5 に記載のディスプレイパネル。

【請求項 7】

前記第 2 の第 2 色サブ画素における発光素子の第 1 電極層は第 2 駆動電極ブロックを含み、

40

前記第 2 駆動電極ブロックの前記ベース基板での正投影は、前記第 2 の第 2 色サブ画素における駆動トランジスタのゲート電極の、前記ベース基板での正投影とは少なくとも部分的に重なる、請求項 5 又は 6 に記載のディスプレイパネル。

【請求項 8】

前記第 1 駆動電極ブロックの形状と前記補助電極ブロックの形状とが異なり、前記第 1 駆動電極ブロックの形状と前記第 2 駆動電極ブロックの形状とが同じであり、前記第 1 駆動電極ブロックの前記ベース基板での正投影の面積と、前記第 2 駆動電極ブロックの前記ベース基板での正投影の面積とが同じである、請求項 7 に記載のディスプレイパネル。

【請求項 9】

50

前記第 1 の第 2 色サブ画素の画素回路の駆動トランジスタのゲート電極の中心と前記第 1 駆動電極ブロックの中心との間の距離が、前記第 2 の第 2 色サブ画素の画素回路の駆動トランジスタのゲート電極の中心と前記第 2 駆動電極ブロックの中心との間の距離よりも大きい、請求項 7 又は 8 に記載のディスプレイパネル。

【請求項 10】

前記第 1 の第 2 色サブ画素の画素回路の駆動トランジスタのゲート電極と、前記第 2 の第 2 色サブ画素の画素回路の駆動トランジスタのゲート電極は、前記ベース基板の表面に平行する第 1 方向に沿って配列されており、

前記第 1 方向において、前記第 1 駆動電極ブロックは、前記第 1 の第 2 色サブ画素の画素回路の駆動トランジスタのゲート電極の、前記第 2 の第 2 色サブ画素の画素回路の駆動トランジスタのゲート電極に近い側に位置する、請求項 7 ~ 9 のいずれか一項に記載のディスプレイパネル。

10

【請求項 11】

前記画素回路は寄生サブ回路をさらに含み、前記第 1 の第 2 色サブ画素における画素回路の寄生サブ回路は第 1 コンデンサを含み、前記第 1 コンデンサは第 1 電極と第 2 電極とを含み、

前記補助電極ブロックは前記第 1 コンデンサの第 1 電極として機能し、前記第 1 の第 2 色サブ画素における駆動トランジスタのゲート電極は前記第 1 コンデンサの第 2 電極として兼用され、

前記画素回路は寄生サブ回路をさらに含み、前記第 2 の第 2 色サブ画素における画素回路の寄生サブ回路は第 2 コンデンサを含み、前記第 2 コンデンサは第 1 電極と第 2 電極とを含み、

20

前記第 2 駆動電極ブロックは前記第 2 コンデンサの第 1 電極として兼用され、前記第 2 の第 2 色サブ画素における駆動トランジスタのゲート電極は前記第 2 コンデンサの第 2 電極として兼用される、請求項 5 ~ 10 のいずれか一項に記載のディスプレイパネル。

【請求項 12】

各前記繰り返しユニットでは、前記第 1 の第 2 色サブ画素と前記第 2 の第 2 色サブ画素とが前記第 1 方向に沿って配列され、前記第 1 方向において、前記補助電極ブロックが前記第 1 駆動電極ブロックの、前記第 2 の第 2 色サブ画素の発光素子から離れた側に位置し、

30

各前記繰り返しユニットでは、前記第 1 色サブ画素と前記第 3 色サブ画素とが第 2 方向に沿って配列され、且つ、前記第 2 方向において、前記第 1 の第 2 色サブ画素及び前記第 2 の第 2 色サブ画素が、前記第 1 色サブ画素と前記第 3 色サブ画素との間に位置し、

前記第 2 方向は前記ベース基板の表面に平行し、且つ、前記第 1 方向と前記第 2 方向とは互いに垂直している、請求項 10 または 11 に記載のディスプレイパネル。

【請求項 13】

前記画素回路の前記ベース基板から離れた側に設置された平坦層をさらに含み、

前記第 1 電極層は、前記平坦層の前記駆動トランジスタから離れた側に設置され、

前記発光層は、前記第 1 電極層の前記平坦層から離れた側に設置され、

前記第 2 電極層は、前記発光層の前記第 1 電極層から離れた側に設置され、

40

前記第 1 の第 2 色サブ画素における発光素子の第 1 電極層は、第 1 接続電極ブロックをさらに含み、前記第 1 接続電極ブロックは、前記第 1 駆動電極ブロックに電氣的に接続され、前記第 1 方向において前記第 1 駆動電極ブロックの、前記第 2 の第 2 色サブ画素の発光素子から離れた側に位置し、

前記第 2 の第 2 色サブ画素における発光素子の第 1 電極層は、第 2 接続電極ブロックをさらに含み、前記第 2 接続電極ブロックは、前記第 2 駆動電極ブロックに電氣的に接続され、前記第 1 方向において前記第 2 駆動電極ブロックの、前記第 1 の第 2 色サブ画素の発光素子から離れた側に位置し、

前記平坦層は第 1 ピアと第 2 ピアとを含み、

前記第 1 接続電極ブロックは、前記第 1 ピアを介して前記第 1 の第 2 色サブ画素の画素回

50

路に電氣的に接続され、前記第2接続電極ブロックは、前記第2ビアを介して前記第2の第2色サブ画素の画素回路に電氣的に接続される、請求項12に記載のディスプレイパネル。

【請求項14】

前記第1方向において、前記第1接続電極ブロックは、前記第1の第2色サブ画素の画素回路の駆動トランジスタのゲート電極と、前記第2の第2色サブ画素の画素回路の駆動トランジスタのゲート電極との間に位置し、

前記第1方向において、前記第1接続電極ブロックは、前記第1駆動電極ブロックと前記補助電極ブロックとの間に位置する、請求項13に記載のディスプレイパネル。

【請求項15】

前記第1接続電極ブロックの形状と前記第2接続電極ブロックの形状とが同じであり、前記第1接続電極ブロックの前記ベース基板での正投影の面積と前記第2接続電極ブロックの前記ベース基板での正投影の面積とが同じである、請求項13または14に記載のディスプレイパネル。

【請求項16】

前記第1色サブ画素の発光素子の第1電極層は、互いに電氣的に接続された第3駆動電極ブロック及び第3接続電極ブロックを含み、前記第3色サブ画素の発光素子の第1電極層は、互いに電氣的に接続された第4駆動電極ブロック及び第4接続電極ブロックを含み、

前記平坦層は第3ビアと第4ビアとを含み、前記第3接続電極ブロックは、前記第3ビアまで延びて、前記第3ビアを介して前記第1色サブ画素の画素回路に電氣的に接続され、前記第4接続電極ブロックは、前記第4ビアまで延びて、前記第4ビアを介して前記第3色サブ画素の画素回路に電氣的に接続され、

各前記繰り返しユニットでは、

前記第1方向において、前記第3接続電極は前記第3駆動電極ブロックの前記補助電極ブロックから離れた側に位置し、前記第2方向において、前記第3接続電極は前記第3駆動電極ブロックの前記第4駆動電極ブロックに近い側に位置し、

前記第1方向において、前記第4接続電極は前記第4駆動電極ブロックの前記補助電極ブロックから離れた側に位置し、前記第2方向において、前記第4接続電極は前記第4駆動電極ブロックの前記第3駆動電極ブロックに近い側に位置する、請求項13～15のいずれか一項に記載のディスプレイパネル。

【請求項17】

前記画素回路は、アクティブ半導体層、ゲート金属層、及びソース・ドレイン金属層を含み、前記ベース基板に垂直な方向において、前記アクティブ半導体層が前記ベース基板と前記ゲート金属層との間に介在し、前記ゲート金属層が前記アクティブ半導体層と前記ソース・ドレイン金属層との間に介在し、

前記第1接続電極ブロックは、前記第1ビアを通して前記ソース・ドレイン金属層まで延びており、

前記第2接続電極ブロックは、前記第2ビアを通して前記ソース・ドレイン金属層まで延びており、

前記第3接続電極ブロックは、前記第3ビアを通して前記ソース・ドレイン金属層まで延びており、

前記第4接続電極ブロックは、前記第4ビアを通して前記ソース・ドレイン金属層まで延びている、請求項16に記載のディスプレイパネル。

【請求項18】

複数の前記繰り返しユニットが第2方向に沿って配列されて複数の繰り返しユニット群を構成し、前記複数の繰り返しユニット群は、前記第1方向に沿って配列されており、

前記第1方向において、前記第1接続電極ブロック、前記第2接続電極ブロック、前記第3接続電極ブロック、及び前記第4接続電極ブロックは、隣接する2つの繰り返しユニット群の間に位置し、

10

20

30

40

50

前記第 1 方向において、前記補助電極ブロックの少なくとも一部は、前記補助電極ブロックの前記第 1 駆動電極ブロックから離れた側にあつて、前記補助電極ブロックが位置する繰返しユニット群に隣接する繰返しユニット群における隣接する 2 つの繰返しユニットの間に位置する、請求項 1 6 又は 1 7 に記載のディスプレイパネル。

【請求項 1 9】

前記第 1 色サブ画素は赤色のサブ画素であり、前記 2 つの第 2 色サブ画素はいずれも緑色のサブ画素であり、前記第 3 色サブ画素は青色のサブ画素である、請求項 1 ~ 1 8 のいずれか一項に記載のディスプレイパネル。

【請求項 2 0】

請求項 1 ~ 1 9 のいずれか一項に記載のディスプレイパネルを備える表示装置。

10

20

30

40

50