

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月30日(30.01.2025)



(10) 国際公開番号

WO 2025/023007 A1

(51) 国際特許分類:
H02M 7/48 (2007.01)

(21) 国際出願番号: PCT/JP2024/024758

(22) 国際出願日: 2024年7月9日(09.07.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-122830 2023年7月27日(27.07.2023) JP

(71) 出願人: パナソニック IP マネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057 大阪府門真市元町 2 2 番 6 号 Osaka (JP).

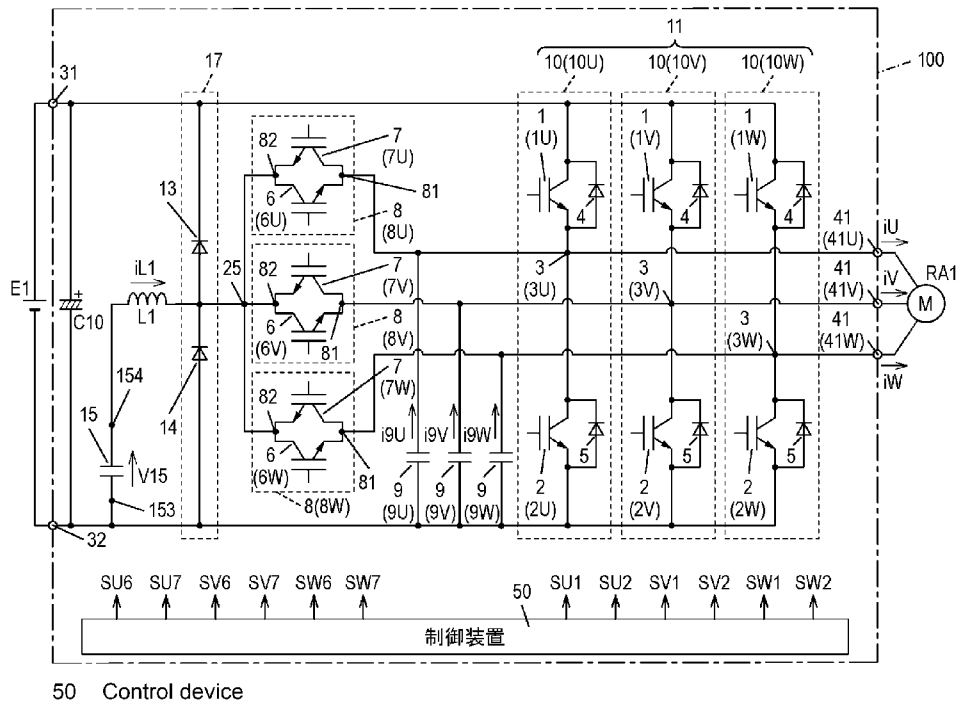
(72) 発明者: 関和政嗣 (SEKIWA Masashi). 掃部豊 (KAMON Yutaka). 東山弘治 (HIGASHIYAMA Koji).

(74) 代理人: 鎌田 健司, 外 (KAMATA Kenji et al.); 〒5710057 大阪府門真市元町 2 2 番 6 号 パナソニック IP マネジメント株式会社内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: ELECTRIC POWER CONVERTING DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: The objective of the present invention is to reduce current distortion in an electric power converting device. In an electric power converting device (100), a control device (50) performs one of a first control operation and a second control operation on the basis of an overlap period in which resonance currents that pass through each of two or more switches (8) flow simultaneously. The first control operation shifts a high-level period of a control signal to at least one switch (8) among the two or more switches (8) such that the resonance currents passing through each of the two or more

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

switches (8) do not flow simultaneously to a resonance inductor (L1). The second control operation shifts the high-level period of the control signal to at least one switch (8) among the two or more switches (8) such that the high-level periods of the control signals to each of the two or more switches (8) overlap for at least a predetermined period in a dead time period corresponding to each of two or more switching circuits (10) that are connected to the two or more switches (8), among a plurality of switching circuits (10).

(57) 要約：電力変換装置の電流歪を低減する。電力変換装置（100）では、制御装置（50）は、2つ以上のスイッチ（8）それぞれを通る共振電流が同時に流れる重複期間に基づいて、第1制御動作と、第2制御動作と、の一方を行う。第1制御動作は、2つ以上のスイッチ（8）それぞれを通る共振電流が共振用インダクタ（L1）に同時に流れないように、2つ以上のスイッチ（8）のうち少なくとも1つのスイッチ（8）への制御信号のハイレベル期間をシフトさせる。第2制御動作は、2つ以上のスイッチ（8）それぞれへの制御信号のハイレベル期間を、複数のスイッチング回路（10）のうち2つ以上のスイッチ（8）に接続されている2つ以上のスイッチング回路（10）の各々に対応するデッドタイム期間において所定期間以上、重ねるように2つ以上のスイッチ（8）のうち少なくとも1つのスイッチ（8）への制御信号のハイレベル期間をシフトさせる。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本開示は、電力変換装置に関し、より詳細には、直流電力を交流電力に電力変換可能な電力変換装置に関する。

背景技術

[0002] 特許文献 1 に開示された電力変換装置は、第 1 直流端子及び第 2 直流端子と、電力変換回路と、複数の交流端子と、複数のスイッチと、複数の共振用コンデンサと、共振用インダクタと、コンデンサと、制御装置と、を備える。電力変換回路は、複数の第 1 スイッチング素子及び複数の第 2 スイッチング素子を有する。電力変換回路では、複数の第 1 スイッチング素子と複数の第 2 スイッチング素子とを一对一に直列接続した複数のスイッチング回路が互いに並列接続されている。複数のスイッチは、複数のスイッチング回路に一对一に対応し、対応するスイッチング回路における第 1 スイッチング素子及び第 2 スイッチング素子の接続点に第 1 端が接続されており第 2 端が共通接続点に共通接続されている。共振用インダクタでは、共振用インダクタの第 1 端が共通接続点に接続されている。制御装置は、1つの共振用インダクタに複数のスイッチング回路のうち2つのスイッチング回路に対応する2相の共振電流が同時に流れると判断した場合、上記2つのスイッチング回路のうち1つのスイッチング回路における第 1 スイッチング素子及び第 2 スイッチング素子それぞれのオン期間をシフトさせる制御を行う。

[0003] 特許文献 1 に開示された電力変換装置では、より確実にソフトスイッチングを行うことができる。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2023／074636号

発明の概要

- [0005] 特許文献 1 に開示された電力変換装置では、オン期間をシフトさせる制御が行われた第 1 スイッチング素子及び第 2 スイッチング素子の接続点に接続された交流端子を流れる負荷電流の電流歪が大きくなることがある。
- [0006] 本開示の目的は、電流歪を低減することが可能な電力変換装置を提供することにある。
- [0007] 本開示に係る一態様の電力変換装置は、第 1 直流端子及び第 2 直流端子と、電力変換回路と、複数の交流端子と、複数のスイッチと、複数の共振用コンデンサと、共振用インダクタと、回生用コンデンサと、制御装置と、を備える。前記電力変換回路は、複数の第 1 スイッチング素子及び複数の第 2 スイッチング素子を有する。前記電力変換回路では、前記複数の第 1 スイッチング素子と前記複数の第 2 スイッチング素子とを一对一に直列接続した複数のスイッチング回路が互いに並列接続されている。前記電力変換回路では、前記複数の第 1 スイッチング素子が前記第 1 直流端子に接続されており、前記複数の第 2 スイッチング素子が前記第 2 直流端子に接続されている。前記複数の交流端子は、前記複数のスイッチング回路に一对一に対応する。前記複数の交流端子の各々は、対応するスイッチング回路における前記第 1 スイッチング素子及び前記第 2 スイッチング素子の接続点に接続されている。前記複数のスイッチは、前記複数のスイッチング回路に一对一に対応する。前記複数のスイッチの各々は、対応するスイッチング回路における前記第 1 スイッチング素子及び前記第 2 スイッチング素子の前記接続点に第 1 端が接続されており第 2 端が共通接続点に共通接続されている。前記共振用コンデンサは、前記複数のスイッチに一对一に対応する。前記複数の共振用コンデンサの各々は、対応するスイッチの前記第 1 端と前記第 2 直流端子との間に接続されている。前記共振用インダクタは、第 1 端及び第 2 端を有する。前記共振用インダクタでは、前記第 1 端が前記共通接続点に接続されている。前記回生用コンデンサは、第 3 端及び第 4 端を有する。前記回生用コンデンサでは、前記第 3 端が前記第 1 直流端子又は前記第 2 直流端子に接続されている。前記制御装置は、前記複数の第 1 スイッチング素子、前記複数の第 2 ス

スイッチング素子及び前記複数のスイッチの各々に対してハイレベルとローレベルとの間で電位が変化する制御信号を与える。前記制御装置は、前記複数のスイッチング回路の各々について前記第1スイッチング素子への制御信号のハイレベル期間と前記第2スイッチング素子への制御信号のハイレベル期間との間にデッドタイム期間を設定し、前記複数のスイッチの各々への制御信号のハイレベル期間を前記複数のスイッチング回路のうち対応するスイッチング回路に対するデッドタイム期間に基づいて設定する。前記制御装置は、前記共振用インダクタに、前記複数のスイッチのうち2つ以上のスイッチそれぞれを通る共振電流が同時に流れると判断した場合、前記2つ以上のスイッチそれぞれを通る共振電流が同時に流れる重複期間に基づいて、第1制御動作と、第2制御動作と、の一方を行うように構成されている。前記第1制御動作は、前記2つ以上のスイッチそれぞれを通る共振電流が前記共振用インダクタに同時に流れないように、前記2つ以上のスイッチのうち少なくとも1つのスイッチへの制御信号のハイレベル期間をシフトさせる動作である。前記第2制御動作は、前記2つ以上のスイッチそれぞれへの制御信号のハイレベル期間を、前記複数のスイッチング回路のうち前記2つ以上のスイッチに接続されている2つ以上のスイッチング回路の各々に対応するデッドタイム期間において所定期間以上、重ねるように前記2つ以上のスイッチのうち少なくとも1つのスイッチへの制御信号のハイレベル期間をシフトさせる動作である。

[0008] 本開示の電力変換装置は、電流歪を低減することが可能となるという効果がある。

図面の簡単な説明

[0009] [図1]図1は、実施形態1に係る電力変換装置を備えるシステムの回路図である。

[図2]図2は、実施形態1の電力変換装置において制御装置が、負荷電流 >0 、共振用コンデンサの充電動作の場合に基本動作を行ったときの動作説明図である。

[図3]図3は、実施形態1の電力変換装置において制御装置が、負荷電流 >0 、共振用コンデンサの充電動作の場合に基本動作を行ったときの別の動作説明図である。

[図4]図4は、実施形態1の電力変換装置において制御装置が、負荷電流 >0 、共振用コンデンサの充電動作の場合に基本動作を行ったときの他の動作説明図である。

[図5]図5は、実施形態1の電力変換装置の複数の交流端子に接続される交流負荷における3相それぞれの電圧指令に対応するデューティの時間変化及び負荷電流の時間変化を示す図である。

[図6]図6は、実施形態1の電力変換装置において制御装置で用いる第1電流閾値及び第2電流閾値の説明図である。

[図7]図7は、実施形態1の電力変換装置において制御装置が、負荷電流 >0 、共振用コンデンサの放電動作の場合に基本動作を行ったときの動作説明図である。

[図8]図8は、実施形態1の電力変換装置において制御装置が、負荷電流 <0 、共振用コンデンサの放電動作の場合に基本動作を行ったときの動作説明図である。

[図9]図9は、実施形態1の電力変換装置において制御装置が、負荷電流 <0 、共振用コンデンサの充電動作の場合に基本動作を行ったときの動作説明図である。

[図10]図10は、実施形態1の電力変換装置において共振用インダクタに流れる電流が重複しない（同時に流れない）場合と重複する（同時に流れる）場合との境界条件の一例を説明するためのタイミングチャートである。

[図11]図11は、実施形態1の電力変換装置においてU相の共振電流とV相の共振電流とが重複しない（同時に流れない）場合と重複する（同時に流れる）場合との境界条件の一例を説明するためのタイミングチャートである。

[図12]図12は、実施形態1の電力変換装置において制御装置が第1制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図13]図 1 3 は、実施形態 1 の電力変換装置における負荷電流の波形図である。

[図14]図 1 4 は、実施形態 1 の電力変換装置において制御装置が第 2 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図15]図 1 5 は、実施形態 2 に係る電力変換装置において制御装置が第 1 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図16]図 1 6 は、実施形態 2 の電力変換装置において制御装置が第 2 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図17]図 1 7 は、実施形態 3 に係る電力変換装置において制御装置が第 1 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図18]図 1 8 は、実施形態 3 の電力変換装置において制御装置が第 2 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図19]図 1 9 は、実施形態 4 に係る電力変換装置を備えるシステムの回路図である。

[図20]図 2 0 は、実施形態 5 に係る電力変換装置を備えるシステムの回路図である。

[図21]図 2 1 は、実施形態 6 に係る電力変換装置を備えるシステムの回路図である。

[図22]図 2 2 は、実施形態 7 に係る電力変換装置を備えるシステムの回路図である。

[図23]図 2 3 は、実施形態 8 に係る電力変換装置を備えるシステムの回路図である。

[図24]図 2 4 は、実施形態 9 に係る電力変換装置を備えるシステムの回路図である。

[図25]図 2 5 は、実施形態 1 0 に係る電力変換装置を備えるシステムの回路図である。

[図26]図 2 6 は、実施形態 1 1 に係る電力変換装置を備えるシステムの回路図である。

[図27]図 2 7 は、例 1 に係る電力変換装置における制御装置が第 2 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図28]図 2 8 は、例 1 の電力変換装置における制御装置が第 1 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図29]図 2 9 は、例 2 に係る電力変換装置における制御装置が第 2 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図30]図 3 0 は、例 2 の電力変換装置における制御装置が第 1 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図31]図 3 1 は、例 3 に係る電力変換装置における制御装置が第 2 制御動作を行う場合の動作を説明するためのタイミングチャートである。

[図32]図 3 2 は、例 3 の電力変換装置における制御装置が第 1 制御動作を行う場合の動作を説明するためのタイミングチャートである。

発明を実施するための形態

[0010] (実施形態 1)

以下では、実施形態 1 に係る電力変換装置 1 0 0 について、図 1 ~ 図 1 4 に基づいて説明する。

[0011] (1) 電力変換装置の全体構成

図 1 は、実施形態 1 に係る電力変換装置 1 0 0 を備えるシステムの回路図である。電力変換装置 1 0 0 は、例えば、図 1 に示すように、第 1 直流端子 3 1 及び第 2 直流端子 3 2 と、複数（例えば、3 つ）の交流端子 4 1 と、を備え、第 1 直流端子 3 1 と第 2 直流端子 3 2 と間に直流電源 E 1 が接続され、複数の交流端子 4 1 に交流負荷 R A 1 が接続される。交流負荷 R A 1 は、例えば、3 相サーボモータである。電力変換装置 1 0 0 は、直流電源 E 1 からの直流出力を交流電力に変換して交流負荷 R A 1 へ出力する。直流電源 E 1 は、例えば、太陽電池又は燃料電池を含む。直流電源 E 1 は、D C - D C コンバータを含んでもよい。電力変換装置 1 0 0 では、複数の交流端子 4 1 が 3 つの交流端子 4 1 の場合、交流電力は、例えば、U 相、V 相及び W 相を有する 3 相の交流電力である。

- [0012] 電力変換装置１００は、電力変換回路１１と、複数（例えば、３つ）のスイッチ８と、複数（例えば、３つ）の共振用コンデンサ９と、共振用インダクタＬ１と、回生用コンデンサ１５と、制御装置５０と、を備える。また、電力変換装置１００は、保護回路１７と、コンデンサＣ１０と、を更に備える。複数のスイッチ８の各々は、例えば、双方向スイッチである。
- [0013] 電力変換回路１１は、複数（例えば、３つ）の第１スイッチング素子１及び複数（例えば、３つ）の第２スイッチング素子２を有する。電力変換回路１１では、複数の第１スイッチング素子１と複数の第２スイッチング素子２とを一对一に直列接続した複数（例えば、３つ）のスイッチング回路１０が互いに並列接続されている。電力変換回路１１では、複数の第１スイッチング素子１が第１直流端子３１に接続されており、複数の第２スイッチング素子２が第２直流端子３２に接続されている。複数の交流端子４１は、複数のスイッチング回路１０に一对一に対応する。複数の交流端子４１の各々は、対応するスイッチング回路１０における第１スイッチング素子１及び第２スイッチング素子２の接続点３に接続されている。複数のスイッチ８は、複数のスイッチング回路１０に一对一に対応する。複数のスイッチ８の各々は、対応するスイッチング回路１０における第１スイッチング素子１及び第２スイッチング素子２の接続点３に第１端８１が接続されており第２端８２が共通接続点２５に共通接続されている。複数の共振用コンデンサ９は、複数のスイッチ８に一对一に対応する。複数の共振用コンデンサ９の各々は、対応するスイッチ８の第１端８１と第２直流端子３２との間に接続されている。共振用インダクタＬ１は、第１端及び第２端を有する。共振用インダクタＬ１では、共振用インダクタＬ１の第１端が共通接続点２５に接続されている。回生用コンデンサ１５は、第３端１５３及び第４端１５４を有する。回生用コンデンサ１５では、第３端１５３が第２直流端子３２に接続されており、第４端１５４が共振用インダクタＬ１を介して共通接続点２５に接続されている。制御装置５０は、複数の第１スイッチング素子１、複数の第２スイッチング素子２及び複数のスイッチ８を制御する。

[0014] (2) 電力変換装置の詳細

以下では、説明の便宜上、複数のスイッチング回路10に関し、U相、V相及びW相に対応するスイッチング回路10を、それぞれ、スイッチング回路10U、スイッチング回路10V及びスイッチング回路10Wと称することもある。また、以下では、スイッチング回路10Uの第1スイッチング素子1及び第2スイッチング素子2を、第1スイッチング素子1U及び第2スイッチング素子2Uと称することもある。また、以下では、スイッチング回路10Vの第1スイッチング素子1及び第2スイッチング素子2を、第1スイッチング素子1V及び第2スイッチング素子2Vと称することもある。また、以下では、スイッチング回路10Wの第1スイッチング素子1及び第2スイッチング素子2を、第1スイッチング素子1W及び第2スイッチング素子2Wと称することもある。また、以下では、第1スイッチング素子1U及び第2スイッチング素子2Uの接続点3を接続点3Uと称し、第1スイッチング素子1V及び第2スイッチング素子2Vの接続点3を接続点3Vと称し、第1スイッチング素子1W及び第2スイッチング素子2Wの接続点3を接続点3Wと称することもある。また、以下では、接続点3Uに接続されている交流端子41を交流端子41Uと称し、接続点3Vに接続されている交流端子41を交流端子41Vと称し、接続点3Wに接続されている交流端子41を交流端子41Wと称することもある。また、以下では、第2スイッチング素子2Uに並列接続されている共振用コンデンサ9を共振用コンデンサ9Uと称し、第2スイッチング素子2Vに並列接続されている共振用コンデンサ9を共振用コンデンサ9Vと称し、第2スイッチング素子2Wに並列接続されている共振用コンデンサ9を共振用コンデンサ9Wと称することもある。また、以下では、接続点3Uに接続されているスイッチ8をスイッチ8Uと称し、接続点3Vに接続されているスイッチ8をスイッチ8Vと称し、接続点3Wに接続されているスイッチ8をスイッチ8Wと称することもある。

[0015] 電力変換装置100は、第1直流端子31に直流電源E1の高電位側の出力端子（正極）が接続され、第2直流端子32に直流電源E1の低電位側の

出力端子（負極）が接続される。また、電力変換装置１００は、例えば、３つの交流端子４１Ｕ、４１Ｖ及び４１Ｗに交流負荷ＲＡ１のＵ相端子、Ｖ相端子及びＷ相端子がそれぞれ接続される。

[0016] 電力変換回路１１では、複数（例えば、３つ）の第１スイッチング素子１及び複数（例えば、３つ）の第２スイッチング素子２の各々は、制御端子、第１主端子及び第２主端子を有する。複数の第１スイッチング素子１及び複数の第２スイッチング素子２の制御端子は、制御装置５０に接続されている。電力変換装置１００の複数のスイッチング回路１０の各々では、第１スイッチング素子１の第１主端子が第１直流端子３１に接続され、第１スイッチング素子１の第２主端子が第２スイッチング素子２の第１主端子に接続され、第２スイッチング素子２の第２主端子が第２直流端子３２に接続されている。複数のスイッチング回路１０の各々では、第１スイッチング素子１がハイサイドスイッチング素子（Ｐ側スイッチング素子）であり、第２スイッチング素子２がローサイドスイッチング素子（Ｎ側スイッチング素子）である。複数の第１スイッチング素子１及び複数の第２スイッチング素子２の各々は、例えば、ＩＧＢＴ（Insulated Gate Bipolar Transistor）である。したがって、複数の第１スイッチング素子１及び複数の第２スイッチング素子２の各々における、制御端子、第１主端子及び第２主端子は、それぞれ、ゲート端子、コレクタ端子及びエミッタ端子である。

[0017] 電力変換回路１１は、複数（３つ）の第１スイッチング素子１に一对一に逆並列接続されている複数（３つ）の第１ダイオード４と、複数（３つ）の第２スイッチング素子２に一对一に逆並列接続されている複数（３つ）の第２ダイオード５と、を更に有する。複数の第１ダイオード４の各々では、第１ダイオード４のアノードが、この第１ダイオード４に対応する第１スイッチング素子１の第２主端子（エミッタ端子）に接続され、第１ダイオード４のカソードが、この第１ダイオード４に対応する第１スイッチング素子１の第１主端子（コレクタ端子）に接続されている。複数の第２ダイオード５の各々では、第２ダイオード５のアノードが、この第２ダイオード５に対応す

る第2スイッチング素子2の第2主端子（エミッタ端子）に接続され、第2ダイオード5のカソードが、この第2ダイオード5に対応する第2スイッチング素子2の第1主端子（コレクタ端子）に接続されている。

[0018] 第1スイッチング素子1Uと第2スイッチング素子2Uとの接続点3Uには、交流端子41Uを介して、例えば、交流負荷RA1のU相端子が接続される。また、第1スイッチング素子1Vと第2スイッチング素子2Vとの接続点3Vには、交流端子41Vを介して、例えば、交流負荷RA1のV相が接続される。第1スイッチング素子1Wと第2スイッチング素子2Wとの接続点3Wには、交流端子41Wを介して、例えば、交流負荷RA1のW相が接続される。

[0019] 複数の共振用コンデンサ9は、複数のスイッチ8に一对一に対応する。複数の共振用コンデンサ9の各々は、対応するスイッチ8の第1端と第2直流端子32との間に接続されている。電力変換装置100は、複数の共振回路を有している。複数の共振回路は、共振用コンデンサ9Uと共振用インダクタL1とを有する共振回路と、共振用コンデンサ9Vと共振用インダクタL1とを有する共振回路と、共振用コンデンサ9Wと共振用インダクタL1とを有する共振回路と、を含む。複数の共振回路では、共振用インダクタL1が共通である。

[0020] 複数のスイッチ8の各々は、例えば、逆並列接続された2つの第1IGBT6及び第2IGBT7を有する。スイッチ8の各々では、第1IGBT6のコレクタ端子と第2IGBT7のエミッタ端子とが接続され、第1IGBT6のエミッタ端子と第2IGBT7のコレクタ端子とが接続されている。複数のスイッチ8の各々では、第1IGBT6のエミッタ端子は、その第1IGBT6を有するスイッチ8に対応するスイッチング回路10の接続点3に接続されている。複数のスイッチ8の各々では、第2IGBT7のコレクタ端子は、その第2IGBT7を有するスイッチ8に対応するスイッチング回路10の接続点3に接続されている。スイッチ8Uは、第1スイッチング素子1Uと第2スイッチング素子2Uとの接続点3Uに接続されている。ス

スイッチ 8 V は、第 1 スイッチング素子 1 V と第 2 スイッチング素子 2 V との接続点 3 V に接続されている。スイッチ 8 W は、第 1 スイッチング素子 1 W と第 2 スイッチング素子 2 W との接続点 3 W に接続されている。以下では、説明の便宜上、スイッチ 8 U の第 1 IGBT 6 及び第 2 IGBT 7 を、それぞれ、第 1 IGBT 6 U 及び第 2 IGBT 7 U と称し、スイッチ 8 V の第 1 IGBT 6 及び第 2 IGBT 7 を、それぞれ、第 1 IGBT 6 V 及び第 2 IGBT 7 V と称し、スイッチ 8 W の第 1 IGBT 6 及び第 2 IGBT 7 を、それぞれ第 1 IGBT 6 W 及び第 2 IGBT 7 W と称することもある。

[0021] 複数のスイッチ 8 は、制御装置 50 によって制御される。言い換えれば、第 1 IGBT 6 U、第 2 IGBT 7 U、第 1 IGBT 6 V、第 2 IGBT 7 V、第 1 IGBT 6 W 及び第 2 IGBT 7 W は、制御装置 50 によって制御される。

[0022] 共振用インダクタ L 1 は、第 1 端及び第 2 端を有する。共振用インダクタ L 1 では、共振用インダクタ L 1 の第 1 端が、共通接続点 25 に接続されている。共振用インダクタ L 1 の第 2 端は、回生用コンデンサ 15 の第 4 端 154 に接続されている。

[0023] 回生用コンデンサ 15 は、共振用インダクタ L 1 の第 2 端と第 2 直流端子 32 との間に接続されている。回生用コンデンサ 15 は、例えば、フィルムコンデンサである。

[0024] 保護回路 17 は、第 3 ダイオード 13 と、第 4 ダイオード 14 と、を有する。第 3 ダイオード 13 は、共通接続点 25 と第 1 直流端子 31 との間に接続されている。第 3 ダイオード 13 では、第 3 ダイオード 13 のアノードが、共通接続点 25 に接続されている。また、第 3 ダイオード 13 では、第 3 ダイオード 13 のカソードが、第 1 直流端子 31 に接続されている。第 4 ダイオード 14 は、共通接続点 25 と第 2 直流端子 32 との間に接続されている。第 4 ダイオード 14 では、第 4 ダイオード 14 のアノードが、第 2 直流端子 32 に接続されている。第 4 ダイオード 14 では、第 4 ダイオード 14 のカソードが、共通接続点 25 に接続されている。したがって、第 4 ダイオ

ード14は、第3ダイオード13に直列接続されている。

[0025] コンデンサC10は、第1直流端子31と第2直流端子32との間に接続されており、電力変換回路11に並列接続されている。コンデンサC10は、例えば、電解コンデンサである。

[0026] 制御装置50は、複数の第1スイッチング素子1、複数の第2スイッチング素子2及び複数のスイッチ8を制御する。制御装置50の実行主体は、コンピュータシステムを含んでいる。コンピュータシステムは、1又は複数のコンピュータを有している。コンピュータシステムは、ハードウェアとしてのプロセッサ及びメモリを主構成とする。コンピュータシステムのメモリに記録されたプログラムをプロセッサが実行することによって、本開示における制御装置50の実行主体としての機能が実現される。プログラムは、コンピュータシステムのメモリに予め記録されていてもよいが、電気通信回線を通じて提供されてもよいし、コンピュータシステムで読み取り可能なメモリカード、光学ディスク、ハードディスクドライブ（磁気ディスク）等の非一時的記録媒体に記録されて提供されてもよい。コンピュータシステムのプロセッサは、半導体集積回路（Integrated Circuit、IC）又は大規模集積回路（Large Scale Integration、LSI）を含む1または複数の電子回路で構成される。複数の電子回路は、1つのチップに集約されていてもよいし、複数のチップに分散して設けられていてもよい。複数のチップは、1つの装置に集約されていてもよいし、複数の装置に分散して設けられていてもよい。

[0027] 制御装置50は、複数の第1スイッチング素子1U、1V、1Wそれぞれのオンオフを制御する制御信号SU1、SV1、SW1を出力する。制御信号SU1、SV1、SW1の各々は、例えば、電位レベルが第1電位レベル（以下、ローレベルともいう）と、第1電位レベルよりも高電位の第2電位レベル（以下、ハイレベルともいう）と、の間で変化するPWM（Pulse Width Modulation）信号である。第1スイッチング素子1U、1V、1Wは、それぞれ、制御信号SU1、SV1、SW1がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。また、制御装置50は、複数の

第2スイッチング素子2U、2V、2Wそれぞれのオンオフを制御する制御信号SU2、SV2、SW2を出力する。制御信号SU2、SV2、SW2の各々は、例えば、電位レベルが第1電位レベル（以下、ローレベルともいう）と、第1電位レベルよりも高電位の第2電位レベル（以下、ハイレベルともいう）と、の間で変化するPWM信号である。第2スイッチング素子2U、2V、2Wは、それぞれ、制御信号SU2、SV2、SW2がハイレベルのときにオン状態となり、ローレベルのときにオフ状態となる。

[0028] 制御装置50は、のこぎり波状のキャリア信号（図2及び図11参照）を用いて、複数の第1スイッチング素子1U、1V、1Wそれぞれに対応する制御信号SU1、SV1、SW1、及び、複数の第2スイッチング素子2U、2V、2Wそれぞれに対応する制御信号SU2、SV2、SW2を生成する。より詳細には、制御装置50は、少なくともキャリア信号及びU相の電圧指令に基づいて、第1スイッチング素子1U、第2スイッチング素子2Uそれぞれへ与える制御信号SU1、SU2を生成する。また、制御装置50は、少なくともキャリア信号及びV相の電圧指令に基づいて、第1スイッチング素子1V、第2スイッチング素子2Vそれぞれへ与える制御信号SV1、SV2を生成する。また、制御装置50は、少なくともキャリア信号及びW相の電圧指令に基づいて、第1スイッチング素子1W、第2スイッチング素子2Wそれぞれへ与える制御信号SW1、SW2を生成する。U相の電圧指令、V相の電圧指令及びW相の電圧指令は、例えば、互いの位相が120°異なる正弦波状の信号であり、それぞれ、時間とともに値（電圧指令値）が変化する。なお、キャリア信号の波形は、のこぎり波状に限らず、例えば、三角波でもよいし、図11に示すようなのこぎり波の左右を反転させたのこぎり波でもよい。また、U相の電圧指令、V相の電圧指令及びW相の電圧指令の1周期の長さは、同じである。また、U相の電圧指令、V相の電圧指令及びW相の電圧指令の1周期の長さは、キャリア信号の1周期の長さよりも長い。

[0029] 制御装置50から第1スイッチング素子1U、第2スイッチング素子2U

それぞれへ与える制御信号 $S U 1$ 、 $S U 2$ のデューティは、 U 相の電圧指令に基づいて変化する。後述する図 5 には、制御信号 $S U 1$ のデューティを U 相デューティとして示してある。制御装置 50（図 1 参照）は、 U 相の電圧指令とキャリア信号とを比較して第 1 スイッチング素子 1 U へ与える制御信号 $S U 1$ を生成する。また、制御装置 50 は、第 1 スイッチング素子 1 U へ与える制御信号 $S U 1$ を反転させて第 2 スイッチング素子 2 U へ与える制御信号 $S U 2$ を生成する。また、制御装置 50 は、第 1 スイッチング素子 1 U 及び第 2 スイッチング素子 2 U それぞれのオン期間が重複しないように、制御信号 $S U 1$ のハイレベル期間と制御信号 $S U 2$ のハイレベル期間との間にデッドタイム期間 $T d$ （図 2 参照）を設定する。

[0030] 制御装置 50 から第 1 スイッチング素子 1 V 、第 2 スイッチング素子 2 V それぞれへ与える制御信号 $S V 1$ 、 $S V 2$ のデューティは、 V 相の電圧指令に基づいて変化する。図 5 には、制御信号 $S V 1$ のデューティを V 相デューティとして示してある。制御装置 50（図 1 参照）は、 V 相の電圧指令とキャリア信号とを比較して第 1 スイッチング素子 1 V へ与える制御信号 $S V 1$ を生成する。また、制御装置 50 は、第 1 スイッチング素子 1 V へ与える制御信号 $S V 1$ を反転させて第 2 スイッチング素子 2 V へ与える制御信号 $S V 2$ を生成する。また、制御装置 50 は、第 1 スイッチング素子 1 V 及び第 2 スイッチング素子 2 V それぞれのオン期間が重複しないように、制御信号 $S V 1$ のハイレベル期間と制御信号 $S V 2$ のハイレベル期間との間にデッドタイム期間 $T d$ （図 3 参照）を設定する。

[0031] 制御装置 50 から第 1 スイッチング素子 1 W 、第 2 スイッチング素子 2 W それぞれへ与える制御信号 $S W 1$ 、 $S W 2$ のデューティは、 W 相の電圧指令に基づいて変化する。図 5 には、制御信号 $S W 1$ のデューティを W 相デューティとして示してある。制御装置 50（図 1 参照）は、 W 相の電圧指令とキャリア信号とを比較して第 1 スイッチング素子 1 W へ与える制御信号 $S W 1$ を生成する。また、制御装置 50 は、第 1 スイッチング素子 1 W へ与える制御信号 $S W 1$ を反転させて第 2 スイッチング素子 2 W へ与える制御信号 $S W$

2を生成する。また、制御装置50は、第1スイッチング素子1W及び第2スイッチング素子2Wそれぞれのオン期間が重複しないように、制御信号SW1のハイレベル期間と制御信号SW2のハイレベル期間との間にデッドタイム期間Td(図4参照)を設定する。

[0032] U相の電圧指令、V相の電圧指令及びW相の電圧指令は、例えば、互いの位相が 120° 異なる正弦波状の信号であり、それぞれ、時間とともに値が変化する。したがって、制御信号SU1のデューティ(U相デューティ)、制御信号SV1のデューティ(V相デューティ)及び制御信号SW1のデューティ(W相デューティ)は、例えば、図5に示すように、互いの位相が 120° 異なる正弦波状に変化する。同様に、制御信号SU2のデューティ、制御信号SV2のデューティ及び制御信号SW2のデューティは、互いの位相が 120° 異なる正弦波状に変化する。

[0033] 制御装置50は、キャリア信号と各電圧指令と交流負荷RA1の状態に関する情報とに基づいて各制御信号SU1、SU2、SV1、SV2、SW1、SW2を生成する。例えば、交流負荷RA1が3相サーボモータの場合、交流負荷RA1の状態に関する情報は、例えば、交流負荷RA1のU相、V相及びW相それぞれに流れる出力電流(以下、負荷電流ともいう) i_U 、 i_V 、 i_W を検出する複数の電流センサからの検出値を含む。

[0034] 複数のスイッチ8、共振用インダクタL1、複数の共振用コンデンサ9及び回生用コンデンサ15は、複数の第1スイッチング素子1及び複数の第2スイッチング素子2のゼロ電圧ソフトスイッチングを行うために設けられている。

[0035] 電力変換装置100では、制御装置50が、電力変換回路11の複数の第1スイッチング素子1及び第2スイッチング素子2の他に、複数のスイッチ8も制御する。

[0036] 制御装置50は、第1IGBT6U、第2IGBT7U、第1IGBT6V、第2IGBT7V、第1IGBT6W及び第2IGBT7Wそれぞれのオンオフを制御する制御信号SU6、SU7、SV6、SV7、SW6、S

W7を生成して、第1IGBT6U、第2IGBT7U、第1IGBT6V、第2IGBT7V、第1IGBT6W及び第2IGBT7Wそれぞれのゲート端子へ出力する。

[0037] スイッチ8Uは、第1IGBT6Uがオン状態で、かつ、第2IGBT7Uがオフ状態の場合、回生用コンデンサ15ー共振用インダクタL1ースイッチ8Uー共振用コンデンサ9Uの経路で流れる充電電流を通過させることができる。充電電流は、共振用コンデンサ9Uを充電する電流である。スイッチ8Uは、第1IGBT6Uがオフ状態で、かつ、第2IGBT7Uがオン状態の場合、共振用コンデンサ9Uースイッチ8Uー共振用インダクタL1ー回生用コンデンサ15の経路で流れる放電電流を通過させることができる。放電電流は、共振用コンデンサ9Uの電荷を放電させる電流である。

[0038] スイッチ8Vは、第1IGBT6Vがオン状態で、かつ、第2IGBT7Vがオフ状態の場合、回生用コンデンサ15ー共振用インダクタL1ースイッチ8Vー共振用コンデンサ9Vの経路で流れる充電電流を通過させることができる。充電電流は、共振用コンデンサ9Vを充電する電流である。スイッチ8Vは、第1IGBT6Vがオフ状態で、かつ、第2IGBT7Vがオン状態の場合、共振用コンデンサ9Vースイッチ8Vー共振用インダクタL1ー回生用コンデンサ15の経路で流れる放電電流を通過させることができる。放電電流は、共振用コンデンサ9Vの電荷を放電させる電流である。

[0039] スイッチ8Wは、第1IGBT6Wがオン状態で、かつ、第2IGBT7Wがオフ状態の場合、回生用コンデンサ15ー共振用インダクタL1ースイッチ8Wー共振用コンデンサ9Wの経路で流れる充電電流を通過させることができる。充電電流は、共振用コンデンサ9Wを充電する電流である。スイッチ8Wは、第1IGBT6Wがオフ状態で、かつ、第2IGBT7Wがオン状態の場合、共振用コンデンサ9Wースイッチ8Wー共振用インダクタL1ー回生用コンデンサ15の経路で流れる放電電流を通過させることができる。放電電流は、共振用コンデンサ9Wの電荷を放電させる電流である。

[0040] (3) 電力変換装置の動作

以下では、共振用インダクタ L_1 に流れる電流 i_{L1} について図1中の矢印の向きに流れているときの極性を正とし、図1中の矢印の向きと反対の向きに流れているときの極性を負として説明する。また、以下では、交流負荷 R_{A1} のU相、V相、W相それぞれに流れる負荷電流 i_U 、 i_V 、 i_W について図1中の矢印の向きに流れているときの極性を正とし、図1中の矢印の向きと反対の向きに流れているときの極性を負として説明する。また、共振用コンデンサ C_U 、 C_V 、 C_W それぞれに流れる電流 i_{C_U} 、 i_{C_V} 、 i_{C_W} について、図1中の矢印の向きに流れているときの極性を正とし、図1中の矢印の向きと反対の向きに流れているときの極性を負として説明する。したがって、共振用コンデンサ C_U 、 C_V 、 C_W が放電する放電動作の場合には、電流 i_{C_U} 、 i_{C_V} 、 i_{C_W} の極性が正となり、共振用コンデンサ C_U 、 C_V 、 C_W が充電される充電動作の場合には、電流 i_{C_U} 、 i_{C_V} 、 i_{C_W} の極性が負となる。

[0041] 電力変換装置100では、例えば、スイッチ8Uの第1IGBT6Uがオン状態で共振用インダクタ L_1 に電流 i_{L1} が正の極性で流れている状態から、スイッチ8Uの第1IGBT6Uがオフ状態に変化する場合がある。この場合、共振用インダクタ L_1 に流れる電流 i_{L1} は、共振用インダクタ L_1 のエネルギーが消費されて電流 i_{L1} がゼロになるまで、第3ダイオード13を介して電力変換回路11に回生される。また、電力変換装置100では、例えば、スイッチ8Uの第2IGBT7Uがオン状態で共振用インダクタ L_1 に電流 i_{L1} が負の極性で流れている状態から、第2IGBT7Uがオフ状態になる場合がある。この場合、共振用インダクタ L_1 に流れる電流 i_{L1} は、共振用インダクタ L_1 のエネルギーが消費されて電流 i_{L1} がゼロになるまで、第4ダイオード14ー共振用インダクタ L_1 ー回生用コンデンサ15の経路で流れる。

[0042] また、電力変換装置100では、例えば、スイッチ8Vの第1IGBT6Vがオン状態で共振用インダクタ L_1 に電流 i_{L1} が正の極性で流れている状態から、スイッチ8Vの第1IGBT6Vがオフ状態に変化する場合があ

る。この場合、共振用インダクタ L_1 に流れる電流 i_{L1} は、共振用インダクタ L_1 のエネルギーが消費されて電流 i_{L1} がゼロになるまで、第3ダイオード13を介して電力変換回路11に回生される。また、電力変換装置100では、例えば、スイッチ8Vの第2IGBT7Vがオン状態で共振用インダクタ L_1 に電流 i_{L1} が負の極性で流れている状態から、第2IGBT7Vがオフ状態になる場合がある。この場合、共振用インダクタ L_1 に流れる電流 i_{L1} は、共振用インダクタ L_1 のエネルギーが消費されて電流 i_{L1} がゼロになるまで、第4ダイオード14ー共振用インダクタ L_1 ー回生用コンデンサ15の経路で流れる。

[0043] また、電力変換装置100では、例えば、スイッチ8Wの第1IGBT6Wがオン状態で共振用インダクタ L_1 に電流 i_{L1} が正の極性で流れている状態から、スイッチ8Wの第1IGBT6Wがオフ状態になる場合がある。この場合、共振用インダクタ L_1 に流れる電流 i_{L1} は、共振用インダクタ L_1 のエネルギーが消費されて電流 i_{L1} がゼロになるまで、第3ダイオード13を介して電力変換回路11に回生される。また、電力変換装置100では、例えば、スイッチ8Wの第2IGBT7Wがオン状態で共振用インダクタ L_1 に電流 i_{L1} が負の極性で流れている状態から、第2IGBT7Wがオフ状態になる場合がある。この場合、共振用インダクタ L_1 に流れる電流 i_{L1} は、共振用インダクタ L_1 のエネルギーが消費されて電流 i_{L1} がゼロになるまで第4ダイオード14ー共振用インダクタ L_1 ー回生用コンデンサ15の経路で流れる。

[0044] 制御装置50は、複数のスイッチング回路10の各々について第1スイッチング素子1U、1V、1Wへの制御信号 S_{U1} 、 S_{V1} 、 S_{W1} のハイレベル期間と第2スイッチング素子2U、2V、2Wへの制御信号 S_{U2} 、 S_{V2} 、 S_{W2} のハイレベル期間との間にデッドタイム期間 T_d を設定する。また、制御装置50は、複数のスイッチ8の各々への制御信号のハイレベル期間を複数のスイッチング回路10のうち対応するスイッチング回路10に対するデッドタイム期間 T_d に基づいて設定する。ここで、制御装置50で

は、複数のスイッチ 8 の各々への制御信号のハイレベル期間の長さは、例えば、第 1 期間の長さ、第 2 期間の長さ、の合計として設定する。第 1 期間の長さは、スイッチ 8 に対応する共振用コンデンサ 9 のキャパシタンスと共振用インダクタ L 1 のインダクタンスとにより決まる共振半周期の長さである。共振周期を T_{res} とすると、第 1 期間の長さは、 $T_{res}/2$ の長さである。第 1 期間の終了時点、つまり、共振半周期が終了する時点は、スイッチ 8 に対応するスイッチング回路 10 に対するデッドタイム期間 T_d の終了時点と一致することが望ましい。例えば、後述する図 2 の例は、制御信号 S_{U6} の時点 t_2 と時点 t_3 との間の長さが、第 1 期間の長さである。第 2 期間の長さは、一例として、回生用コンデンサ 15 の電圧と共振用インダクタ L 1 のインダクタンスと負荷電流値とにより決定する追加時間 T_{au} である。上述の第 1 期間の長さは、理想的な設計例であり、 $T_{res}/2$ の長さの 90% 以上 110% 以下の長さでもよい。また、上述の第 2 期間の長さは、理想的な設計例であり、回生用コンデンサ 15 の電圧と共振用インダクタ L 1 のインダクタンスと負荷電流値とにより決定する追加時間（図 2 の例では追加時間 T_{au} ）の 90% 以上 110% 以下の長さでもよい。

[0045] 以下では、複数の第 1 スwitchング素子 1 及び複数の第 2 スwitchング素子 2 それぞれのゼロ電圧ソフトスitchングの基本動作について、図 1～9 を参照して説明する。基本動作は、共振用インダクタ L 1 に、複数のスイッチ 8 のうち 2 つ以上のスイッチ 8 それぞれを通る共振電流が同時に流れない場合の動作である。基本動作を説明した後で、制御装置 50 が複数のスイッチ 8 のうち 2 つ以上のスイッチ 8 それぞれを通る共振電流が同時に流れると判断した場合の動作について説明する。

[0046] (3. 1) 基本動作

第 1 スwitchング素子 1 のゼロ電圧ソフトスitchングでは、ゼロ電圧ソフトスitchングの対象とする第 1 スwitchング素子 1 のターンオン直前に第 1 スwitchング素子 1 の両端電圧をゼロにする必要がある。また、第 2 スwitchング素子 2 のゼロ電圧ソフトスitchングでは、ゼロ電圧ソフトス

ツチングの対象とする第2スイッチング素子2のターンオン直前に第2スイッチング素子2の両端電圧をゼロにする必要がある。以下では、ゼロ電圧ソフトスイッチングの対象とするスイッチング素子（第1スイッチング素子1又は第2スイッチング素子2）を対象スイッチング素子ともいう。

[0047] 制御装置50の基本動作は、対象スイッチング素子に接続された交流端子41に流れる負荷電流の極性（正／負）と、対象スイッチング素子に直列又は並列に接続されている共振用コンデンサ9の動作（充電動作／放電動作）と、の違いにより異なる。負荷電流は、交流端子41から交流負荷RA1に向かって流れるときの極性が正であり、交流負荷RA1から交流端子41に向かって流れるときの極性が負である。共振用コンデンサ9の充電動作のときには、共振用コンデンサ9の両端電圧が増加する。また、共振用コンデンサ9の放電動作のときには、共振用コンデンサ9の両端電圧が減少する。複数の第2スイッチング素子2の各々の両端電圧は、第2スイッチング素子2に並列接続されている共振用コンデンサ9の両端電圧と同じである。

[0048] （3. 1. 1）負荷電流 >0 の場合に第1スイッチング素子をソフトスイッチングさせるための動作

制御装置50は、ソフトスイッチングの対象が第1スイッチング素子1（以下、対象の第1スイッチング素子1ともいう）であり、対象の第1スイッチング素子1に接続された交流端子41に流れる負荷電流の極性が正の場合、対象の第1スイッチング素子1に対応する第1IGBT6をオンさせる。これにより、制御装置50は、対象の第1スイッチング素子1に接続されている共振用インダクタL1と共振用コンデンサ9とを共振させて回生用コンデンサ15から共振用コンデンサ9を充電させ、対象の第1スイッチング素子1の両端電圧をゼロにする。これにより、電力変換装置100は、対象の第1スイッチング素子1のゼロ電圧ソフトスイッチングを実現することができる。

[0049] 図2は、実施形態1の電力変換装置100において制御装置50が、負荷電流 >0 、共振用コンデンサ9の充電動作の場合に基本動作を行ったときの

動作説明図である。図2には、対象の第1スイッチング素子がスイッチング回路10Uの第1スイッチング素子1Uである場合について、制御装置50からスイッチング回路10Uの第1スイッチング素子1U、第2スイッチング素子2Uそれぞれへ与える制御信号SU1、SU2を図示してある。また、図2には、制御装置50からスイッチ8Uの第1IGBT6Uへ与える制御信号SU6と、交流負荷RA1のU相に流れる負荷電流iUと、共振用インダクタL1に流れる電流iL1と、第1スイッチング素子1Uの両端電圧V1uと、第2スイッチング素子2Uの両端電圧V2uと、を図示してある。図2では、直流電源E1の電圧値をVdとして図示してある。

[0050] また、図2には、制御装置50において同相の第1スイッチング素子1及び第2スイッチング素子2が同時にオン状態になることを防止するために設定されたデッドタイム期間Tdを図示してある。また、図2には、制御装置50においてスイッチ8Uの第1IGBT6Uの制御信号SU6に対して設定する追加時間Tauを図示してある。追加時間Tauについては、後述する。

[0051] 図3は、実施形態1の電力変換装置100において制御装置50が、負荷電流>0、共振用コンデンサ9の充電動作の場合に基本動作を行ったときの別の動作説明図である。図3には、対象の第1スイッチング素子がスイッチング回路10Vの第1スイッチング素子1Vである場合について、制御装置50からスイッチング回路10Vの第1スイッチング素子1V、第2スイッチング素子2Vそれぞれへ与える制御信号SV1、SV2を図示してある。また、図3には、制御装置50からスイッチ8Vの第1IGBT6Vへ与える制御信号SV6と、交流負荷RA1のV相に流れる負荷電流iVと、共振用インダクタL1に流れる電流iL1と、第1スイッチング素子1Vの両端電圧V1vと、第2スイッチング素子2Vの両端電圧V2vと、を図示してある。図3では、直流電源E1の電圧値をVdとして図示してある。

[0052] また、図3には、制御装置50において同相の第1スイッチング素子1及び第2スイッチング素子2が同時にオン状態になることを防止するために設

定されたデッドタイム期間 T_d を図示してある。また、図3には、制御装置50においてスイッチ8Vの第1 IGBT 6Vの制御信号SV6に対して設定する追加時間 T_{av} を図示してある。追加時間 T_{av} については、後述する。

[0053] 図4は、実施形態1の電力変換装置100において制御装置50が、負荷電流 >0 、共振用コンデンサ9の充電動作の場合に基本動作を行ったときの他の動作説明図である。図4には、対象の第1スイッチング素子がスイッチング回路10Wの第1スイッチング素子1Wである場合について、制御装置50からスイッチング回路10Wの第1スイッチング素子1W、第2スイッチング素子2Wそれぞれへ与える制御信号SW1、SW2を図示してある。図4には、制御装置50からスイッチ8Wの第1 IGBT 6Wへ与える制御信号SW6と、交流負荷RA1のW相に流れる負荷電流 i_W と、を図示してある。また、図4には、共振用インダクタL1に流れる電流 i_{L1} を図示してある。また、図4には、第1スイッチング素子1Wの両端電圧 V_{1w} と、第2スイッチング素子2Wの両端電圧 V_{2w} と、を図示してある。図4では、直流電源E1の電圧値を V_d として図示してある。

[0054] また、図4には、制御装置50において第1スイッチング素子1W及び第2スイッチング素子2Wが同時にオン状態になることを防止するために設定されたデッドタイム期間 T_d を図示してある。また、図4には、制御装置50においてスイッチ8Wの第1 IGBT 6Wの制御信号SW6に対して設定する追加時間 T_{aw} を図示してある。追加時間 T_{aw} については、後述する。

[0055] 上述の追加時間 T_{au} は、図2に示すように、制御信号SU6のハイレベル期間の開始される時点 t_1 を第1期間の開始される時点 t_2 よりも早めて制御信号SU6のハイレベル期間を第1期間よりも長くするために設定する時間である。追加時間 T_{au} の長さは、負荷電流 i_U の値に基づいて設定される。第1期間の開始される時点 t_2 からLC共振を開始させるためには、第1期間の開始される時点 t_2 で電流 i_{L1} の値が負荷電流 i_U の値に一致

することが望ましい。これは、 $i_{L1} < i_U$ となっている間は電流 i_{L1} の全電流が交流負荷 R_{A1} に流れるので、共振用コンデンサ $9U$ を充電することができないためである。制御信号 S_{U6} のハイレベル期間の終了する時点は、デッドタイム期間 T_d の終了する時点 t_3 と同じか、それ以降であればよい。図2では、制御信号 S_{U6} のハイレベル期間の終了する時点は、デッドタイム期間 T_d の終了する時点 t_3 と同じに設定した例を示してある。制御装置 50 は、例えば、制御信号 S_{U6} のハイレベル期間を $T_{au} + (T_{res} / 2)$ に設定する。つまり、制御装置 50 は、第1期間の長さを $T_{res} / 2$ としている。スイッチング回路 $10U$ では、第2スイッチング素子 $2U$ の両端電圧 V_{2u} は、デッドタイム期間 T_d の終了する時点 t_3 で V_d となり、第1スイッチング素子 $1U$ の両端電圧 V_{1u} は、デッドタイム期間 T_d の終了する時点 t_3 でゼロとなる。図2の例では、共振用インダクタ L_1 に流れる電流 i_{L1} は、デッドタイム期間 T_d の開始される時点 t_0 よりも後に、制御信号 S_{U6} のハイレベル期間の開始される時点 t_1 から流れ始め、デッドタイム期間 T_d の終了する時点 t_3 から追加時間 T_{au} が経過した時点 t_4 でゼロになる。電流 i_{L1} に関しては、第1期間の開始される時点 t_2 から $i_{L1} \geq i_U$ となることで、図2における上から5段目の電流波形に関して斜線で示す領域の電流 i_{L1} が共振用コンデンサ $9U$ に流れ込み LC 共振が発生する。電流 i_{L1} は、デッドタイム期間 T_d の終了する時点 t_3 以降は共振用インダクタ L_1 に直接接続されている第3ダイオード 13 を介して電力変換回路 11 に回生される。

[0056] 制御装置 50 は、上述の通り、第1期間の開始される時点 t_2 で LC 共振を開始させデッドタイム期間 T_d の終了する時点 t_3 で共振半周期を終了させるために、第1期間の開始される時点 t_2 で $i_{L1} = i_U$ となるように、負荷電流 i_U に基づいて追加時間 T_{au} を決定する。より詳細には、制御装置 50 では、例えば、電流センサによる負荷電流 i_U の検出結果又はその信号処理値、又は負荷電流 i_U の推定値と、あらかじめ記憶している共振用インダクタ L_1 のインダクタンス L と、回生用コンデンサ 15 の電圧 V_{15} (

回生用コンデンサ 15 の第 4 端 154 の電位 V_{15} の検出結果とを用いて、 $T_{au} = i_U \times (L / V_{15})$ の演算により追加時間 T_{au} を決定する。このときの負荷電流 i_U の検出結果又はその信号処理値としては、追加時間 T_{au} を加算するキャリア周期での、又はそのキャリア周期に最も近いタイミング等での検出値を用いる。また、このときの負荷電流 i_U の推定値は、追加時間 T_{au} を加算するキャリア周期での負荷電流 i_U を推定した値等を用いる。基本動作の場合の共振半周期は、共振用インダクタ L_1 と 1 つの共振用コンデンサ 9 とを含む共振回路の共振周波数の逆数である共振周期の半分である。したがって、共振用インダクタ L_1 のインダクタンスを L とし、共振用コンデンサ 9 のキャパシタンスを C とすると、共振半周期は、 $\pi \times (L \cdot C)^{1/2}$ である。制御装置 50 では、デッドタイム期間 T_d の長さを共振半周期の長さよりも長く設定しているが、デッドタイム期間 T_d の長さを共振半周期の長さと同じ値に設定してもよい。

[0057] 上述の追加時間 T_{av} は、図 3 に示すように、制御信号 S_{V6} のハイレベル期間の開始される時点 t_{11} を第 1 期間の開始される時点 t_{12} よりも早めて制御信号 S_{V6} のハイレベル期間を第 1 期間よりも長くするために設定する時間である。追加時間 T_{av} の長さは、負荷電流 i_V の値に基づいて設定される。第 1 期間の開始される時点 t_{12} から LC 共振を開始させるためには、第 1 期間の開始される時点 t_{12} で電流 i_{L1} の値が負荷電流 i_V の値に一致することが望ましい。これは、 $i_{L1} < i_V$ となっている間は電流 i_{L1} の全電流が交流負荷 R_{A1} に流れるので、共振用コンデンサ 9 V を充電することができないためである。制御信号 S_{V6} のハイレベル期間の終了する時点は、デッドタイム期間 T_d の終了する時点 t_{13} と同じか、それ以降であればよい。図 3 では、制御信号 S_{V6} のハイレベル期間の終了する時点は、デッドタイム期間 T_d の終了する時点 t_{13} と同じに設定した例を示してある。制御装置 50 は、例えば、制御信号 S_{V6} のハイレベル期間を $T_{av} + (T_{res} / 2)$ に設定する。第 1 スイッチング素子 1 V の両端電圧 V_{1v} は、デッドタイム期間 T_d の終了する時点 t_{13} でゼロとなる。図 3

の例では、共振用インダクタ L_1 に流れる電流 i_{L1} は、デッドタイム期間 T_d の開始される時点 t_{10} よりも後に、制御信号 SV_6 のハイレベル期間の開始される時点 t_{11} から流れ始め、デッドタイム期間 T_d の終了する時点 t_{13} から追加時間 T_{av} が経過した時点 t_{14} でゼロになる。電流 i_{L1} に関しては、第1期間の開始される時点 t_{12} から $i_{L1} \geq i_V$ となることで、図3における上から4段目の電流波形に関して斜線で示す領域の電流 i_{L1} が共振用コンデンサ C_V に流れ込みLC共振が発生する。電流 i_{L1} は、デッドタイム期間 T_d の終了する時点 t_{13} 以降は共振用インダクタ L_1 に直接接続されている第3ダイオード D_3 を介して電力変換回路11に回生される。

[0058] 制御装置50は、上述の通り、第1期間の開始される時点 t_{12} でLC共振を開始させデッドタイム期間 T_d の終了する時点 t_{13} で共振半周期を終了させるために、第1期間の開始される時点 t_{12} で $i_{L1} = i_V$ となるように、負荷電流 i_V に基づいて追加時間 T_{av} を決定する。より詳細には、制御装置50では、例えば、電流センサによる負荷電流 i_V の検出結果又はその信号処理値、又は負荷電流 i_V の推定値と、あらかじめ記憶している共振用インダクタ L_1 のインダクタンス L と、回生用コンデンサ C_{15} の電圧 V_{15} の検出結果とを用いて、 $T_{av} = i_V \times (L / V_{15})$ の演算により追加時間 T_{av} を決定する。このときの負荷電流 i_V の検出結果又はその信号処理値としては、追加時間 T_{av} を加算するキャリア周期での、又はそのキャリア周期に最も近いタイミング等での検出値を用いる。また、このときの負荷電流 i_V の推定値は、追加時間 T_{av} を加算するキャリア周期での負荷電流 i_V を推定した値等を用いる。

[0059] 上述の追加時間 T_{aw} は、図4に示すように、制御信号 SW_6 のハイレベル期間の開始される時点 t_{21} を第1期間の開始される時点 t_{22} よりも早めて制御信号 SW_6 のハイレベル期間を第1期間よりも長くするために設定する時間である。追加時間 T_{aw} の長さは、負荷電流 i_W の値に基づいて設定される。第1期間の開始される時点 t_{22} からLC共振を開始させるため

には、第1期間の開始される時点 t_{22} で電流 i_{L1} の値が負荷電流 i_W の値に一致することが望ましい。これは、 $i_{L1} < i_W$ となっている間は電流 i_{L1} の全電流が交流負荷 R_{A1} に流れるので、共振用コンデンサ C_W を充電することができないためである。制御信号 SW_6 のハイレベル期間の終了する時点は、デッドタイム期間 T_d の終了する時点 t_{23} と同じか、それ以降であればよい。図4では、制御信号 SW_6 のハイレベル期間の終了する時点は、デッドタイム期間 T_d の終了する時点 t_{23} と同じに設定した例を示してある。制御装置50は、例えば、制御信号 SW_6 のハイレベル期間を $T_{aw} + (T_{res} / 2)$ に設定する。第1スイッチング素子1Wの両端電圧 V_{1w} は、デッドタイム期間 T_d の終了する時点 t_{23} でゼロとなる。図4の例では、共振用インダクタ L_1 に流れる電流 i_{L1} は、デッドタイム期間 T_d の開始される時点 t_{20} よりも後に、制御信号 SW_6 のハイレベル期間の開始される時点 t_{21} から流れ始め、デッドタイム期間 T_d の終了する時点 t_{23} から追加時間 T_{aw} が経過した時点 t_{24} でゼロになる。電流 i_{L1} に関しては、第1期間の開始される時点 t_{22} から $i_{L1} \geq i_W$ となることで、図4における上から4段目の電流波形に関して斜線で示す領域の電流 i_{L1} が共振用コンデンサ C_W に流れ込みLC共振が発生する。電流 i_{L1} は、デッドタイム期間 T_d の終了する時点 t_{23} 以降は共振用インダクタ L_1 に直接接続されている第3ダイオード13を介して電力変換回路11に回生される。

[0060] 制御装置50は、負荷電流 i_W に基づいて追加時間 T_{aw} を決定する。より詳細には、制御装置50では、例えば、電流センサによる負荷電流 i_W の検出結果と、あらかじめ記憶している共振用インダクタ L_1 のインダクタンス L と、回生用コンデンサ15の電圧 V_{15} の検出結果とを用いて、 $T_{aw} = i_W \times (L / V_{15})$ の演算により追加時間 T_{aw} を決定する。このときの負荷電流 i_W の検出結果又はその信号処理値としては、追加時間 T_{aw} を加算するキャリア周期での、又はそのキャリア周期に最も近いタイミング等での検出値を用いる。また、このときの負荷電流 i_W の推定値は、追加時間

T_{aw} を加算するキャリア周期での負荷電流 i_W を推定した値等を用いる。

[0061] (3. 1. 2) 負荷電流 > 0 の場合に第2スイッチング素子をソフトスイッチングさせるための動作

図6は、実施形態1の電力変換装置100において制御装置50で用いる第1電流閾値 I_1 及び第2電流閾値 I_2 の説明図である。制御装置50は、ソフトスイッチングの対象が第2スイッチング素子2（以下、対象の第2スイッチング素子2ともいう）であり、対象の第2スイッチング素子2に接続された交流端子41に流れる負荷電流（負荷電流 i_U 又は負荷電流 i_V 又は負荷電流 i_W ）の極性が正の場合、負荷電流の電流値と第1電流閾値 I_1 （ $= I_{th}$ 、図6参照）とを比較する。制御装置50の動作の設計の一例として、制御装置50は、負荷電流の電流値が第1電流閾値 I_1 よりも大きい場合、スイッチ8をオンさせず、負荷電流の電流値が第1電流閾値 I_1 よりも小さい場合、デッドタイム期間 T_d にスイッチ8をオンさせる。ここでも、(3. 1. 1) の欄と同様、例えば、デッドタイム期間 T_d の長さを共振半周期よりも長くなるように設定している場合を想定している。電力変換装置100では、負荷電流の電流値が第1電流閾値 I_1 よりも大きい場合、制御装置50が対象の第2スイッチング素子2に対応するスイッチ8をオンさせることなく、対象の第2スイッチング素子2に並列接続されている共振用コンデンサ9Uを負荷電流 i_U により放電動作させることができる。これにより、電力変換装置100は、対象の第2スイッチング素子2のゼロ電圧ソフトスイッチングを実現できる。

[0062] 図7は、実施形態1の電力変換装置100において制御装置50が、負荷電流 > 0 、共振用コンデンサ9の放電動作の場合に基本動作を行ったときの動作説明図である。図7には、対象の第2スイッチング素子2がスイッチング回路10Uの第2スイッチング素子2Uであり、負荷電流の電流値が第1電流閾値 I_1 よりも大きい場合について、制御信号 S_{U1} 、 S_{U2} 、 S_{U7} と、負荷電流 i_U と、共振用コンデンサ9Uから流れる電流 i_{9U} と、第2スイッチング素子2Uの両端電圧 V_{2u} と、を図示してある。また、図7に

は、デッドタイム期間 T_d と、制御装置50においてスイッチ8Uの第2IGBT7Uの制御信号SU7に対して設定する追加時間 T_{au} を図示してある。

[0063] 制御装置50は、負荷電流 i_U の電流値が第1電流閾値 I_1 よりも大きい場合、制御信号SU7にハイレベル期間を設けない。この場合、電力変換装置100では、制御信号SU1がハイレベルからローレベルに変化した時点 t_{31} から、共振用コンデンサ9Uから電流 i_{9U} が流れ始めて、デッドタイム期間 T_d の終了する時点 t_{33} よりも前に電流 i_{9U} がゼロまで低下し、デッドタイム期間 T_d の終了する時点 t_{33} よりも前に第2スイッチング素子2Uの両端電圧 V_{2u} がゼロになる。これにより、電力変換装置100では、デッドタイム期間 T_d の終了する時点 t_{33} で制御信号SU2がローレベルからハイレベルに変化したときに、第2スイッチング素子2Uがゼロ電圧ソフトスイッチングされる。

[0064] 制御装置50は、負荷電流 i_U の電流値が第1電流閾値 I_1 よりも小さい場合、例えば図7中に二点鎖線で示すように制御信号SU7にハイレベル期間を設ける。このときの制御信号SU7のハイレベル期間の開始される時点 t_{32} は、例えば、デッドタイム期間 T_d の開始される時点 t_{31} よりも後である。また、制御信号SU7のハイレベル期間の終了する時点は、デッドタイム期間 T_d の終了する時点 t_{33} と同じである。これにより、電力変換装置100では、デッドタイム期間 T_d の終了する時点 t_{33} よりも前に第2スイッチング素子2Uの両端電圧 V_{2u} がゼロになる。よって、電力変換装置100では、デッドタイム期間 T_d の終了する時点 t_{33} で制御信号SU2がローレベルからハイレベルに変化したときに、第2スイッチング素子2Uがゼロ電圧ソフトスイッチングされる。制御信号SU7のハイレベル期間の開始される時点は、第1期間の開始される時点よりも追加時間 T_{au} だけ早い時点 t_{30} であってもよい。制御信号SU7のハイレベル期間の終了する時点は、デッドタイム期間 T_d の終了する時点 t_{33} よりも追加時間 T_{au} だけ遅い時点 t_{34} であってもよい。なお、ハイレベル期間において第

1 期間前後の時間は、追加時間 T_{au} に限らず、他の設定時間でもよい。また、上記で述べた、負荷電流の閾値と、スイッチ 8 への制御信号のハイレベル期間の決め方との関係は理想的な設計例であり、上記の設計例に限定されない。例えば、制御装置 50 は、負荷電流の電流値が第 1 電流閾値 I_1 よりも大きい場合でも、例えば第 1 期間にスイッチ 8 がオンするようにスイッチ 8 の制御信号のハイレベル期間を設定してもよい。また、制御装置 50 は、負荷電流の電流値が第 1 電流閾値 I_1 よりも小さい場合でも、第 1 期間にスイッチ 8 をオンさせなくてもよい。また、制御装置 50 は、第 1 電流閾値 I_1 に関わらず、スイッチ 8 を常に例えば第 1 期間にオンさせるようにスイッチ 8 への制御信号のハイレベル期間を設定してもよい。また、制御装置 50 は、第 1 電流閾値 I_1 に関わらずスイッチ 8 を常にオフ状態とさせてもよい。また、制御装置 50 は、(3. 1. 2) で述べた動作を適宜組み合わせてもよい。また、制御装置 50 は、スイッチ 8 への制御信号のハイレベル期間を、上記のように第 1 期間と一致させなくてもよい。例えば共振半周期の設計時間に応じて、スイッチ 8 への制御信号のハイレベル期間を第 1 期間の長さ以外に設計してもよい。

[0065] (3. 1. 3) 負荷電流 < 0 の場合に第 2 スイッチング素子をソフトスイッチングさせるための動作

制御装置 50 は、対象の第 2 スイッチング素子 2 に接続された交流端子 41 に流れる負荷電流（負荷電流 i_U 又は負荷電流 i_V 又は負荷電流 i_W ）の極性が負の場合、対象の第 2 スイッチング素子 2 に対応する第 2 IGBT 7 をオンさせる。これにより、制御装置 50 は、対象の第 2 スイッチング素子 2 に接続されている共振用コンデンサ 9 と共振用インダクタ L_1 とを共振させて共振用コンデンサ 9 から放電させ、対象の第 2 スイッチング素子 2 の両端電圧をゼロにする。これにより、電力変換装置 100 は、対象の第 2 スイッチング素子 2 のゼロ電圧ソフトスイッチングを実現することができる。

[0066] 図 8 は、実施形態 1 の電力変換装置 100 において制御装置 50 が、負荷電流 < 0 、共振用コンデンサ 9 の放電動作の場合に基本動作を行ったときの

動作説明図である。図8には、対象の第2スイッチング素子2がスイッチング回路10Uの第2スイッチング素子2Uである場合について、制御信号SU1、SU2、SU7と、負荷電流iUと、共振用インダクタL1に流れる電流iL1と、第2スイッチング素子2Uの両端電圧V2uと、を図示してある。

[0067] また、図8には、制御装置50において同相の第1スイッチング素子1及び第2スイッチング素子2が同時にオン状態になることを防止するために設定されたデッドタイム期間Tdを図示してある。また、図8には、制御装置50においてスイッチ8Uの第2IGBT7Uの制御信号SU7に対して設定する追加時間Tauを図示してある。制御信号SU7のハイレベル期間の終了する時点は、デッドタイム期間Tdの終了する時点t43と同じか、それ以降であればよい。図8では、制御信号SU7のハイレベル期間の終了する時点は、デッドタイム期間Tdの終了する時点t43と同じに設定した例を示してある。制御装置50は、例えば、制御信号SU7のハイレベル期間を $Tau + (Tres / 2)$ に設定する。スイッチング回路10Uでは、第2スイッチング素子2Uの両端電圧V2uは、デッドタイム期間Tdの終了する時点t43でゼロとなる。図8の例では、共振用インダクタL1に流れる電流iL1は、デッドタイム期間Tdの開始される時点t40よりも後に、制御信号SU7のハイレベル期間の開始される時点t41から流れ始め、デッドタイム期間Tdの終了する時点t43から追加時間Tauが経過した時点t44でゼロになる。電流iL1に関しては、第1期間の開始される時点t42から $iL1 \leq iU$ となることで、LC共振が発生し共振用コンデンサ9Uから共振用インダクタL1に向かう共振電流（共振用コンデンサ9Uの放電電流）が流れる。電流iL1は、デッドタイム期間Tdの終了する時点t43以降は共振用インダクタL1に直接接続されている第4ダイオード14を介して電力変換回路11に回生される。

[0068] 制御装置50は、第1期間の開始される時点t42でLC共振を開始させデッドタイム期間Tdの終了する時点t43で共振半周期を終了させるため

に、第1期間の開始される時点 t_{42} で $i_{L1} = i_U$ となるように、負荷電流 i_U に基づいて追加時間 T_{au} を決定する。より詳細には、制御装置 50 では、例えば、電流センサによる出力電流 i_U の検出結果又はその信号処理値、又は負荷電流 i_U の推定値と、あらかじめ記憶している共振用インダクタ $L1$ のインダクタンス L と、回生用コンデンサ 15 の電圧 V_{15} の検出結果とを用いて、 $T_{au} = |i_U| \times (L / V_{15})$ の演算により追加時間 T_{au} を決定する。このときの負荷電流値（負荷電流 i_U の検出結果又はその信号処理値）としては、追加時間 T_{au} を加算するキャリア周期での、又はそのキャリア周期に最も近いタイミング等での検出値を用いる。また、このときの負荷電流 i_U の推定値は、追加時間 T_{au} を加算するキャリア周期での負荷電流 i_U を推定した値等を用いる。基本動作の場合の共振半周期は、共振用インダクタ $L1$ と1つの共振用コンデンサ 9 とを含む共振回路の共振周波数の逆数である共振周期の半分である。したがって、共振用インダクタ $L1$ のインダクタンスを L とし、共振用コンデンサ 9 のキャパシタンスを C とすると、共振半周期は、 $\pi \times (L \cdot C)^{1/2}$ である。制御装置 50 では、基本動作のときのデッドタイム期間 T_d の長さは、例えば、基本動作のときの共振半周期よりも長くなるように設定されているが、基本動作のときの共振半周期と同じになるように設定されていてもよい。

[0069] (3. 1. 4) 負荷電流 < 0 の場合に第1スイッチング素子をソフトスイッチングさせるための動作

制御装置 50 は、対象の第1スイッチング素子 1 に接続された交流端子 41 に流れる負荷電流（負荷電流 i_U 又は負荷電流 i_V 又は負荷電流 i_W ）の極性が負である場合、負荷電流の電流値と第2電流閾値 I_2 ($= -I_{th}$ 、図6参照) とを比較する。制御装置 50 の動作の設計の一例として、制御装置 50 は、負荷電流の電流値が第2電流閾値 I_2 よりも小さい場合、スイッチ 8 をオンさせず、負荷電流の電流値が第2電流閾値 I_2 よりも大きい場合、第1期間にスイッチ 8 をオンさせる。ここでも、(3. 1. 1) の欄と同様、例えば、デッドタイム期間 T_d の長さを共振半周期の長さよりも長くな

るように設定している場合を想定している。電力変換装置100は、負荷電流の電流値が第2電流閾値 I_2 よりも小さい場合、制御装置50が対象の第1スイッチング素子1に対応するスイッチ8をオンさせることなく、対象の第1スイッチング素子1に直列接続されている共振用コンデンサ9Uを負荷電流により充電できる。これにより、電力変換装置100は、対象の第1スイッチング素子1のゼロ電圧ソフトスイッチングを実現できる。

[0070] 図9は、実施形態1の電力変換装置100において制御装置50が、負荷電流 <0 、共振用コンデンサ9の充電動作の場合に基本動作を行ったときの動作説明図である。図9には、対象の第1スイッチング素子1がスイッチング回路10Uの第1スイッチング素子1Uであり、負荷電流の電流値が第2電流閾値 I_2 よりも大きい場合（言い換えれば、負荷電流の電流値の絶対値が第2電流閾値 I_2 の絶対値よりも小さい場合）について、制御信号 S_{U1} 、 S_{U2} 、 S_{U6} と、負荷電流 i_U と、共振用コンデンサ9Uから流れる電流 i_{9U} と、第2スイッチング素子2Uの両端電圧 V_{2u} と、を図示してある。また、図9には、デッドタイム期間 T_d を図示してある。

[0071] 制御装置50は、負荷電流の電流値が第2電流閾値 I_2 よりも小さい場合（言い換えれば、負荷電流の絶対値が第2電流閾値 I_2 の絶対値よりも大きい場合）、制御信号 S_{U6} にハイレベル期間を設けない。この場合、電力変換装置100では、制御信号 S_{U2} がハイレベルからローレベルに変化した時点 t_{50} から、共振用コンデンサ9Uに電流 i_{9U} が流れ始める。これにより、電力変換装置100では、共振用コンデンサ9Uが充電されて第2スイッチング素子2Uの両端電圧 V_{2u} が増加し、デッドタイム期間 T_d の終了する時点 t_{52} よりも前に電流 i_{9U} がゼロとなり、デッドタイム期間 T_d の終了する時点 t_{52} よりも前に第1スイッチング素子1Uの両端電圧 V_{1u} がゼロになる。これにより、電力変換装置100では、デッドタイム期間 T_d の終了する時点 t_{52} で制御信号 S_{U1} がローレベルからハイレベルに変化したときに、第1スイッチング素子1Uがゼロ電圧ソフトスイッチングされる。

[0072] 制御装置50は、負荷電流の電流値が第2電流閾値 I_2 よりも大きい場合（言い換えれば、負荷電流の絶対値が第2電流閾値の絶対値よりも小さい場合）、例えば図9中に二点鎖線で示すように制御信号SU6にハイレベル期間を設ける。このときの制御信号SU6のハイレベル期間の開始される時点は、デッドタイム期間Tdの開始される時点 t_{50} よりも後の時点 t_{51} である。また、制御信号SU6のハイレベル期間の終了する時点は、デッドタイム期間Tdの終了する時点 t_{52} と同じである。これにより、電力変換装置100では、デッドタイム期間Tdの終了する時点 t_{52} よりも前に第1スイッチング素子1Uの両端電圧 V_{1u} がゼロになる。よって、電力変換装置100では、デッドタイム期間Tdの終了する時点 t_{52} で制御信号SU1がローレベルからハイレベルに変化したときに、第1スイッチング素子1Uがゼロ電圧ソフトスイッチングされる。また、上記で述べた、負荷電流の閾値と、スイッチ8への制御信号のハイレベル期間の決め方との関係は理想的な設計例であり、上記の設計例に限定されない。例えば、制御装置50は、負荷電流の電流値が第2電流閾値 I_2 よりも小さい場合でも、例えば第1期間にスイッチ8がオンするようにスイッチ8の制御信号のハイレベル期間を設定してもよい。また、制御装置50は、負荷電流の電流値が第2電流閾値 I_2 よりも大きい場合でも、第1期間にスイッチ8をオンさせなくてもよい。また、制御装置50は、第2電流閾値 I_2 に関わらず、スイッチ8を常に例えば第1期間にオンさせるようにスイッチ8への制御信号のハイレベル期間を設定してもよい。また、制御装置50は、第2電流閾値 I_2 に関わらずスイッチ8を常にオフ状態とさせてもよい。また、制御装置50は、（3．1．4）で述べた動作を適宜組み合わせてもよい。また、制御装置50は、スイッチ8への制御信号のハイレベル期間を上記のように第1期間と一致させなくてもよい。例えば共振半周期の設計時間に応じて、制御装置50は、スイッチ8への制御信号のハイレベル期間を第1期間の長さ以外に設定してもよい。

[0073] （3．2）第1制御動作及び第2制御動作

制御装置 50 は、共振用インダクタ L1 に、複数のスイッチ 8 のうち 2 つ以上のスイッチ 8 それぞれを通る共振電流が同時に流れると判断した場合、第 1 制御動作と第 2 制御動作とのうち一方の動作を行う。制御装置 50 は、当該 2 つ以上のスイッチ 8 それぞれを通る共振電流が同時に流れる重複期間 T_{ov} (図 12 及び図 14 参照) に基づいて、第 1 制御動作と、第 2 制御動作と、の一方を行うように構成されている。「複数のスイッチ 8 のうち 2 つ以上のスイッチ 8 それぞれを通る共振電流が同時に流れると判断した場合」とは、事前に共振用インダクタ L1 に 2 つ以上のスイッチ 8 それぞれを通る共振電流が同時に流れると推定した場合を意味する。

[0074] 第 1 制御動作は、上記 2 つ以上のスイッチ 8 それぞれを通る共振電流が共振用インダクタ L1 に同時に流れないように、上記 2 つ以上のスイッチ 8 のうち少なくとも 1 つのスイッチ 8 への制御信号のハイレベル期間をシフトさせる動作である。

[0075] 第 2 制御動作は、上記 2 つ以上のスイッチ 8 それぞれへの制御信号のハイレベル期間を、複数のスイッチング回路 10 のうち上記 2 つ以上のスイッチ 8 に接続されている 2 つ以上のスイッチング回路 10 の各々に対応するデッドタイム期間において所定期間以上、重ねるように上記 2 つ以上のスイッチ 8 のうち少なくとも 1 つのスイッチ 8 への制御信号のハイレベル期間をシフトさせる動作である。所定期間は、例えば、共振用インダクタ L1 と上記 2 つ以上のスイッチ 8 それぞれに接続されている 2 つ以上の共振用コンデンサ 9 とを含む共振回路の共振半周期の全部の期間である。制御装置 50 は、上記 2 つ以上のスイッチ 8 それぞれへの制御信号のハイレベル期間を所定期間よりも追加時間だけ長くする第 3 制御動作を実行可能である。制御装置 50 は、第 2 制御動作を行うときに、第 3 制御動作を実行する。

[0076] (3. 2. 1) 2 相の共振電流が同時に流れるか否かの判断

図 5 は、実施形態 1 の電力変換装置 100 の複数の交流端子に接続される交流負荷における 3 相それぞれの電圧指令に対応するデューティの時間変化及び負荷電流の時間変化を示す図である。電力変換装置 100 は、3 相 (U

相、V相及びW相)の電圧指令の位相が互いに 120° 異なるが、2相の電圧指令の指令値が電気角 60° 毎に接近し、2相の制御信号のデューティが接近する(図5の第1領域A1、第2領域A2参照)。図5の第1領域A1では、U相の制御信号のデューティ及びV相の制御信号のデューティが0.75付近となる。図5の第2領域A2では、U相の制御信号のデューティ及びV相の制御信号のデューティが0.25付近となる。電力変換装置100では、共振電流の極性は電流 i_{L1} の極性と同じであり、第1領域A1では、共振電流の極性は、正となり、第2領域A2では、共振電流の極性は、負となる。電力変換装置100では、第1領域A1の場合、例えば、キャリア信号の1周期の期間において、第1IGBT6Uへ与える制御信号 S_{U6} のハイレベルの期間の開始される時点 t_1 (図2参照)と第1IGBT6Vへ与える制御信号 S_{V6} のハイレベルの期間の開始される時点 t_{11} (図3参照)との時間差が短くなり、U相の共振電流とV相の共振電流とが同時に共振用インダクタ L_1 に流れる可能性がある。電力変換装置100では、第2領域A2の場合、第1領域A1の場合とは共振電流の向きが逆になるが、U相の共振電流とV相の共振電流とが同時に共振用インダクタ L_1 に流れる可能性がある。

[0077] 複数の共振用コンデンサ9U、9V及び9Wの各々のキャパシタンスをCとすると、仮に共振用インダクタ L_1 にU相の電流とV相の電流とが同時に流れた場合、等価回路的には、共振用コンデンサ9Uと共振用コンデンサ9Vとの合成キャパシタンス($=2 \times C$)を有するコンデンサが共振用インダクタ L_1 に直列接続される。したがって、電力変換装置100では、仮に共振用インダクタ L_1 に2相の電流が同時に流れた場合、共振用インダクタ L_1 に1相の電流が流れる場合と比べて、共振用インダクタ L_1 を含む共振回路の共振周波数が変化し、ゼロ電圧ソフトスイッチングを実現できなくなってしまう可能性がある。

[0078] (3. 2. 1. 1) 共振用コンデンサの充電動作の場合

図10は、実施形態1の電力変換装置100において共振用インダクタ L_1

1に流れる電流が重複しない（同時に流れない）場合と重複する（同時に流れる）場合との境界条件の一例を説明するためのタイミングチャートである。具体的には、図10は、共振用インダクタL1においてU相の電流（スイッチ8Uを通る電流）とV相の電流（スイッチ8Vを通る電流）とが重複しない（同時に流れない）場合と重複する（同時に流れる）場合との境界条件の一例を示す図である。その境界条件について、図10を参照して説明する。また、図11は、実施形態1の電力変換装置100においてU相の共振電流とV相の共振電流とが重複しない（同時に流れない）場合と重複する（同時に流れる）場合との境界条件の一例を説明するためのタイミングチャートである。具体的には、図11は、共振用インダクタL1においてU相の共振電流とV相の共振電流とが重複しない（同時に流れない）場合と重複する（同時に流れる）場合との境界条件の一例を示す図である。その境界条件について、図11を参照して説明する。

[0079] 電力変換装置100では、図10に示すように、時間差 ΔT_{uv} が $T_{au} + T_{av} + (T_{res}/2)$ 以上であれば、共振用インダクタL1においてU相の電流とV相の電流とが重複せず、時間差 ΔT_{uv} が $T_{au} + T_{av} + (T_{res}/2)$ 未満であれば、U相の電流とV相の電流とが重複する。時間差 ΔT_{uv} は、制御信号S U1のハイレベル期間の開始される時点 t_3 と、制御信号S V1のハイレベル期間の開始される時点 t_{13} との時間差である。

[0080] 電力変換装置100では、図11に示すように、時間差 ΔT_{uv} が $T_{res}/2$ 以上であれば、共振用インダクタL1においてU相の共振電流とV相の共振電流とが重複せず、時間差 ΔT_{uv} が $T_{res}/2$ 未満であれば、共振用インダクタL1においてU相の共振電流とV相の共振電流とが重複する。

[0081] 制御装置50は、時間差 ΔT_{uv} に対する閾値が $T_{res}/2$ に設定されている。制御装置50は、時間差 ΔT_{uv} が $T_{res}/2$ 未満となれば、共振用インダクタL1に複数のスイッチング回路10のうち、スイッチング回

路10Uとスイッチング回路10Vとの2相に対応する共振電流が同時に流れると推定する。上記閾値の設定は一例であり、他の値に設定してもよい。例えば、 $T_{res}/2$ の値の誤差等を考慮して、上記閾値は、 $T_{res}/2$ よりも更に大きな値に設定されていてもよい。また、2相の共振電流が同時に流れるか否かの判断に利用する時間差 ΔT_{uv} の算出方法は、上述の例に限定されず、時間差 ΔT_{uv} に相当する時間差を計算できれば他の算出方法でもよい。例えば、2相の共振電流が同時に流れるか否かの判断に利用する時間差 ΔT_{uv} として、制御信号SU2のハイレベル期間の終了する時点 t_{10} （図2参照）と、制御信号SV2のハイレベル期間の終了する時点 t_{10} （図3参照）との時間差を用いてもよい。

[0082] また、以下では、制御信号SU1のハイレベル期間の開始される時点 t_{3} （図2参照）と、制御信号SW1のハイレベル期間の開始される時点 t_{23} （図4参照）との時間差を ΔT_{uw} として説明する。電力変換装置100では、時間差 ΔT_{uw} が $T_{res}/2$ 以上であれば、共振用インダクタL1においてU相の共振電流とW相の共振電流とが重複せず、時間差 ΔT_{uw} が $T_{res}/2$ 未満であれば、共振用インダクタL1においてU相の共振電流とW相の共振電流とが重複する。

[0083] 制御装置50は、時間差 ΔT_{uw} に対する閾値が $T_{res}/2$ に設定されている。制御装置50は、時間差 ΔT_{uw} が上記閾値未満となれば、共振用インダクタL1に複数のスイッチング回路10のうち、スイッチング回路10Uとスイッチング回路10Wとの2相に対応する共振電流が同時に流れると推定する。上記閾値の設定は一例であり、他の値に設定されていてもよい。例えば、 $T_{res}/2$ の値の誤差等を考慮して、上記閾値は、 $T_{res}/2$ よりも更に大きな値に設定されていてもよい。また、2相の共振電流が同時に流れるか否かの判断に利用する時間差 ΔT_{uw} の算出方法は、上述の例に限定されず、時間差 ΔT_{uw} に相当する時間差を計算できれば他の算出方法でもよい。例えば、2相の共振電流が同時に流れるか否かの判断に利用する時間差 ΔT_{uw} として、制御信号SU2のハイレベル期間の終了する時点

t_0 (図2参照) と、制御信号 SW_2 のハイレベル期間の終了する時点 t_{20} (図4参照) との時間差を用いてもよい。

[0084] また、以下では、スイッチング回路 $10V$ の第1スイッチング素子 $1V$ に与える制御信号 SV_1 のハイレベル期間の開始される時点 t_{13} (図3参照) と、スイッチング回路 $10W$ の第1スイッチング素子 $1W$ に与える制御信号 SW_1 のハイレベル期間の開始される時点 t_{23} (図4参照) との時間差を ΔT_{vw} として説明する。電力変換装置 100 では、時間差 ΔT_{vw} が $T_{res}/2$ 以上であれば、共振用インダクタ L_1 において V 相の共振電流と W 相の共振電流とが重複せず、時間差 ΔT_{vw} が $T_{res}/2$ 未満であれば、共振用インダクタ L_1 において V 相の共振電流と W 相の共振電流とが重複する。

[0085] 制御装置 50 は、時間差 ΔT_{vw} に対する閾値が $T_{res}/2$ に設定されている。制御装置 50 は、時間差 ΔT_{vw} が上記閾値未満となれば、共振用インダクタ L_1 に複数のスイッチング回路 10 のうち、スイッチング回路 $10V$ とスイッチング回路 $10W$ との2相に対応する共振電流が同時に流れると推定する。上記閾値の設定は一例であり、他の値に設定されていてもよい。例えば、 $T_{res}/2$ の値の誤差等を考慮して、上記閾値は、 $T_{res}/2$ よりも更に大きな値に設定されていてもよい。また、2相の共振電流が同時に流れるか否かの判断に利用する時間差 ΔT_{vw} の算出方法は、上述の例に限定されず、時間差 ΔT_{vw} に相当する時間差を計算できれば他の算出方法でもよい。例えば、2相の共振電流が同時に流れるか否かの判断に利用する時間差 ΔT_{vw} として、制御信号 SV_2 のハイレベル期間の終了する時点 t_{10} (図3参照) と、制御信号 SW_2 のハイレベル期間の終了する時点 t_{20} (図4参照) との時間差を用いてもよい。

[0086] (3. 2. 1. 2) 共振用コンデンサの放電動作の場合

共振用コンデンサ 9 の放電動作の場合において、制御装置 50 は、共振用コンデンサ 9 の充電動作の場合と同様の時間差と閾値とを用いて、2相の共振電流が同時に流れるか否かの判断をすることができる。

[0087] 例えば、制御装置50は、制御信号SU2のハイレベル期間の開始される時点と、制御信号SV2のハイレベル期間の開始される時点との時間差が閾値（例えば、 $T_{res}/2$ ）未満であれば、U相の共振電流とV相の共振電流とが重複すると推定する。

[0088] また、制御装置50は、制御信号SU2のハイレベル期間の開始される時点と、制御信号SW2のハイレベル期間の開始される時点との時間差が閾値（例えば、 $T_{res}/2$ ）未満であれば、U相の共振電流とW相の共振電流とが重複すると推定する。

[0089] また、制御装置50は、制御信号SV2のハイレベル期間の開始される時点と、制御信号SW2のハイレベル期間の開始される時点との時間差が閾値（例えば、 $T_{res}/2$ ）未満であれば、V相の共振電流とW相の共振電流とが重複すると推定する。

[0090] （3. 2. 2）2相の共振電流が同時に流れると判断した場合の第1制御動作及び第2制御動作

制御装置50は、例えば、2つのスイッチ8それぞれを通る共振電流が共振用インダクタL1に同時に流れると判断した場合、2つのスイッチ8それぞれを通る共振電流が同時に流れる重複期間 T_{ov} に基づいて、第1制御動作と、第2制御動作と、の一方を行う。

[0091] 制御装置50は、第1制御動作では、2つのスイッチ8それぞれを通る共振電流が共振用インダクタL1に同時に流れないように、2つのスイッチ8のうち1つのスイッチ8への制御信号のハイレベル期間をシフトさせる。制御装置50は、第1制御動作を行うときに、上記2つのスイッチ8に対応する2つのスイッチング回路10の第1スイッチング素子1へ与える制御信号のハイレベル期間と第2スイッチング素子2へ与える制御信号のハイレベル期間との間のデッドタイム期間 T_d の長さが変化しないように、第1制御動作を行う。

[0092] 制御装置50は、第2制御動作では、2つのスイッチ8それぞれへの制御信号のハイレベル期間を、複数（3つ）のスイッチング回路10のうち2つ

のスイッチ8に接続されている2つのスイッチング回路10の各々に対応するデッドタイム期間 T_d において所定期間以上、重ねるように2つのスイッチ8のうち1つのスイッチ8への制御信号のハイレベル期間をシフトさせる。制御装置50は、第2制御動作を行うときに、上記2つのスイッチ8に対応する2つのスイッチング回路10の第1スイッチング素子1へ与える制御信号のハイレベル期間と第2スイッチング素子2へ与える制御信号のハイレベル期間との間のデッドタイム期間 T_d の長さが変化しないように、第2制御動作を行う。

[0093] 以下では、説明の便宜上、スイッチ8Uへの制御信号SU6又はSU7のハイレベル期間をシフトさせる場合の制御信号SU6又はSU7のハイレベル期間のシフト時間を T_{su} とする。また、スイッチ8Vへの制御信号SV6又はSV7のハイレベル期間をシフトさせる場合の制御信号SV6又はSV7のハイレベル期間のシフト時間を T_{sv} とする。また、スイッチ8Wへの制御信号SW6又はSW7のハイレベル期間をシフトさせる場合の制御信号SW6又はSW7のハイレベル期間のシフト時間を T_{ws} とする。なお、以下では、共振用インダクタL1においてU相のスイッチ8Uを流れる共振電流とV相のスイッチ8Vを流れる共振電流とが重複すると推定した場合について例示するが、U相とW相との場合、V相とW相との場合についても同様である。

[0094] (3. 2. 2. 1) 第1スイッチング素子をソフトスイッチングするための動作

図12は、実施形態1の電力変換装置100において制御装置50が第1制御動作を行う場合の動作を説明するためのタイミングチャートである。図12の上段では、制御装置50が事前に図5の第1領域A1に対応する期間においてU相とV相との2相の共振電流が同時に流れると判断した場合のタイミングチャートを図示してある。ここで、図12の上段では、シフト前の制御信号SU1、SU2、SV1、SV2、制御信号SU6、SV6、負荷電流 i_U 、 i_V 及び電流 i_{L1} のタイミングチャートを図示してある。図1

2の上段では、スイッチ8Uを通る共振電流（U相の共振電流）とスイッチ8Vを通る共振電流（V相の共振電流）とが同時に流れる重複期間 T_{ov} の長さが、時間差 ΔT_{uv} の長さよりも短い。

[0095] また、図12の下段では、制御装置50が第1制御動作を行った場合（以下、シフト後ともいう）のタイミングチャートを図示してある。ここで、図12の下段では、シフト後の制御信号SV1、SV2、制御信号SV6、負荷電流 i_U 、 i_V 、電流 i_{L1} のタイミングチャートを図示してある。図12の例では、2つのスイッチ8U、8Vに接続されている2つの交流端子41U、41Vに流れる負荷電流 i_U 、 i_V の極性が正であり、負荷電流 i_U の絶対値と、負荷電流 i_V の絶対値とが同じである。なお、図12は、キャリア信号の1周期におけるタイミングチャートを図示してある。

[0096] 図12の例では、制御装置50は、第1制御動作を行う場合、制御信号SV6のハイレベル期間を遅くする方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{sv} の長さは、スイッチ8Uを通る共振電流（U相の共振電流）とスイッチ8Vを通る共振電流（V相の共振電流）とが同時に流れる重複期間 T_{ov} の長さと同じである。 $T_{ov} = T_{res} / 2 - \Delta T_{uv}$ である。したがって、図12の下段に示すように、スイッチ8Uを通る共振電流とスイッチ8Vを通る共振電流とが重複せず、第1スイッチング素子1Uのゼロ電圧ソフトスイッチングが可能となる。

[0097] 図13は、実施形態1の電力変換装置100における負荷電流の波形図である。電力変換装置100では、 $T_{ov} < \Delta T_{uv}$ の条件を満たすときに制御装置50が第1制御動作を行った場合、 $T_{ov} < \Delta T_{uv}$ の条件を満たすときに制御装置50が制御信号SV6のハイレベル期間を早める方向へシフト時間 T_{sv} だけシフトさせる場合と比べてシフト時間 T_{sv} を短くでき、キャリア信号の1周期内での出力電流 i_V の電流歪（図13参照）が小さくなる。なお、キャリア信号の1周期は、出力電流 i_V の1周期よりも短く、出力電流 i_V の半周期よりも短い。

[0098] 図14は、実施形態1の電力変換装置100において制御装置50が第2

制御動作を行う場合の動作を説明するためのタイミングチャートである。図 14 の上段では、制御装置 50 が事前に図 5 の第 1 領域 A 1 に対応する期間において U 相と V 相との 2 相の共振電流が同時に流れると判断した場合のタイミングチャートを図示してある。ここで、図 14 の上段では、シフト前の制御信号 S U 1、S U 2、S V 1、S V 2、制御信号 S U 6、S V 6、負荷電流 i_U 、 i_V 及び電流 i_{L1} のタイミングチャートを図示してある。図 14 の上段では、スイッチ 8 U を通る共振電流（U 相の共振電流）とスイッチ 8 V を通る共振電流（V 相の共振電流）とが同時に流れる重複期間 T_{ov} の長さが、時間差 ΔT_{uv} の長さよりも長い。

[0099] また、図 14 の下段では、制御装置 50 が第 2 制御動作を行った場合（以下、シフト後ともいう）のタイミングチャートを図示してある。ここで、図 14 の下段では、シフト後の制御信号 S V 1、S V 2、制御信号 S V 6、負荷電流 i_U 、 i_V 、電流 i_{L1} のタイミングチャートを図示してある。図 14 の例では、2 つのスイッチ 8 U、8 V に接続されている 2 つの交流端子 4 1 U、4 1 V に流れる負荷電流 i_U 、 i_V の極性が正であり、負荷電流 i_U の絶対値と、負荷電流 i_V の絶対値とが同じである。なお、図 14 は、キャリア信号の 1 周期におけるタイミングチャートを図示してある。

[0100] 制御装置 50 は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも長い場合、第 1 ステップ、第 2 ステップ、第 3 ステップを、第 1 ステップ、第 2 ステップ、第 3 ステップの順に実行する。

[0101] 第 1 ステップでは、U 相の制御信号 S U 1、S U 2 と V 相の制御信号 S V 1、S V 2 とを同期させる。図 14 の下段の例は、図 14 の上段の例において、V 相の制御信号 S V 1 のハイレベル期間の開始時点、V 相の制御信号 S V 2 のハイレベル期間の終了時点それぞれをシフト時間 T_{sv} だけ早める向きにシフトさせることにより、U 相の制御信号 S U 1、S U 2 と V 相の制御信号 S V 1、S V 2 とを同期させる。図 14 の例では、シフト時間 T_{sv} は、シフト前の制御信号 S U 1 のハイレベル期間の開始時点と制御信号 S V 1 のハイレベル期間の開始時点との時間差 ΔT_{uv} である。時間差 ΔT_{uv} は

、制御信号 S_{U2} のハイレベル期間の終了時点と制御信号 S_{V2} の終了時点との時間差であってもよい。また、第1ステップでは、U相の制御信号 S_{U1} 、 S_{U2} それぞれのハイレベル期間をシフト時間 T_{su} だけ遅くする向きにシフトさせることにより、U相の制御信号 S_{U1} 、 S_{U2} とV相の制御信号 S_{V1} 、 S_{V2} とを同期させてもよい。

[0102] 第2ステップでは、2相それぞれの共振半周期 $T_{res}/2$ に対応する2相のスイッチ8への制御信号 S_{U6} 、 S_{V6} のハイレベル期間に、2相の負荷電流 i_U 、 i_V の合計電流の電流値 $|i_U + i_V|$ に応じた追加時間 T_{ad} を追加する。制御装置50は、例えば、電流センサによる負荷電流 i_U 、 i_V それぞれの検出結果又はそれらの信号処理値、又は負荷電流 i_U 、 i_V それぞれの推定値と、あらかじめ記憶している共振用インダクタL1のインダクタンスLと、回生用コンデンサ15の電位 V_{15} の検出結果とを用いて、 $T_{ad} = L \times |i_U + i_V| / V_{15}$ の演算により、追加時間 T_{ad} を決定する。第2ステップが、上述の第3制御動作に相当する。

[0103] 第3ステップでは、制御信号 S_{U6} 、 S_{V6} の各々のハイレベル期間及びデッドタイム期間の長さを、共振回路の共振半周期である $2^{1/2} \times T_{res} / 2$ に応じて変化させる。より詳細には、制御装置50は、制御信号 S_{U6} 、 S_{V6} の各々のハイレベル期間から追加時間 T_{ad} を差し引いた期間の長さを共振回路の共振半周期である $2^{1/2} \times T_{res} / 2$ に設定し、デッドタイム期間を共振回路の共振半周期よりも長いデッドタイム期間に変更する。なお、制御信号 S_{U6} 、 S_{V6} のハイレベル期間の終了時点は、共振半周期の終了時点以降であればよい。

[0104] 電力変換装置100では、制御装置50が第2制御動作を実行しない場合には、制御信号 S_{U1} 、 S_{V1} がローレベル期間からハイレベル期間に変化する時点（U相、V相それぞれに対応するデッドタイム期間の終了時点）で第2スイッチング素子2U、2Vの両端電圧 V_{2u} 、 V_{2v} が V_d まで上昇しない。つまり、制御装置50が第2制御動作を実行しない場合には、U相、V相それぞれに対応するデッドタイム期間 T_d の終了時点で共振用コンデ

ンサ 9 U、9 V の充電が終了していない。このため、第 2 制御動作を実行しない場合には、U 相、V 相それぞれに対応するデッドタイム期間の終了時点で第 1 スwitchング素子 1 U、1 V それぞれの両端電圧がゼロまで減少しない。その結果、電力変換装置 100 では、第 1 スwitchング素子 1 U、1 V のスswitchングがハードスswitchングとなる。

[0105] これに対して、制御装置 50 が第 2 制御動作を実行した場合には、制御信号 S U 1、S V 1 がローレベル期間からハイレベル期間に変化する時点（U 相、V 相それぞれに対応するデッドタイム期間の終了時点）で第 2 スwitchング素子 2 U、2 V の両端電圧 V_{2u} 、 V_{2v} が V_d まで上昇する。つまり、制御装置 50 が第 2 制御動作を実行した場合には、U 相、V 相それぞれに対応するデッドタイム期間の終了時点で共振用コンデンサ 9 U、9 V の充電が終了する。このため、電力変換装置 100 では、制御装置 50 が第 2 制御動作を実行した場合には、第 1 スwitchング素子 1 U、1 V のスswitchングがゼロ電圧ソフトスswitchングとなる。

[0106] また、2 相の共振電流が重複すると判断する場合、2 つのスイッチ 8 への制御信号の少なくとも一部同士が重なっていればよく、第 1 スwitchング素子 1 への制御信号同士の時間的な関係及び第 2 スwitchング素子 2 への制御信号同士の関係は限定されない。例えば、図 14 に示すように、制御信号 S V 1 のハイレベル期間の開始時点が制御信号 S U 1 のハイレベル期間の開始時点よりも早く、制御信号 S V 6 のハイレベル期間の開始時点が制御信号 S U 6 のハイレベル期間の開始時点よりも早くてもよい。

[0107] 図 14 の例では、制御装置 50 は、第 2 制御動作を行う場合、制御信号 S V 6 のハイレベル期間を早める方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{sv} の長さは、時間差 ΔT_{uv} の長さと同じである。

[0108] 電力変換装置 100 では、 $T_{ov} > \Delta T_{uv}$ の条件を満たすときに制御装置 50 が第 2 制御動作を行った場合、 $T_{ov} > \Delta T_{uv}$ の条件を満たすときに制御装置 50 が制御信号 S V 6 のハイレベル期間を遅くする方向へ重複期間 T_{ov} の長さだけシフトさせる場合と比べてシフト時間 T_{sv} を短くでき

、キャリア信号の1周期内での出力電流 i_V の電流歪（図13参照）が小さくなる。

[0109] (3. 2. 2. 2) 第2スイッチング素子をソフトスイッチングするための動作

制御装置50は、第2スイッチング素子2をソフトスイッチングさせる場合、第1スイッチング素子1をソフトスイッチングさせるときとは、シフト前の制御信号 S_{U1} 、 S_{U2} 、 S_{V1} 、 S_{V2} のハイレベル期間とローレベル期間とが逆になり、負荷電流 i_U 、 i_V 及び電流 i_{L1} の極性が逆になる。また、制御装置50は、第2スイッチング素子2をソフトスイッチングさせるときには、制御信号 S_{U6} 、 S_{V6} の代わりに制御信号 S_{U7} 、 S_{V7} のいずれか一方のハイレベル期間をシフト時間だけシフトさせる。

[0110] 制御装置50は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも短い場合、第1制御動作を行い、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも長い場合、第2制御動作を行う。

[0111] 電力変換装置100では、制御装置50が第1制御動作及び第2制御動作のいずれも行わない場合には、制御信号 S_{U2} 、 S_{V2} がローレベル期間からハイレベル期間に変化する時点（U相、V相それぞれに対応するデッドタイム期間 T_d の終了する時点）で第2スイッチング素子2U、2Vの両端電圧 V_{2u} 、 V_{2v} がゼロまで減少しない。つまり、制御装置50が第1制御動作及び第2制御動作のいずれも行わない場合には、U相、V相それぞれに対応するデッドタイム期間 T_d の終了する時点で共振用コンデンサ9U、9Vの放電が終了していない。このため、制御装置50が第1制御動作及び第2制御動作のいずれも行わない場合には、U相、V相それぞれに対応するデッドタイム期間 T_d の終了する時点で第2スイッチング素子2U、2Vそれぞれの両端電圧がゼロまで減少しない。その結果、電力変換装置100では、第2スイッチング素子2U、2Vのスイッチングがハードスイッチングとなる。

[0112] これに対して、制御装置50が第1制御動作又は第2制御動作を行った場

合には、制御信号 $S U 2$ 、 $S V 2$ がローレベル期間からハイレベル期間に変化する時点（ U 相、 V 相それぞれに対応するデッドタイム期間 $T d$ の終了する時点）で第2スイッチング素子 $2 U$ 、 $2 V$ の両端電圧 $V 2 u$ 、 $V 2 v$ がゼロまで減少する。つまり、制御装置 $5 0$ が第1制御動作又は第2制御動作を行った場合には、 U 相、 V 相それぞれに対応するデッドタイム期間 $T d$ の終了する時点で共振用コンデンサ $9 U$ 、 $9 V$ の放電が終了する。このため、電力変換装置 $1 0 0$ では、制御装置 $5 0$ が第1制御動作又は第2制御動作を行った場合には、第2スイッチング素子 $2 U$ 、 $2 V$ のスイッチングがゼロ電圧ソフトスイッチングとなる。

[0113] (3. 3) 3相の共振電流が同時に流れると判断した場合の動作

実施形態1に係る電力変換装置 $1 0 0$ は、第1スイッチング素子1をソフトスイッチングするための動作及び第2スイッチング素子2をソフトスイッチングするための動作のいずれについても、制御装置 $5 0$ が3相の共振電流が重複すると判断した場合にも、第1制御動作と第2制御動作とのいずれか一方を行う。

[0114] 以下、第1スイッチング素子1をソフトスイッチングするための動作に関し、共振用インダクタ $L 1$ に、複数のスイッチ8のうち3つのスイッチ8それぞれを通る共振電流が同時に流れると事前に判断した場合の動作について説明する。

[0115] 制御装置 $5 0$ は、共振用インダクタ $L 1$ に、複数のスイッチ8のうち3つのスイッチ8それぞれを通る共振電流が同時に流れると判断した場合、負荷電流の極性が同じとなる2つのスイッチ8に対して、重複期間 $T o v$ に基づいて第1制御動作と第2制御動作とのいずれか一方を行う。さらに、負荷電流の極性が異なる1相の交流端子 $4 1$ に対応するスイッチ8の動作を停止させる（キャリアの1周期内において制御信号のハイレベル期間をゼロとする）。「複数のスイッチ8のうち3つのスイッチ8それぞれを通る共振電流が同時に流れると判断した場合」とは、事前に共振用インダクタ $L 1$ に3つのスイッチ8それぞれを通る共振電流が同時に流れると推定した場合を意味す

る。制御装置 50 は、例えば、U 相に対応する制御信号 S U 6 のハイレベル期間の開始される時点と V 相に対応する制御信号 S V 6 のハイレベル期間の開始される時点との時間差、V 相に対応する制御信号 S V 6 のハイレベル期間の開始される時点と W 相に対応する制御信号 S W 6 のハイレベル期間の開始される時点との時間差、W 相に対応する制御信号 S W 6 のハイレベル期間の開始される時点と U 相に対応する制御信号 S U 6 のハイレベル期間の開始される時点との時間差、のいずれも閾値未満のときに 3 相の共振電流が同時に流れると判断する。複数のスイッチ 8 のうち 3 つのスイッチ 8 それぞれを通る共振電流が同時に流れると判断した場合については、負荷電流の極性が同じとなる 2 つの交流端子 41 に一対一に対応する 2 つのスイッチ 8 の 1 つを第 1 スイッチとし、残りの 1 つを第 2 スイッチとする。

[0116] 複数の共振用コンデンサ 9 U、9 V 及び 9 W の各々のキャパシタンスを C とすると、仮に共振用インダクタ L 1 に U 相の電流と V 相の電流と W 相の電流が同時に流れた場合、等価回路的には、共振用コンデンサ 9 U と共振用コンデンサ 9 V と共振用コンデンサ 9 W との合成キャパシタンス ($= 3 \times C$) を有するコンデンサが共振用インダクタ L 1 に直列接続される。したがって、電力変換装置 100 では、仮に共振用インダクタ L 1 に 3 相の電流が同時に流れた場合、共振用インダクタ L 1 に 1 相の電流が流れる場合と比べて、共振用インダクタ L 1 を含む共振回路の共振周波数が変化し、ゼロ電圧ソフトスイッチングを実現できなくなってしまう可能性がある。

[0117] これに対し、電力変換装置 100 では、制御装置 50 が、事前に U 相と V 相と W 相との 3 相の共振電流が同時に流れると判断した場合、第 1 制御動作又は第 2 制御動作を行うことにより、2 つのスイッチ 8 に対応する 2 つの対象スイッチング素子のソフトスイッチングを実現しつつ 2 つのスイッチ 8 のうち 1 つの交流端子 41 に流れる負荷電流（出力電流）の電流歪を低減することが可能となる。

[0118] 第 2 スwitchング素子 2 をソフトスイッチングさせるための動作の場合も制御装置 50 は、負荷電流の極性が同じとなる 2 つのスイッチ 8 に対して、

重複期間 T_{ov} に基づいて第1制御動作と第2制御動作とのいずれか一方を行い、さらに、負荷電流の極性が異なる1相の交流端子41に対応するスイッチ8の動作を停止させる。

[0119] (4) 利点

実施形態1に係る電力変換装置100では、制御装置50が、2つ以上のスイッチ8それぞれを通る共振電流が同時に流れる重複期間 T_{ov} に基づいて、第1制御動作と、第2制御動作と、の一方を行う。第1制御動作は、上記2つ以上のスイッチ8それぞれを通る共振電流が共振用インダクタL1に同時に流れないように、上記2つ以上のスイッチ8のうち少なくとも1つのスイッチ8への制御信号のハイレベル期間をシフトさせる。第2制御動作は、上記2つ以上のスイッチ8それぞれへの制御信号のハイレベル期間を、複数のスイッチング回路10のうち上記2つ以上のスイッチ8に接続されている2つ以上のスイッチング回路10の各々に対応するデッドタイム期間において所定期間以上、重ねるように上記2つ以上のスイッチ8のうち少なくとも1つのスイッチ8への制御信号のハイレベル期間をシフトさせる。

[0120] 上記構成によれば、電流歪を低減することが可能となる。より詳細には、上記構成によれば、制御装置50が、2つ以上のスイッチ8それぞれを通る共振電流が同時に流れる重複期間 T_{ov} に基づいて第1制御動作と第2制御動作との一方を行うので、ソフトスイッチングを実現しつつ負荷電流（出力電流）の電流歪を低減することが可能となる。

[0121] また、実施形態1に係る電力変換装置100では、上記2つ以上のスイッチング回路10のうち1つのスイッチング回路10においてゼロ電圧ソフトスイッチング対象の第1スイッチング素子1又は第2スイッチング素子2を第1対象スイッチング素子とする。2つ以上のスイッチング回路10のうち第1対象スイッチング素子を含むスイッチング回路10とは異なる1つのスイッチング回路10においてゼロ電圧ソフトスイッチング対象の第1スイッチング素子1又は第2スイッチング素子2を第2対象スイッチング素子とする。第1対象スイッチング素子への制御信号のハイレベル期間を開始する時

点と第2対象スイッチング素子への制御信号のハイレベル期間を開始する時点との時間差を ΔT とする。このとき、制御装置50は、共振電流の重複期間 T_{ov} の長さが ΔT 未満の場合に、第1制御動作を行い、共振電流の重複期間 T_{ov} の長さが ΔT 以上の場合に、第2制御動作を行う。

[0122] 上記構成によれば、制御信号のハイレベル期間のシフト量を低減でき、電流歪を低減することが可能となる。

[0123] また、実施形態1に係る電力変換装置100では、上記2つ以上のスイッチ8のうち1つを第1スイッチとし、第1スイッチとは異なる1つを第2スイッチとする。このとき、制御装置50は、第1制御動作を行うときに、第1スイッチを通る共振電流の電流値が極値となった後に2つ以上の交流端子41のうち第1スイッチに対応する交流端子41に流れる負荷電流の電流値と一致する時点から第2スイッチを通る共振電流が流れるように第1スイッチと第2スイッチとのうち一方への制御信号のハイレベル期間をシフトさせる。

[0124] 上記構成によれば、制御信号のハイレベル期間のシフト量を低減でき、高周波化を図ることが可能となる。

[0125] (実施形態2)

(1) 電力変換装置の回路構成

実施形態2に係る電力変換装置100の回路構成は、実施形態1に係る電力変換装置100(図1参照)と同じなので、図示及び説明を省略する。

[0126] (2) 電力変換装置の動作

以下では、共振用インダクタL1においてU相のスイッチ8Uを流れる共振電流とV相のスイッチ8Vを流れる共振電流とが重複すると推定した場合について例示するが、U相とW相との場合、V相とW相との場合についても同様である。

[0127] (2.1) 第1スイッチング素子をソフトスイッチングするための動作

実施形態2に係る電力変換装置100の動作に関して、第1スイッチング素子1をソフトスイッチングするための動作について図15及び図16を参

照して説明する。図15は、実施形態2に係る電力変換装置100において制御装置50が第1制御動作を行う場合の動作を説明するためのタイミングチャートである。図16は、実施形態2の電力変換装置100において制御装置50が第2制御動作を行う場合の動作を説明するためのタイミングチャートである。図15、図16の見方は、それぞれ、図12、図14の見方と同様なので、説明を省略する。

[0128] 制御装置50は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも短い場合、第1制御動作を行う。図15の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも長い。制御装置50は、第1制御動作を行う場合、制御信号 S_{U6} のハイレベル期間及び制御信号 S_{V6} のハイレベル期間を互いに逆方向ヘシフトさせる。図15の例では、制御装置50は、制御信号 S_{U6} のハイレベル期間の終了時点を早める方向ヘシフト時間 T_{su} だけシフトさせ、かつ、制御信号 S_{V6} のハイレベル期間の終了時点を遅くする方向ヘシフト時間 T_{sv} だけシフトさせる。したがって、制御装置50は、制御信号 S_{U1} のハイレベル期間の開始時点を早める方向ヘシフト時間 T_{su} だけシフトさせる。また、制御装置50は、制御信号 S_{V1} のハイレベル期間の開始時点を遅くする方向ヘシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{su} の長さは、 $T_{ov}/2$ の長さと同じである。また、シフト時間 T_{sv} の長さは、 $T_{ov}/2$ の長さと同じである。

[0129] 実施形態2に係る電力変換装置100では、制御装置50が第1制御動作を行うことにより、図15に示すようにU相の共振電流とV相の共振電流との重複期間 T_{ov} がなくなり、第1スイッチング素子1U、1Vのゼロ電圧ソフトスイッチングが可能となる。

[0130] 制御装置50は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも長い場合、第2制御動作を行う。

[0131] 図16の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも短い。制御装置50は、第2制御動作を行う場合、制御信号 S_{U6} のハイレベル期間及び制御信号 S_{V6} のハイレベル期間を互いに逆方向ヘシフトさせる

。図16の例では、制御装置50は、制御信号SU6のハイレベル期間の終了時点を遅くする方向へシフト時間 T_{su} だけシフトさせ、かつ、制御信号SV6のハイレベル期間の終了時点を早める方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置50は、制御信号SU1のハイレベル期間の開始時点を遅くする方向へシフト時間 T_{su} だけシフトさせる。また、制御装置50は、制御信号SV1のハイレベル期間の開始時点を早める方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{su} の長さは、 $\Delta T_{uv}/2$ の長さと同じである。また、シフト時間 T_{sv} の長さは、 $\Delta T_{uv}/2$ の長さと同じである。

[0132] 実施形態2に係る電力変換装置100では、制御装置50が第2制御動作を行うことにより、実施形態1に係る電力変換装置100において制御装置50が第2制御動作を行う場合と同様、第1スイッチング素子1U、1Vのゼロ電圧ソフトスイッチングが可能となる。

[0133] (2. 2) 第2スイッチング素子をソフトスイッチングするための動作
制御装置50は、第2スイッチング素子2をソフトスイッチングさせる場合、第1スイッチング素子1をソフトスイッチングさせるときとは、シフト前の制御信号SU1、SU2、SV1、SV2のハイレベル期間とローレベル期間とが逆になり、負荷電流 i_U 、 i_V 及び電流 i_{L1} の極性が逆になる。また、制御装置50は、第2スイッチング素子2をソフトスイッチングさせるときには、制御信号SU6、SV6の代わりに制御信号SU7、SV7それぞれのハイレベル期間を互いに逆方向へシフトさせる。

[0134] 実施形態2に係る電力変換装置100では、制御装置50が第1制御動作と第2制御動作とのいずれか一方を行うことにより、U相、V相それぞれに対応するデッドタイム期間の終了する時点で共振用コンデンサ9U、9Vの放電が終了する。このため、電力変換装置100では、制御装置50が第1制御動作又は第2制御動作を行った場合には、第2スイッチング素子2U、2Vのスイッチングがゼロ電圧ソフトスイッチングとなる。

[0135] (3) 利点

実施形態2に係る電力変換装置100は、実施形態1に係る電力変換装置100と同様、制御装置50が、2つ以上のスイッチ8それぞれを通る共振電流が同時に流れる重複期間 T_{ov} に基づいて、第1制御動作と、第2制御動作と、の一方を行うので、電流歪を低減することが可能となる。

[0136] また、実施形態2に係る電力変換装置100は、制御装置50が第1制御動作を行うときに、2つのスイッチ8それぞれへの制御信号のハイレベル期間を互いに逆方向へシフトさせ、かつ、2つの制御信号のハイレベル期間のシフト時間の長さを同じにするので、実施形態1と比べて、各相の負荷電流の電流歪を低減できるとともに、ばらつきを低減できる。

[0137] また、実施形態2に係る電力変換装置100は、制御装置50が第2制御動作を行うときに、2つのスイッチ8それぞれへの制御信号のハイレベル期間を互いに逆方向へシフトさせ、かつ、2つの制御信号のハイレベル期間のシフト時間の長さを同じにするので、実施形態1と比べて、各相の負荷電流の電流歪を低減できるとともに、ばらつきを低減できる。

[0138] (実施形態3)

(1) 電力変換装置の回路構成

実施形態3に係る電力変換装置100の回路構成は、実施形態1に係る電力変換装置100(図1参照)と同じなので、図示及び説明を省略する。

[0139] (2) 電力変換装置の動作

以下では、共振用インダクタL1においてU相のスイッチ8Uを流れる共振電流とV相のスイッチ8Vを流れる共振電流とが重複すると推定した場合について例示するが、U相とW相との場合、V相とW相との場合についても同様である。

[0140] (2.1) 第1スイッチング素子をソフトスイッチングするための動作

実施形態3に係る電力変換装置100の動作に関して、第1スイッチング素子1をソフトスイッチングするための動作について図17及び図18を参照して説明する。図17は、実施形態3に係る電力変換装置100において制御装置50が第1制御動作を行う場合の動作を説明するためのタイミング

チャートである。図 18 は、実施形態 3 の電力変換装置 100 において制御装置 50 が第 2 制御動作を行う場合の動作を説明するためのタイミングチャートである。図 17、図 18 の見方は、それぞれ、図 12、図 14 の見方と同様なので、説明を省略する。

[0141] 制御装置 50 は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも短い場合、第 1 制御動作を行う。図 17 の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも長い。制御装置 50 は、第 1 制御動作を行う場合、制御信号 S_{U6} のハイレベル期間及び制御信号 S_{V6} のハイレベル期間を互いに逆方向へシフトさせる。図 17 の例では、制御装置 50 は、制御信号 S_{U6} のハイレベル期間の終了時点を早める方向へシフト時間 T_{su} だけシフトさせ、かつ、制御信号 S_{V6} のハイレベル期間の終了時点を遅くする方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置 50 は、制御信号 S_{U1} のハイレベル期間の開始時点を増やす方向へシフト時間 T_{su} だけシフトさせる。また、制御装置 50 は、制御信号 S_{V1} のハイレベル期間の開始時点を増やす方向へシフト時間 T_{sv} だけシフトさせる。 $T_{ov} = T_a + T_b$ とするとき、シフト時間 T_{su} の長さは、 $T_{ov} \cdot T_b / (T_a + T_b)$ である。また、シフト時間 T_{sv} の長さは、 $T_{ov} \cdot T_a / (T_a + T_b)$ の長さと同じである。 T_a 及び T_b の各々は、任意の値に設定可能である。

[0142] 実施形態 3 に係る電力変換装置 100 では、制御装置 50 が第 1 制御動作を行うことにより、図 17 の下段に示すシフト後の電流 i_{L1} の波形のように、シフト前の U 相の共振電流と V 相の共振電流との重複期間 T_{ov} がなくなり、第 1 スイッチング素子 1U、1V のゼロ電圧ソフトスイッチングが可能となる。

[0143] 制御装置 50 は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも長い場合、第 2 制御動作を行う。

[0144] 図 18 の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも短い。制御装置 50 は、第 2 制御動作を行う場合、制御信号 S_{U6} のハイレベ

ル期間及び制御信号SV6のハイレベル期間を互いに逆方向へシフトさせる。制御装置50は、キャリア信号の1周期内において2つの制御信号SU6、SV6のうちハイレベル期間の位相が早い制御信号SU6のハイレベル期間の終了時点が遅くする方向へシフト時間 T_{su} だけシフトさせ、かつ、ハイレベル期間の位相が遅い制御信号SV6のハイレベル期間の終了時点を早める方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置50は、制御信号SU1のハイレベル期間の開始時点が遅くする方向へシフト時間 T_{su} だけシフトさせる。また、制御装置50は、制御信号SV1のハイレベル期間の開始時点を早める方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{su} の長さは、 $(\sqrt{2}/4) \cdot T_{res} - T_{ov} \cdot T_b / (T_a + T_b)$ である。また、シフト時間 T_{sv} の長さは、 $T_{ov} \cdot T_b / (T_a + T_b) + \Delta T_{uv} - (\sqrt{2}/4) \cdot T_{res}$ である。なお、 $\sqrt{2}$ は、2の平方根（すなわち、 $\sqrt{2} = 1.41421356 \dots$ ）を表す。

[0145] 実施形態3に係る電力変換装置100では、制御装置50が第2制御動作を行うことにより、実施形態1に係る電力変換装置100において制御装置50が第2制御動作を行う場合と同様、第1スイッチング素子1U、1Vのゼロ電圧ソフトスイッチングが可能となる。

[0146] (2. 2) 第2スイッチング素子をソフトスイッチングするための動作
制御装置50は、第2スイッチング素子2をソフトスイッチングさせる場合、第1スイッチング素子1をソフトスイッチングさせるときとは、シフト前の制御信号SU1、SU2、SV1、SV2のハイレベル期間とローレベル期間とが逆になり、負荷電流 i_U 、 i_V 及び電流 i_{L1} の極性が逆になる。また、制御装置50は、第2スイッチング素子2をソフトスイッチングさせるときには、制御信号SU6、SV6の代わりに制御信号SU7、SV7それぞれのハイレベル期間を互いに逆方向へシフトさせる。

[0147] 実施形態3に係る電力変換装置100では、制御装置50が第1制御動作と第2制御動作とのいずれか一方を行うことにより、U相、V相それぞれに対応するデッドタイム期間の終了する時点で共振用コンデンサ9U、9Vの

放電が終了する。このため、電力変換装置 100 では、制御装置 50 が第 1 制御動作又は第 2 制御動作を行った場合には、第 2 スwitching 素子 2U、2V の Switching がゼロ電圧ソフト Switching となる。

[0148] (3) 利点

実施形態 3 に係る電力変換装置 100 は、実施形態 1 に係る電力変換装置 100 と同様、制御装置 50 が、2 つ以上のスイッチ 8 それぞれを通る共振電流が同時に流れる重複期間 T_{ov} に基づいて、第 1 制御動作と、第 2 制御動作と、の一方を行うので、電流歪を低減することが可能となる。

[0149] また、実施形態 3 に係る電力変換装置 100 は、制御装置 50 が第 1 制御動作を行うときに、2 つのスイッチ 8 それぞれへの制御信号のハイレベル期間を互いに逆方向へシフトさせるので、実施形態 1 と比べて、各相の負荷電流の電流歪を低減できるとともに、ばらつきを低減できる。

[0150] また、実施形態 2 に係る電力変換装置 100 は、制御装置 50 が第 2 制御動作を行うときに、2 つのスイッチ 8 それぞれへの制御信号のハイレベル期間を互いに逆方向へシフトさせるので、実施形態 1 と比べて、各相の負荷電流の電流歪を低減できるとともに、ばらつきを低減できる。

[0151] (実施形態 4)

実施形態 4 に係る電力変換装置 100A について、図 19 を参照して説明する。図 19 は、実施形態 4 に係る電力変換装置 100A を備えるシステムの回路図である。実施形態 4 に係る電力変換装置 100A に関し、実施形態 1 に係る電力変換装置 100 と同様の構成要素については、同一の符号を付して説明を省略する。

[0152] 実施形態 4 に係る電力変換装置 100A では、複数のスイッチ 8 の各々において、第 1 IGBT 6 と第 2 IGBT 7 とが逆直列接続されている。実施形態 4 に係る電力変換装置 100A では、複数のスイッチ 8 の各々において、第 1 IGBT 6 のコレクタ端子と第 2 IGBT 7 のコレクタ端子とが接続されており、第 1 IGBT 6 のエミッタ端子が、複数の Switching 回路 10 のうち対応する Switching 回路 10 の接続点 3 に接続され、第 2 IGBT

T 7 のエミッタ端子が共通接続点 2 5 に接続されている。また、複数のスイッチ 8 の各々は、第 1 IGBT 6 に逆並列接続されているダイオード 6 1 と、第 2 IGBT 7 に逆並列接続されているダイオード 7 1 と、を更に有する。

[0153] 実施形態 4 に係る電力変換装置 1 0 0 A では、第 1 IGBT 6 及び第 2 IGBT 7 の各々は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 又はバイポーラトランジスタに置換されていてもよい。この場合、図 1 9 のダイオード 6 1 及びダイオード 7 1 は、それぞれ、置換された素子の寄生ダイオード、又は、置換された素子の 1 チップに内蔵された素子等で代用されてもよい。また、実施形態 4 に係る電力変換装置 1 0 0 A では、ダイオード 6 1 及びダイオード 7 1 は、それぞれ、第 1 IGBT 6 及び第 2 IGBT 7 に外付けされる場合に限らず、1 チップに内蔵された素子でもよい。

[0154] 制御装置 5 0 の動作は、例えば、実施形態 1 の制御装置 5 0 の動作と同じであるが、これに限らず、実施形態 2 又は実施形態 3 の制御装置 5 0 の動作と同じであってもよいし、これらの動作を適宜組み合わせて実行してもよい。

[0155] 実施形態 4 に係る電力変換装置 1 0 0 A は、実施形態 1 に係る電力変換装置 1 0 0 と同様、電流歪を低減することが可能となる。

[0156] (実施形態 5)

実施形態 5 に係る電力変換装置 1 0 0 B について、図 2 0 を参照して説明する。図 2 0 は、実施形態 5 に係る電力変換装置 1 0 0 B を備えるシステムの回路図である。実施形態 5 に係る電力変換装置 1 0 0 B に関し、実施形態 1 に係る電力変換装置 1 0 0 と同様の構成要素については、同一の符号を付して説明を省略する。

[0157] 実施形態 5 に係る電力変換装置 1 0 0 B では、複数のスイッチ 8 の各々において、第 1 IGBT 6 と第 2 IGBT 7 とが逆直列接続されている。実施形態 5 に係る電力変換装置 1 0 0 B では、複数のスイッチ 8 の各々において

、第1 IGBT 6のエミッタ端子と第2 IGBT 7のエミッタ端子とが接続されており、第2 IGBT 7のコレクタ端子が、複数のスイッチング回路10のうち対応するスイッチング回路10の接続点3に接続され、第1 IGBT 6のコレクタ端子が共通接続点25に接続されている。また、複数のスイッチ8の各々は、第1 IGBT 6に逆並列接続されているダイオード61と、第2 IGBT 7に逆並列接続されているダイオード71と、を更に有する。

[0158] 実施形態5に係る電力変換装置100Bでは、第1 IGBT 6及び第2 IGBT 7の各々は、MOSFET又はバイポーラトランジスタに置換されていてもよい。この場合、図20のダイオード61及びダイオード71は、それぞれ、置換された素子の寄生ダイオード、又は、置換された素子の1チップに内蔵された素子等で代用されてもよい。また、実施形態5に係る電力変換装置100Bでは、ダイオード61及びダイオード71は、それぞれ、第1 IGBT 6及び第2 IGBT 7に外付けされる場合に限らず、1チップに内蔵された素子でもよい。

[0159] 制御装置50の動作は、例えば、実施形態1の制御装置50の動作と同じであるが、これに限らず、実施形態2又は実施形態3の制御装置50の動作と同じであってもよい。

[0160] 実施形態5に係る電力変換装置100Bは、実施形態1に係る電力変換装置100と同様、電流歪を低減することが可能となる。

[0161] (実施形態6)

実施形態6に係る電力変換装置100Cについて、図21を参照して説明する。図21は、実施形態6に係る電力変換装置100Cを備えるシステムの回路図である。実施形態6に係る電力変換装置100Cに関し、実施形態1に係る電力変換装置100と同様の構成要素については、同一の符号を付して説明を省略する。

[0162] 実施形態6に係る電力変換装置100Cでは、複数のスイッチ8の各々において、第1 MOSFET 6Aと第2 MOSFET 7Aとが逆直列接続され

ている。実施形態6に係る電力変換装置100Cでは、複数のスイッチ8の各々において、第1MOSFET6Aのドレイン端子と第2MOSFET7Aのドレイン端子とが接続されている。また、複数のスイッチ8の各々は、第1MOSFET6Aに逆並列接続されているダイオード61と、第2MOSFET7Aに逆並列接続されているダイオード71と、を更に有する。複数のスイッチ8の各々では、第2MOSFET7Aのソース端子が共通接続点25に接続されている。複数のスイッチ8の各々では、第1MOSFET6Aのソース端子が、その第1MOSFET6Aを有するスイッチ8に対応するスイッチング回路10の接続点3に接続されている。スイッチ8Uの第1MOSFET6A、第2MOSFET7Aには、制御装置50から制御信号SU6、SU7が与えられる。スイッチ8Vの第1MOSFET6A、第2MOSFET7Aには、制御装置50から制御信号SV6、SV7が与えられる。スイッチ8Wの第1MOSFET6A、第2MOSFET7Aには、制御装置50から制御信号SW6、SW7が与えられる。

[0163] 制御装置50の動作は、例えば、実施形態1の制御装置50の動作と同様であるが、これに限らず、実施形態2又は実施形態3の制御装置50の動作と同様であってもよいし、これらの動作を適宜組み合わせて実行してもよい。

[0164] 実施形態6に係る電力変換装置100Cは、実施形態1に係る電力変換装置100と同様、電流歪を低減することが可能となる。

[0165] (実施形態7)

実施形態7に係る電力変換装置100Dについて、図22を参照して説明する。図22は、実施形態7に係る電力変換装置100Dを備えるシステムの回路図である。実施形態7に係る電力変換装置100Dに関し、実施形態1に係る電力変換装置100と同様の構成要素については、同一の符号を付して説明を省略する。

[0166] 実施形態7に係る電力変換装置100Dでは、複数のスイッチ8の各々において、第1MOSFET6Aにダイオード63が直列接続され、第2MO

S F E T 7 A にダイオード 7 3 が直列接続されている。実施形態 7 に係る電力変換装置 1 0 0 D では、第 1 M O S F E T 6 A 及びダイオード 6 3 の直列回路と、第 2 M O S F E T 7 A 及びダイオード 7 3 の直列回路とが、逆並列接続されている。

[0167] 制御装置 5 0 の動作は、例えば、実施形態 1 の制御装置 5 0 の動作と同様であるが、これに限らず、実施形態 1 又は実施形態 2 の制御装置 5 0 の動作と同様であってもよいし、これらの動作を適宜組み合わせ実行してもよい。

[0168] 実施形態 7 に係る電力変換装置 1 0 0 D は、実施形態 1 に係る電力変換装置 1 0 0 と同様、電流歪を低減することが可能となる。

[0169] (実施形態 8)

実施形態 8 に係る電力変換装置 1 0 0 E について、図 2 3 を参照して説明する。図 2 3 は、実施形態 8 に係る電力変換装置 1 0 0 E を備えるシステムの回路図である。実施形態 8 に係る電力変換装置 1 0 0 E に関し、実施形態 1 に係る電力変換装置 1 0 0 と同様の構成要素については、同一の符号を付して説明を省略する。

[0170] 実施形態 8 に係る電力変換装置 1 0 0 E では、複数のスイッチ 8 の各々は、1 つの M O S F E T 8 0 と、M O S F E T 8 0 に逆並列接続されているダイオード 8 3 と、M O S F E T 8 0 に逆並列に接続されている、2 つのダイオード 8 4、8 5 の直列回路と、M O S F E T 8 0 に逆並列に接続されている、2 つのダイオード 8 6、8 7 の直列回路と、を有する。複数のスイッチ 8 の各々では、スイッチ 8 におけるダイオード 8 4 とダイオード 8 5 との接続点（スイッチ 8 の第 1 端）が、複数のスイッチング回路 1 0 のうち対応するスイッチング回路 1 0 の接続点 3 に接続され、ダイオード 8 6 とダイオード 8 7 との接続点（スイッチ 8 の第 2 端）が、共通接続点 2 5 に接続されている。スイッチ 8 の各々では、M O S F E T 8 0 がオン状態のときにスイッチ 8 がオン状態であり、M O S F E T 8 0 がオフ状態のときにスイッチ 8 がオフ状態である。

- [0171] 複数のスイッチ8のMOSFET80は、制御装置50によって制御される。制御装置50は、スイッチ8UのMOSFET80のオンオフを制御する制御信号SU8と、スイッチ8VのMOSFET80のオンオフを制御する制御信号SV8と、スイッチ8WのMOSFET80のオンオフを制御する制御信号SW8と、を出力する。
- [0172] スイッチ8では、MOSFET80がオン状態のときに共振用インダクタL1と共振用コンデンサ9とを含む共振回路による共振電流が流れる。電力変換装置100Eでは、共振電流を含む充電電流は、複数のスイッチ8のうち1つのスイッチ8がオン状態のとき、回生用コンデンサ15－共振用インダクタL1－ダイオード86－MOSFET80－ダイオード85－共振用コンデンサ9の経路で流れる。また、電力変換装置100Eでは、共振電流を含む放電電流は、複数のスイッチ8のうち1つのスイッチ8がオン状態のとき、共振用コンデンサ9－ダイオード84－MOSFET80－ダイオード87－共振用インダクタL1－回生用コンデンサ15の経路で流れる。
- [0173] 実施形態8に係る電力変換装置100Eでは、複数のMOSFET80の各々は、IGBTに置換されていてもよい。また、実施形態8に係る電力変換装置100Eでは、複数のスイッチ8の各々は、MOSFET80の代わりに、例えば、バイポーラトランジスタ又はGaN系GIT (Gate Injection Transistor) を有していてもよい。
- [0174] 制御装置50の動作は、例えば、実施形態1の制御装置50の動作と同様であるが、これに限らず、実施形態2又は実施形態3の制御装置50の動作と同様であってもよいし、これらの動作を適宜組み合わせて実行してもよい。
- [0175] 実施形態8に係る電力変換装置100Eは、実施形態1に係る電力変換装置100と同様、電流歪を低減することが可能となる。
- [0176] (実施形態9)
- 実施形態9に係る電力変換装置100Fについて、図24を参照して説明する。図24は、実施形態9に係る電力変換装置100Fを備えるシステム

の回路図である。実施形態 9 に係る電力変換装置 100F に関し、実施形態 1 に係る電力変換装置 100 と同様の構成要素については、同一の符号を付して説明を省略する。

[0177] 実施形態 9 に係る電力変換装置 100F では、複数のスイッチ 8 の各々は、第 1 ソース端子、第 1 ゲート端子、第 2 ゲート端子及び第 2 ソース端子を有するデュアルゲート型の GaN 系 G I T である。実施形態 9 に係る電力変換装置 100F では、スイッチ 8 U を構成するデュアルゲート型の GaN 系 G I T の第 1 ゲート端子・第 1 ソース端子間に制御信号 S U 6 が与えられ、第 2 ゲート端子・第 2 ソース端子間に制御信号 S U 7 が与えられる。また、スイッチ 8 V を構成するデュアルゲート型の GaN 系 G I T の第 1 ゲート端子・第 1 ソース端子間に制御信号 S V 6 が与えられ、第 2 ゲート端子・第 2 ソース端子間に制御信号 S V 7 が与えられる。また、スイッチ 8 W を構成するデュアルゲート型の GaN 系 G I T の第 1 ゲート端子・第 1 ソース端子間に制御信号 S W 6 が与えられ、第 2 ゲート端子・第 2 ソース端子間に制御信号 S W 7 が与えられる。

[0178] 制御装置 50 の動作は、例えば、実施形態 1 の制御装置 50 の動作と同様であるが、これに限らず、実施形態 2 又は実施形態 3 の制御装置 50 の動作と同様であってもよいし、これらの動作を適宜組み合わせて実行してもよい。

[0179] 実施形態 9 に係る電力変換装置 100F は、実施形態 1 に係る電力変換装置 100 と同様、電流歪を低減することが可能となる。

[0180] (実施形態 10)

以下、実施形態 10 に係る電力変換装置 100G について、図 25 に基づいて説明する。図 25 は、実施形態 10 に係る電力変換装置 100G を備えるシステムの回路図である。実施形態 10 に係る電力変換装置 100G は、共振用インダクタ L 1 の第 2 端と第 1 直流端子 31 との間に接続されているコンデンサ 16 を更に備える点で、実施形態 1 に係る電力変換装置 100 と相違する。実施形態 10 に係る電力変換装置 100G に関し、実施形態 1 に

係る電力変換装置 100 と同様の構成要素には同一の符号を付して説明を省略する。

[0181] 電力変換装置 100G は、実施形態 1 に係る電力変換装置 100 におけるコンデンサ C10 を備えていない。コンデンサ 16 は、回生用コンデンサ 15 に直列接続されている。したがって、電力変換装置 100G では、コンデンサ 16 と回生用コンデンサ 15 との直列回路が、第 1 直流端子 31 と第 2 直流端子 32 との間に接続されている。コンデンサ 16 のキャパシタンスは、回生用コンデンサ 15 のキャパシタンスと同じである。「コンデンサ 16 のキャパシタンスは、回生用コンデンサ 15 のキャパシタンスと同じである」とは、コンデンサ 16 のキャパシタンスが回生用コンデンサ 15 のキャパシタンスに完全に一致する場合だけに限らず、コンデンサ 16 のキャパシタンスが回生用コンデンサ 15 のキャパシタンスの 95% 以上 105% 以下の範囲内であればよい。

[0182] 実施形態 10 に係る電力変換装置 100G では、回生用コンデンサ 15 の第 4 端 154 の電位 V_{15} は、直流電源 E1 の電圧値 V_d をコンデンサ 16 と回生用コンデンサ 15 とで分圧した値となる。したがって、回生用コンデンサ 15 の第 4 端 154 の電位 V_{15} は、略 $V_d / 2$ となる。実施形態 10 に係る電力変換装置 100G では、制御装置 50 が、回生用コンデンサ 15 の第 4 端 154 の電位 V_{15} の値をあらかじめ記憶していてもよい。

[0183] 制御装置 50 の動作は、例えば、実施形態 1 の制御装置 50 の動作と同様であるが、これに限らず、実施形態 2 又は実施形態 3 の制御装置 50 の動作と同様であってもよいし、これらの動作を適宜組み合わせて実行してもよい。

[0184] 実施形態 10 に係る電力変換装置 100G は、実施形態 1 に係る電力変換装置 100 と同様、電流歪を低減することが可能となる。

[0185] (実施形態 11)

以下、実施形態 11 に係る電力変換装置 100H について、図 26 に基づいて説明する。図 26 は、実施形態 11 に係る電力変換装置 100H を備え

るシステムの回路図である。実施形態 11 に係る電力変換装置 100H は、回生用コンデンサ 15 が共振用インダクタ L1 の第 2 端と第 1 直流端子 31 との間に接続されている点で、実施形態 1 に係る電力変換装置 100 と相違する。実施形態 11 に係る電力変換装置 100H に関し、実施形態 1 に係る電力変換装置 100 と同様の構成要素には同一の符号を付して説明を省略する。

[0186] 制御装置 50 の動作は、例えば、実施形態 1 の制御装置 50 の動作と同様であるが、これに限らず、実施形態 2 又は実施形態 3 の制御装置 50 の動作と同様であってもよいし、これらの動作を適宜組み合わせて実行してもよい。

[0187] 実施形態 11 に係る電力変換装置 100H は、実施形態 1 に係る電力変換装置 100 と同様、電流歪を低減することが可能となる。

[0188] (変形例)

上記の実施形態 1 ～ 11 等は、本開示の様々な実施形態の一つに過ぎない。上記の実施形態 1 ～ 11 等は、本開示の目的を達成できれば、設計等に応じて種々の変更が可能である。

[0189] 制御装置 50 において、「複数の共振電流が同時に流れると判断する」動作については、実施形態 1 で説明した時間差が閾値未満のときに「複数の共振電流が同時に流れると判断する」動作等に限らない。

[0190] 例えば、制御装置 50 は、U 相の負荷電流 i_U と V 相の負荷電流 i_V との電流差、V 相の負荷電流 i_V と W 相の負荷電流 i_W との電流差、W 相の負荷電流 i_W と U 相の負荷電流 i_U との電流差、のいずれか 1 つが電流差閾値未満のときに 2 相の共振電流が同時に流れると判断してもよい。

[0191] また、制御装置 50 は、U 相の負荷電流 i_U と V 相の負荷電流 i_V との電流差、V 相の負荷電流 i_V と W 相の負荷電流 i_W との電流差、W 相の負荷電流 i_W と U 相の負荷電流 i_U との電流差、のいずれも電流差閾値未満のときに 3 相の共振電流が同時に流れると判断してもよい。

[0192] また、制御装置 50 は、モータの回転数を検出するためのセンサ装置（例

えば、エンコーダ又はレゾルバ) から出力されるセンサ情報から演算により求めた電気角、又は推定した電気角が第1回転角範囲(例えば、55度以上65度以下)内又は第2回転角範囲(例えば、115度以上125度以下)内又は第3回転角範囲(例えば、175度以上185度以下)又は第4回転角度範囲(例えば、235度以上245度以下)内又は第5回転角度範囲(295度以上305度以下)内又は第6回転角範囲(例えば、355度以上365度以下)内のいずれかのときに「2相の共振電流が同時に流れる」と判断してもよい。

[0193] また、複数の第1スイッチング素子1及び複数の第2スイッチング素子2の各々は、IGBTに限らず、MOSFETでもよい。この場合、複数の第1ダイオード4の各々は、対応する第1スイッチング素子1を構成するMOSFETの寄生ダイオード等で代用されてもよい。また、複数の第2ダイオード5の各々は、対応する第2スイッチング素子2を構成するMOSFETの寄生ダイオード等で代用されてもよい。MOSFETは、例えば、Si系MOSFET又はSiC系MOSFETである。複数の第1スイッチング素子1及び複数の第2スイッチング素子2の各々は、例えば、バイポーラトランジスタ又はGaN系GITであってもよい。

[0194] また、電力変換装置100、100A~100Hでは、複数の共振用コンデンサ9の各々の容量が比較的小さい場合、複数の共振用コンデンサ9を外付けする代わりに、複数の第2スイッチング素子2の両端間の寄生容量が、複数の共振用コンデンサ9を兼ねていてもよい。

[0195] デッドタイム期間は、制御装置50とは別に設けられたゲートドライバIC(Integrated Circuit)等の有するデッドタイム生成回路により設定されてもよい。また、制御装置50がゲートドライバICを含んでいて、ゲートドライバICの有するデッドタイム生成回路が、デッドタイム期間を設定してもよい。

[0196] また、電力変換装置100、100A~100Hは、3相交流を出力する構成に限らず、3相以上の多相交流を出力する構成であればよい。実施形態

1の「(3. 1) 基本例」の欄で述べた追加時間 T_{au} 、 T_{av} 、 T_{aw} の決定方法について、演算式は理想的な設計例であり、常にそのような演算式による演算を行う例に限定されない。場合によっては追加時間 T_{au} 、 T_{av} 、 T_{aw} を0又は別の固定時間に設定することも問題ない。また、追加時間 T_{au} 、 T_{av} 、 T_{aw} の目的を達成できれば、別の演算式による演算により求めた値でもよい。例えば、基本例では、 $T_{au} = iU \times (L/V15)$ の演算を行っているが、これに限らず、 T_{au} を0としてもよいし、 $0 \sim iU \times (L/V15)$ の間で設定してもよいし、常に一定の追加時間に設定してもよいし、別の演算式で演算してもよいし、それらを組み合わせて設定したりしてもよい。

[0197] (他の例)

(例1)

(1) 電力変換装置の回路構成

例1に係る電力変換装置100の回路構成は、実施形態1に係る電力変換装置100(図1参照)と同じなので、図示及び説明を省略する。

[0198] (2) 電力変換装置の動作

以下では、共振用インダクタ $L1$ においてU相のスイッチ8Uを流れる共振電流とV相のスイッチ8Vを流れる共振電流とが重複すると推定した場合について例示するが、U相とW相との場合、V相とW相との場合についても同様である。

[0199] (2. 1) 第1スイッチング素子をソフトスイッチングするための動作

例1に係る電力変換装置100の動作に関して、第1スイッチング素子1をソフトスイッチングするための動作について図27及び図28を参照して説明する。図27は、例1に係る電力変換装置100における制御装置50が第2制御動作を行う場合の動作を説明するためのタイミングチャートである。図28は、例1の電力変換装置100における制御装置50が第1制御動作を行う場合の動作を説明するためのタイミングチャートである。図27、図28の見方は、それぞれ、図14、図12の見方と同様なので、説明を

省略する。

[0200] 制御装置 50 は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも短い場合、第 2 制御動作を行う。

[0201] 図 27 の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも長い。制御装置 50 は、第 2 制御動作を行う場合、制御信号 $SV1$ 、 $SV2$ 、 $SV6$ 、 $SV7$ のハイレベル期間の終了時点を早める方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置 50 は、制御信号 $SV1$ のハイレベル期間の開始時点を早める方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{sv} の長さは、 ΔT_{uv} の長さと同じである。

[0202] 例 1 に係る電力変換装置 100 では、制御装置 50 が第 2 制御動作を行うことにより、実施形態 1 に係る電力変換装置 100 において制御装置 50 が第 2 制御動作を行う場合と同様、第 1 スwitchング素子 1U、1V のゼロ電圧ソフトスイッチングが可能となる。

[0203] 制御装置 50 は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも長い場合、第 1 制御動作を行う。図 28 の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも短い。制御装置 50 は、第 1 制御動作を行う場合、制御信号 $SV6$ のハイレベル期間の終了時点を遅くする方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置 50 は、制御信号 $SV1$ のハイレベル期間の開始時点を遅くする方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{sv} の長さは、重複期間 T_{ov} の長さと同じである。

[0204] 例 1 に係る電力変換装置 100 では、制御装置 50 が第 1 制御動作を行うことにより、図 28 に示すように U 相の共振電流と V 相の共振電流との重複期間 T_{ov} がなくなり、第 1 スwitchング素子 1U、1V のゼロ電圧ソフトスイッチングが可能となる。

[0205] (2. 2) 第 2 スwitchング素子をソフトスイッチングするための動作
制御装置 50 は、第 2 スwitchング素子 2 をソフトスイッチングさせる場合、第 1 スwitchング素子 1 をソフトスイッチングさせるときとは、シフト前の制御信号 $SU1$ 、 $SU2$ 、 $SV1$ 、 $SV2$ のハイレベル期間とローレベ

ル期間とが逆になり、負荷電流 i_U 、 i_V 及び電流 i_{L1} の極性が逆になる。また、制御装置 50 は、第 2 スwitchング素子 2 をソフトスitchングさせるときには、制御信号 SV_6 の代わりに制御信号 SV_7 それぞれのハイレベル期間を遅くする方向へシフト時間 T_{sv} だけシフトさせる。

[0206] 例 1 に係る電力変換装置 100 では、制御装置 50 が第 1 制御動作と第 2 制御動作とのいずれか一方を行うことにより、U 相、V 相それぞれに対応するデッドタイム期間の終了する時点で共振用コンデンサ 9_U 、 9_V の放電が終了する。このため、電力変換装置 100 では、制御装置 50 が第 1 制御動作又は第 2 制御動作を行った場合には、第 2 スwitchング素子 2_U 、 2_V のスitchングがゼロ電圧ソフトスitchングとなる。

[0207] (3) 利点

例 1 に係る電力変換装置 100 は、制御装置 50 が第 1 制御動作を行った場合には、共振用インダクタ L_1 に流れる電流 i_{L1} のピーク値を低減でき、制御装置 50 が第 2 制御動作を行った場合には、高周波化を図ることが可能となる。

[0208] (例 2)

(1) 電力変換装置の回路構成

例 2 に係る電力変換装置 100 の回路構成は、実施形態 1 に係る電力変換装置 100 (図 1 参照) と同じなので、図示及び説明を省略する。

[0209] (2) 電力変換装置の動作

以下では、共振用インダクタ L_1 において U 相のスイッチ 8_U を流れる共振電流と V 相のスイッチ 8_V を流れる共振電流とが重複すると推定した場合について例示するが、U 相と W 相との場合、V 相と W 相との場合についても同様である。

[0210] (2. 1) 第 1 スwitchング素子をソフトスitchングするための動作

例 2 に係る電力変換装置 100 の動作に関して、第 1 スwitchング素子 1 をソフトスitchングするための動作について図 29 及び図 30 を参照して説明する。図 29 は、例 2 に係る電力変換装置 100 における制御装置 50

が第2制御動作を行う場合の動作を説明するためのタイミングチャートである。図30は、例2の電力変換装置100における制御装置50が第1制御動作を行う場合の動作を説明するためのタイミングチャートである。図29、図30の見方は、それぞれ、図14、図12の見方と同様なので、説明を省略する。

[0211] 図29の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも長い。制御装置50は、第2制御動作を行う場合、制御信号 S_{U6} のハイレベル期間及び制御信号 S_{V6} のハイレベル期間を互いに逆方向へシフトさせる。制御信号 S_{U6} のハイレベル期間の終了時点を遅くする方向へシフト時間 T_{su} だけシフトさせ、かつ、制御信号 S_{V6} のハイレベル期間の終了時点を早める方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置50は、制御信号 S_{U1} のハイレベル期間の開始時点を遅くする方向へシフト時間 T_{su} だけシフトさせる。また、制御装置50は、制御信号 S_{V1} のハイレベル期間の開始時点を早める方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{su} の長さは、 $\Delta T_{uv}/2$ である。また、シフト時間 T_{sv} の長さは、 $\Delta T_{uv}/2$ である。

[0212] 例2に係る電力変換装置100では、制御装置50が第2制御動作を行うことにより、実施形態1に係る電力変換装置100において制御装置50が第2制御動作を行う場合と同様、第1スイッチング素子1U、1Vのゼロ電圧ソフトスイッチングが可能となる。

[0213] 制御装置50は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも長い場合、第1制御動作を行う。図30の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも短い。制御装置50は、第1制御動作を行う場合、制御信号 S_{U6} のハイレベル期間及び制御信号 S_{V6} のハイレベル期間を互いに逆方向へシフトさせる。制御信号 S_{U6} のハイレベル期間の終了時点を早める方向へシフト時間 T_{su} だけシフトさせ、かつ、制御信号 S_{V6} のハイレベル期間の終了時点を遅くする方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置50は、制御信号 S_{U1} のハイレベル期間の開

始時点を進める方向へシフト時間 T_{su} だけシフトさせる。また、制御装置50は、制御信号 $SV1$ のハイレベル期間の開始時点を進める方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{su} の長さは、 $T_{ov}/2$ の長さと同じである。また、シフト時間 T_{sv} の長さは、 $T_{ov}/2$ の長さと同じである。

[0214] 例2に係る電力変換装置100では、制御装置50が第1制御動作を行うことにより、図30に示すようにU相の共振電流とV相の共振電流との重複期間 T_{ov} がなくなり、第1スイッチング素子1U、1Vのゼロ電圧ソフトスイッチングが可能となる。

[0215] (2. 2) 第2スイッチング素子をソフトスイッチングするための動作
制御装置50は、第2スイッチング素子2をソフトスイッチングさせる場合、第1スイッチング素子1をソフトスイッチングさせるときとは、シフト前の制御信号 $SU1$ 、 $SU2$ 、 $SV1$ 、 $SV2$ のハイレベル期間とローレベル期間とが逆になり、負荷電流 i_U 、 i_V 及び電流 i_{L1} の極性が逆になる。また、制御装置50は、第2スイッチング素子2をソフトスイッチングさせるときには、制御信号 $SU6$ 、 $SV6$ の代わりに制御信号 $SU7$ 、 $SV7$ それぞれのハイレベル期間を互いに逆方向へシフトさせる。

[0216] 例2に係る電力変換装置100では、制御装置50が第1制御動作と第2制御動作とのいずれか一方を行うことにより、U相、V相それぞれに対応するデッドタイム期間の終了する時点で共振用コンデンサ9U、9Vの放電が終了する。このため、電力変換装置100では、制御装置50が第1制御動作又は第2制御動作を行った場合には、第2スイッチング素子2U、2Vのスイッチングがゼロ電圧ソフトスイッチングとなる。

[0217] (3) 利点

例2に係る電力変換装置100は、制御装置50が第1制御動作を行った場合には、共振用インダクタ $L1$ に流れる電流 i_{L1} のピーク値を低減でき、制御装置50が第2制御動作を行った場合には、高周波化を図ることが可能となる。

[0218] (例3)

(1) 電力変換装置の回路構成

例3に係る電力変換装置100の回路構成は、実施形態1に係る電力変換装置100(図1参照)と同じなので、図示及び説明を省略する。

[0219] (2) 電力変換装置の動作

以下では、共振用インダクタL1においてU相のスイッチ8Uを流れる共振電流とV相のスイッチ8Vを流れる共振電流とが重複すると推定した場合について例示するが、U相とW相との場合、V相とW相との場合についても同様である。

[0220] (2.1) 第1スイッチング素子をソフトスイッチングするための動作

例3に係る電力変換装置100の動作に関して、第1スイッチング素子1をソフトスイッチングするための動作について図31及び図32を参照して説明する。図31は、例3に係る電力変換装置100における制御装置50が第2制御動作を行う場合の動作を説明するためのタイミングチャートである。図32は、例3の電力変換装置100における制御装置50が第1制御動作を行う場合の動作を説明するためのタイミングチャートである。図31、図32の見方は、それぞれ、図14、図12の見方と同様なので、説明を省略する。

[0221] 制御装置50は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも短い場合、第2制御動作を行う。図31の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも長い。制御装置50は、第2制御動作を行う場合、制御信号SU6のハイレベル期間及び制御信号SV6のハイレベル期間を互いに逆方向へシフトさせる。制御信号SU6のハイレベル期間の終了時点を遅くする方向へシフト時間 T_{su} だけシフトさせ、かつ、制御信号SV6のハイレベル期間の終了時点を早める方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置50は、制御信号SU1のハイレベル期間の開始時点を遅くする方向へシフト時間 T_{su} だけシフトさせる。また、制御装置50は、制御信号SV1のハイレベル期間の開始時点を早める方向へシフト

ト時間 T_{sv} だけシフトさせる。 $T_{ov} = T_a + T_b$ とするとき、シフト時間 T_{su} の長さは、 $(\sqrt{2}/4) \cdot T_{res} - T_{ov} \cdot T_b / (T_a + T_b)$ である。また、シフト時間 T_{sv} の長さは、 $T_{ov} \cdot T_b / (T_a + T_b) + \Delta T_{uv} - (\sqrt{2}/4) \cdot T_{res}$ である。 T_a 及び T_b の各々は、任意の値に設定可能である。

[0222] 例3に係る電力変換装置100では、制御装置50が第2制御動作を行うことにより、実施形態1に係る電力変換装置100において制御装置50が第2制御動作を行う場合と同様、第1スイッチング素子1U、1Vのゼロ電圧ソフトスイッチングが可能となる。

[0223] 制御装置50は、重複期間 T_{ov} の長さが時間差 ΔT_{uv} の長さよりも長い場合、第1制御動作を行う。

[0224] 図32の例では、時間差 ΔT_{uv} の長さが重複期間 T_{ov} の長さよりも短い。制御装置50は、第1制御動作を行う場合、制御信号 S_{U6} のハイレベル期間及び制御信号 S_{V6} のハイレベル期間を互いに逆方向へシフトさせる。制御装置50は、キャリア信号の1周期内において2つの制御信号 S_{U6} 、 S_{V6} のうちハイレベル期間の位相が早い制御信号 S_{U6} のハイレベル期間の終了時点を進める方向へシフト時間 T_{su} だけシフトさせ、かつ、ハイレベル期間の位相が遅い制御信号 S_{V6} のハイレベル期間の終了時点が遅くする方向へシフト時間 T_{sv} だけシフトさせる。したがって、制御装置50は、制御信号 S_{U1} のハイレベル期間の開始時点を進める方向へシフト時間 T_{su} だけシフトさせる。また、制御装置50は、制御信号 S_{V1} のハイレベル期間の開始時点が遅くする方向へシフト時間 T_{sv} だけシフトさせる。シフト時間 T_{su} の長さは、 $T_{ov} \cdot T_b / (T_a + T_b)$ である。また、シフト時間 T_{sv} の長さは、 $T_{ov} \cdot T_a / (T_a + T_b)$ である。

[0225] 例3に係る電力変換装置100では、制御装置50が第1制御動作を行うことにより、図32の下段に示すシフト後の電流 i_{L1} の波形のように、シフト前のU相の共振電流とV相の共振電流との重複期間 T_{ov} がなくなり、第1スイッチング素子1U、1Vのゼロ電圧ソフトスイッチングが可能とな

る。

[0226] (2. 2) 第2スイッチング素子をソフトスイッチングするための動作
制御装置50は、第2スイッチング素子2をソフトスイッチングさせる場合、第1スイッチング素子1をソフトスイッチングさせるときとは、シフト前の制御信号SU1、SU2、SV1、SV2のハイレベル期間とローレベル期間とが逆になり、負荷電流 i_U 、 i_V 及び電流 i_{L1} の極性が逆になる。また、制御装置50は、第2スイッチング素子2をソフトスイッチングさせるときには、制御信号SU6、SV6の代わりに制御信号SU7、SV7それぞれのハイレベル期間を互いに逆方向へシフトさせる。

[0227] 例3に係る電力変換装置100では、制御装置50が第1制御動作と第2制御動作とのいずれか一方を行うことにより、U相、V相それぞれに対応するデッドタイム期間の終了する時点で共振用コンデンサ9U、9Vの放電が終了する。このため、電力変換装置100では、制御装置50が第1制御動作又は第2制御動作を行った場合には、第2スイッチング素子2U、2Vのスイッチングがゼロ電圧ソフトスイッチングとなる。

[0228] (3) 利点

例3に係る電力変換装置100は、制御装置50が第1制御動作を行った場合には、共振用インダクタL1に流れる電流 i_{L1} のピーク値を低減でき、制御装置50が第2制御動作を行った場合には、高周波化を図ることが可能となる。

[0229] (態様)

本明細書には以下の態様が開示されている。

[0230] 第1の態様に係る電力変換装置(100; 100A; 100B; 100C; 100D; 100E; 100F; 100G; 100H)は、第1直流端子(31)及び第2直流端子(32)と、電力変換回路(11)と、複数の交流端子(41)と、複数のスイッチ(8)と、複数の共振用コンデンサ(9)と、共振用インダクタ(L1)と、回生用コンデンサ(15)と、制御装置(50)と、を備える。電力変換回路(11)は、複数の第1スイッチン

グ素子（１）及び複数の第２スイッチング素子（２）を有する。電力変換回路（１１）では、複数の第１スイッチング素子（１）と複数の第２スイッチング素子（２）とを一对一に直列接続した複数のスイッチング回路（１０）が互いに並列接続されている。電力変換回路（１１）では、複数の第１スイッチング素子（１）が第１直流端子（３１）に接続されており、複数の第２スイッチング素子（２）が第２直流端子（３２）に接続されている。複数の交流端子（４１）は、複数のスイッチング回路（１０）に一对一に対応する。複数の交流端子（４１）の各々は、対応するスイッチング回路（１０）における第１スイッチング素子（１）及び第２スイッチング素子（２）の接続点（３）に接続されている。複数のスイッチ（８）は、複数のスイッチング回路（１０）に一对一に対応する。複数のスイッチ（８）の各々は、対応するスイッチング回路（１０）における第１スイッチング素子（１）及び第２スイッチング素子（２）の接続点（３）に第１端（８１）が接続されており第２端（８２）が共通接続点（２５）に共通接続されている。複数の共振用コンデンサ（９）は、複数のスイッチ（８）に一对一に対応する。複数の共振用コンデンサ（９）の各々は、対応するスイッチ（８）の第１端（８１）と第２直流端子（３２）との間に接続されている。共振用インダクタ（Ｌ１）は、第１端及び第２端を有する。共振用インダクタ（Ｌ１）では、共振用インダクタ（Ｌ１）の第１端が共通接続点（２５）に接続されている。回生用コンデンサ（１５）は、第３端（１５３）及び第４端（１５４）を有する。回生用コンデンサ（１５）では、第３端（１５３）が第１直流端子（３１）又は第２直流端子（３２）に接続されている。制御装置（５０）は、複数の第１スイッチング素子（１）、複数の第２スイッチング素子（２）及び複数のスイッチ（８）の各々に対してハイレベルとローレベルとの間で電位が変化する制御信号を与える。制御装置（５０）は、複数のスイッチング回路（１０）の各々について第１スイッチング素子（１）への制御信号のハイレベル期間と第２スイッチング素子（２）への制御信号のハイレベル期間との間にデッドタイム期間（ T_d ）を設定し、複数のスイッチ（８）の各々への

制御信号のハイレベル期間を複数のスイッチング回路（10）のうち対応するスイッチング回路（10）に対するデッドタイム期間（ T_d ）に基づいて設定する。制御装置（50）は、共振用インダクタ（L1）に、複数のスイッチ（8）のうち2つ以上のスイッチ（8）それぞれを通る共振電流が同時に流れると判断した場合、上記2つ以上のスイッチ（8）それぞれを通る共振電流が同時に流れる重複期間（ T_{ov} ）に基づいて、第1制御動作と、第2制御動作と、の一方を行うように構成されている。第1制御動作は、上記2つ以上のスイッチ（8）それぞれを通る共振電流が共振用インダクタ（L1）に同時に流れないように、上記2つ以上のスイッチ（8）のうち少なくとも1つのスイッチ（8）への制御信号のハイレベル期間をシフトさせる動作である。第2制御動作は、上記2つ以上のスイッチ（8）それぞれへの制御信号のハイレベル期間を、複数のスイッチング回路（10）のうち上記2つ以上のスイッチ（8）に接続されている2つ以上のスイッチング回路（10）の各々に対応するデッドタイム期間において所定期間以上、重ねるように上記2つ以上のスイッチ（8）のうち少なくとも1つのスイッチ（8）への制御信号のハイレベル期間をシフトさせる動作である。

[0231] この態様によれば、電流歪を低減することが可能となる。

[0232] 第2の態様に係る電力変換装置（100；100A；100B；100C；100D；100E；100F；100G；100H）では、第1の態様において、上記2つ以上のスイッチング回路（10）のうち1つのスイッチング回路（10）においてゼロ電圧ソフトスイッチング対象の第1スイッチング素子（1）又は第2スイッチング素子（2）を第1対象スイッチング素子とする。2つ以上のスイッチング回路（10）のうち第1対象スイッチング素子を含むスイッチング回路（10）とは異なる1つのスイッチング回路（10）においてゼロ電圧ソフトスイッチング対象の第1スイッチング素子（1）又は第2スイッチング素子（2）を第2対象スイッチング素子とする。第1対象スイッチング素子への制御信号のハイレベル期間を開始する時点と第2対象スイッチング素子への制御信号のハイレベル期間を開始する時点

との時間差を ΔT とする。このとき、制御装置（50）は、共振電流の重複期間の長さ（ T_{ov} ）が ΔT 未満の場合に、第1制御動作を行い、共振電流の重複期間の長さ（ T_{ov} ）が ΔT 以上の場合に、第2制御動作を行う。

[0233] この態様によれば、制御信号のハイレベル期間のシフト量を低減でき、電流歪を低減することが可能となる。

[0234] 第3の態様に係る電力変換装置（100；100A；100B；100C；100D；100E；100F；100G；100H）は、第2の態様において、上記2つ以上のスイッチ（8）のうち1つを第1スイッチとし、第1スイッチとは異なる1つを第2スイッチとする。このとき、制御装置（50）は、第1制御動作を行うときに、第1スイッチを通る共振電流の電流値が極値となった後に2つ以上の交流端子（41）のうち第1スイッチに対応する交流端子（41）に流れる負荷電流の電流値と一致する時点から第2スイッチを通る共振電流が流れるように第1スイッチと第2スイッチとのうち少なくとも一方への制御信号のハイレベル期間をシフトさせる。

[0235] この態様によれば、制御信号のハイレベル期間のシフト量を低減でき、高周波化を図ることが可能となる。

[0236] 第4の態様に係る電力変換装置（100；100A；100B；100C；100D；100E；100F；100G；100H）では、第3の態様において、制御装置（50）は、第1制御動作を行うときに、第1スイッチへの制御信号のハイレベル期間と第2スイッチへの制御信号のハイレベル期間とを互いに異なる方向へシフトさせる。

[0237] この態様によれば、制御信号のハイレベル期間のシフト量を、より低減でき、電流歪を更に低減することが可能となる。

[0238] 第5の態様に係る電力変換装置（100；100A；100B；100C；100D；100E；100F；100G；100H）では、第1又は2の態様において、所定期間は、共振用インダクタ（L1）と上記2つ以上のスイッチ（8）それぞれに接続されている2つ以上の共振用コンデンサ（9）とを含む共振回路の共振半周期の全部の期間である。制御装置（50）は

、上記2つ以上のスイッチ（8）それぞれへの制御信号のハイレベル期間を所定期間よりも追加時間（T a d）だけ長くする第3制御動作を実行可能である。制御装置（50）は、第2制御動作を行うときに、第3制御動作を実行する。

産業上の利用可能性

[0239] 本開示の電力変換装置は、電流歪を低減することが可能となる。そのため、本開示の電力変換装置によって直流電力を交流電力に電力変換する際に電流歪の小さい交流電力を得ることができる。このように、本開示の電力変換装置は、産業上有用である。

符号の説明

[0240] 1、1 U、1 V、1 W 第1スイッチング素子
2、2 U、2 V、2 W 第2スイッチング素子
3、3 U、3 V、3 W 接続点
8、8 U、8 V、8 W スイッチ
9、9 U、9 V、9 W 共振用コンデンサ
10、10 U、10 V、10 W スwitching回路
11 電力変換回路
15 回生用コンデンサ
153 第3端
154 第4端
31 第1直流端子
32 第2直流端子
41、41 U、41 V、41 W 交流端子
50 制御装置
100、100 A、100 B、100 C、100 D、100 E、100 F
、100 G、100 H 電力変換装置
i U、i V、i W 出力電流（負荷電流）
L1 共振用インダクタ

R A 1 交流負荷

S U 1、S U 2、S U 6、S U 7、S U 8 制御信号

S V 1、S V 2、S V 6、S V 7、S V 8 制御信号

S W 1、S W 2、S W 6、S W 7、S W 8 制御信号

T a d、T a u、T a v、T a w 追加時間

T r e s 共振半周期

T o v 重複期間

V 1 5 電圧（電位）

請求の範囲

[請求項1]

第1 直流端子及び第2 直流端子と、

複数の第1 スイッチング素子及び複数の第2 スイッチング素子を有し、前記複数の第1 スイッチング素子と前記複数の第2 スイッチング素子とを一对一に直列接続した複数のスイッチング回路が互いに並列接続されており、前記複数の第1 スイッチング素子が前記第1 直流端子に接続されており、前記複数の第2 スイッチング素子が前記第2 直流端子に接続されている電力変換回路と、

前記複数のスイッチング回路に一对一に対応し、各々が対応するスイッチング回路における前記第1 スイッチング素子及び前記第2 スイッチング素子の接続点に接続されている、複数の交流端子と、

前記複数のスイッチング回路に一对一に対応し、各々が対応するスイッチング回路における前記第1 スイッチング素子及び前記第2 スイッチング素子の前記接続点に第1 端が接続されており第2 端が共通接続点に共通接続されている、複数のスイッチと、

前記複数のスイッチに一对一に対応し、各々が対応するスイッチの前記第1 端と前記第2 直流端子との間に接続されている、複数の共振用コンデンサと、

第1 端及び第2 端を有し、前記第1 端が前記共通接続点に接続されている共振用インダクタと、

第3 端及び第4 端を有し、前記第3 端が前記第1 直流端子又は前記第2 直流端子に接続されている回生用コンデンサと、

前記複数の第1 スイッチング素子、前記複数の第2 スイッチング素子及び前記複数のスイッチの各々に対してハイレベルとローレベルとの間で電位が変化する制御信号を与える制御装置と、を備え、

前記制御装置は、前記複数のスイッチング回路の各々について前記第1 スイッチング素子への制御信号のハイレベル期間と前記第2 スイッチング素子への制御信号のハイレベル期間との間にデッドタイム期

間を設定し、前記複数のスイッチの各々への制御信号のハイレベル期間を前記複数のスイッチング回路のうち対応するスイッチング回路に対するデッドタイム期間に基づいて設定し、

前記制御装置は、前記共振用インダクタに、前記複数のスイッチのうち2つ以上のスイッチそれぞれを通る共振電流が同時に流れると判断した場合、前記2つ以上のスイッチそれぞれを通る共振電流が同時に流れる重複期間に基づいて、第1制御動作と、第2制御動作と、の一方を行うように構成されており、

前記第1制御動作は、

前記2つ以上のスイッチそれぞれを通る共振電流が前記共振用インダクタに同時に流れないように、前記2つ以上のスイッチのうち少なくとも1つのスイッチへの制御信号のハイレベル期間をシフトさせる動作であり、

前記第2制御動作は、前記2つ以上のスイッチそれぞれへの制御信号のハイレベル期間を、前記複数のスイッチング回路のうち前記2つ以上のスイッチに接続されている2つ以上のスイッチング回路の各々に対応するデッドタイム期間において所定期間以上、重ねるように前記2つ以上のスイッチのうち少なくとも1つのスイッチへの制御信号のハイレベル期間をシフトさせる動作である、

電力変換装置。

[請求項2]

前記2つ以上のスイッチング回路のうち1つのスイッチング回路においてゼロ電圧ソフトスイッチング対象の前記第1スイッチング素子又は前記第2スイッチング素子を第1対象スイッチング素子とし、

前記2つ以上のスイッチング回路のうち前記第1対象スイッチング素子を含むスイッチング回路とは異なる1つのスイッチング回路においてゼロ電圧ソフトスイッチング対象の前記第1スイッチング素子又は前記第2スイッチング素子を第2対象スイッチング素子とし、

前記第1対象スイッチング素子への制御信号のハイレベル期間を開

始する時点と前記第2対象スイッチング素子への制御信号のハイレベル期間を開始する時点との時間差を ΔT とするとき、

前記制御装置は、

前記共振電流の重複期間の長さが ΔT 未満の場合に、前記第1制御動作を行い、

前記共振電流の重複期間の長さが ΔT 以上の場合に、前記第2制御動作を行う、

請求項1に記載の電力変換装置。

[請求項3] 前記2つ以上のスイッチのうち1つを第1スイッチとし、前記第1スイッチとは異なる1つを第2スイッチとするとき、

前記制御装置は、前記第1制御動作を行うときに、

前記第1スイッチを通る共振電流の電流値が極値となった後に前記2つ以上の交流端子のうち前記第1スイッチに対応する交流端子に流れる負荷電流の電流値と一致する時点から前記第2スイッチを通る共振電流が流れるように前記第1スイッチと前記第2スイッチとのうち少なくとも一方への制御信号のハイレベル期間をシフトさせる、

請求項2に記載の電力変換装置。

[請求項4] 前記制御装置は、前記第1制御動作を行うときに、前記第1スイッチへの制御信号のハイレベル期間と前記第2スイッチへの制御信号のハイレベル期間とを互いに異なる方向へシフトさせる、

請求項3に記載の電力変換装置。

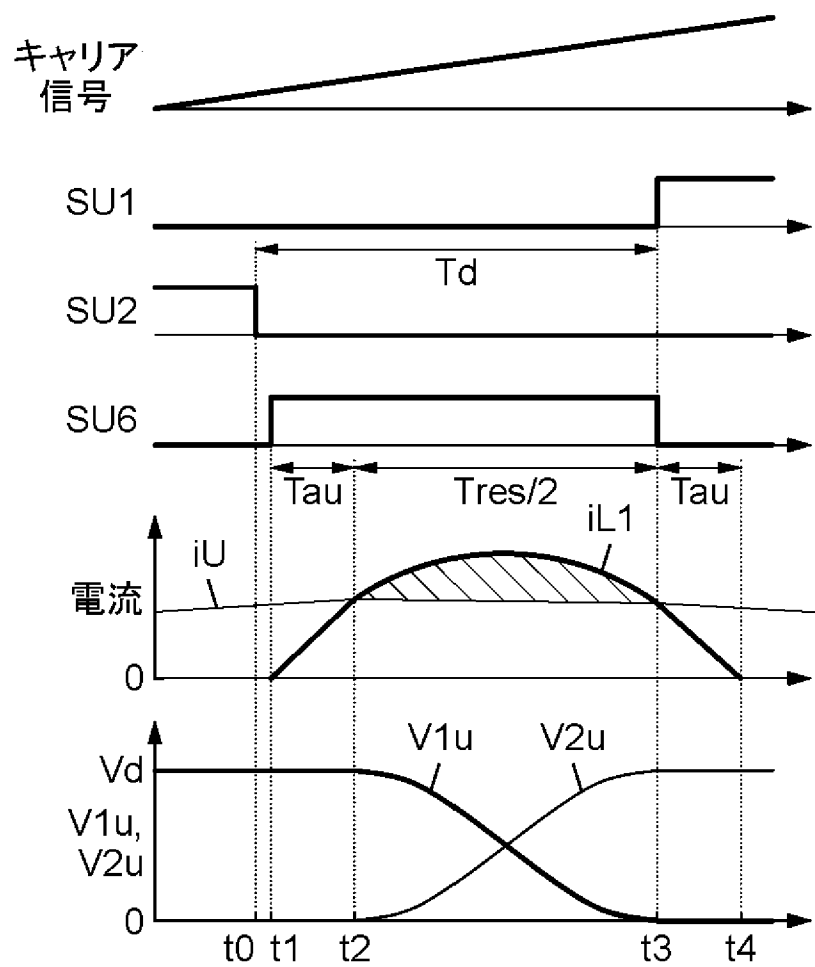
[請求項5] 前記所定期間は、前記共振用インダクタと前記2つ以上のスイッチそれぞれに接続されている2つ以上の前記共振用コンデンサとを含む共振回路の共振半周期の全部の期間であり、

前記制御装置は、

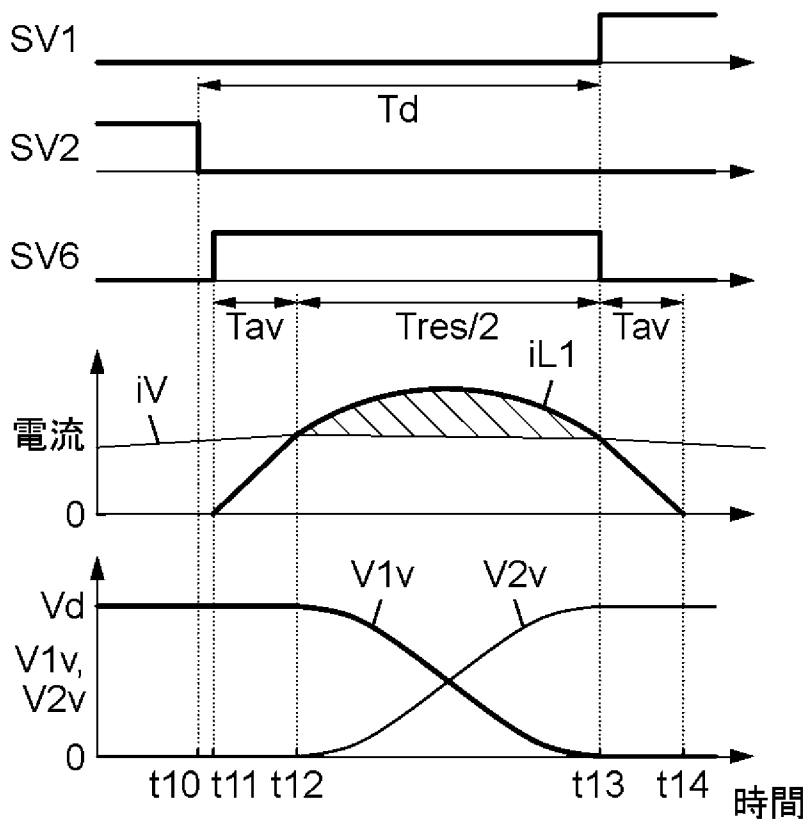
前記2つ以上のスイッチそれぞれへの制御信号のハイレベル期間を前記所定期間よりも追加時間だけ長くする第3制御動作を実行可能であり、

前記第 2 制御動作を行うときに、前記第 3 制御動作を実行する、
請求項 1 又は 2 に記載の電力変換装置。

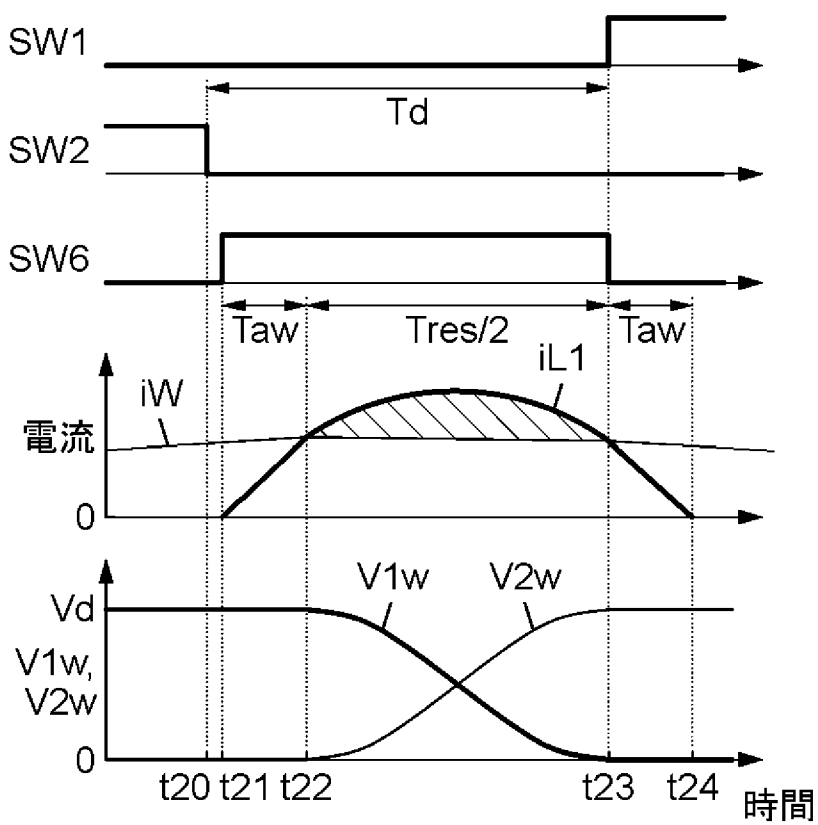
[図2]



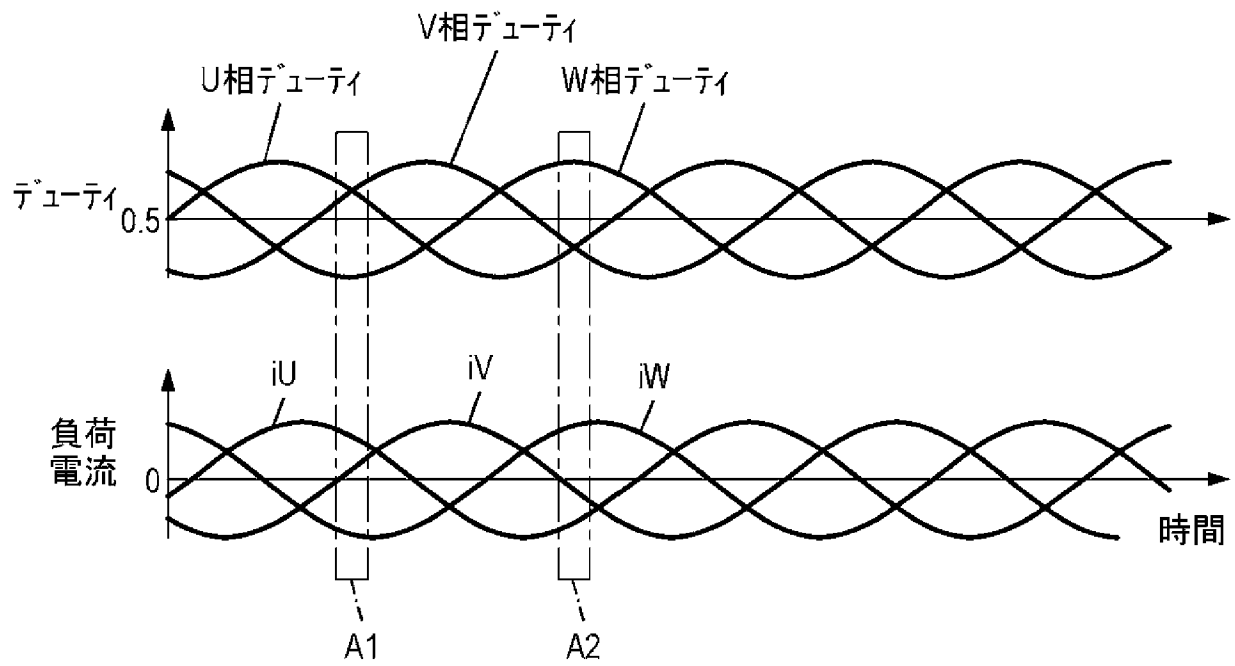
[図3]



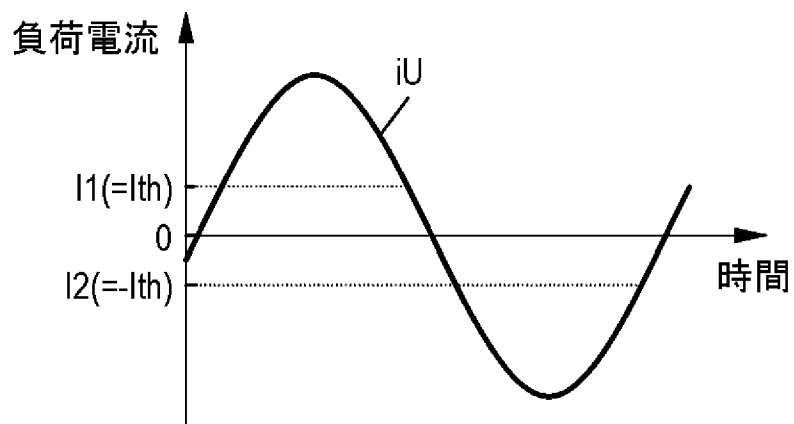
[図4]



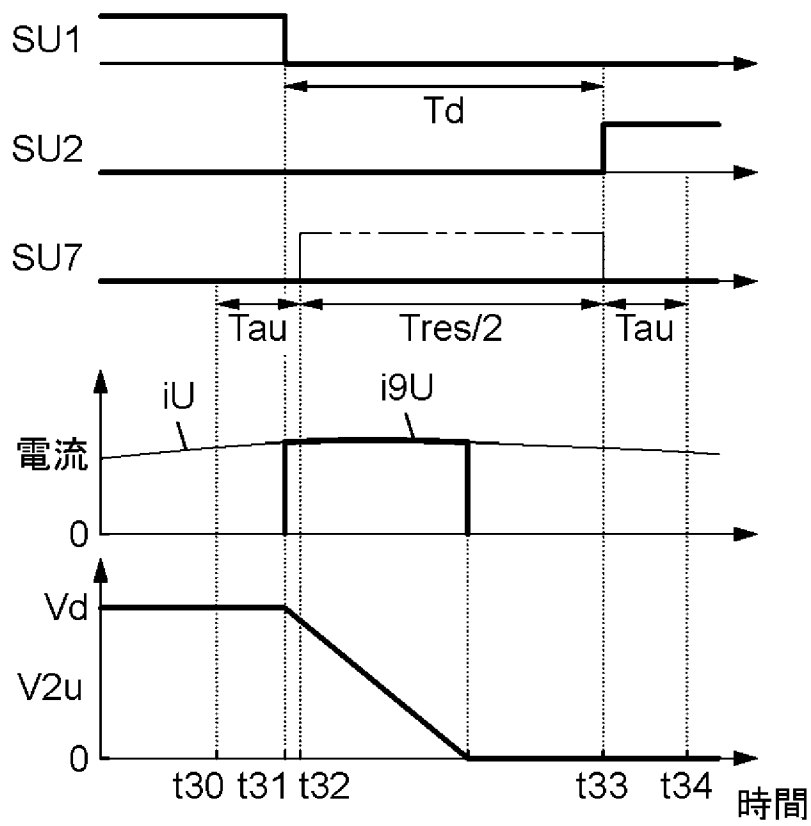
[図5]



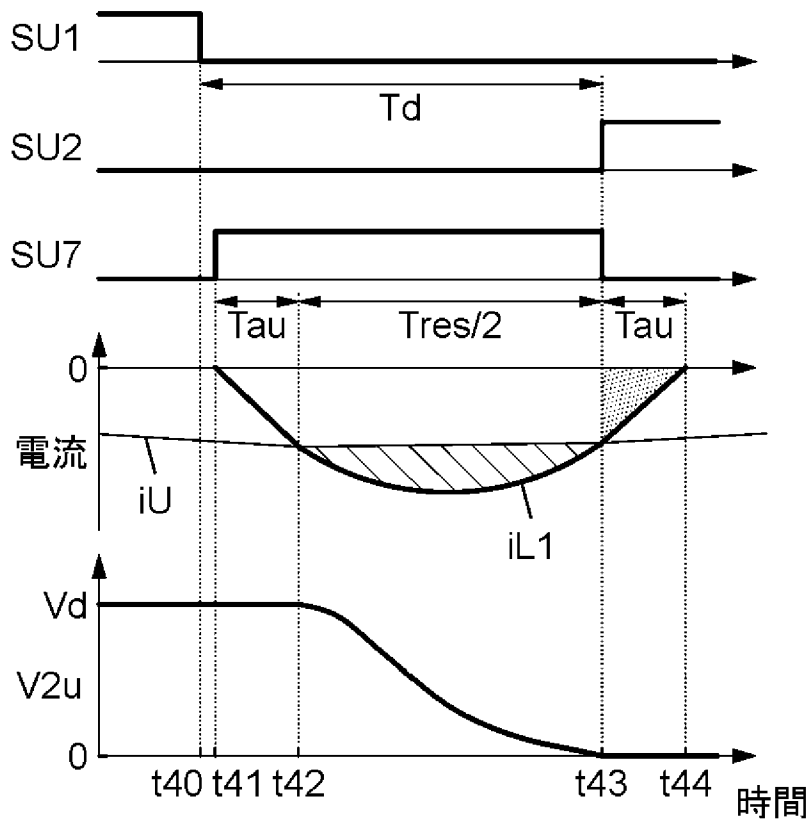
[図6]



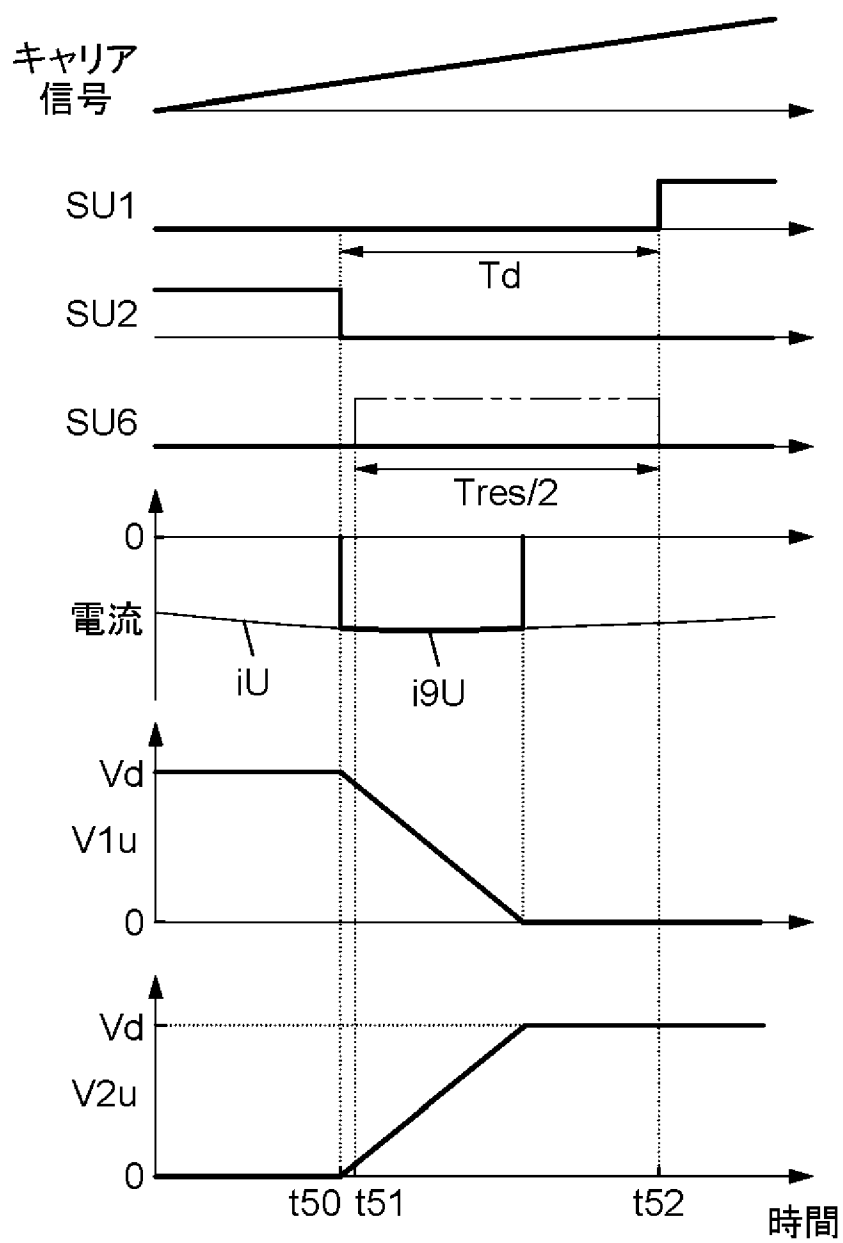
[図7]



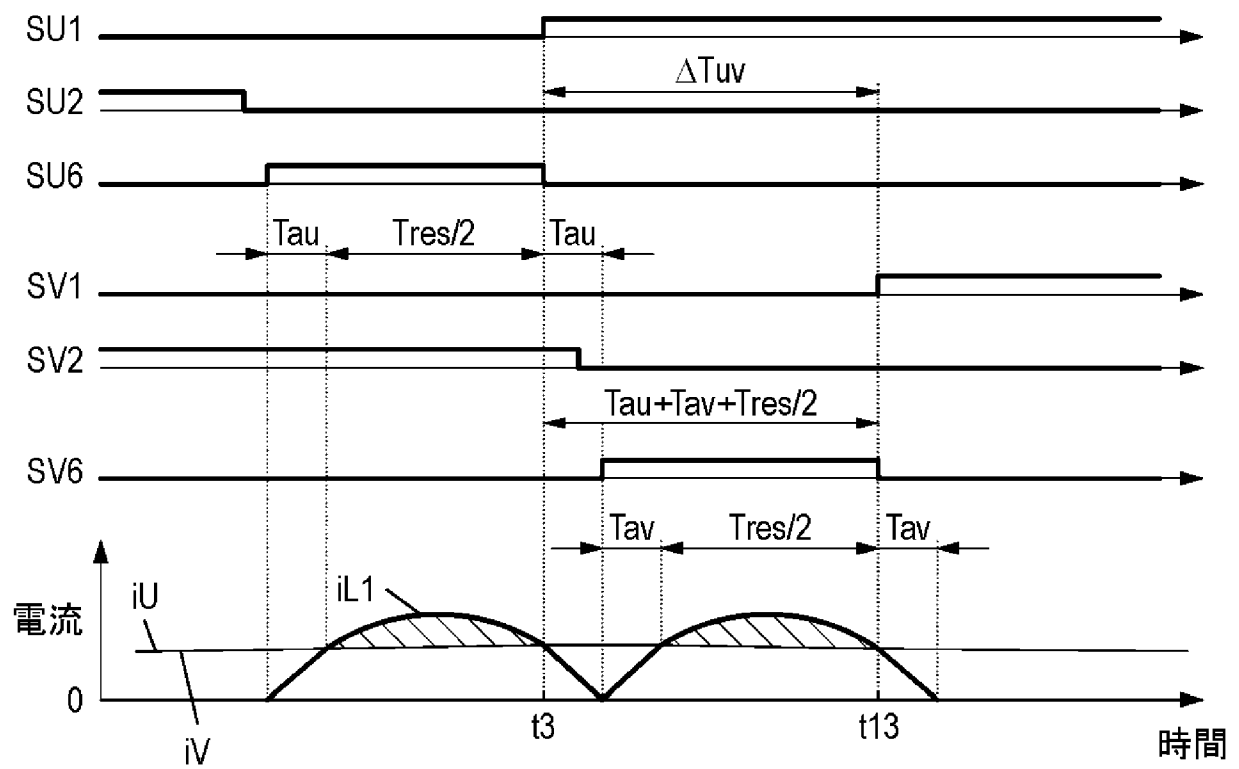
[図8]



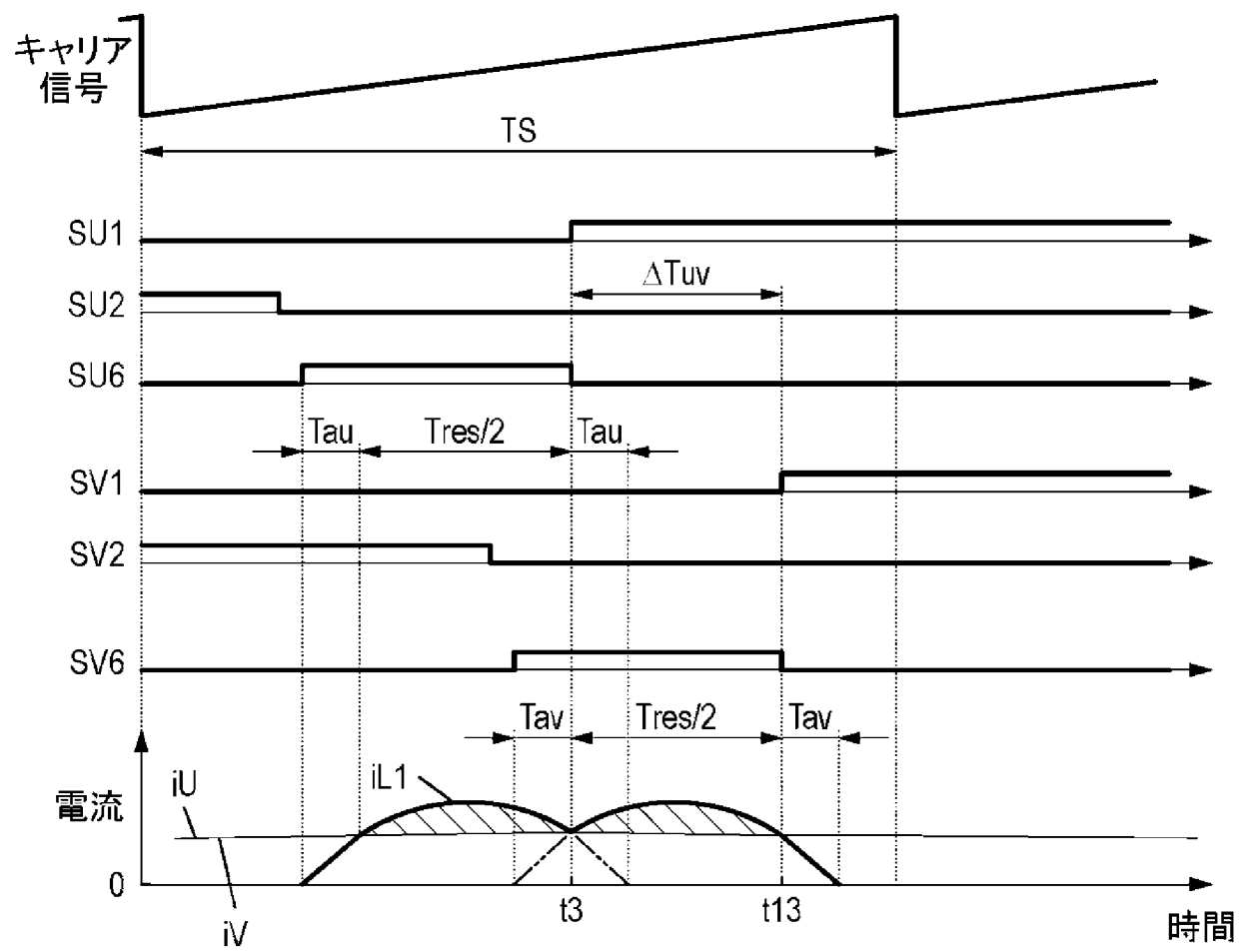
[図9]



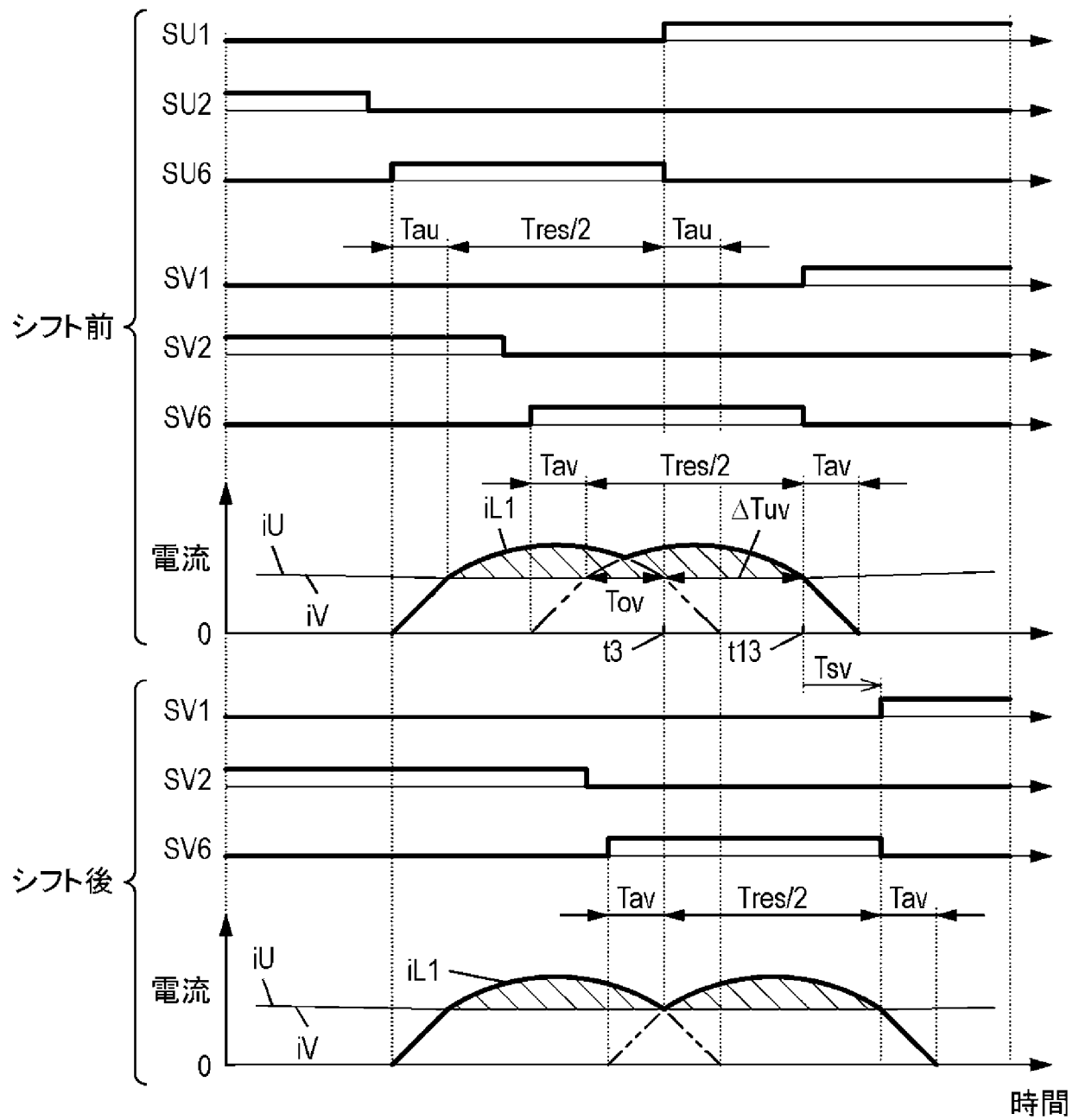
[図10]



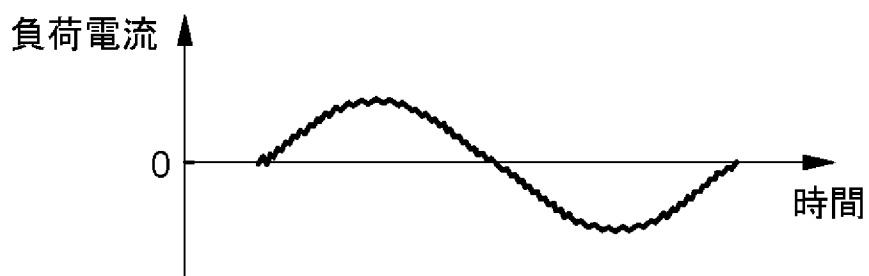
[図11]



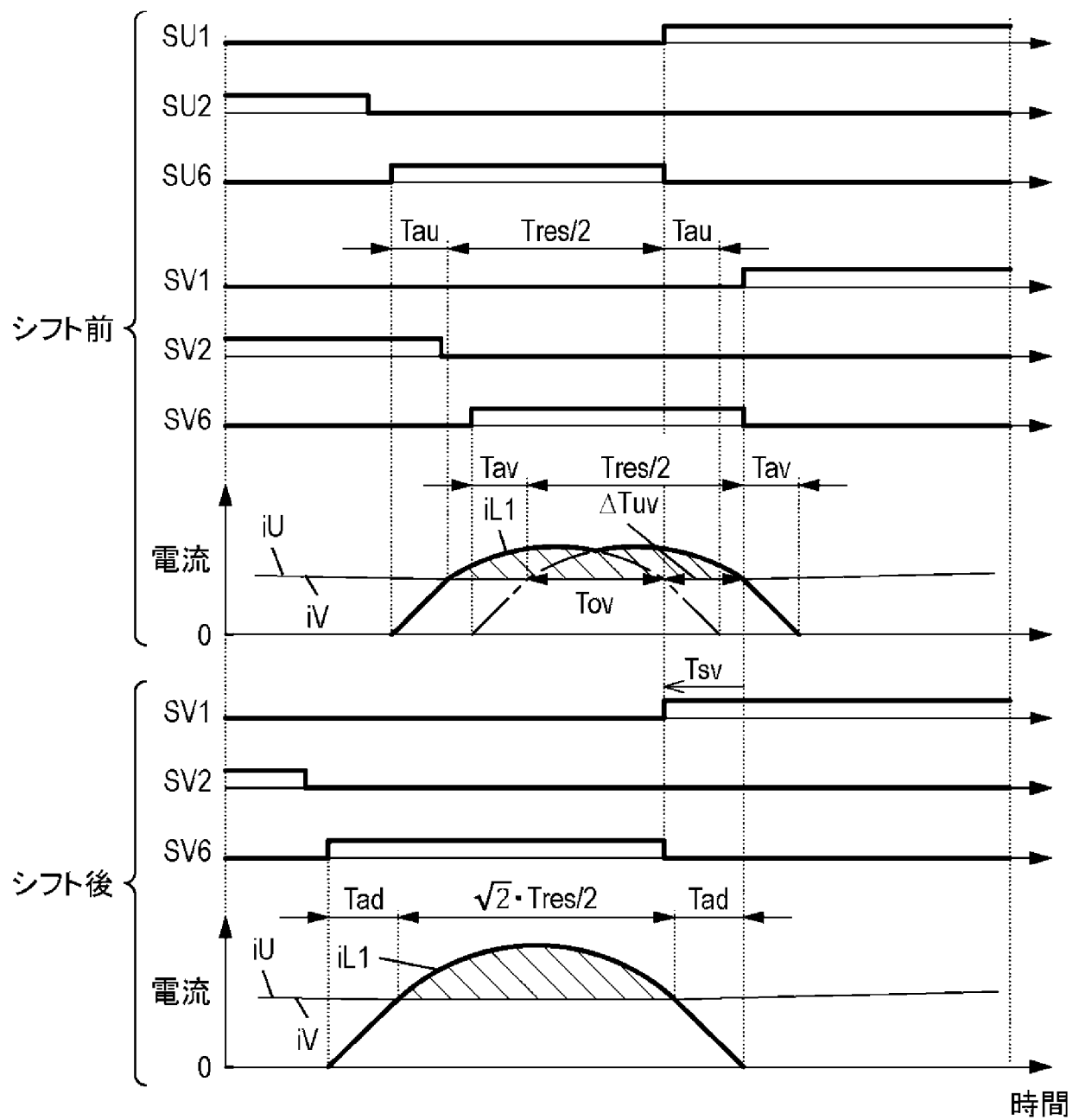
[図12]



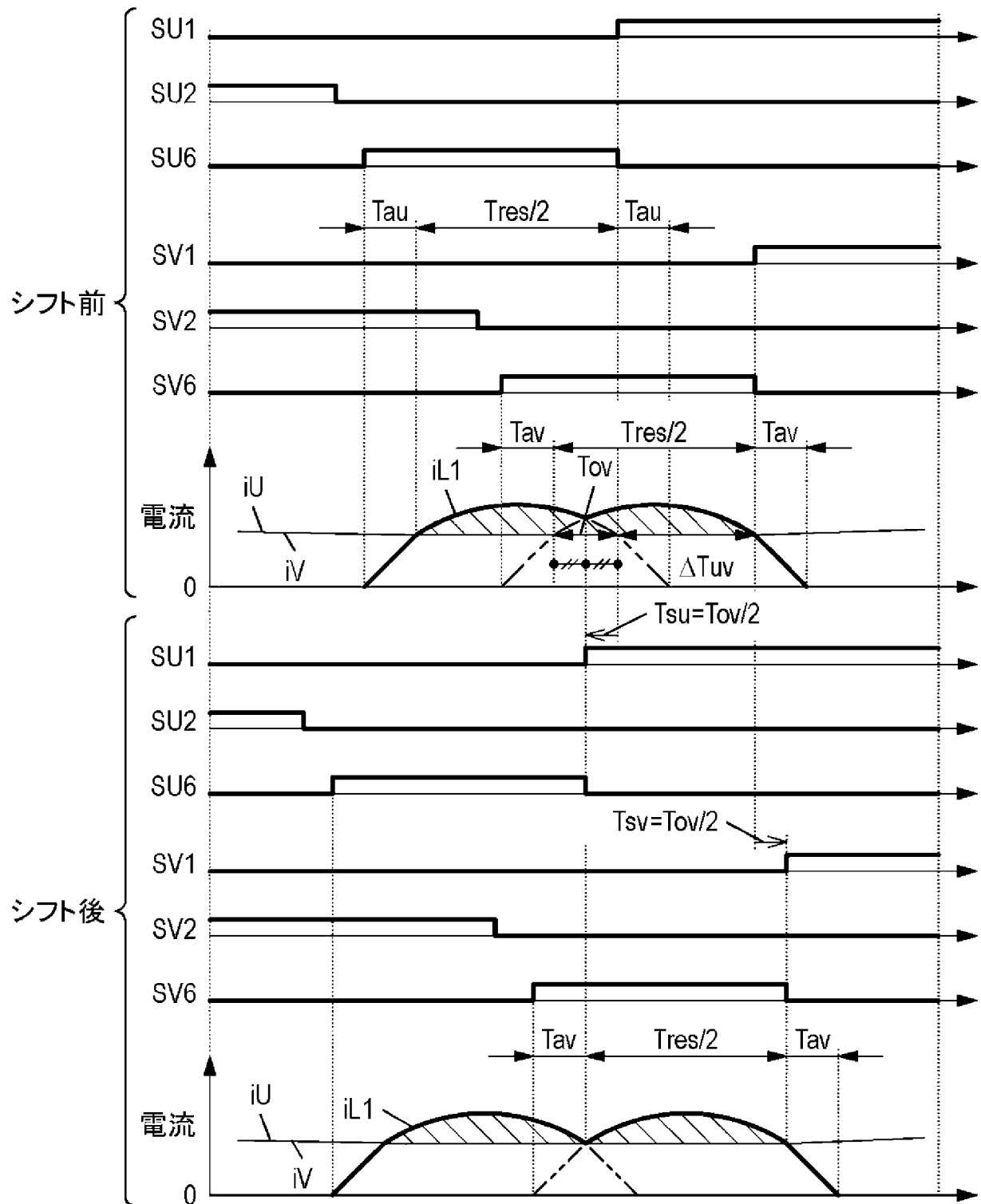
[図13]



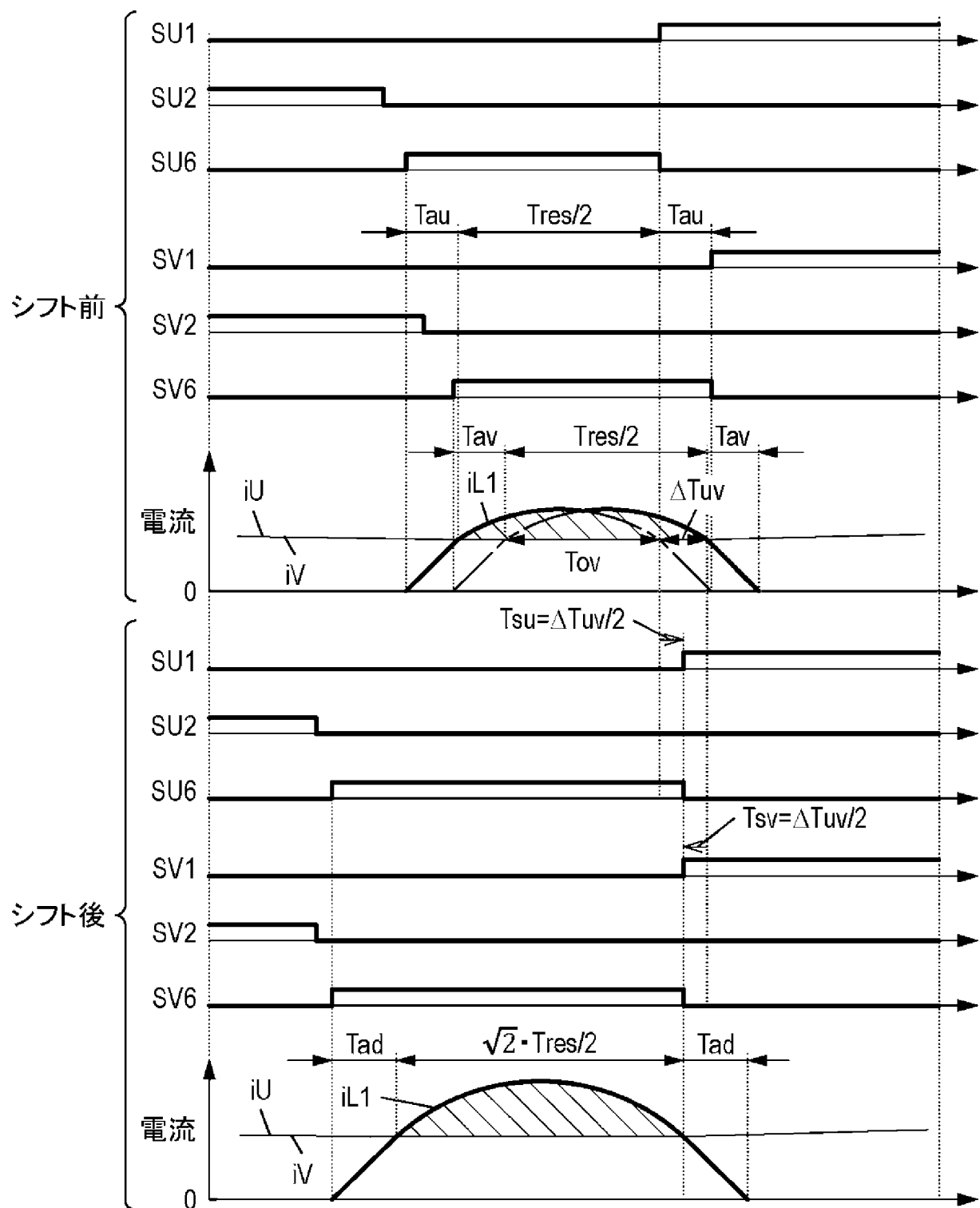
[図14]



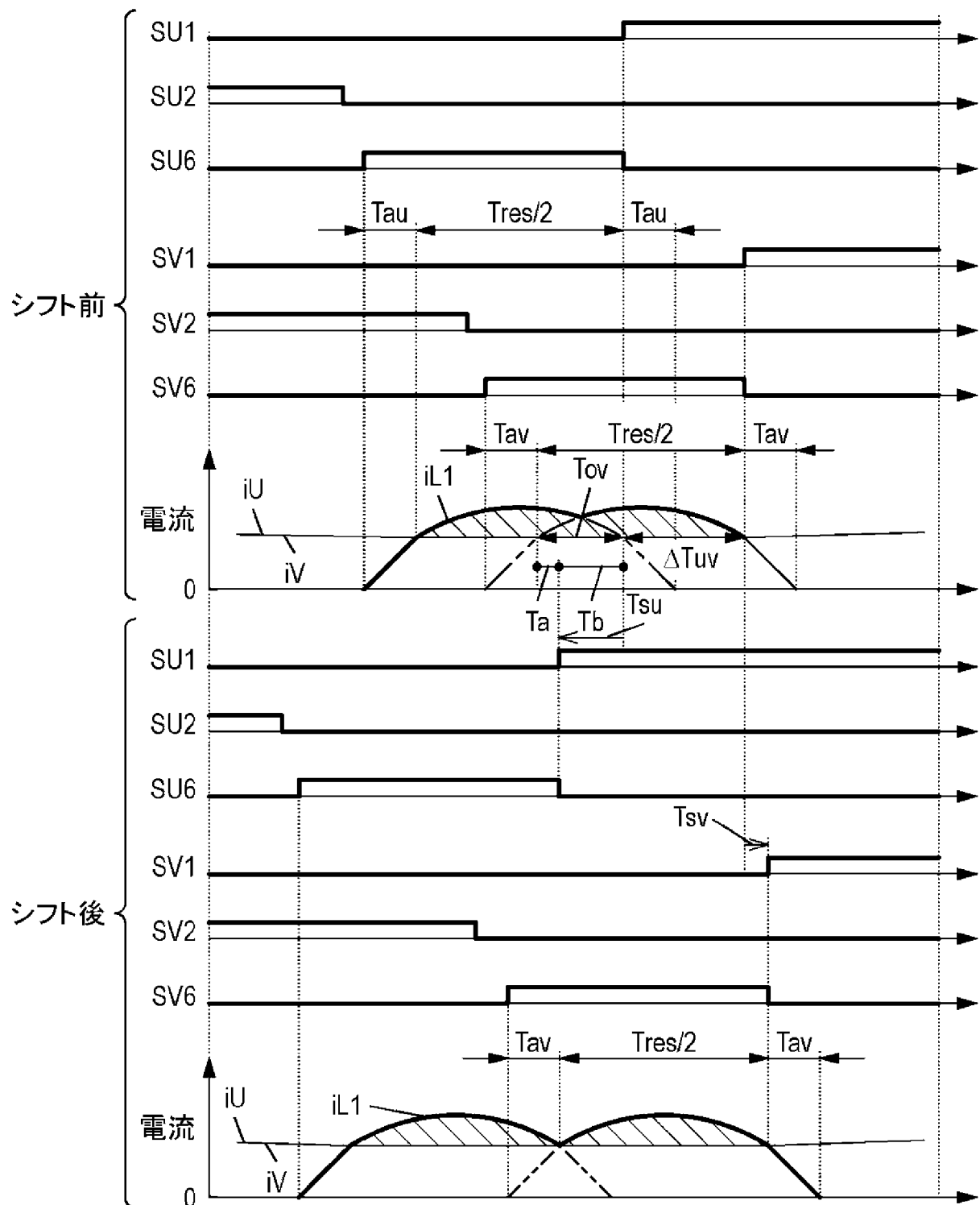
[図15]



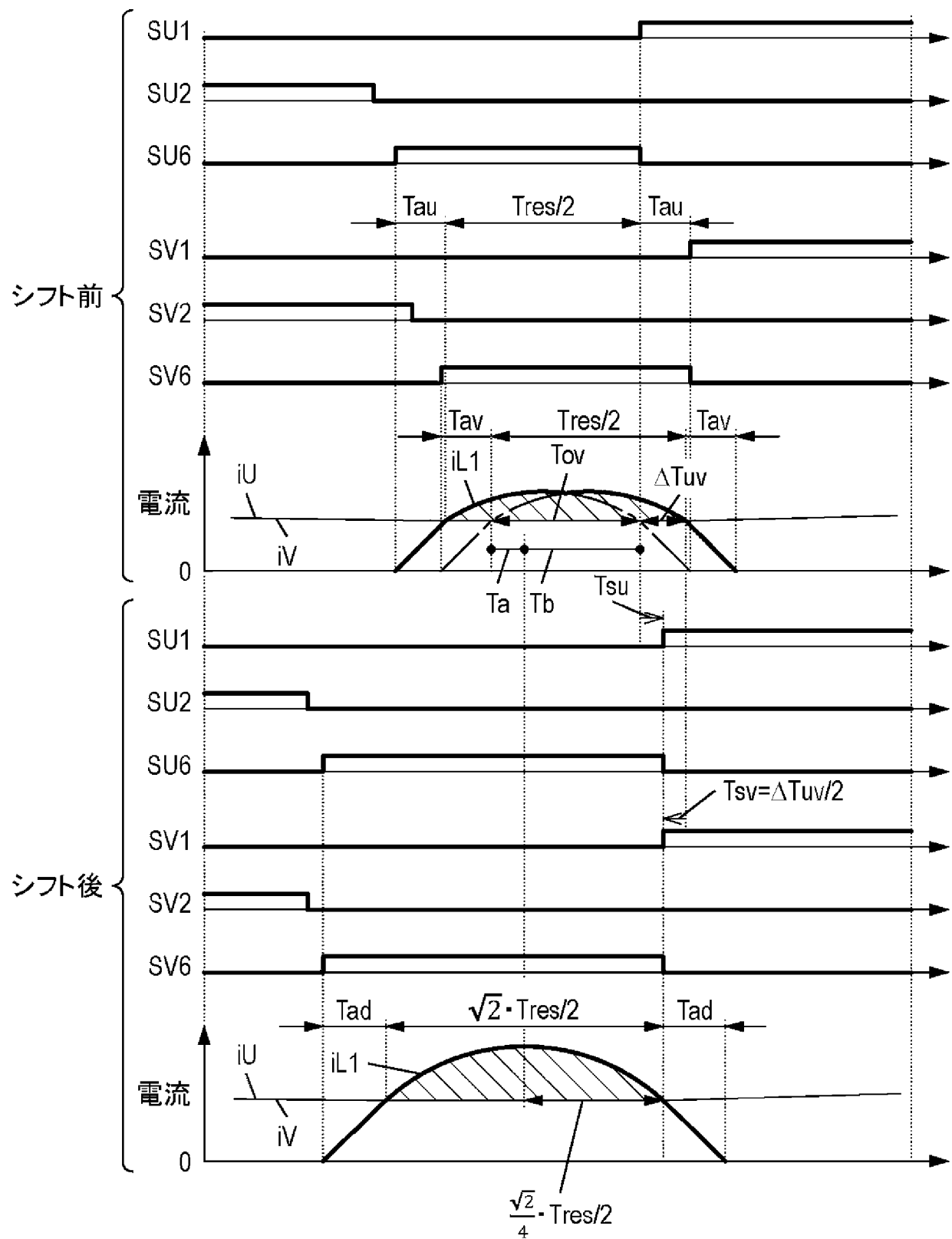
[図16]



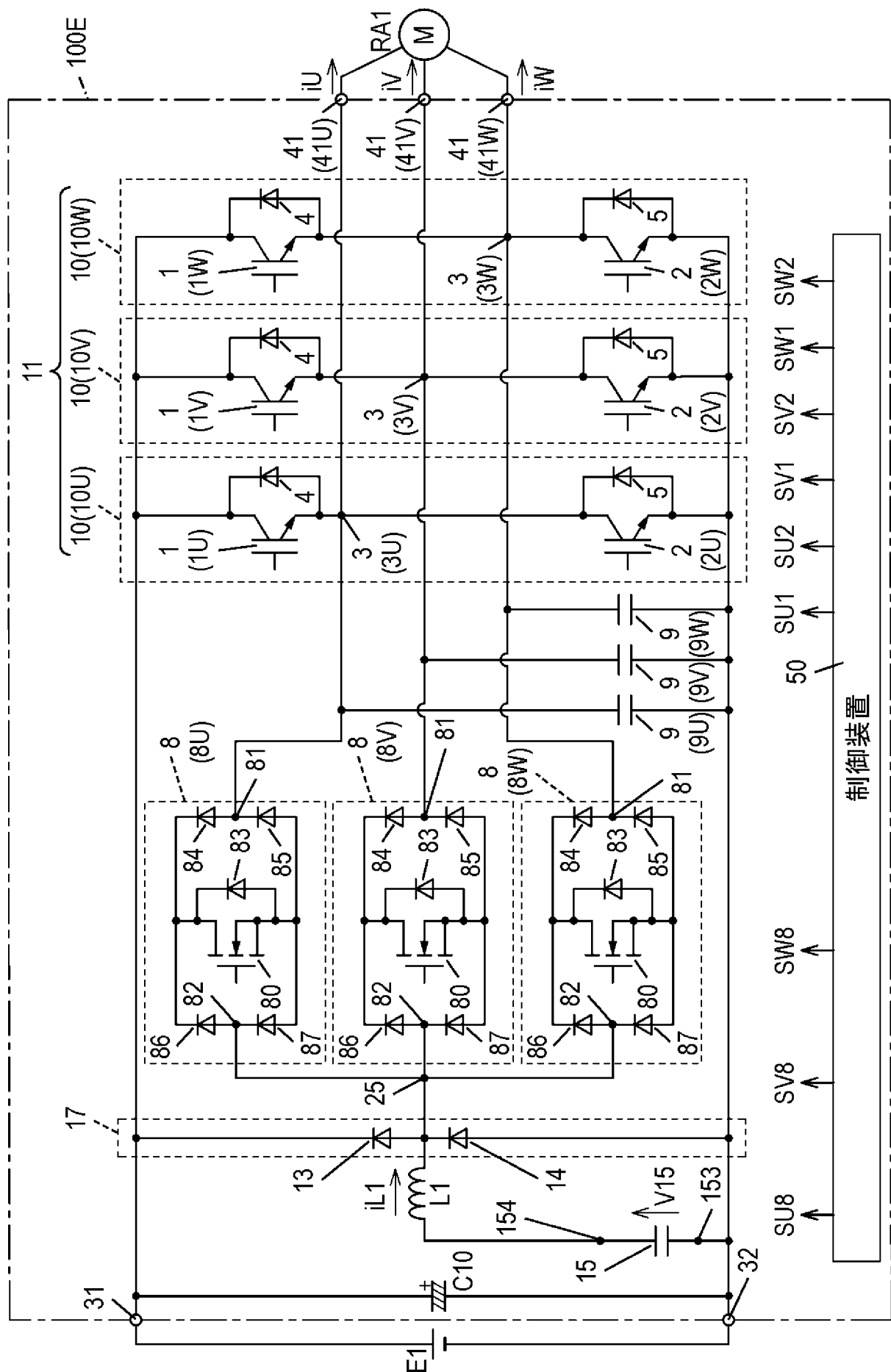
[図17]



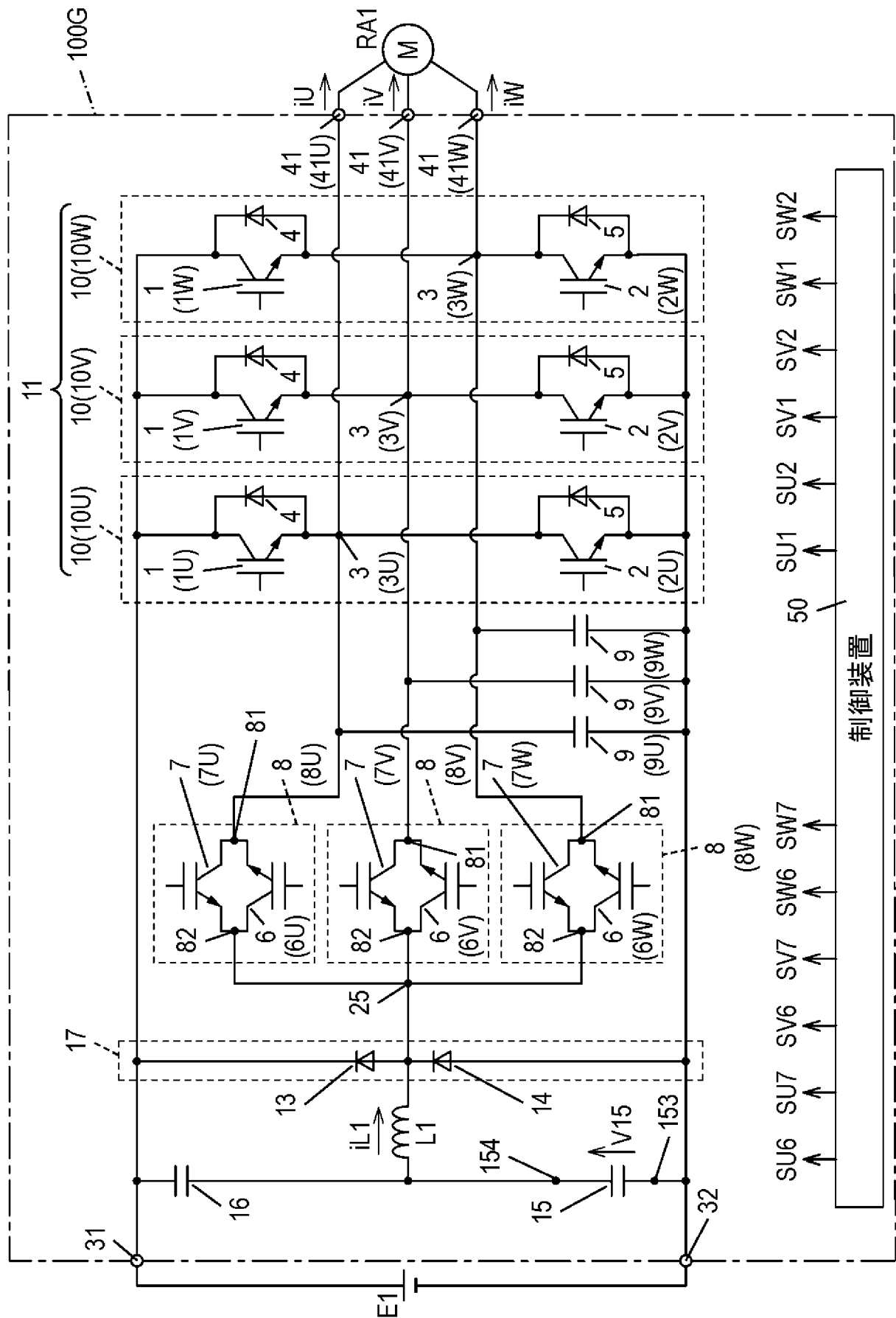
[図18]



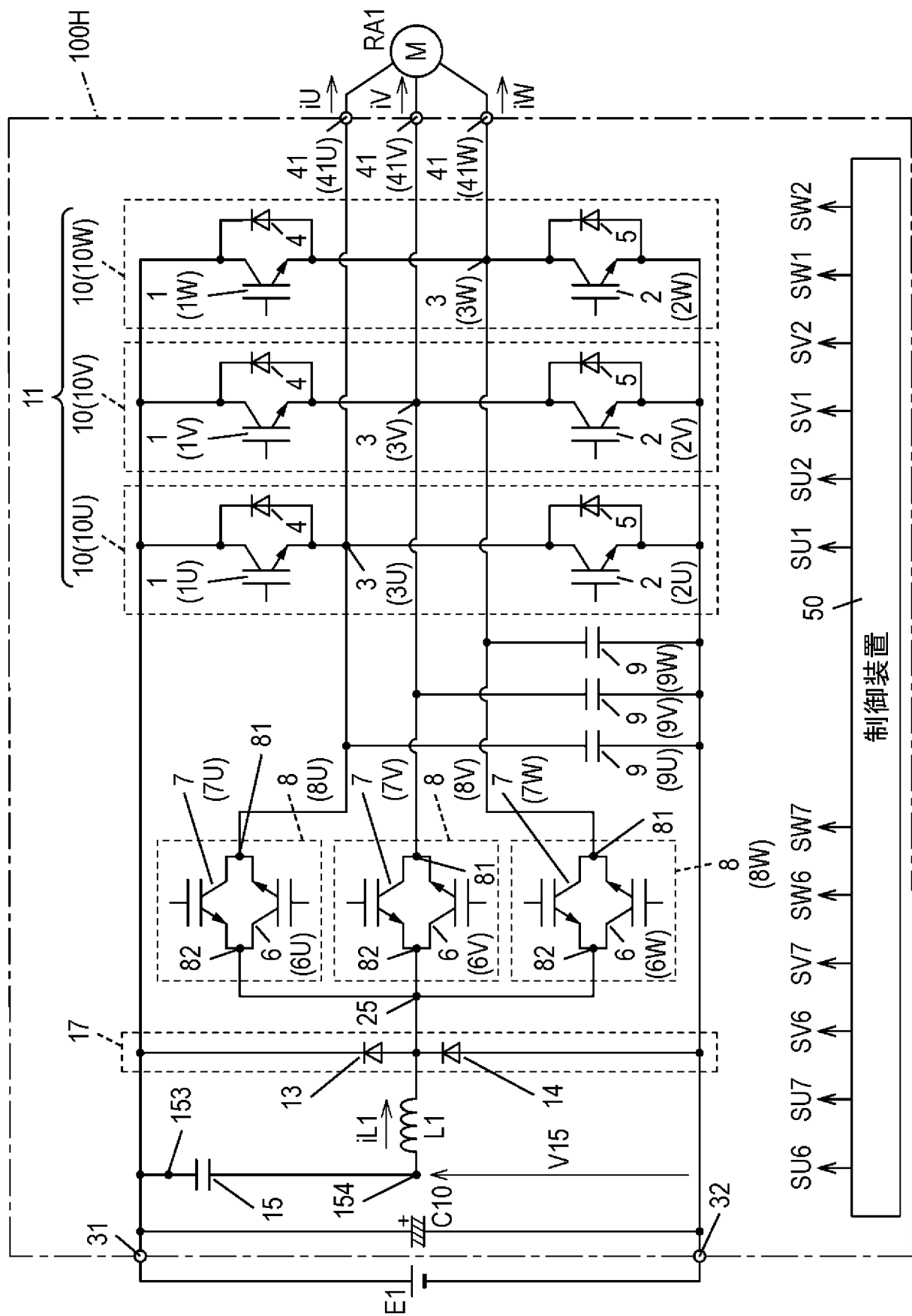
[図23]



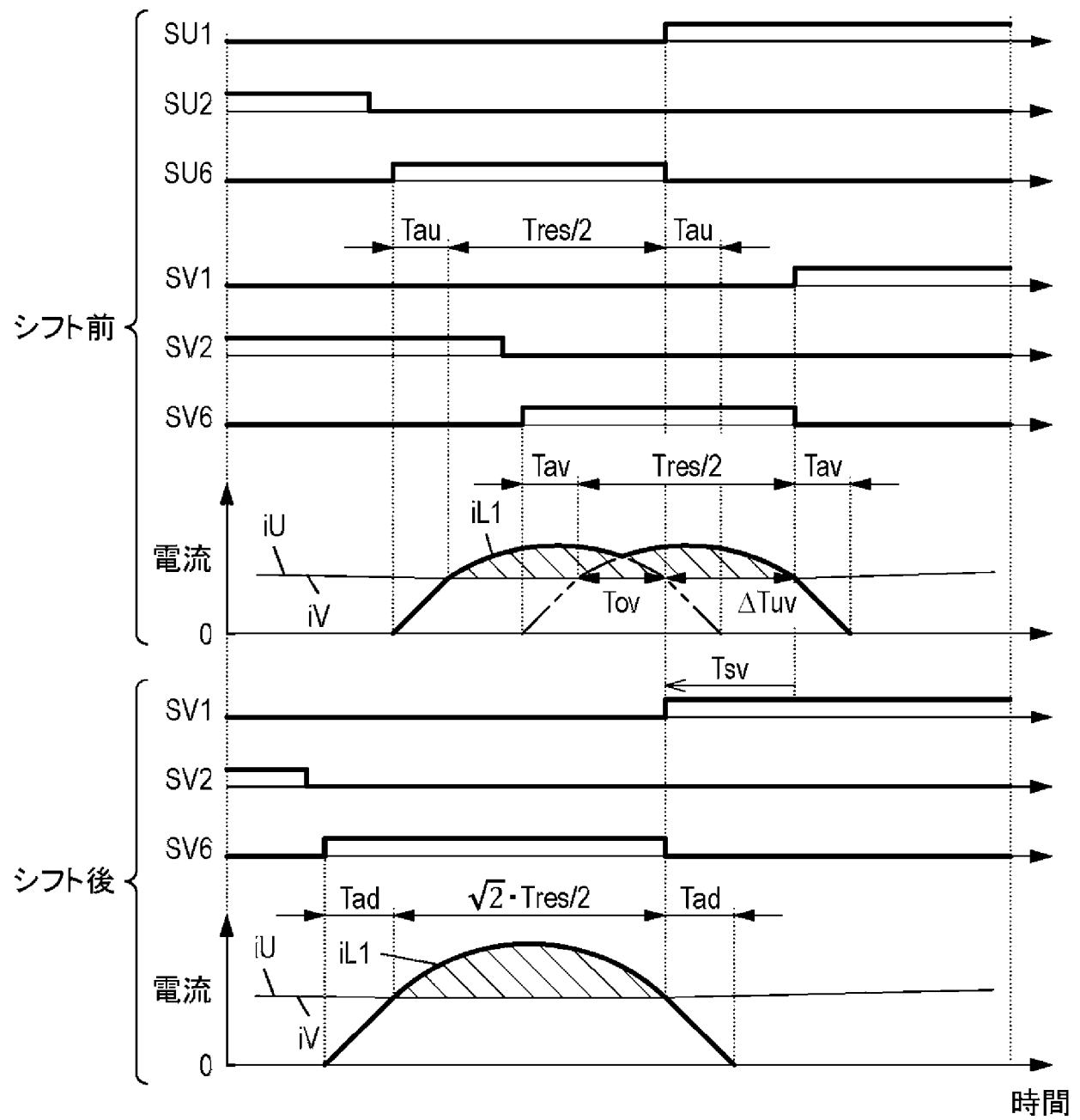
[図25]



[図26]



[図27]



[図28]

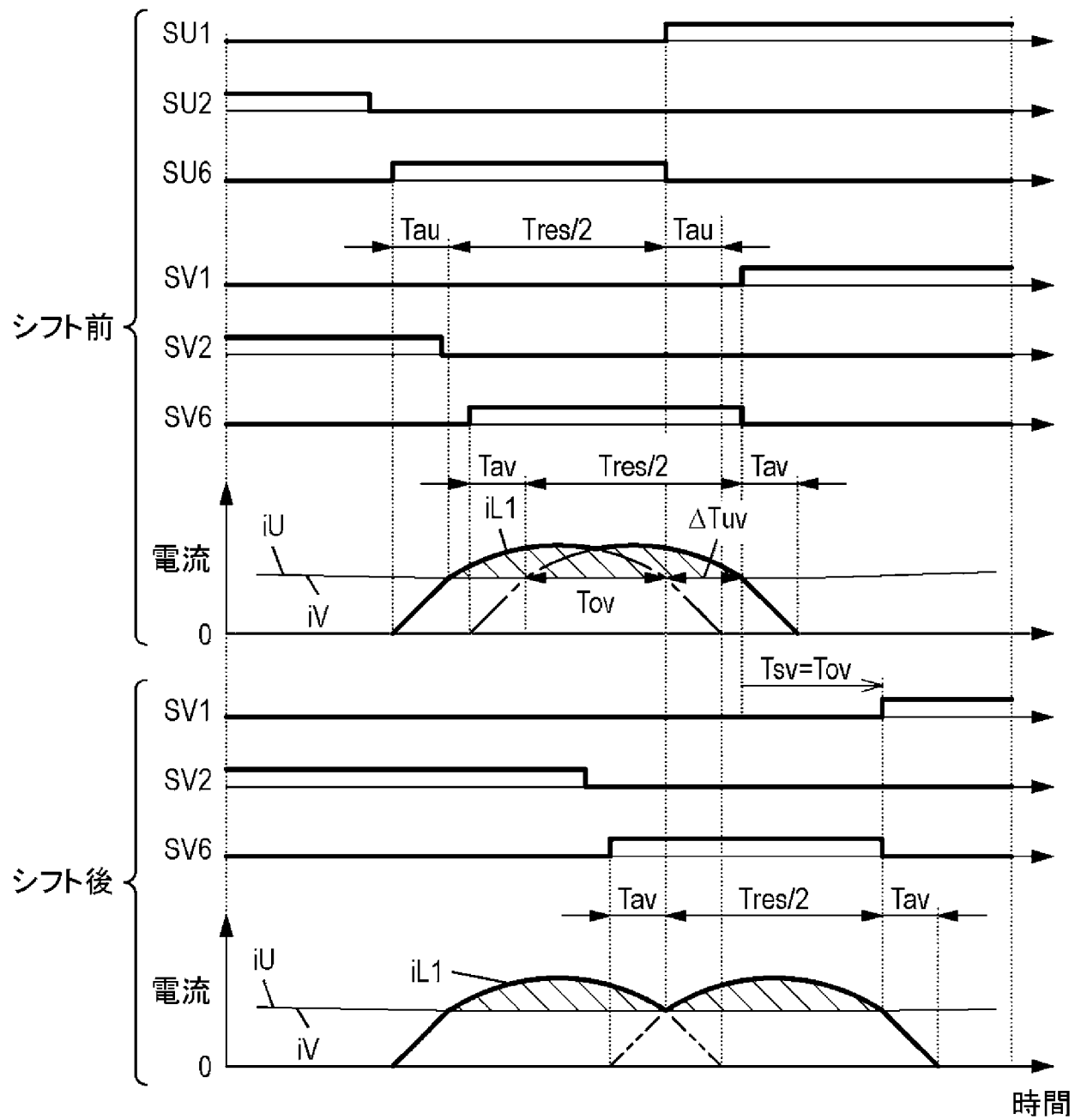


Figure 1 illustrates the comparison of current waveforms and switching timing between two states: "Before Shift" (シフト前) and "After Shift" (シフト後).

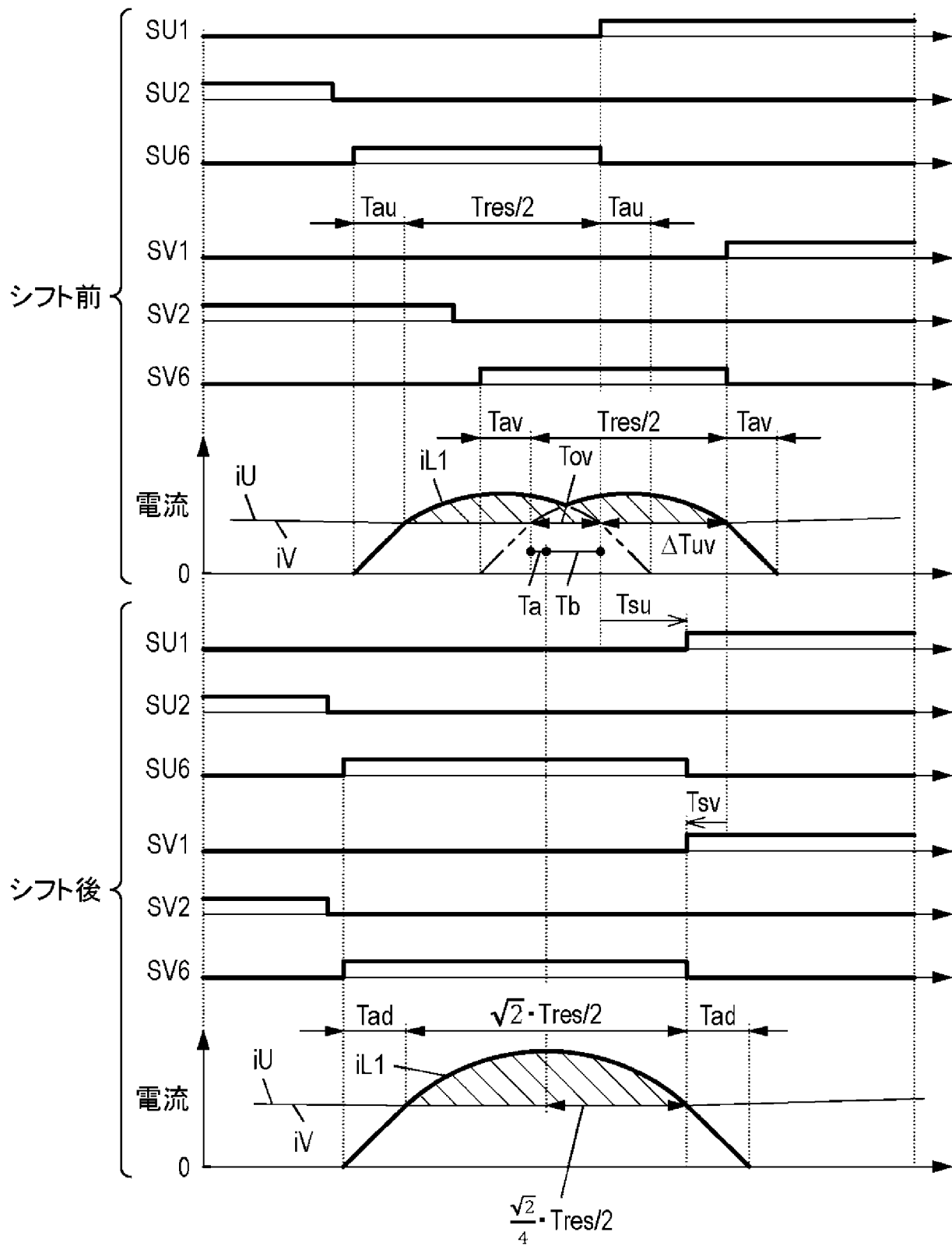
Before Shift (シフト前):

- Switching waveforms for $SU1$, $SU2$, $SU6$, $SV1$, $SV2$, and $SV6$ are shown.
- Current waveforms i_U and i_V are shown, with i_{L1} being the resulting current.
- Timing parameters: τ (dead time), $T_{res}/2$ (resonance time), T_{av} (average time), T_{uv} (overlap time), $T_{su} = \Delta T_{uv}/2$ (switching time), and $T_{sv} = \Delta T_{uv}/2$ (switching time).

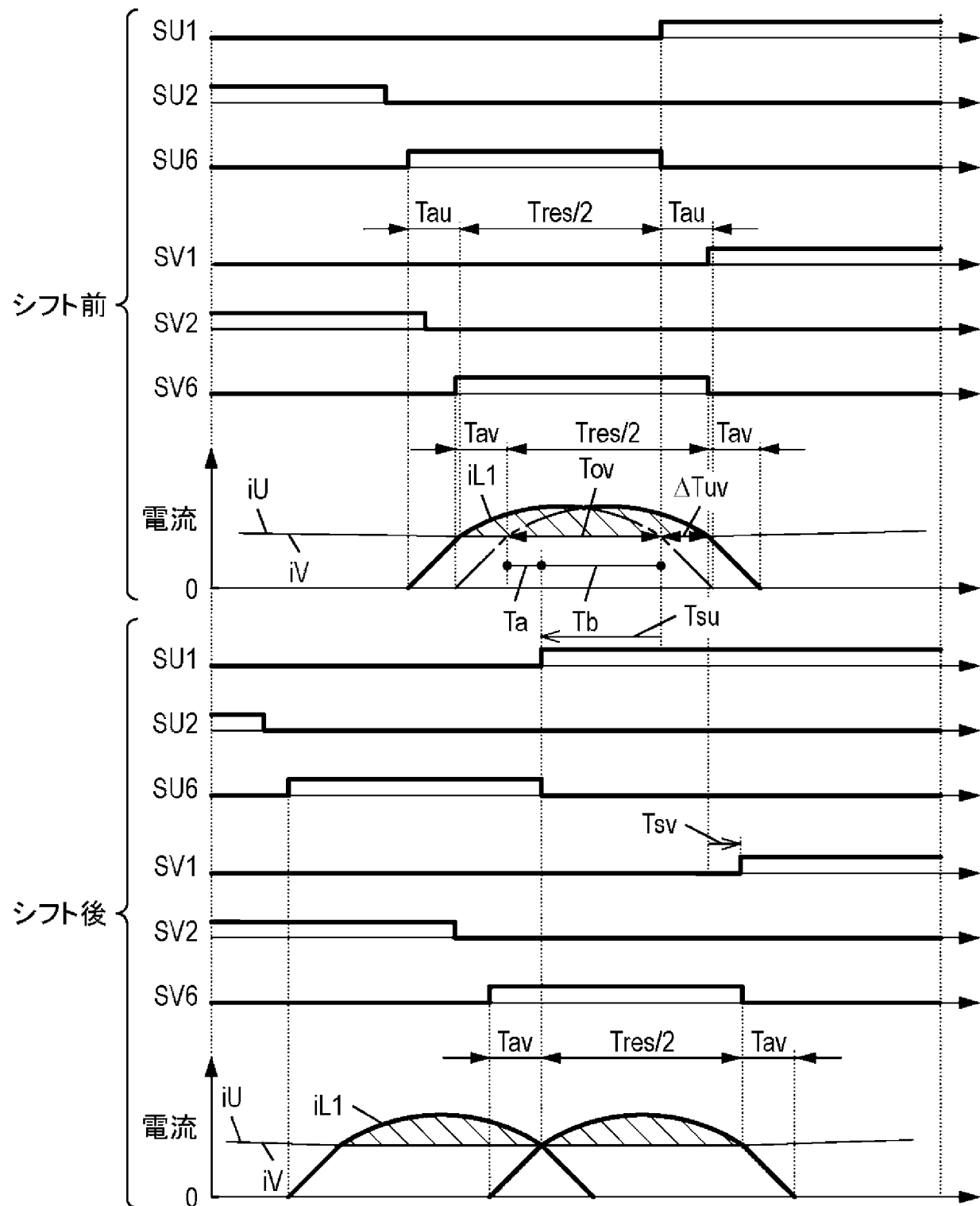
After Shift (シフト後):

- Switching waveforms for $SU1$, $SU2$, $SU6$, $SV1$, $SV2$, and $SV6$ are shown.
- Current waveforms i_U and i_V are shown, with i_{L1} being the resulting current.
- Timing parameters: T_{ad} (average time), $\sqrt{2} \cdot T_{res}/2$ (resonance time), and $T_{sv} = \Delta T_{uv}/2$ (switching time).

[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/024758

A. CLASSIFICATION OF SUBJECT MATTER H02M 7/48 (2007.01)i FI: H02M7/48 E According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M7/48 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2023/074636 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 04 May 2023 (2023-05-04) entire text, all drawings	1-5
A	WO 2015/105171 A1 (MURATA MANUFACTURING CO., LTD.) 16 July 2015 (2015-07-16) entire text, all drawings	1-5
A	JP 2002-325464 A (HONDA MOTOR CO., LTD.) 08 November 2002 (2002-11-08) entire text, all drawings	1-5
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 15 August 2024		Date of mailing of the international search report 03 September 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/024758

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2023/074636	A1	04 May 2023	(Family: none)			
WO	2015/105171	A1	16 July 2015	CN	105874695	A	
JP	2002-325464	A	08 November 2002	US	2002/0159281	A1	
				DE	10218305	A1	

A. 発明の属する分野の分類（国際特許分類（IPC））

H02M 7/48(2007.01)i
FI: H02M7/48 E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2023/074636 A1（パナソニックIPマネジメント株式会社）04.05.2023（2023 - 05 - 04） 全文、全図	1-5
A	WO 2015/105171 A1（株式会社村田製作所）16.07.2015（2015 - 07 - 16） 全文、全図	1-5
A	JP 2002-325464 A（本田技研工業株式会社）08.11.2002（2002 - 11 - 08） 全文、全図	1-5

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

15.08.2024

国際調査報告の発送日

03.09.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

富永 達朗 3H 3866

電話番号 03-3581-1101 内線 3316

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/024758

引用文献			公表日	パテントファミリー文献			公表日
WO	2023/074636	A1	04.05.2023	(ファミリーなし)			
WO	2015/105171	A1	16.07.2015	CN	105874695	A	
JP	2002-325464	A	08.11.2002	US	2002/0159281	A1	
				DE	10218305	A1	