(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

COURBEVOIE

(11) **N° de publication :** ***3 085 231***

(à n'utiliser que pour les commandes de reproduction)

(21) **N° d'enregistrement national :** **18 57634**

(51) Int Cl[8] : ***H 01 L 27/146*** *(2019.01), H 04 N 5/30*

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 24.08.18.

(30) **Priorité :**

(43) **Date de mise à la disposition du public de la demande :** 28.02.20 Bulletin 20/09.

(56) **Liste des documents cités dans le rapport de recherche préliminaire :** *Se reporter à la fin du présent fascicule*

(60) **Références à d'autres documents nationaux apparentés :**

( ) **Demande(s) d'extension :**

(71) **Demandeur(s) :** *STMICROELECTRONICS (CROLLES 2) SAS Société par actions simplifiée* — FR.

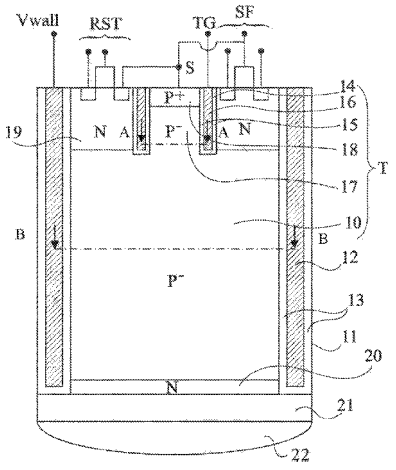
(72) **Inventeur(s) :** ROY FRANCOIS, HULOT STEPHANE, SULER ANDREJ et VIROLLET NICOLAS.

(73) **Titulaire(s) :** STMICROELECTRONICS (CROLLES 2) SAS Société par actions simplifiée.

(74) **Mandataire(s) :** CABINET BEAUMONT.

(54) CAPTEUR D'IMAGES A GRANDE DYNAMIQUE ET FAIBLE BRUIT.

(57) La présente description concerne un capteur d'images à semiconducteur. Chaque pixel du capteur comprend un substrat semiconducteur (10) ayant des faces avant et arrière opposées et délimité latéralement par un premier mur d'isolement (11) comprenant un premier coeur conducteur (12) isolé du substrat, des paires électrons-trous étant susceptibles de se former dans le substrat par suite d'un éclairement par la face arrière. Un circuit est configuré pour maintenir, pendant une première phase dans un premier mode de fonctionnement, le premier coeur conducteur à un premier potentiel et pour maintenir, pendant au moins une partie de la première phase dans un deuxième mode de fonctionnement, le premier coeur conducteur à un deuxième potentiel différent du premier potentiel.



FR 3 085 231 - A1

Description

Capteur d'images à grande dynamique et faible bruit

[0001] Domaine

[0002] La présente demande concerne un capteur d'image comprenant une matrice de pixels et plus particulièrement un pixel d'un tel capteur d'image.

[0003] Exposé de l'art antérieur

[0004] Il est connu de réaliser un pixel comprenant une photodiode dans laquelle des charges se forment par suite d'un éclairement, les charges étant stockées dans une région de la photodiode pour être transférées par un transistor MOS vers un noeud de lecture. Dans le cas où le capteur d'images est susceptible de fonctionner à la fois dans des conditions d'éclairement fort et dans des conditions d'éclairement faible, il peut être nécessaire de prévoir deux photodiodes, la première photodiode présentant une sensibilité forte adaptée aux conditions d'éclairement faible et la deuxième photodiode présentant une sensibilité faible adaptée aux conditions d'éclairement fort. Ceci se traduit par des structures de pixels complexes.

[0005] Résumé

[0006] Il existe un besoin d'un capteur d'images dont les pixels ont une structure simple et peuvent être utilisés dans des conditions d'éclairement fort et dans des conditions d'éclairement faible.

[0007] Un mode de réalisation pallie tout ou partie des inconvénients des capteurs d'images connus.

[0008] Un mode de réalisation prévoit un capteur d'images à semiconducteur, chaque pixel du capteur comprenant un substrat semiconducteur ayant des faces avant et arrière opposées et délimité latéralement par un premier mur

d'isolement comprenant un premier coeur conducteur isolé du substrat, des paires électrons-trous étant susceptibles de se former dans le substrat par suite d'un éclairement par la face arrière, et un circuit configuré pour maintenir, pendant une première phase dans un premier mode de fonctionnement, le premier coeur conducteur à un premier potentiel et pour maintenir, pendant au moins une partie de la première phase dans un deuxième mode de fonctionnement, le premier coeur conducteur à un deuxième potentiel différent du premier potentiel.

[0009] Selon un mode de réalisation, le substrat est d'un premier type de conductivité et d'un premier niveau de dopage, chaque pixel du capteur comprenant en outre un deuxième mur d'isolement pénétrant dans le substrat depuis la face avant dudit substrat, le deuxième mur d'isolement étant annulaire et délimitant une région sensiblement centrale comprenant une portion inférieure prolongeant le substrat et une portion supérieure du premier type de conductivité d'un second niveau de dopage supérieur au premier niveau de dopage, le deuxième mur comprenant un deuxième coeur conducteur isolé de la région, ledit circuit étant configuré pour maintenir, pendant la première phase, le deuxième coeur conducteur à un troisième potentiel, d'où il résulte que le transfert de charges du substrat vers la partie supérieure est bloqué, et, pendant une deuxième phase, pour maintenir le deuxième coeur conducteur à un quatrième potentiel, d'où il résulte un transfert de charges du substrat vers la partie supérieure, et pour maintenir, pendant la première phase dans le premier mode de fonctionnement, le premier coeur conducteur au premier potentiel qui est égal au troisième potentiel et pour maintenir, pendant ladite au moins une partie de la première phase dans le deuxième mode de fonctionnement, le premier coeur conducteur au deuxième potentiel qui va du troisième potentiel, non compris, au quatrième potentiel.

[0010] Selon un mode de réalisation, la première partie est au premier niveau de dopage.

[0011] Selon un mode de réalisation, chaque pixel comprend, en outre, une zone pénétrant dans le substrat à partir de la face avant moins profondément que le deuxième mur d'isolement.

[0012] Un mode de réalisation prévoit également un procédé de commande d'un capteur d'images à semiconducteur, chaque pixel du capteur comprenant un substrat semiconducteur ayant des faces avant et arrière opposées et délimité latéralement par un premier mur d'isolement comprenant un premier coeur conducteur isolé du substrat, des paires électrons-trous étant susceptibles de se former dans le substrat par suite d'un éclairement par la face arrière, le procédé comprenant les étapes suivantes :

maintenir pendant une première phase dans un premier mode de fonctionnement, le premier coeur conducteur à un premier potentiel ; et

maintenir, pendant au moins une partie de la première phase dans un deuxième mode de fonctionnement, le premier coeur conducteur à un deuxième potentiel différent du premier potentiel.

[0013] Selon un mode de réalisation, le substrat est d'un premier type de conductivité et d'un premier niveau de dopage, chaque pixel du capteur comprenant en outre un deuxième mur d'isolement pénétrant dans le substrat depuis la face avant dudit substrat, le deuxième mur d'isolement étant annulaire et délimitant une région sensiblement centrale comprenant une portion inférieure prolongeant le substrat et une portion supérieure du premier type de conductivité d'un second niveau de dopage supérieur au premier niveau de dopage, le deuxième mur comprenant un deuxième coeur conducteur isolé de la région, le procédé comprenant les étapes suivantes :

maintenir, pendant la première phase, le deuxième coeur conducteur à un troisième potentiel d'où il résulte que le transfert de charges du substrat vers la partie supérieure est bloqué ;

maintenir, pendant une deuxième phase, le deuxième coeur conducteur à un quatrième potentiel d'où il résulte un transfert de charges du substrat vers la partie supérieure ;

maintenir, pendant la première phase dans le premier mode de fonctionnement, le premier coeur conducteur au premier potentiel qui est égal au troisième potentiel ; et

maintenir, pendant ladite au moins une partie de la première phase dans le deuxième mode de fonctionnement, le premier coeur conducteur au deuxième potentiel qui va du troisième potentiel, non compris, au quatrième potentiel.

[0014] Selon un mode de réalisation, le passage entre le premier mode de fonctionnement et le deuxième mode de fonctionnement dépend des conditions d'éclairement du capteur d'images.

[0015] Selon un mode de réalisation, le procédé comprend, en outre, le maintien, pendant au moins une autre partie de la deuxième phase dans le deuxième mode de fonctionnement, du premier coeur conducteur au premier potentiel qui est égal au troisième potentiel.

[0016] Bref exposé des dessins

[0017] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0018] [Fig. 1] la figure 1 illustre un mode de réalisation d'un circuit de pixel ;

[0019] [Fig. 2] la figure 2 est une vue en coupe d'un mode de réalisation de pixel à éclairement par la face arrière correspondant au circuit de pixel de la figure 1 ;

[0020] [Fig. 3] la figure 3 représente des courbes d'évolution du potentiel électrostatique selon des lignes de coupe du pixel de la figure 2 pour un premier mode de fonctionnement ;

[0021] [Fig. 4] la figure 4 représente des courbes d'évolution du potentiel électrostatique selon des lignes de coupe du pixel de la figure 2 pour un deuxième mode de fonctionnement ;

[0022] [Fig. 5] la figure 5 représente un chronogramme de signaux de fonctionnement du pixel de la figure 2 pour un mode de réalisation des premier et deuxième modes de fonctionnement ; et

[0023] [Fig. 6] la figure 6 représente un chronogramme de signaux de fonctionnement du pixel de la figure 2 pour un autre mode de réalisation des premier et deuxième modes de fonctionnement.

[0024] Exposé détaillé

[0025] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0026] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, les circuits de traitement des signaux fournis par les pixels d'un capteur d'images et les circuits de commande des

transistors des pixels d'un capteur d'images sont bien connus et ne sont pas décrits en détail.

[0027] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés ou couplés entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés ou couplés par l'intermédiaire d'un ou plusieurs autres éléments.

[0028] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.

[0029] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près. En outre, sauf précision contraire, le terme "conducteur" signifie "conducteur électriquement", le terme "isolant" signifie "isolant électriquement" et le terme "isolé" signifie "isolé électriquement".

[0030] La figure 1 représente un mode de réalisation d'un circuit électrique d'un pixel d'un capteur d'image.

[0031] Une région D de stockage de charges issues de la capture de photons est connectée à un noeud de lecture S par un transistor de transfert T à canal P dont la grille est connectée à un noeud TG. Un circuit de lecture comprend un transistor de précharge MOS à canal P RST, interposé entre un rail d'alimentation VRST et le noeud de lecture S, et deux

transistors MOS à canal P SF et RD connectés en série. La source du transistor SF est connectée à un rail d'alimentation VSF, qui peut correspondre au rail d'alimentation VRST. Le drain du transistor RD est connecté à un noeud P lui-même connecté à un circuit de traitement (non représenté). La grille du transistor de lecture SF, monté en suiveur (source follower), est reliée au noeud de lecture S. De façon générale, les signaux de commande des transistors T, RD et RST sont fournis par un ou plusieurs circuits de commande (non représentés) du capteur d'image et peuvent être fournis à l'ensemble des pixels d'une même ligne de la matrice de pixels du capteur.

[0032] En fonctionnement, le pixel reçoit un éclairement et accumule des charges photogénérées dans la région D pendant une phase d'intégration, le transistor T étant alors à l'état bloqué. Le pixel est lu pendant une phase de lecture. La phase de lecture comprend une opération de transfert des charges photogénérées de la région de stockage D vers le noeud de lecture S en mettant le transistor T à l'état passant, et une opération de lecture du potentiel du noeud de lecture S par le circuit de lecture. Ce potentiel est représentatif de la quantité de charges photogénérées pendant la phase d'intégration et constitue un signal de sortie du pixel.

[0033] La figure 2 est une vue en coupe d'un mode de réalisation d'un pixel de capteur d'images dont le circuit équivalent est celui représenté en figure 1.

[0034] Le pixel comprend un substrat de silicium 10 faiblement dopé de type P (P-) délimité latéralement par un mur 11, le mur 11 comprenant un coeur conducteur 12, isolé du substrat 10 par une couche isolante 13 et relié à un noeud Vwall. Du côté de la face avant ou supérieure du pixel et dans une zone sensiblement centrale du pixel, le transistor de transfert T comprend une électrode isolée 14 comprenant un

coeur annulaire vertical 16 isolé par une couche isolante 15. Une structure d'interconnexion non représentée repose sur la face avant du pixel et connecte le coeur conducteur 16 au noeud TG. L'électrode 14 délimite latéralement une région comprenant une partie inférieure 17 faiblement dopée de type P (P-) prolongeant le substrat 10, et une partie supérieure 18 fortement dopée de type P (P+). La partie supérieure 18, ou zone de recueil de charges, est connectée directement au noeud S par la structure d'interconnexion. La partie inférieure 17, ou zone de transfert, s'étend depuis la zone de recueil de charges 18 jusqu'à une profondeur sensiblement égale ou inférieure à celle de l'électrode 14. Une région 19 dopée de type N pénètre dans le substrat 10 sur une profondeur inférieure ou sensiblement égale à celle de l'électrode verticale isolée 14. Dans la région 19 peuvent être formés divers transistors, par exemple les transistors RD (non représenté), RST et SF du circuit de lecture du pixel. Une couche 20 dopée de type N est disposée au niveau de la face inférieure du substrat 10. En outre, la face arrière ou inférieure du pixel peut être recouverte d'un filtre couleur 21 et d'une lentille 22. Les transistors de précharge et de lecture peuvent être communs à plusieurs cellules voisines, par exemple à un groupe de quatre cellules. Divers niveaux de métallisation sont formés sur la face supérieure, pour assurer les connexions aux drains, sources et grilles des divers transistors. En particulier, il est prévu une interconnexion correspondant au noeud de lecture S de la figure 1 entre la région P+ 18, le drain du transistor de précharge RST et la grille du transistor suiveur SF.

[0035] Selon un mode de réalisation, le niveau de dopage du substrat 10 peut être de l'ordre de 10^{14} atomes/cm^3 à 10^{16} atomes/cm^3. La hauteur du substrat 10, mesurée entre la face supérieure et la face inférieure du substrat, peut être inférieure à 10 µm, de préférence de l'ordre de 2,5 µm à 5 µm,

par exemple environ 4 µm. Selon un mode de réalisation, le pixel est un dispositif à éclairement par la face arrière, c'est-à-dire que le substrat 10 aura initialement constitué la partie supérieure d'un substrat de silicium épais, éventuellement la couche de silicium supérieure d'une structure de type silicium sur isolant (SOI). En outre, la largeur du substrat 10, c'est-à-dire la distance minimale entre les murs 11 peut varier de 0,5 µm à 5 µm, par exemple environ 1,4 µm. La largeur de la partie inférieure 17 peut varier de de 0,1 µm à 0,5 µm, par exemple environ 0,3 µm. Selon un mode de réalisation, le niveau de dopage de la partie supérieure 18 peut être de l'ordre de $5*10^{19}$ atomes/cm^3 à $5*10^{20}$ atomes/cm^3. La largueur du coeur 12 peut varier de de 0,1 µm à 0,2 µm, par exemple environ 0,15 µm. La largueur de l'électrode 16 peut varier de de 0,1 µm à 0,2 µm, par exemple environ 0,18 µm. La hauteur de l'électrode 16 peut varier de 0,5 µm à 1,5 µm, par exemple environ 1 µm. L'épaisseur de chaque couche isolante 13, 15 peut varier de 0,01 µm à 0,1 µm, par exemple environ 0,02 µm.

[0036] Le fonctionnement du pixel représenté sur la figure 2 comprend une phase de photo-conversion, également appelée phase d'intégration, et une phase de transfert. Au cours de la phase d'intégration, la face arrière est éclairée et des charges sont photogénérées et s'accumulent dans le substrat 10. Dans le présent mode de réalisation, le substrat 10 est dopé de type P de sorte que les charges qui s'accumulent dans le substrat 10 sont des trous. Ainsi, le substrat 10 correspond à la région de stockage D du circuit de la figure 1 et constitue une zone photosensible désignée, comme le substrat, par la référence 10. Pendant la phase d'intégration, le transistor T est à l'état bloqué. Au cours de la phase de transfert, les charges photogénérées sont transférées du substrat 10 à la couche 18 et au noeud de lecture S. Le

transistor T est mis à l'état passant lors de la phase de transfert.

[0037] La couche 20 a une fonction d'inversion du type de porteurs majoritaires contenu dans le substrat 10. A titre de variante, cette inversion de la concentration du type de porteurs peut aussi être réalisée par une capacité MOS en face arrière munie d'une électrode (métallique, semiconductrice ou diélectrique), transparente dans le spectre de sensibilité utile du capteur, qui crée un canal d'inversion de porteurs libres (effet MOS).

[0038] Selon un mode de réalisation, chaque pixel peut être commandé selon l'un ou l'autre d'un premier mode de fonctionnement et d'un deuxième mode de fonctionnement selon les conditions d'éclairement du capteur d'images. Les premier et deuxième modes de fonctionnement diffèrent notamment par le potentiel appliqué au noeud Vwall pendant la phase d'intégration.

[0039] Les figures 3 et 4 illustrent chacune des courbes d'évolution CA et CB des potentiels électrostatiques dans le pixel de la figure 2 respectivement le long des lignes A-A et B-B au début de la phase d'intégration pour le premier mode de fonctionnement en figure 3 et pour le deuxième mode de fonctionnement en figure 4.

[0040] Comme cela a été décrit précédemment, pendant la phase d'intégration, la conduction entre le substrat 10 et la région 18 fortement dopée de type P est interrompue par action sur le noeud de commande TG couplé au coeur conducteur 16 de l'électrode conductrice isolée 14. En effet, si le coeur conducteur 16 est mis à un potentiel positif VHA, la région 17 se trouve complètement déplétée en trous et le passage des porteurs de charge est inhibé par la barrière de potentiel ainsi créée entre la région 17 et le substrat 10. Ainsi, la région 17 joue le rôle de région de canal du transistor T et

la région 18 correspond à la région de source de ce transistor connectée au noeud de lecture S. Selon un mode de réalisation, le potentiel VHA est compris entre 2 V et 5 V, par exemple égal à 3,3 V ou 3,5 V.

[0041] Au début d'une phase d'intégration, le substrat 10 correspond à un puits de potentiel dont la forme est fixée par le potentiel VHB imposé au coeur conducteur 12 du mur d'isolement 11 et le dopage de la zone 10 de type P-. Comme le représente la courbe CB, le puits de potentiel a une forme générale de cloche inversée, dont le potentiel positif minimum VMB est sensiblement à même distance des couches isolantes 13. Selon la ligne B-B, le potentiel du substrat 10 augmente depuis le potentiel VMB en se rapprochant de la face de la couche isolante 13, orientée du côté du substrat 10, qui est à un potentiel VHB'. Le potentiel VHB' est inférieur au potentiel VHB, et est commandé par le potentiel VHB du coeur conducteur 12 et le potentiel VN+ de la zone 19 dopée N dans le premier mode de fonctionnement et est commandé uniquement par le potentiel VHB du coeur conducteur 12 dans le deuxième mode de fonctionnement. Le potentiel VHB’ est sensiblement égal à VN+ dans le premier mode de fonctionnement. Le potentiel VHB’ est inférieur au potentiel VN+ dans le second mode de fonctionnement.

[0042] Au cours de la phase d'intégration, le potentiel VMB croît progressivement tandis que des trous, représentés par des étoiles, s'accumulent dans le substrat 10. Le potentiel VHA sur le coeur conducteur 15 de l'électrode 14 est tel que la région centrale 17 est complètement déplétée et que son potentiel minimum VMA est supérieur au potentiel minimum VMB du substrat 10 en l'absence de charges photogénérées. Tant que le potentiel du substrat 10 reste inférieur au potentiel de la région 17, les trous ne peuvent pas transiter vers la région 18 à fort niveau de dopage P+, cette région 18 étant

à un potentiel faible, proche de 0 V. Si, par suite de l'accumulation des trous, le potentiel dans le substrat 10 atteint le potentiel VMA de la région 17, les trous en excédent peuvent transiter vers la région 18 et sont évacués dans la zone de drain. Ceci constitue une protection anti-éblouissement (antiblooming). La quantité maximale de charges pouvant être stockée dans le substrat 10 dépend donc de l'écart entre les potentiels VMA et VMB.

[0043] Selon le premier mode de fonctionnement, pendant la phase d'intégration, le potentiel VHB appliqué au coeur conducteur 12 du mur d'isolement 11 est sensiblement égal au potentiel VHA. Le potentiel VHB' est alors couplé au potentiel VN+ pour que, pendant toute la phase d'intégration, des électrons tapissent la paroi du mur 11. Le courant d'obscurité dû à la génération de trous à l'interface entre le substrat 10 et le mur 11 est alors réduit.

[0044] Selon le deuxième mode de fonctionnement, pendant la phase d'intégration, le potentiel VHB appliqué au coeur conducteur 12 du mur d'isolement 11 est inférieur au potentiel VHA de sorte que le potentiel électrostatique VHB' est inférieur au potentiel VMA. Les trous photogénérés vont remplir le puits de potentiel et être stockés à l'interface de la zone de stockage 10 et l'électrode 13 jusqu'à atteindre le potentiel VMA. Toutefois, l'écart entre les potentiels VMA et VMB dans le deuxième mode de fonctionnement est supérieur à l'écart entre les potentiels VMA et VMB dans le premier mode de fonctionnement et la capacité de stockage des trous en surface (dans le deuxième mode de fonctionnement) et bien supérieure à la capacité de stockage des trous uniquement en volume (dans le premier mode de fonctionnement). De façon avantageuse, la quantité maximale de charges pouvant être stockée par le substrat 10 dans le deuxième mode de fonctionnement est supérieure à la quantité maximale de

charges pouvant être stockée par le substrat 10 dans le premier mode de fonctionnement. La différence entre la quantité maximale de charges pouvant être stockée par le substrat 10 dans le deuxième mode de fonctionnement et la quantité maximale de charges pouvant être stockée par le substrat 10 dans le premier mode de fonctionnement dépend de l'écart entre le potentiel VMA et le potentiel VHB'. Le deuxième mode de fonctionnement est donc particulièrement adapté à des conditions d'éclairement fort.

[0045] Toutefois, dans le deuxième mode de fonctionnement, au cours de la phase d'intégration, lorsque le potentiel VHB' dans le substrat 10 est inférieur au potentiel de la zone 10 dopée N- (caisson des transistors de lecture), les électrons ne sont pas stockés le long des parois des murs 11. De ce fait, le courant d'obscurité dans le deuxième mode de fonctionnement est plus élevé que dans le premier mode de fonctionnement. Le premier mode de fonctionnement est donc particulièrement adapté à des conditions d'éclairement faible.

[0046] Selon un mode de réalisation, dans le deuxième mode de fonctionnement, le potentiel VHB est inférieur à 3 V et supérieur à 0 V, de préférence inférieur à 2,5 V, par exemple égal à environ 2 V.

[0047] Les figures 5 et 6 représentent des chronogrammes de signaux de fonctionnement du pixel de la figure 2 pour deux modes de réalisation des premier et deuxième modes de fonctionnement au cours d'un cycle de lecture. Les instants t1 à t10 sont des instants successifs. Pour les premier et deuxième modes de fonctionnement, les régions 19 sont maintenues au potentiel VN+, par exemple égal à 2,5 V pendant toute la durée du cycle.

[0048] Un cycle de lecture commence à l'instant t1 par l'ouverture du transistor RD (potentiel VRD appliqué à la grille du transistor RD passant à une valeur basse) et se

termine à l'instant t10 par la fermeture du transistor RD (potentiel VRD appliqué à la grille du transistor RD passant à une valeur haute). Au début du cycle de lecture, à l'instant t1, les transistors RST et T sont non passants. Le potentiel VRST appliqué à la grille du transistor RST est donc à une valeur haute. En outre, le potentiel VTG appliqué à la grille du transistor T est égal à VHA. Des charges sont photogénérées dans le pixel et stockées dans le substrat 10.

[0049] Entre les instants t2 et t3, le transistor RST est passant (signal VRST à l'état bas) de sorte que le potentiel du noeud de lecture S est initialisé à une première valeur. Entre les instants t4 et t5, le potentiel au noeud P, qui est représentatif de la première valeur du potentiel au noeud de lecture S, est lu, ce qui est illustré sur les figures 5 et 6 par la commande CDS1 d'un transistor MOS à canal N du circuit de lecture relié au noeud P qui passe à l'état haut entre les instants t4 et t5. Entre les instants t6 et t7, le transistor T est passant (signal VTG à l'état bas) de sorte que les charges stockées dans le substrat 10 sont transférées au noeud de lecture S. Le potentiel du noeud de lecture S évolue de la première valeur à une deuxième valeur. Entre les instants t8 et t9, le potentiel au noeud P, qui est représentatif de la deuxième valeur du potentiel au noeud de lecture S, est lu, ce qui est illustré sur les figures 5 et 6 par la commande CDS2 d'un transistor MOS à canal N du circuit de lecture relié au noeud P qui passe à l'état haut entre les instants t8 et t9. Le circuit de lecture peut alors déterminer la différence entre les première et deuxième valeurs. Le cycle de lecture se termine à l'instant t10 par la fermeture du transistor RD.

[0050] Dans le premier mode de fonctionnement, pendant toute la durée du cycle, le potentiel Vwall appliqué au coeur conducteur 12 du mur 11 est maintenu à VHB qui est égal à VHA, par exemple égal à 3,3 V. Dans le mode de réalisation du

deuxième mode de fonctionnement illustré en figure 5, pendant toute la durée du cycle le potentiel Vwall appliqué au coeur conducteur 12 du mur 11 est maintenu à VHB qui est inférieur à VHA, par exemple égal à 2 V. Dans le mode de réalisation du deuxième mode de fonctionnement illustré en figure 6, pendant toute la durée du cycle sauf pendant des instants successifs t6' et t6'', situés entre les instants t6 et t7, le potentiel Vwall appliqué au coeur conducteur 12 du mur 11 est maintenu à VHB qui est inférieur à VHA, par exemple égal à 2 V. Entre les instants t6' et t6", c'est-à-dire pendant le transfert des charges stockées dans le substrat 10 vers le noeud de lecture S, le potentiel Vwall peut être temporairement augmenté jusqu'à la valeur VHA, par exemple 3,3 V, pour améliorer le transfert de charges.

[0051] Le passage du premier mode de fonctionnement au deuxième mode de fonctionnement et inversement, notamment pour les modes de réalisation illustrés sur les figures 5 et 6, peut être réalisé à partir d'une analyse de l'éclairement reçu par le pixel. Selon un mode de réalisation, lorsque le pixel est dans le premier mode de fonctionnement et que l'intensité lumineuse détectée par le pixel augmente au-delà d'un seuil, ce qui signifie que le pixel est dans des conditions de luminosité importante, il y a passage du premier mode de fonctionnement au deuxième mode de fonctionnement. Selon un mode de réalisation, lorsque le pixel est dans le deuxième mode de fonctionnement et que l'intensité lumineuse détectée du pixel diminue au-dessous d'un seuil, ce qui signifie que le pixel est dans des conditions de luminosité faible, il y a passage du deuxième mode de fonctionnement au premier mode de fonctionnement. La même structure de pixel peut donc être utilisée à la fois dans des conditions d'éclairement fort et dans des conditions d'éclairement faible.

[0052] Divers modes de réalisation et variantes ont été décrits. L'homme de l'art comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaitront à l'homme de l'art. En particulier, les modes de réalisation décrits précédemment concernent une structure de pixel adaptée la réalisation d'un capteur d'image de type à transfert ligne par ligne (ou "rolling shutter" en anglais) car l'opération de transfert et l'opération de lecture sont réalisées pour tous les pixels d'une ligne avant d'être réalisées successivement pour les autres lignes de pixels de la matrice. Toutefois, ces modes de réalisation peuvent également être mis en oeuvre pour un capteur d'images de type à obturation globale ("global shutter" en anglais). Pour un tel capteur d'images, chaque pixel comprend généralement un transistor supplémentaire entre le transistor T et la grille du transistor SF, en série avec le transistor T, le noeud de lecture S décrit précédemment correspondant au noeud entre le transistor supplémentaire et le transistor SF et le noeud entre le transistor T et le transistor supplémentaire correspondant à un point mémoire. L'opération de transfert de charges vers le point mémoire est réalisée simultanément pour tous les pixels de la matrice ce qui permet de mémoriser une image complète dans l'ensemble des points mémoire du capteur. Une fois cette opération de transfert effectuée, le transistor T est remis à l'état bloqué et une nouvelle phase d'intégration peut commencer alors que la phase de lecture se poursuit. La phase de lecture comprend ensuite une opération de transfert supplémentaire pendant laquelle le transistor supplémentaire est mis à l'état passant pour transférer les charges stockées dans le point mémoire vers le noeud de lecture S. Comme dans un capteur de type à transfert ligne par ligne, le potentiel du noeud de lecture S est ensuite lu pendant une opération de lecture. L'opération de transfert

supplémentaire et l'opération de lecture du noeud S sont réalisées pour tous les pixels d'une ligne avant d'être répétées successivement pour les autres lignes de la matrice.

[0053] En outre, bien que dans les modes de réalisation décrits précédemment, le transistor MOS T soit un transistor MOS à canal P, il est clair que les premier et deuxième modes de fonctionnement peuvent être mis en oeuvre dans le cas où le transistor MOS T est un transistor à canal N. Dans ce cas, le substrat 10 et la région 17 correspondent à une région faiblement dopée de type N, les régions 19 et 20 sont des régions dopées de type P et la partie supérieure 18 est une région fortement dopée de type N. Dans les premier et deuxième modes de fonctionnement, les régions 19 sont maintenues à un potentiel bas, par exemple à 0 V. Le transistor T est maintenu bloqué en mettant le potentiel VTG à sa grille au potentiel bas et est rendu passant en mettant le potentiel VTG à sa grille à un potentiel haut. Dans le premier mode de fonctionnement, le potentiel Vwall appliqué au coeur conducteur 16 est égal au potentiel bas. Dans le deuxième mode de fonctionnement, le potentiel Vwall est maintenu pendant la phase d'intégration à un potentiel supérieur au potentiel bas, par exemple à 1 V.

[0054] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de l’homme du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

[Revendication 1]

1. Capteur d'images à semiconducteur, chaque pixel du capteur comprenant un substrat semiconducteur (10) ayant des faces avant et arrière opposées et délimité latéralement par un premier mur d'isolement (11) comprenant un premier coeur conducteur (12) isolé du substrat, des paires électrons-trous étant susceptibles de se former dans le substrat par suite d'un éclairement par la face arrière, et un circuit configuré pour maintenir, pendant une première phase dans un premier mode de fonctionnement, le premier coeur conducteur à un premier potentiel (VHB) et pour maintenir, pendant au moins une partie de la première phase dans un deuxième mode de fonctionnement, le premier coeur conducteur à un deuxième potentiel différent du premier potentiel.

[Revendication 2]

2. Capteur d'images selon la revendication 1, dans lequel le substrat (10) est d'un premier type de conductivité et d'un premier niveau de dopage, chaque pixel du capteur comprenant en outre un deuxième mur d'isolement (12) pénétrant dans le substrat depuis la face avant dudit substrat (10), le deuxième mur d'isolement étant annulaire et délimitant une région sensiblement centrale (17) comprenant une portion inférieure prolongeant le substrat et une portion supérieure (18) du premier type de conductivité d'un second niveau de dopage supérieur au premier niveau de dopage, le deuxième mur comprenant un deuxième coeur conducteur (16) isolé de la région, ledit circuit étant configuré pour maintenir, pendant la première phase, le deuxième coeur conducteur à un troisième potentiel (VHA), d'où il résulte que le transfert de charges du substrat vers la partie supérieure est bloqué, et, pendant une deuxième phase, pour maintenir le deuxième

coeur conducteur à un quatrième potentiel, d'où il résulte un transfert de charges du substrat vers la partie supérieure, et pour maintenir, pendant la première phase dans le premier mode de fonctionnement, le premier coeur conducteur au premier potentiel (VHB) qui est égal au troisième potentiel et pour maintenir, pendant ladite au moins une partie de la première phase dans le deuxième mode de fonctionnement, le premier coeur conducteur au deuxième potentiel qui va du troisième potentiel, non compris, au quatrième potentiel.

[Revendication 3]

3. Dispositif selon la revendication 2, dans lequel la première partie (17) est au premier niveau de dopage.

[Revendication 4]

4. Dispositif selon la revendication 2 ou 3, dans lequel chaque pixel comprend, en outre, une zone (19) pénétrant dans le substrat (10) à partir de la face avant moins profondément que le deuxième mur d'isolement (14).

[Revendication 5]

5. Procédé de commande d'un capteur d'images à semiconducteur, chaque pixel du capteur comprenant un substrat semiconducteur (10) ayant des faces avant et arrière opposées et délimité latéralement par un premier mur d'isolement (11) comprenant un premier coeur conducteur (12) isolé du substrat, des paires électrons-trous étant susceptibles de se former dans le substrat par suite d'un éclairement par la face arrière, le procédé comprenant les étapes suivantes :

maintenir pendant une première phase dans un premier mode de fonctionnement, le premier coeur conducteur à un premier potentiel (VHB) ; et

maintenir, pendant au moins une partie de la première phase dans un deuxième mode de fonctionnement, le premier coeur

conducteur à un deuxième potentiel différent du premier potentiel.

[Revendication 6]

6. Procédé selon la revendication 5, dans lequel le substrat (10) est d'un premier type de conductivité et d'un premier niveau de dopage, chaque pixel du capteur comprenant en outre un deuxième mur d'isolement (12) pénétrant dans le substrat depuis la face avant dudit substrat (10), le deuxième mur d'isolement étant annulaire et délimitant une région sensiblement centrale (17) comprenant une portion inférieure prolongeant le substrat et une portion supérieure (18) du premier type de conductivité d'un second niveau de dopage supérieur au premier niveau de dopage, le deuxième mur comprenant un deuxième coeur conducteur (16) isolé de la région, le procédé comprenant les étapes suivantes :

maintenir, pendant la première phase, le deuxième coeur conducteur à un troisième potentiel (VHA) d'où il résulte que le transfert de charges du substrat vers la partie supérieure est bloqué ;

maintenir, pendant une deuxième phase, le deuxième coeur conducteur à un quatrième potentiel d'où il résulte un transfert de charges du substrat vers la partie supérieure ;

maintenir, pendant la première phase dans le premier mode de fonctionnement, le premier coeur conducteur au premier potentiel (VHB) qui est égal au troisième potentiel ; et

maintenir, pendant ladite au moins une partie de la première phase dans le deuxième mode de fonctionnement, le premier coeur conducteur au deuxième potentiel qui va du troisième potentiel, non compris, au quatrième potentiel.

[Revendication 7]

7. Procédé selon la revendication 6, dans lequel le passage entre le premier mode de fonctionnement et le

deuxième mode de fonctionnement dépend des conditions d'éclairement du capteur d'images.

[Revendication 8]

8. Procédé selon la revendication 6 ou 7, comprenant, en outre, le maintien, pendant au moins une autre partie de la deuxième phase dans le deuxième mode de fonctionnement, du premier coeur conducteur au premier potentiel (VHB) qui est égal au troisième potentiel (VHA).

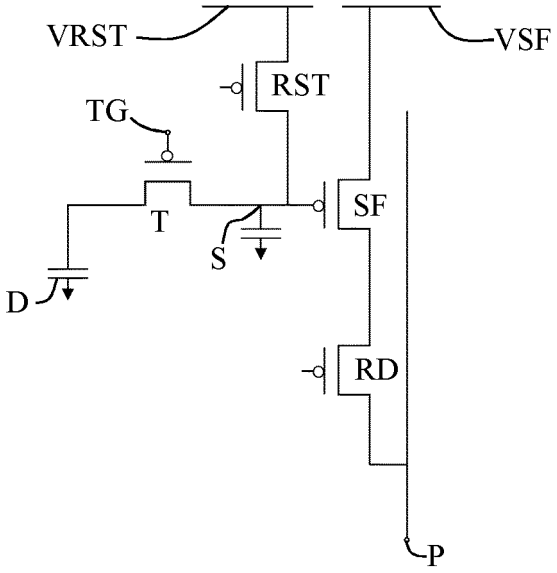

VRST
VSF
RST
TG
T
SF
S
D
RD
P

Fig. 1

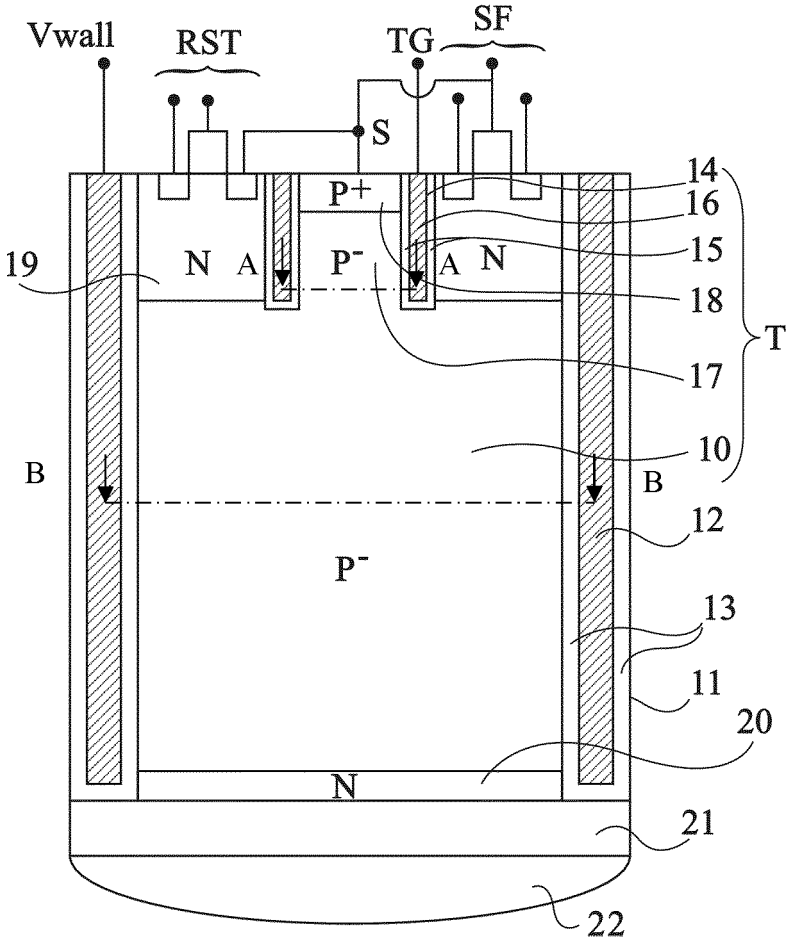

Vwall
RST
TG
SF
S
P+
N
A
P-
A
N
19
14
16
15
18
17
T
10
B
B
12
P-
13
11
20
N
21
22

Fig. 2

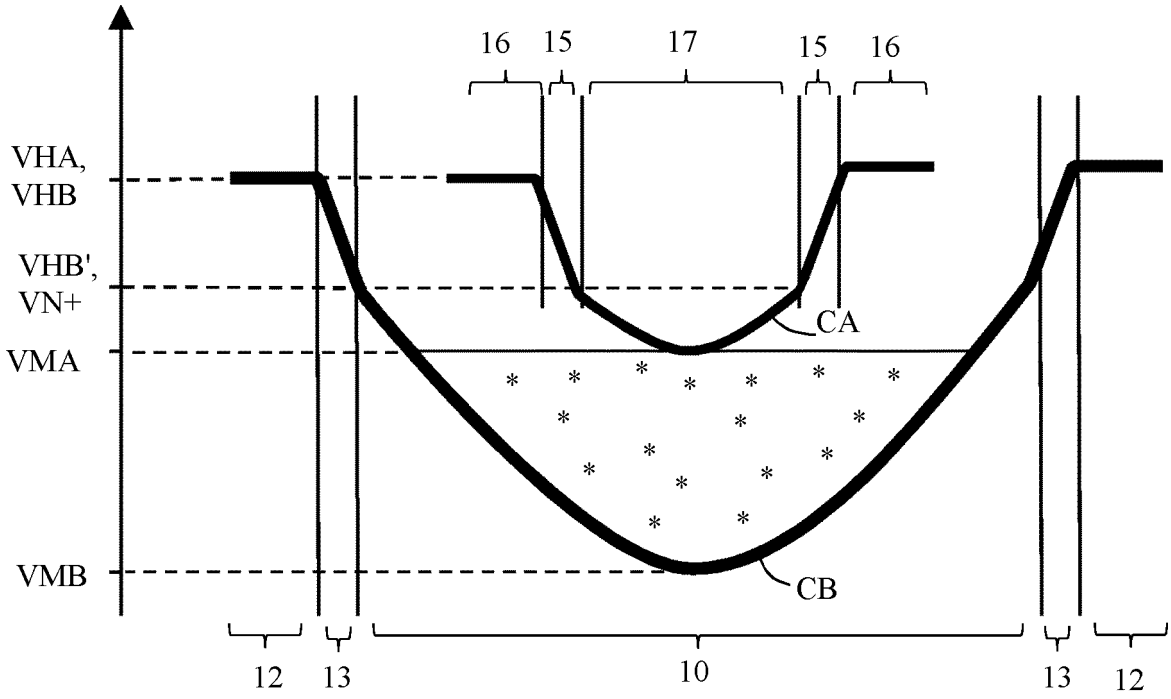

16
15
17
15
16
VHA,
VHB
VHB',
VN+
VMA
VMB
CA
CB
12
13
10
13
12

Fig. 3

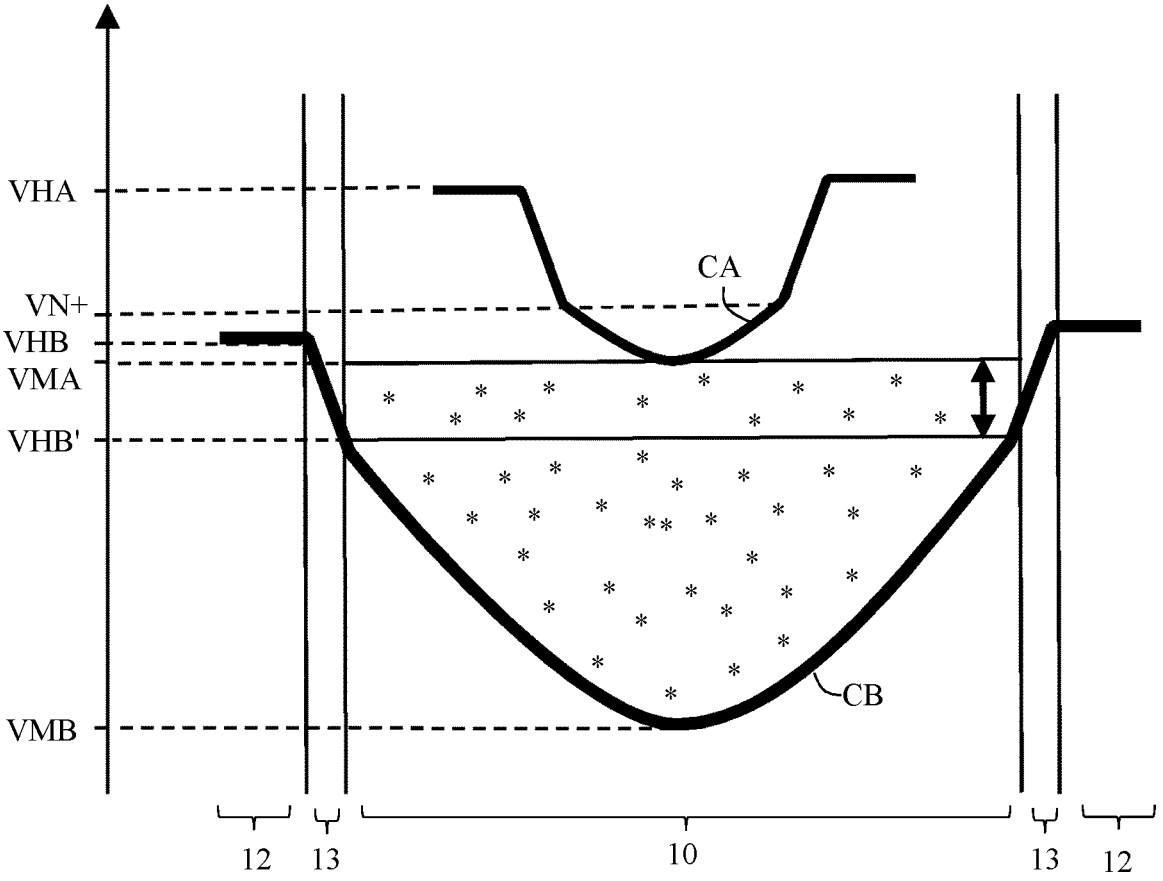

VHA
VN+
VHB
VMA
VHB'
VMB
CA
CB
12
13
10
13
12

Fig. 4

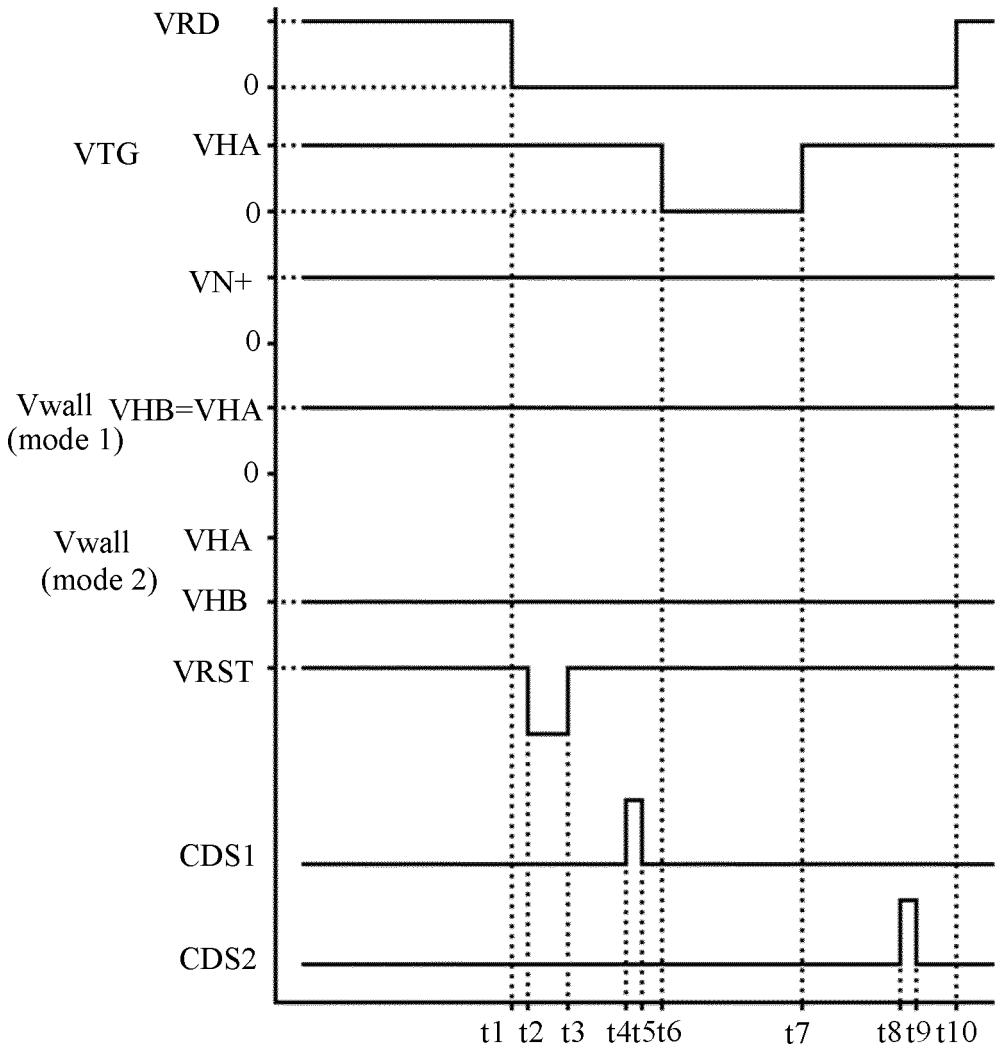

VRD
0
VTG
VHA
0
VN+
0
Vwall
(mode 1)
VHB=VHA
0
Vwall
(mode 2)
VHA
VHB
VRST
CDS1
CDS2
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10

Fig. 5

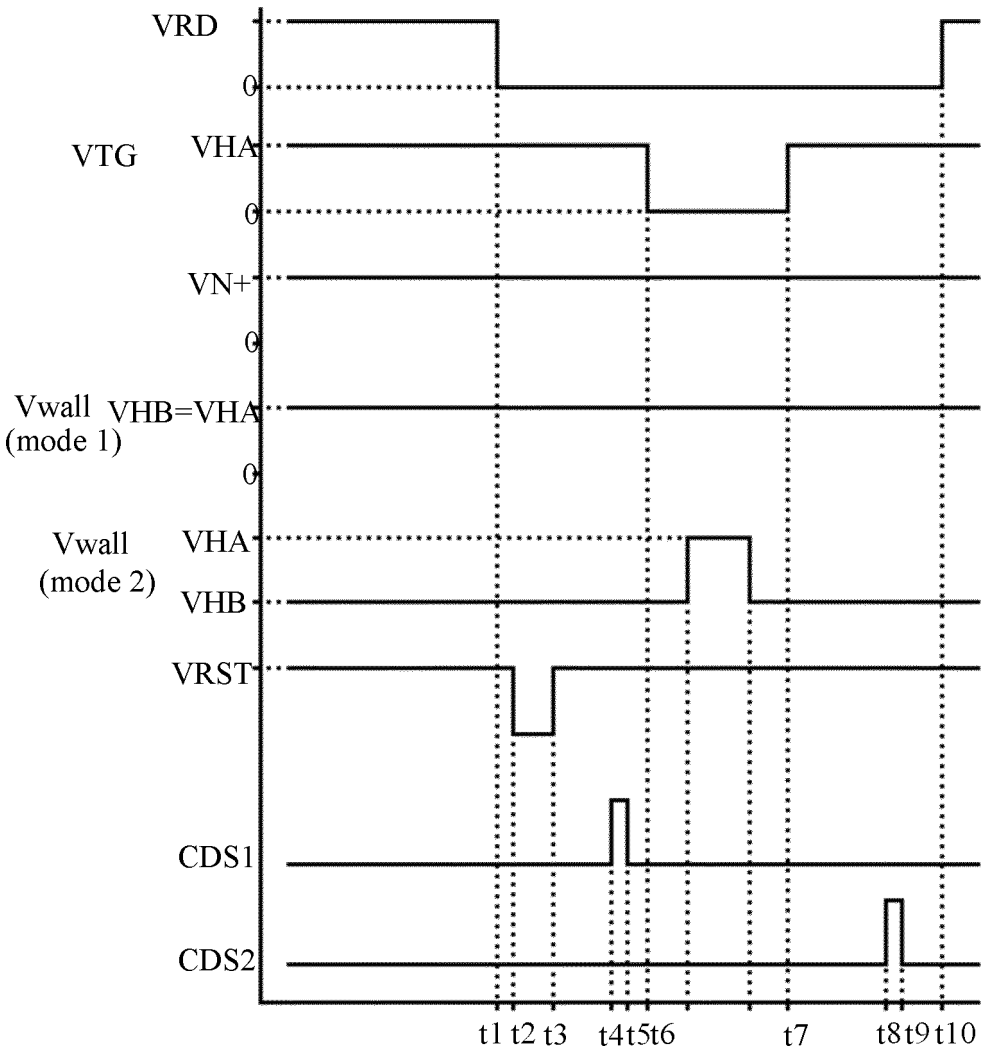

VRD
0
VTG
VHA
0
VN+
0
Vwall
(mode 1)
VHB=VHA
0
Vwall
(mode 2)
VHA
VHB
VRST
CDS1
CDS2
t1 t2 t3 t4 t5 t6 t7 t8 t9 t10

Fig. 6

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL DE LA PROPRIÉTÉ INDUSTRIELLE

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications déposées avant le commencement de la recherche

N° d'enregistrement national

FA 860151
FR 1857634

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
Y	EP 2 216 817 A1 (ST MICROELECTRONICS CROLLES 2 [FR]; ST MICROELECTRONICS GRENOBLE [FR]) 11 août 2010 (2010-08-11)	1,5	H01L27/146 H04N5/30
A	* alinéas [0032] - [0034]; figure 5 * * alinéa [0029] * * alinéa [0036]; figure 6A * * alinéas [0037] - [0038]; figure 6B * * alinéa [0047] *	2-4,6-8	

Y	US 2007/052056 A1 (DOI TAKASHI [JP] ET AL) 8 mars 2007 (2007-03-08)	1,5	
A	* alinéas [0021] - [0029]; figures 1,2 * * alinéas [0070] - [0097]; figures 10, 11 *	2-4,6-8	

A	EP 1 995 783 A2 (SONY CORP [JP]) 26 novembre 2008 (2008-11-26) * alinéas [0039] - [0081]; figure 2 * * figures 12A-12B * * alinéas [0164] - [0174]; figure 20 *	1-8	
	-----		DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H04N H01L

Date d'achèvement de la recherche	Examinateur
21 juin 2019	Berne, Jean-François

CATÉGORIE DES DOCUMENTS CITÉS

X : particulièrement pertinent à lui seul
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie
A : arrière-plan technologique
O : divulgation non-écrite
P : document intercalaire

T : théorie ou principe à la base de l'invention
E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.
D : cité dans la demande
L : cité pour d'autres raisons

& : membre de la même famille, document correspondant

EPO FORM 1503 12.99 (P04C14)

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1857634 FA 860151

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 21-06-2019
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 2216817 A1	11-08-2010	EP 2216817 A1	11-08-2010
		US 2010193845 A1	05-08-2010
US 2007052056 A1	08-03-2007	JP 2007096271 A	12-04-2007
		US 2007052056 A1	08-03-2007
EP 1995783 A2	26-11-2008	EP 1995783 A2	26-11-2008
		KR 20080103463 A	27-11-2008
		TW 200906183 A	01-02-2009
		US 2008290382 A1	27-11-2008
		US 2012175686 A1	12-07-2012

EPO FORM P0465