



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0018137  
(43) 공개일자 2008년02월27일

(51) Int. Cl.

*H01L 33/00* (2006.01)

(21) 출원번호 10-2007-0084370

(22) 출원일자 2007년08월22일  
심사청구일자 없음

(30) 우선권주장

200605650-1 2006년08월22일 싱가포르(SG)

(71) 출원인

에이전시 포 사이언스, 테크놀로지 앤드 리서치  
싱가폴 138668 센트로스 #07-01 바이오플리스 웨  
이 20

(72) 벌명자

왕 벤종

싱가포르 싱가포르시 117602 리서치 링크 3 인스  
티튜트 오브미테리얼즈 리서치 앤드 엔지니어링  
내

추아 수진

싱가포르 싱가포르시 117602 리서치 링크 3 인스  
티튜트 오브미테리얼즈 리서치 앤드 엔지니어링  
내

(74) 대리인

김창세, 장성구

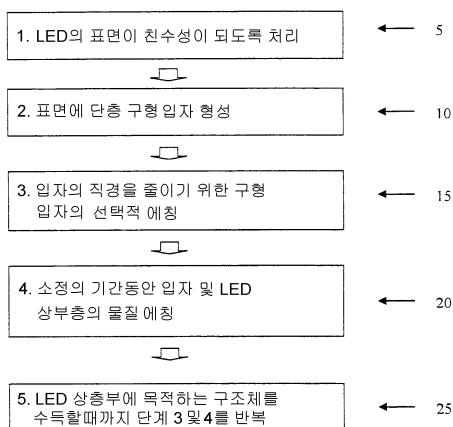
전체 청구항 수 : 총 31 항

#### (54) 마이크로 및 나노 구조체의 제조방법

#### (57) 요약

본 발명은, 광학층(35)이 위치된 기판(30)을 제공하는 단계; 상기 광학층(35)상에 입자(45)층(40)을 위치시키는 단계; 및 제 1 에칭(etching) 공정을 이용하여 상기 입자층을 에칭하여 상기 층내의 입자(45) 크기를 감소시키는 단계에 이어서, 제 2 에칭 공정을 이용하여 상기 광학층 및 입자층을 동시에 에칭하고, 상기 광학층의 영역에 걸쳐 마스크(mask)를 형성하는 입자를 추가로 감소시켜 상기 광학층(35)으로부터 이산 광학소자(60)를 형성하는 단계를 포함하는 에칭 사이클을 수행하는 단계를 포함하는, 기판(30)상에 선택적으로 형성된 광학소자의 어레이를 제조하는 방법에 관한 것이다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

광학층이 위치된 기판을 제공하는 단계;

상기 광학층상에 입자층을 위치시키는 단계; 및

제 1 에칭(etching) 공정을 이용하여 상기 입자층을 에칭하여 상기 충내의 입자 크기를 감소시키는 단계에 이어서, 제 2 에칭 공정을 이용하여 상기 광학층 및 입자층을 동시에 에칭하고, 상기 광학층의 영역에 걸쳐 마스크(mask)를 형성하는 입자를 추가로 감소시켜 상기 광학층으로부터 이산 광학소자를 형성하는 단계를 포함하는 에칭 사이클을 수행하는 단계

를 포함하는, 기판상에 선택적으로 형성된 광학소자의 어레이를 제조하는 방법.

### 청구항 2

제 1 항에 있어서,

상기 제 1 에칭 공정이, 상기 제 2 에칭 공정보다 빠른 속도, 상기 제 2 에칭 공정보다 느린 속도 및 상기 제 2 에칭 공정과 동일한 속도로 이루어진 군으로부터 선택되는 속도로 상기 입자를 에칭하는 방법.

### 청구항 3

제 1 항에 있어서,

상기 제 2 에칭 공정 동안 상기 입자층과 광학층 사이의 식각비(etching rate)의 비율이 3 내지 -10의 범위인 방법.

### 청구항 4

제 3 항에 있어서,

상기 제 2 에칭 공정 동안 상기 입자층과 광학층 사이의 식각비의 비율이 2 내지 -5의 범위인 방법.

### 청구항 5

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 에칭 사이클을 1회 이상 반복하여 상기 입자의 크기를 추가로 감소시키고 상기 광학소자를 형성시켜 각각의 광학소자의 선택된 형태를 제조하는 단계를 추가로 포함하는 방법.

### 청구항 6

제 1 항 내지 제 5 항중 어느 한 항에 있어서,

상기 위치시키는 단계 이전에, 상기 광학층의 표면을 처리하여 친수성이 되게 하는 단계를 추가로 포함하는 방법.

### 청구항 7

광학층이 위치된 기판을 제공하는 단계;

상기 광학층상에 소기의 두께의 희생층(sacrificial layer)을 증착시키는 단계;

상기 희생층상에 입자층을 위치시키는 단계; 및

제 1 에칭 공정을 이용하여 상기 입자층을 에칭하여 상기 충내의 입자 크기를 감소시키는 단계에 이어서, 제 2 에칭 공정을 이용하여 상기 희생층 및 입자층을 동시에 에칭하고, 상기 희생층의 영역에 걸쳐 마스크를 형성하는 입자를 추가로 감소시켜 상기 희생층으로부터 표면 구조체를 형성하는 단계 및 전식 에칭에 의해 상기 표면 구조체를 상기 희생층으로부터 상기 광학층으로 전달하는 단계를 포함하는 에칭 사이클을 수행하는 단계

를 포함하는, 기판상에 선택적으로 형성된 광학소자의 어레이를 제조하는 방법.

## 청구항 8

제 7 항에 있어서,

상기 제 1 에칭 공정이, 상기 제 2 에칭 공정보다 빠른 속도, 상기 제 2 에칭 공정보다 느린 속도 및 상기 제 2 에칭 공정과 동일한 속도로 이루어진 군으로부터 선택되는 속도로 상기 입자를 에칭하는 방법.

## 청구항 9

제 7 항에 있어서,

상기 제 2 에칭 공정 동안 상기 입자총과 희생총 사이의 식각비의 비율이 3 내지 -10의 범위인 방법.

## 청구항 10

제 9 항에 있어서,

상기 제 2 에칭 공정 동안 상기 입자총과 희생총 사이의 식각비의 비율이 2 내지 -5의 범위인 방법.

## 청구항 11

제 7 항에 있어서,

상기 희생총과 광학총 사이의 식각비의 비율이 5 내지 -10의 범위인 방법.

## 청구항 12

제 11 항에 있어서,

상기 희생총과 광학총 사이의 식각비의 비율이 3 내지 -5의 범위인 방법.

## 청구항 13

제 7 항 내지 제 12 항중 어느 한 항에 있어서,

상기 표면 구조체를 전달하기 이전에, 상기 에칭 사이클을 1회 이상 반복하여 상기 입자의 크기를 추가로 감소시키고 상기 표면 구조체를 형성시켜 각각의 표면 구조체의 선택된 형태를 제조하는 단계를 추가로 포함하는 방법.

## 청구항 14

제 7 항 내지 제 13 항중 어느 한 항에 있어서,

상기 위치시키는 단계 이전에, 상기 희생총의 표면을 처리하여 친수성이 되게 하는 단계를 추가로 포함하는 방법.

## 청구항 15

제 1 항 내지 제 14 항중 어느 한 항에 있어서,

상기 기판이 LED(Light Emitting Diode) 웨이퍼, 광전지 셀 웨이퍼 및 광검출기 웨이퍼로 이루어진 군으로부터 선택되는 방법.

## 청구항 16

제 1 항 내지 제 15 항중 어느 한 항에 있어서,

상기 광학총이 두 개 이상의 총을 포함하는 방법.

## 청구항 17

제 1 항 내지 제 16 항중 어느 한 항에 있어서,

상기 에칭 단계중 하나 이상이, RIE, ICP 또는 이온 제분중 임의의 하나 또는 이들의 조합을 포함하는 건식 에

칭을 포함하는 방법.

### 청구항 18

제 1 항 내지 제 17 항중 어느 한 항에 있어서,

상기 입자의 형태가 구형 및 타원형으로 이루어진 군으로부터 선택되는 방법.

### 청구항 19

제 1 항 내지 제 18 항중 어느 한 항에 있어서,

상기 입자가 정렬 패턴, 비정렬 패턴 및 부분정렬 패턴으로 이루어진 군으로부터 선택되는 패턴으로 위치되는 방법.

### 청구항 20

제 19 항에 있어서,

상기 정렬 패턴이 조밀육방격자 패턴인 방법.

### 청구항 21

제 1 항 내지 제 20 항중 어느 한 항에 있어서,

상기 입자의 물질이 중합체, 유전체 물질 및 금속중 임의의 하나 또는 이들의 조합을 포함하는 방법.

### 청구항 22

제 21 항에 있어서,

상기 중합체가 폴리스티렌인 방법.

### 청구항 23

제 1 항 내지 제 22 항중 어느 한 항에 있어서,

상기 광학소자가 LED, 광검출기, 광전지 셀 또는 광결정 장치중 임의의 하나 내에 성분을 형성하는 방법.

### 청구항 24

제 1 항 내지 제 23 항중 어느 한 항에 있어서,

각각의 제 1 예칭 공정이 제 1 소기의 기간동안 수행되는 방법.

### 청구항 25

제 24 항에 있어서,

상기 제 1 소기의 기간이 상기 각각의 광학소자의 선택된 형태의 함수인 방법.

### 청구항 26

제 24 항 또는 제 25 항에 있어서,

상기 제 1 예칭 공정의 각각의 사이클에 대한 상기 제 1 소기의 기간이 상기 제 1 예칭 공정의 다른 사이클에 대한 상기 제 1 소기의 기간으로부터 독립적인 방법.

### 청구항 27

제 1 항 내지 제 26 항중 어느 한 항에 있어서,

각각의 제 2 예칭 공정이 제 2 소기의 기간동안 수행되는 방법.

### 청구항 28

제 27 항에 있어서,

상기 제 2 소기의 기간이 상기 각각의 광학소자의 선택된 형태의 함수인 방법.

### 청구항 29

제 27 항 또는 제 28 항에 있어서,

상기 제 2 예칭 공정의 각각의 사이클에 대한 상기 제 2 소기의 기간이 상기 제 2 예칭 공정의 다른 사이클에 대한 상기 제 2 소기의 기간으로부터 독립적인 방법.

### 청구항 30

제 1 항 내지 제 29 항중 어느 한 항의 방법에 따라 제조된, 기판상에 선택적으로 형성된 광학소자의 어레이.

### 청구항 31

광학층이 위치된 기판을 제공하는 단계;

상기 광학층상에 입자층을 위치시키는 단계;

제 1 예칭 공정을 이용하여 상기 입자층을 예칭하여 상기 충내의 입자의 크기를 감소시키는 단계에 이어서, 제 2 예칭 공정을 이용하여 상기 광학층을 예칭하고, 상기 감소된 입자가 상기 광학층의 영역에 걸쳐 마스크를 형성하여 상기 광학층으로부터 이산 광학소자를 형성하는 단계를 포함하는 예칭 사이클을 수행하는 단계; 및

상기 예칭 사이클을 1회 이상 반복하여 상기 입자의 크기를 추가로 감소시키고 상기 광학소자를 형성시켜 각각의 광학소자의 선택된 형태를 제조하는 단계

를 포함하는, 기판상에 선택적으로 형성된 광학소자의 어레이를 제조하는 방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

<1> 본 발명은 LED, 광 검출기, 태양광 전지를 포함하는(이에 한정되지 않음) 광학 장치의 제조에 관한 것이다. 구체적으로는, 이러한 장치내의 통상적인 하위요소의 제조에 관한 것이다.

#### 배경 기술

<2> 발광 다이오드(LED)는 전형적으로 기판 상에 p-n 다이오드를 성장시킴으로써 제작된다. 다이오드는 기판 상에 n-도핑된 물질 층을 성장시키고, 상기 n-도핑된 층 상에 광 생성 영역을 성장시키고, 상기 n-도핑된 물질의 상부에 p-도핑된 물질 층을 성장시킴으로써 제작된다. 전극은 p-도핑된 층의 상부 표면에 증착되어 n-도핑된 층에 접속된다. 광은 기판을 통하거나 p-도핑된 물질의 상부 표면을 통하거나, 또는 상부 전극을 통해 추출될 수 있다. 광이 상부 전극을 통해 제거되는 경우, 전극은 인듐 주석 산화물 또는 금 박막과 같은 투명 물질로 제작된다.

<3> LED의 효율은, 전극에 인가되는 전력을 광으로 전환시키는 효율과 광이 장치로부터 분리되는 효율의 두 효율을 곱한 것이다. 기판 상에 제조되는 통상의 LED의 경우, 결합 효율로 나쁘기 때문에 다이오드에서 생성된 광의 대부분이 소실된다. 대부분의 반도체는 공기 또는 에폭시 캡슐재보다 높은 굴절률을 가진다. 따라서, 다이오드의 표면에 작은 원추각으로 영향을 주는 광만이 전반사로 인해 표면을 빠져나갈 것이다. 잔광 중 대부분은 다이오드 층으로 다시 반사되어 기판 표면과 다이오드의 상부 표면에 의해 결정되는 도파관에 가둬진다. 이 가둬진 광 중 다량은 장치내에 결국 흡수되어 버린다. 따라서, 반도체 다이오드의 효율이 이상적인 것보다 작다.

<4> LED의 추출 효율을 개선시키기 위해 제안되고 있는 한 방법은, LED가 장치에서 생성된 광이 임계각 또는 그보다 작은 각도로 표면에 충돌시킴으로써 전반사를 억제할 수 있도록 거시적으로 모양이 갖춰어질 것을 요구한다. 이 문제는 칩을 반구 또는 각뿔대로 성형하면 피할 수 있다. 이러한 칩 성형은 매우 성가시고 또한 비용도 많이 요구된다.

<5> 두 번째 종래기술의 방법은 미국 특허 제 6,812,161 호에 개시되어 있으며, 그 내용이 본원에 참고로 인용된다. 여기서는, GaAs계 LED의 추출 효율을 개선시키는 방법으로, 표면의 평면 성질을 파괴시키도록 에칭(etching)함으로써 표면에 부딪히는 광이 나올 수 있는 매우 다양한 비평면적인 면을 제공함으로써 LED의 위면을 조면화하는 것을 이용한다.

<6> 표면을 조면화하는 종래 방법은 LED의 상부 표면의 랜덤 에칭을 포함한다. 예컨대, 불규칙적인 에칭 패턴은 LED의 표면 상에 입자를 중착시키고 랜덤 에칭 마스크(random etch mask)를 결정하는 입자를 사용함으로써 생성될 수 있다. 이들 종래기술의 방법의 경우, 조면화된 면을 작성하는데 다음과 같은 두 방법이 사용된다: 첫 번째로 선택적인 에칭에 의해 입자의 직경을 감소시키고, 두 번째로 마스크로서 입자를 사용하여 건식 에칭함으로써 표면 구조체를 작성한다. 종래 방법에 의해 만들어진 표면 구조체의 측벽은, 표면 구조체를 만들기 위해 선택된 에칭 방법이 입자를 에칭하지 않기 때문에 거의 수직을 이루어, 이는 완전히 마스크로서 제공된다. 이들 원통형 구조체(도 3에 도시함)는 여전히 추출 효율이 제한될 수 있다.

<7> LED의 내부 양자 효율은 성장 기술의 발달로 인해 거의 100%에 달한다. 그러나, 통상의 LED의 광 추출 효율은 반도체와 공기 사이의 계면에서의 전반사로 인해 매우 낮다. 전형적으로, 통상의 GaAs계 LED의 경우, 활성층에서 생성된 광의 대략 2%만이 추출될 수 있다. 이 문제는 표면 조면화 또는 표면 텍스처링(texturing)에 의해 어느 정도 해결되어 있다. 그러나, 표면 텍스처링에 대한 저비용 고처리 기술이 요망된다. 미국 특허 제 6,812,161 호는 마스크로서 구형 입자를 이용함으로써 랜덤하게 배열된 기둥형 구조체를 갖는 LED를 제조하는 방법을 개시한다. 또한, LED 상에 형성된 대부분의 표면 텍스처는 도 3에 도시된 바와 같은 단순 기둥형 구조체 또는 (랜덤 또는 정렬된) 홀 어레이를 이룬다. 이러한 단순한 구조체는 재료 시스템, 발광 파장, 층 구조체 및 LED의 표면 구조체에 크게 의존하고 있는 광 추출 효율의 추가적인 증가를 제한한다.

## 발명의 내용

### 해결 하고자하는 과제

<8> 광학 장치에서, 제한이 없는 LED 추출 효율을 제공할 수 있는 구조체를 제조하는 방법이 요구된다.

### 과제 해결수단

<9> 첫 번째 관점에서, 본 발명은 기판 상에서 선택적으로 형상화된 광학소자의 배열을 형성하는 방법을 제공하고, 상기 방법은: 광학층이 위치된 기판을 제공하는 단계; 상기 광학층 상에 입자층을 위치시키는 단계; 제1 에칭 공정을 이용하여 상기 입자층을 에칭하여 상기 층 내의 입자 크기를 감소시키는 단계, 이어서; 제2 에칭 공정을 이용하여 상기 광학층 및 입자층을 동시에 에칭하고, 상기 광학층의 영역에 걸쳐 마스크(mask)를 형성하는 입자를 추가로 감소시켜 상기 광학층으로부터 이산 광학소자를 형성하는 단계를 포함한다.

<10> 본 발명은 복합 표면 구조체를 생성하는 방법을 제공한다. 이러한 구조체의 횡단면 프로파일은 광추출 효율(light-extraction efficiency)을 더 증가시키기 위한 요구를 충족하기 위하여 쉽게 변화될 수 있다.

<11> 하나의 실시양태에서, 본 발명은 코어(core)- 또는 끝이 잘린(truncated) 코어-형태의 표면 구조체를 생성할 수 있다. 첫째, LED 웨이퍼의 선택된 표면상에 위치된 단층 구형 입자의 직경은 선택적으로 에칭하는 것에 의해 소거의 값으로 줄일 수 있다. 둘째, 표면 구조체는 이니셜 마스크(initial mask)와 같은 입자를 사용하는 건식 에칭에 의하여 제조된다. 이 실시양태에서, 식각액(etchant)은 반도체뿐만 아니라 상기 입자도 에칭하기 위해 선택되는데, 이는 상기 에칭이 상기 입자가 에칭되고 나서 멈추면 코어-형상의 표면 구조체를 형성하고, 상기 에칭이 상기 입자가 에칭되기 전에 멈추면 끝이 잘린 코어-형상의 표면 구조체를 형성한다. 상기 코어-형상의 구조체 표면의 보통각(angle normal)은 식각액, 입자 재료 및 에칭 수단을 다르게 사용하여, 상기 장치의 상부 층(top layer)과 상기 입자 사이의 식각비를 다르게 함으로써 조절될 수 있다. 45도 보다 작은 코어-유사 구조체의 각은 상기 입자의 식각비가 상기 장치 상부층의 식각비보다 클 때 얻어질 수 있다. 그렇지 않으면, 45도 보다 큰 코어-유사 구조체의 각이 얻어질 수 있다.

<12> 일부 경우에서, 광추출 효율을 최적화하기 위하여 예를 들면 마이크로- 또는 나노-렌즈 배열과 같은 다른 단면 형상을 가지는 표면 구조체가 바람직하다. 바람직한 실시양태에서, 본 발명은 건식 에칭의 다중-사이클을 사용하여 이러한 구조체를 생성하는 방법을 포함한다. 상기 단면 프로파일은 식각액뿐만 아니라 에칭 시간을 조절함으로써 바람직하게 변할 수 있다. 다른 단면 프로파일을 가지는 구조체는 상기 구조적 파라미터의 더 많은 선택을 제공할 수 있다. 따라서, 방출 파장(emission wavelength), 층 재료 및 층 구조체에 따라 특정한 장치

에 대한 최적화된 표면 구조체를 얻음으로써 광추출 효율을 증가시킬 수 있다.

<13> 두 번째 관점에서, 본 발명은 기판 상에서 선택적으로 형상화된 광학소자의 배열을 형성하는 방법을 제공하고, 상기 배열은, 광학층이 위치된 기판을 제공하는 단계; 상기 광학층 상에 입자층을 위치시키는 단계; 제1 에칭 공정을 이용하여 상기 입자층을 에칭하여 상기 층 내의 입자 크기를 감소시키는 단계, 이어서; 제2 에칭 공정을 이용하여 상기 광학층 및 입자층을 동시에 에칭하고, 상기 광학층의 영역에 걸쳐 마스크를 형성하는 입자를 추가로 감소시켜 상기 광학층으로부터 이산 광학소자를 형성하는 단계를 포함하는 방법에 따라 형성된다.

<14> 세 번째 관점에서, 본 발명은 기판 상에서 선택적으로 형상화된 광학소자의 배열을 형성하는 방법을 제공하고, 상기 방법은: 광학층이 위치된 기판을 제공하는 단계; 상기 광학층 상에 입자층을 위치시키는 단계; 제1 에칭 공정을 이용하여 상기 입자층을 에칭하여 상기 층 내의 입자 크기를 감소시키는 단계, 이어서; 제2 에칭 공정을 이용하여 상기 광학층 및 입자층을 동시에 에칭하고, 상기 광학층의 영역에 걸쳐 마스크를 형성하는 입자를 추가로 감소시켜 상기 광학층으로부터 이산 광학소자를 형성하는 단계; 에칭 사이클을 한번 이상 반복하여 상기 입자 크기를 더 줄이고 상기 광학소자를 형성하여, 각 광학소자로부터 선택된 형태를 형성하는 단계를 포함한다.

## 효과

<15> 본 발명은 기판 상에서 선택적으로 형상화된 광학소자의 배열을 형성하는 방법을 제공하여 복합 표면 구조체를 생성하는 방법을 제공한다. 이러한 구조체의 획단면 프로파일은 쉽게 변화될 수 있으므로 특정한 장치에 대한 최적화된 표면 구조체를 얻음으로써 광추출 효율을 증가시킬 수 있다.

## 발명의 실시를 위한 구체적인 내용

<16> 실시양태 1

<17> 도 2에 도시된 바와 같은 제 1 실시양태에서, LED 웨이퍼(30)는 기판으로서 GaAs를 사용하고, 다중 양자 웨일(multi quantum wells)의 활성층 옆의 p형 상부층(35), n형 및 p형 클래딩(cladding)층 한쌍 및 MOCVD로 성장시킨 브래그 반사기 (Bragg reflector)를 갖는다. p형 상부층의 물질은 두께가 약 5  $\mu\text{m}$ 인 GaP이며, LED 웨이퍼로부터 방출되는 빛의 파장은 약 635 nm이다. 도 1에 도시된 방법에 따르면, 웨이퍼의 표면을 130°C에서 10분 동안 오존 ( $\text{O}_3$ )으로 처리하여(5) 표면이 친수성이 되게 한다. 600 nm의 평균 직경을 갖는 폴리스티렌 (PS) 구(45)의 단일층(40)은 회사로부터 구입하여 증착 전에 약 20 중량%로 희석된 PS 구의 콜로이드성 혼탁액으로부터 상부층(35)에 자가-조립(self-assembled) 된다(10). 본 발명은 100 nm 내지 10  $\mu\text{m}$  범위의 입자들에게 동등하게 적용될 수 있다.

<18> PS 구를 증착시키는(10) 간단한 방법이 본 실험에 사용된다. 콜로이드성 혼탁액 몇 방울을 웨이퍼의 표면에 떨어뜨리고 웨이퍼를 약 40° 정도 기울여서 원하는 영역으로 퍼뜨리면, 중력의 영향으로 PS 구를 포함하는 혼탁액의 균일한 필름이 표면에 형성되고, 용매가 증발함에 따라, PS 구(45)는 측면의 모세관 효과 때문에 육각형으로 조밀하게 패킹된 콜로이드성 결정의 단일층(40)으로 자가-조립된다.

<19> 이후, 웨이퍼는 유도결합 플라즈마 (inductive coupled plasma, ICP) 챔버에 로딩되어 나노구조체로 에칭된다. 산소 RIE (조건:  $\text{O}_2$  유속-20 sccm; RIE 전력-200 W; 챔버 압력-8 mTorr)를 사용하여 PS 구(45)를 에칭(15)하여 PS 구(45)의 직경을 감소시킨다.  $\text{BCl}_3$  및  $\text{Cl}_2$ 의 혼합물을 사용하는 ICP (조건:  $\text{BCl}_3$ -20 sccm;  $\text{Cl}_2$ -5 sccm; RIE 전력-200 W; ICP 전력- 500 W; 챔버 압력-8 mTorr)를 사용하여 상부층(35)의 GaP 물질뿐 아니라 PS 구를 에칭(20)한다.

<20> PS 구(45)의 직경을 감소시키기 위한  $\text{O}_2$  RIE의 식각비는 일정하지 않지만, 반도체를 위한 것 보다는 훨씬 빠르다. 그러므로,  $\text{O}_2$  RIE 에칭(15)은 단지 PS 구의 직경만을 감소시킨다. 그러나,  $\text{Cl}_2$ 와 혼합된  $\text{BCl}_3$ 의 선택된 에칭액을 사용하는 ICP 조건에서의 식각비는, GaP 물질에 대해서(수직 방향) 약 6.18 nm/s인 반면, PS 구에 대해서는(직경 감소) 평균적으로 약 2.78 nm/s이다. 실질적으로, PS 구는 ICP 에칭(20)이 진행되는 동안 LED 웨이퍼(30)의 p형 GaP 층(35)을 에칭하기 위한 가변성 마스크로 사용되어, 도 4에 도시된 바와 같이, 코어 또는 끝이 잘린 코어 같은 표면 구조체를 형성(60)한다.

<21> 예를 들어, 도 6a는 120 초 간의 RIE 및 90 초 간의 ICP 에칭을 이용하여 제작된 끝이 잘린 코어와 같은 표면 구조체를 나타내는 SEM 이미지의 근접 측면도이고, 도 6b는 130 초 간의 RIE 및 130 초 간의 ICP 에칭을 이용하

여 제작된 코어와 같은 표면 구조체를 나타내는 SEM 이미지의 근접 측면도이다.

실시양태 2

제 2 실시양태에서는 에칭된 구조체의 다른 부분의 프로파일을 얻기 위해, RIE 및 ICP의 다중 에칭 사이클(25)을 교대로 사용한다. 도 5a, 5b 및 5c는 다른 에칭 단계에서 단순히 에칭 시간을 변화시키는 다중 에칭 사이클을 사용하는 본 발명에 의해 얻어질 수 있는 몇몇 가능한 구조체들 (70, 80 및 90)을 나타낸다.

다음 실험을 위해, 모든 에칭 조건은 에칭 시간을 다르게 하는 것을 제외하고는 상기 실시양태 1에 기관된 것과 동일하게 한다. LED 웨이퍼 및 상기 웨이퍼(30)에 PS 구(40)의 단일층을 형성하는 것도 상기 실시양태 1에서 언급한 것과 유사하다. 단지 RIE 및 ICP의 에칭 시간을 LED 웨이퍼(30)의 상부층(35)에 에칭된 구조체의 횡단면 프로파일을 조절하기 위해 변화시킨다.

실시양태 2의 예가, 다중 에칭 사이클에 의해 제작된 표면 구조체를 나타내는 SEM 이미지의 전면도 및 경사도 (tilted view)를 나타내는 도 7a 및 도 7b에 도시된다. RIE 및 ICP의 에칭 시간은, 첫 번째 사이클에서는 모두 60 초이고, 두 번째 사이클에서는 각각 60 초 및 30 초이며, 세 번째 사이클에서는 모두 30 초이다.

도 8a 및 8b는 다른 예로서 각각 다중 에칭 사이클에 의해 제작된 표면 구조체를 나타내는 SEM 이미지의 전면도 및 경사도를 나타낸다. 이때, RIE 및 ICP의 에칭 시간은, 첫 번째 사이클에서는 각각 60 초 및 30 초이고, 두 번째 사이클에서는 모두 30 초이며, 세 번째, 네 번째 및 다섯 번째 사이클에서는 각각 30 초 및 20 초이다.

도 9a 및 9b는 또 다른 예로서 각각 다중 에칭 사이클에 의해 제작된 표면 구조체를 나타내는 SEM 이미지의 전면도 및 경사도를 나타낸다. 이때, RIE 및 ICP의 에칭 시간은, 첫 번째 사이클에서는 각각 60 초 및 90 초이고, 두 번째 사이클에서는 각각 60 초 및 20 초이며, 세 번째 사이클에서는 각각 30 초 및 10 초이다.

광학 특성에 있어서 표면 구조체의 효과는 톨루엔으로 남아있는 PS 구들을 제거한 후에 조사된다. 도 11은 도 6a에 도시된 단일 사이클에 의해 제조된 표면 구조체(정사각형) 및 도 7에 도시된 다중 사이클에 의해 제조된 표면 구조체(삼각형)를 갖는 웨이퍼와 표면 구조체를 갖지 않는 웨이퍼의 발광 (photoluminance, PL) 세기를 비교한 것으로서, 본 발명에 따라 제조된 표면 구조체를 갖는 웨이퍼가 현저히 증가된 발광 세기를 나타내었다.

도 6a에서 도시하는 바와 같이, 본 발명을 이용하여 제조된 표면 구조체를 갖는 LED를 제조하였다. Ti(10 nm), Pd(20 nm) 및 Au(500 nm)의 p형 접촉은 e-빔 증발 후 리프트 오프(lift-off) 공정에 의한 형성되고, 430°C에서 40초 동안 열처리하였다. AuGe(80 nm), Ni(10 nm) 및 Au(200 nm)의 n형 접촉은, 웨이퍼의 뒷면에 형성된 후 400°C에서 30초 동안 열처리하였다. 비교를 위하여 표면 구조체가 없는 영역에 동일한 전극을 형성시켰다. LED의 웨이퍼 준위는 LED보다 약 2.5 cm 높이 위치한 전력 측정기(power meter)를 사용하여 측정하였다. 도 12는 도 6a에 개시된 표면 구조체를 갖는 LED 및 표면 구조체가 없는 LED의 광출력의 평균값의 결과를 나타낸다. 투입 전류 20 mA에서 광출력의 40% 이상의 향상이 수득되었다.

실시양태 3

제 3 실시양태에서, GaN계 LED 웨이퍼가 사용되고, 상부층은 p형 GaN 기판을 사용한다(300nm 이하의 두께). LED 웨이퍼로부터 방출된 빛의 파장은 약 570nm이다. 30nm 이하의 두께를 갖는 얇은 친수성  $\text{SiO}_2$  필름을 PS 구를 배열시키기 위하여 PECVD에 의하여 웨이퍼 표면상에 증착시킨다. 웨이퍼 제조를 위하여 실시양태 1에서 언급한 동일한 크기의 PS 구와 그의 단일층으로의 자가-조립 공정을 사용한다.

웨이퍼상에 단일층 PS 구를 배열한 후, ICP 챔버에 로딩시켜 표면 나노구조체를 제조한다. 산소 RIE (조건:  $\text{O}_2$  유속-20 sccm; RIE 전력-200 W; 챔버 압력-8 mTorr)를 사용하여 PS 구를 에칭하여 PS 구의 직경을 감소시키며,  $\text{BCl}_3$  및  $\text{Cl}_2$ 의 혼합물을 사용하는 ICP (조건:  $\text{BCl}_3$ -20 sccm;  $\text{Cl}_2$ -10 sccm; RIE 전력-200 W; ICP 전력- 500 W; 챔버 압력-8 mTorr)를 사용하여 p-GaN 물질뿐 아니라 PS 구를 에칭한다. 이러한 경우, p-GaN 및 PS 구의 평균 식각비는 거의 동일하고, 1.7 nm/s 정도이다.

GaN계 웨이퍼의 상부층에서 제조된 표면 구조체는 도 6c에 SEM 이미지라는 제목으로 기재되어 있다. 이 실시양태에서 사용된 에칭 기간은 RIE 60초, ICP 150초이다. 표면에 약 45도의 보통각의 측벽을 가진 코어 표면 구조체가 명확하게 관찰된다. 표면 구조체에 의해 수득된 PL 강도의 향상은 3배 이상이고, 도 11에 개시되어 있다.

장치가 완성되면, 상기 장치는 부착된 전극을 가질 수 있다. 한편, 상이한 타입의 광학층을 본 발명의 범주 내의 상이한 실시양태로 나타내고, 두 종류의 광학층이 특히 유용하게 고려된다. 따라서, 언급한 전극의 부착은

사용된 광학층의 타입에 좌우될 것이다.

- <35> 제 1 타입에서, 광학층은 최종 장치의 성분이 될 수 있다. 이 경우, 광학층은 장치의 다른 층의 상부에서 후속적으로 성장한다. 이것은 크게 도핑된 반도체 층을 포함하고, 전극을 위한 전류 채널 및 전류 확산층으로서 역할을 하며, 전극 하에서 생성된 빛은 방출될 수 없기 때문에 전극 외부에서 전류를 확산시킨다. 이 경우, 형성된 광학 소자의 작은 지역에서 직접 형성된 전극을 갖는 장치의 어떤 곳에서든 빛을 산출하는 것이 중요하다.
- <36> 제 2 타입에서, 광학층은 전체 장치 구조체의 성장 후 위치될 수 있다. 이 경우, 광학층은, 예를 들어 다른 방법에 의해 웨이퍼상에  $\text{SiO}_2$  필름을 증착시킬 때, 전도성이 아닐 수 있다. 이 경우, 장치의 크게 도핑된 반도체 층에서 전극을 형성시키기 위하여 창(window)이 반드시 열려 있어야 한다. 이것은 광학 소자의 일부(작은 영역)가 제거되어 장치의 전도성 반도체 층을 노출시켜야 한다는 것을 의미한다.

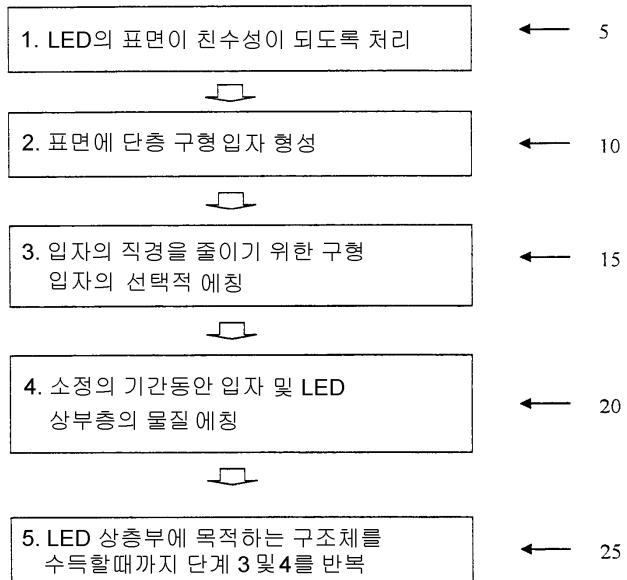
### 도면의 간단한 설명

- <37> 본 발명의 가능한 배열을 설명하는 도면을 첨부하여 본 발명을 상세히 설명한다. 본 발명의 다른 배열도 가능하고, 따라서 첨부된 도면의 특성은 본 발명에 대한 상기 설명의 일반성을 대신하는 것으로 해석되지 않는다.
- <38> 도 1은 본 발명의 하나의 실시양태에 따라 LED 상에 표면 구조체를 생성하는 과정을 나타내는 순서도이고;
- <39> 도 2a는 LED의 상부 표면에 배열된 조밀(close-packed) 구형 입자의 단층(monolayer)을 나타내는 횡단면 모식도이고;
- <40> 도 2b는 상기 표면상에 배열된 밀집 구형 입자 단층의 전면도(top view)를 나타내는 모식도이고;
- <41> 도 3은 선행기술에 의해 제조된 구조체를 나타내는 횡단면 모식도이고;
- <42> 도 4는 본 발명의 하나의 실시양태에 따라 제조된 구조체를 나타내는 횡단면 모식도이고;
- <43> 도 5a는 본 발명의 다른 실시양태에 따라 제조된 구조체를 나타내는 횡단면 모식도이고;
- <44> 도 5b는 본 발명의 다른 실시양태에 따라 제조된 구조체를 나타내는 횡단면 모식도이고;
- <45> 도 5c는 본 발명의 다른 실시양태에 따라 제조된 구조체를 나타내는 횡단면 모식도이고;
- <46> 도 6a는 본 발명의 하나의 실시양태에 따른 GaAs계 LED 웨이퍼 상에 제조된 표면 구조체의 측면부 SEM 이미지이고;
- <47> 도 6b는 본 발명의 다른 실시양태에 따른 GaAs계 LED 웨이퍼 상에 제조된 표면 구조체의 측면부 SEM 이미지이고;
- <48> 도 6c는 본 발명의 다른 실시양태에 따른 GaN계 LED 웨이퍼 상에 제조된 표면 구조체의 측면부 SEM 이미지이고;
- <49> 도 7a는 본 발명의 하나의 실시양태에 따른 GaAs계 LED 웨이퍼 상에 제조된 표면 구조체의 전면부 SEM 이미지이고;
- <50> 도 7b는 도 7a의 표면 구조체의 측면부 SEM 이미지이고;
- <51> 도 8a는 본 발명의 하나의 실시양태에 따른 GaAs계 LED 웨이퍼 상에 제조된 표면 구조체의 전면부 SEM 이미지이고;
- <52> 도 8b는 도 8a의 표면 구조체의 측면부 SEM 이미지이고;
- <53> 도 9a는 본 발명의 하나의 실시양태에 따른 GaAs계 LED 웨이퍼 상에 제조된 표면 구조체의 전면부 SEM 이미지이고;
- <54> 도 9b는 도 9a의 표면 구조체의 측면부 SEM 이미지이고;
- <55> 도 10은 도 6a의 표면 구조체를 갖지 않는 GaAs계 LED 웨이퍼(정사각형), 도 6a의 표면 구조체를 가지는 GaAs계 LED 웨이퍼(원형) 및 도 7a의 표면 구조체를 가지는 GaAs계 LED 웨이퍼(삼각형)의 PL을 비교한 그래프이고;
- <56> 도 11은 도 6c의 표면 구조체를 갖지 않는 GaN계 LED 웨이퍼(정사각형), 도 6c의 표면 구조체를 가지는 GaN계 LED 웨이퍼(원형)의 PL을 비교한 그래프이고;
- <57> 도 12는 도 6a에 나타난 것과 같은 표면 구조체를 가지는 적색 LED(원형)와 상기 표면 구조체를 갖지 않는 적색

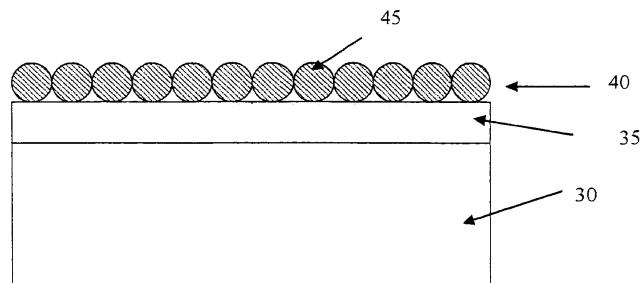
LED(정사각형)의 광출력을 비교한 그래프이다.

## 도면

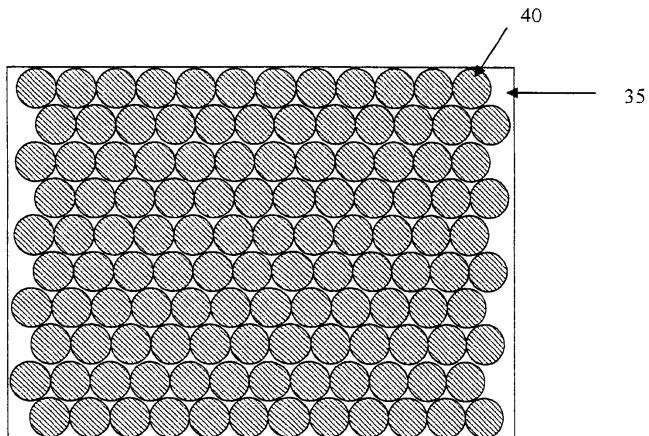
### 도면1



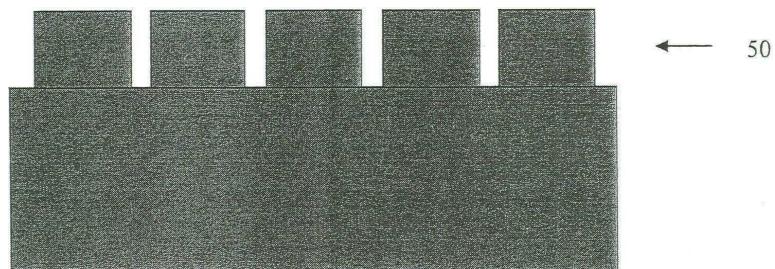
### 도면2a



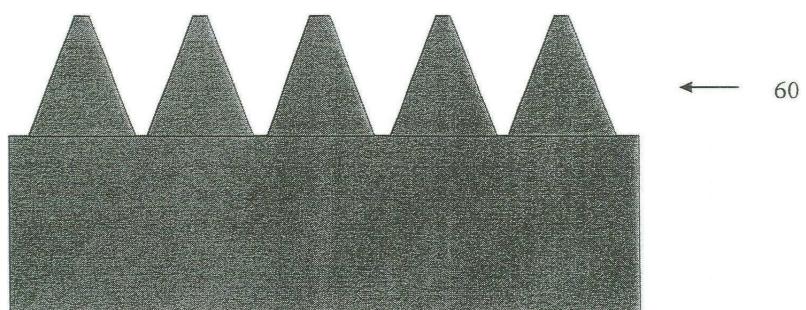
### 도면2b



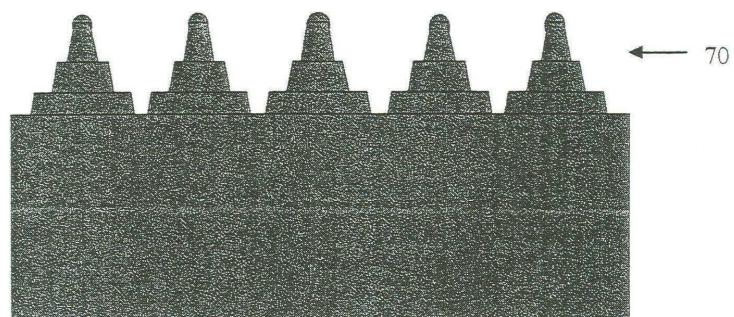
도면3



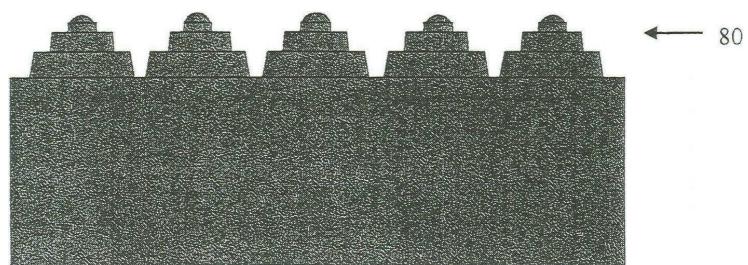
도면4



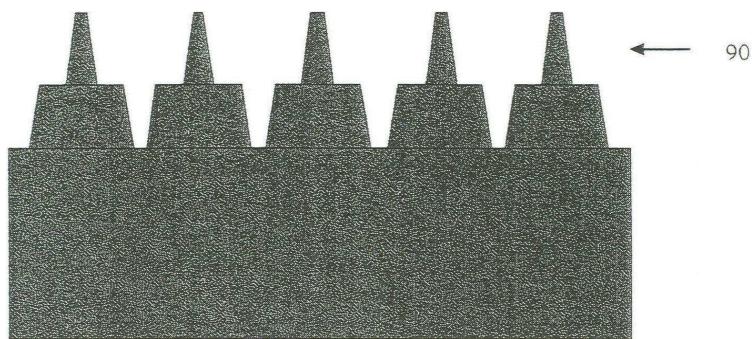
도면5a



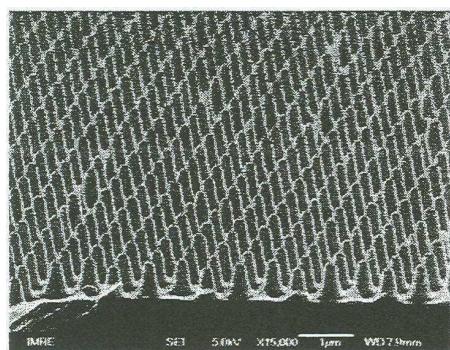
도면5b



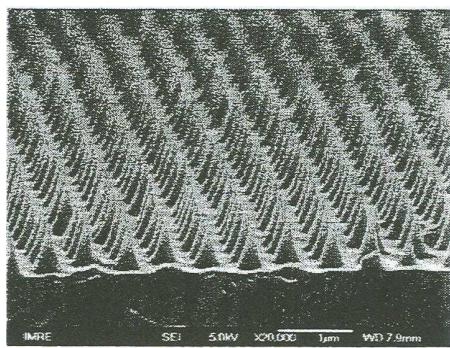
도면5c



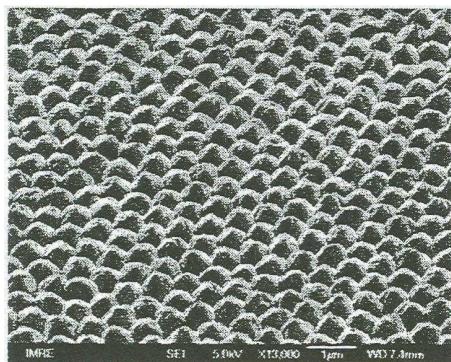
도면6a



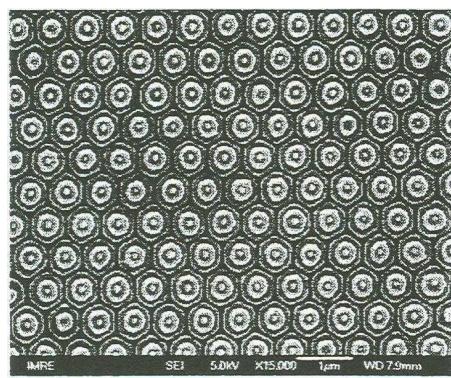
도면6b



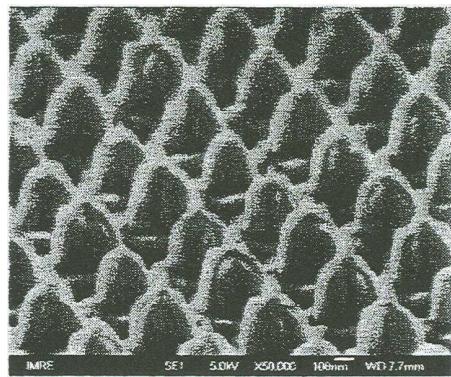
도면6c



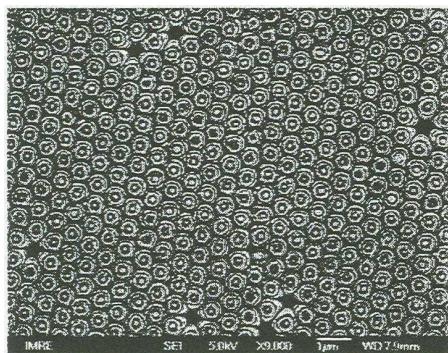
도면7a



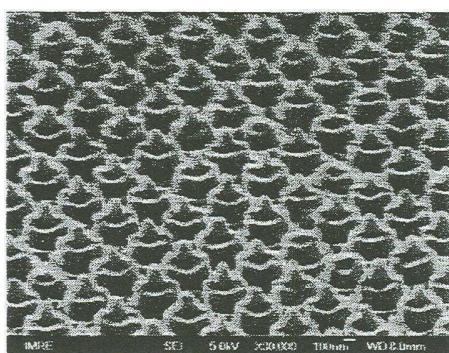
도면7b



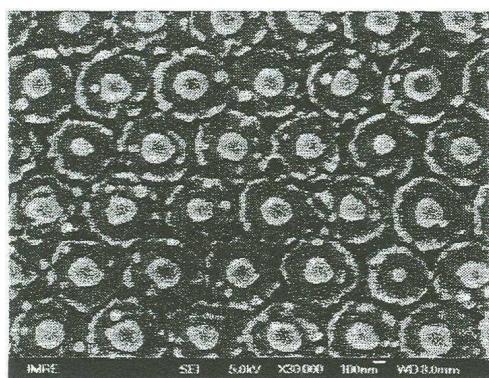
도면8a



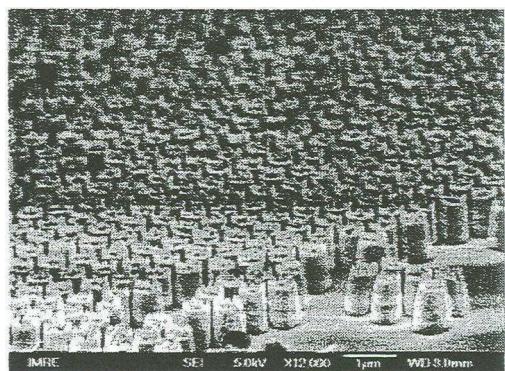
도면8b



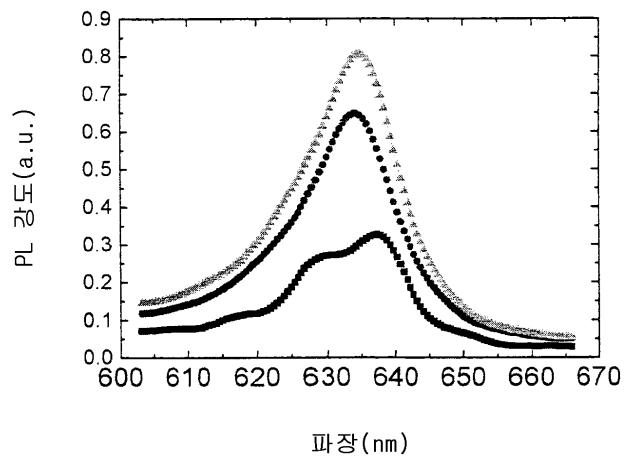
도면9a



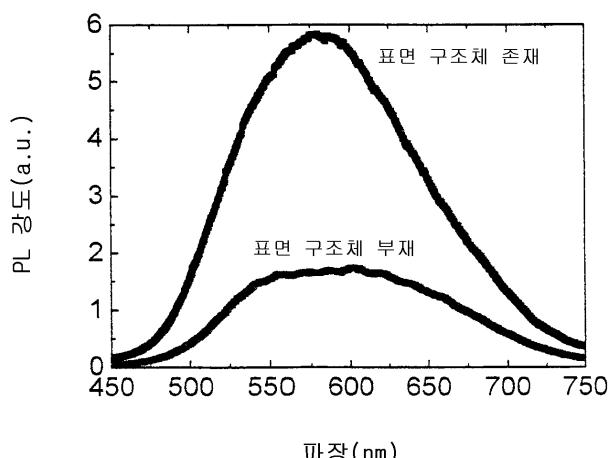
도면9b



도면10



도면11



도면12

