

發明專利說明書 200535864

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P4100218

※申請日期：P4, 1. 5 ※IPC 分類：G11C7/22

一、發明名稱：(中文/英文)

用在半導體記憶元件中的責務週期校正設備及方法

DUTY CYCLE CORRECTION APPARATUS AND METHOD FOR USE IN A
SEMICONDUCTOR MEMORY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

海力士半導體股份有限公司
HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)

鄭東洙/CHUNG, DONG-SOO

住居所或營業所地址：(中文/英文)

〒467-860 大韓民國京畿道利川市夫鉢邑牙美里山 136-1
San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do, 467-860,
Republic of Korea

國 籍：(中文/英文)

大韓民國/Republic of Korea

三、發明人：(共 1 人)

姓 名：(中文/英文)

金敬勛/KIM, KYUNG-HOON

國 籍：(中文/英文)

大韓民國/Republic of Korea

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

大韓民國 2004.04.27 10-2004-0028975

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體記憶體裝置；以及更特別地是有關於一種使用於該半導體記憶體裝置中之能校正一時鐘信號的工作週期之裝置及方法。

【先前技術】

已知一傳統工作週期校正電路(以下稱為"DCC")可分類成一類比DCC及一數位DCC。雖然該類比DCC具有大的靜電電流及窄的工作週期之校正範圍的缺點，但是具有高的校正程度(亦即，細的解析度)及小尺寸之優點。相較下，該數位DCC具有大的尺寸及相當不易於改善解析度之缺點。再者，該數位DCC更具有可能會受電源所產生之雜訊嚴重影響的缺點。然而，該數位DCC具有小的靜電流、快速之校正處理及寬的校正範圍之優點。由於此優點，最好在半導體記憶體裝置中使用該數位DCC來校正工作週期。

一傳統數位DCC揭露於2002年12月30日所提出之共同擁有的美國專利相互關聯申請案第10/331,412號中，其發明名稱為"用以校正工作週期之數位DLL裝置及其方法"，在此併入上述專利申請案以作為參考。在該傳統數位DCC中，提供用於工作週期校正之兩個延遲鎖相迴路。結果，因為在一半導體記憶體裝置中構成該兩個延遲鎖相迴路之第一及第二相位混合器、第一及第二延遲模型單元以及第一及第二直接相位偵測器係相對地大，所以該DCC可能不適合用以減少該半導體記憶體裝置之整體尺寸。

再者，爲了達成精準的同步，要求在每一延遲鎖相迴路中之第一及第二相位混合器、第一及第二延遲模型單元以及第一及第二直接相位偵測器的每一裝置具有相同延遲量，而無論製程、電壓、溫度等爲何。然而，在該傳統數位 DCC 中，藉由等化在每一延遲鎖相迴路中所包含之電路元件(亦即，該等相位混合器、該等延遲模型單元及該等直接相位偵測器)之每一延遲量，以精確地使每一延遲鎖相迴路所使用之兩個時鐘信號的相位一致是非常重要的。

【發明內容】

因此，本發明之一目的在於提供一種能夠以小尺寸來實施之工作週期校正裝置及其方法。

因此，本發明之另一目的在於提供一種能夠更快速地實施相位鎖定之工作週期校正裝置及方法。

因此，本發明之又一目的在於提供一種能夠減少電流消耗量之工作週期校正裝置及其方法。

依據本發明之一觀點，提供一種使用於一半導體記憶體裝置中之工作週期校正裝置，其包括一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號；一輸出分接頭單元，用以在由一第二時鐘信號所導出之一拋控信號(toss control signal)的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；以及一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一。

依據本發明之另一觀點，提供一種使用於一半導體記憶

體裝置中之工作週期校正裝置，其包括一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時間信號；一輸出分接頭單元，用以在一第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第一邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的下降邊緣處所配置之一延遲線輸出時鐘信號，其中該第二時鐘信號係該第一時鐘信號之互補信號；以及一相位混合器，用以混合由該延遲線輸出時鐘信號所反向之一延遲線輸出反向時鐘信號與該第一時鐘信號。

依據本發明之又一觀點，提供一種使用於一半導體記憶體裝置中之工作週期校正方法，其包括下列步驟：(a)延遲一第一時鐘信號，以產生一第一延遲時鐘信號；(b)在由一第二時鐘信號所產生之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；以及(c)混合步驟(b)所產生之時鐘信號與該第一及第二時鐘信號中之一。

依據本發明之另一觀點，提供一種使用於一半導體記憶體裝置中之工作週期校正方法，其包括下列步驟：(a)延遲一第一時鐘信號，以產生一第一延遲時鐘信號；(b)在一第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第一邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的下降邊緣處所配置之一延遲線輸出時

鐘信號，其中該第二時鐘信號係該第一時鐘信號之互補信號；以及(c)混合由該延遲線輸出時鐘信號所反向之一延遲線輸出反向時鐘信號與該第一時鐘信號。

依據本發明之又一觀點，提供一種具有一延遲鎖相迴路(DLL)之半導體記憶體裝置，其包括：一延遲線單元，用以延遲一與來自該 DLL 之一 DLL 輸出時鐘信號相關之第一時鐘信號，以產生一第一延遲時鐘信號；一輸出分接頭單元，用以在由一第二時鐘信號所導出之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一；一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

依據本發明之另一觀點，提供一種具有一延遲鎖相迴路(DLL)之半導體記憶體裝置，其包括：一延遲線區塊，用以延遲一與來自該 DLL 之一 DLL 輸出時鐘信號相關之第一時鐘信號，以產生一第一延遲時鐘信號；一輸出分接頭單元，用以在一第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第二邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的下降邊緣處所配置之一

延遲線輸出時鐘信號，其中該第二時鐘信號係該第一時鐘信號之互補信號；一相位混合器，用以混合由該延遲線輸出時鐘信號所反向之一延遲線輸出反向時鐘信號與該第一時鐘信號；一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

依據本發明之又一觀點，提供一種包括有一延遲鎖相迴路(DLL)之半導體記憶體裝置，該 DLL 具有一用以緩衝自外部所輸入之一第二時鐘信號的輸入緩衝區塊，其中該輸入緩衝區塊包括：一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號，其中該第一時鐘信號係該第二時鐘信號之互補信號；一輸出分接頭單元，用以在由該第二時鐘信號所產生之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一；一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

依據本發明之另一觀點，提供一種包括有一延遲鎖相迴

路(DLL)之半導體記憶體裝置，該 DLL 具有一用以緩衝自外部所輸入之一第二時鐘信號的輸入緩衝區塊，其中該輸入緩衝區塊包括：一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號，其中該第一時鐘信號係該第二時鐘信號之互補信號；一輸出分接頭單元，用以在該第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第一邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的脈衝之下降邊緣處所配置的一延遲線輸出時鐘信號；一相位混合器，用以混合由該延遲線輸出時鐘信號所反向之一延遲線輸出反向時鐘信號與該第一時鐘信號；一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

依據本發明之又一觀點，提供一種具有一延遲鎖相迴路(DLL)之半導體記憶體裝置，包括一輸入緩衝器，用以緩衝自外部所輸入之一第二時鐘信號；一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號，其中該第一時鐘信號係該第二時鐘信號之互補信號；一輸出分接頭單元，用以在對應於該第二時鐘信號所產生之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；一相位混合器，用以混合來自該輸出分

接頭單元之時鐘信號與該第一及第二時鐘信號中之一，藉以在該 DLL 中之一延遲線上輸出一混合時鐘信號；一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

依據本發明之另一觀點，提供一種具有一延遲鎖相迴路 (DLL) 之半導體記憶體裝置，包括一輸入緩衝器，用以緩衝自外部所輸入之一第二時鐘信號；一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號，其中該第一時鐘信號係該第二時鐘信號之互補信號；一輸出分接頭單元，用以在該第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第一邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的脈衝之下降邊緣處所配置的一延遲線輸出時鐘信號；一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一，藉此在該 DLL 中之一延遲線上輸出一混合時鐘信號；一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

從下面較佳實施例之說明並配合所附圖式可易於了解本發明之上述及其它目的以及特徵。

【實施方式】

以下，將參考所附圖式以詳細描述依據本發明之一半導體記憶體裝置。

第 1 圖係顯示依據本發明之一實施例之一工作週期校正裝置之方塊圖，以及第 2 圖係描述第 1 圖所示之工作週期校正裝置的操作之時序圖。

如第 1 圖所示，依據本發明之工作週期校正裝置包括一延遲線區塊 101、一緩衝器 102、一輸出分接頭區塊 103、一 DCC 相位混合器 104、一相位混合控制器 106 及一相位比較器 105。

特別地，該延遲線區塊 101 使一外部反向時鐘信號 clk_b 延遲一特定時間，其中該外部反向時鐘信號 clk_b 係藉由一反向器反向一外部時鐘信號 clk 所獲得的。同時，該緩衝器 102 用以緩衝該外部時鐘信號 clk ，藉以輸出一拋控信號 $toss-ctl$ 。

之後，該輸出分接頭區塊 103 延遲該外部反向時鐘信號 clk_b 之相位有該時鐘信號 clk_b 之"高"脈衝的寬度，以回應來自該緩衝器 102 之拋控信號 $toss-ctl$ ，以提供一延遲線輸出時鐘信號 DL_oclk ，其中該外部反向時鐘信號 clk_b 沿著該延遲線區塊 101 中之一延遲線行進。

該 DCC 相位混合器 104 用以使用該外部反向時鐘信號 clk_b 及一延遲線輸出反向時鐘信號 DL_oclk_b 以校正該外部

時鐘信號 clk 之工作，其中該延遲線輸出反向時鐘信號 DL_oclk_b 係藉由反向該延遲線輸出時鐘信號 DL_oclk 所獲得。該相位比較器 105 將來自該 DCC 相位混合器 104 之一 DCC 輸出時鐘信號 DCC_oclk 的相位與一 DCC 回授時鐘信號 DCC_fbclk 之相位作比較。依據在該相位比較器 105 上之比較結果，該相位混合控制器 106 輸出一用以控制該時鐘信號之相位的信號至該 DCC 相位混合器 104。

如果依據本發明之另一實施例將該外部反向時鐘信號 $clkb$ 提供至一工作週期校正裝置(未顯示)，則該延遲線區塊 101 延遲該外部時鐘信號 clk ，以及該緩衝器 102 緩衝該外部反向時鐘信號 $clkb$ ，以輸出該拋控信號 $toss_ctl$ 。在此時，該 DCC 相位混合器 104 可輸入有該外部時鐘信號 clk 及該延遲線輸出時鐘信號 DL_oclk ，以及混合該兩個時鐘信號。在此情況中，該 DCC 相位混合器 104 之一輸出時鐘信號將與第 2 圖所示之時鐘信號 DCC_oclk 成反向。

第 3 圖係顯示第 1 圖所示之延遲線區塊 101 及輸出分接頭區塊 103 的電路圖。

如所示，該輸出分接頭區塊 103 延遲該外部反向時鐘信號 $clkb$ 之相位有該時鐘信號 $clkb$ 之"高"脈衝的寬度，以回應來自該緩衝器 102 之拋控信號 $toss_ctl$ ，以便輸出該延遲線輸出時鐘信號 DL_oclk ，其中該外部反向時鐘信號 $clkb$ 沿著該延遲線區塊 101 中之一延遲線行進。亦即，在該外部反向時鐘信號 $clkb$ 之上升邊緣沿著該延遲線區塊 101 中之延遲線移動的期間，當該拋控信號 $toss_ctl$ 遷移至高邏輯位準

時，可將該信號 $clkb$ 輸出至該輸出分接頭區塊 103。依據第 1 圖所示之本發明的一實施例，一反向器可耦接至該輸出分接頭區塊 103 之輸出埠。再者，依據本發明之另一實施例，亦可將該反向器嵌入該輸出分接頭區塊 103 之內部。依據本發明之又一實施例，可將該反向器安裝於該相位混合器 104 中。應該注意到，雖然爲了簡化起見只呈現幾個實施例，但是本發明並非局限於這些實施例中。

在該工作週期校正裝置中，該拋控信號 $toss-ctl$ 可以是一配置在該外部時鐘信號 clk 之"高"脈衝的上升邊緣處之信號。再者，依據本發明之另一實施例，該拋控信號 $toss-ctl$ 可以是一配置在該外部反向時鐘信號 $clkb$ 之"高"脈衝的下降邊緣處之信號。另一方面，參考第 2 圖，該拋控信號 $toss-ctl$ 之脈衝寬度相同於該外部時鐘信號 clk 之脈衝寬度。此外，使該拋控信號 $toss-ctl$ 配置在該外部時鐘信號 clk 之"高"脈衝的上升邊緣處，以及因而可使該拋控信號 $toss-ctl$ 能成爲"高"邏輯狀態。如果該拋控信號 $toss-ctl$ 處於"低"邏輯狀態，則構成在該輸出分接頭區塊 103 中之個別輸出分接頭的 3-輸入反及閘之輸出皆處於"高"邏輯狀態。依據以上所述，該外部反向時鐘信號 $clkb$ 可行進於延遲線區塊 101 中。由於該外部反向時鐘信號 $clkb$ 之行進，該延遲線之輸出從"低"邏輯狀態遷移至"高"邏輯狀態。以下將配合表 1 來描述在該延遲線區塊 101 中之單位延遲單元(以下稱爲"UDC")及在該輸出分接頭區塊 103 中之個別輸出分接頭的操作。

表 1

UDC 之編號		301	302	303
時間		t-1	T	t+1
反及閘之 3 個 輸入	toss-ctl	高	高	高
	目前 UDC	高	高	低
	反向下一個 UDC	低	高	低

如同在表 1 中所看到，如果該外部反向時鐘信號 clk_b 之上升邊緣經過一目前 UDC 302，則 3-輸入反及閘之輸出變成 "低" 邏輯狀態。該 3-輸入反及閘之輸出使一輸出分接頭 312 中之傳送閘導通，以及然後被提供作為該延遲線輸出時鐘信號 DL_oclk 。結果，該延遲線輸出時鐘信號 DL_oclk 之上升邊緣能夠與該外部時鐘信號 clk 之下降邊緣一致。

依據本發明，該 DCC 相位混合器 104 將該外部反向時鐘信號 clk_b 之相位與該延遲線輸出反向時鐘信號 DL_oclk_b 之相位混合，藉此校正該外部時鐘信號 clk 之工作，其中該延遲線輸出反向時鐘信號 DL_oclk_b 係藉由反向該延遲線輸出時鐘信號 DL_oclk 所獲得的。

再者，依據本發明之另一實施例，該 DCC 混合器 104 可接收該外部時鐘信號 clk 及該延遲線輸出時鐘信號 DL_oclk ，以及混合該兩個時鐘信號之相位。在此情況中，該 DCC 相位混合器 104 之輸出時鐘信號係一第 2 圖所示之時鐘信號的互補時鐘信號。

然而，因為只有上述結構是無法從該 DCC 相位混合器

104 獲得期望之輸出，所以最好本發明之工作週期校正裝置進一步包括該相位比較器 105 及該相位混合控制器 106。

第 5 圖係描述第 1 圖所示之相位比較器 105 的詳細電路圖。

如所示，本發明之相位比較器 105 將來自該相位混合器 104 之 DCC 輸出時鐘信號 DCC_ock 的相位與 DCC 回授時鐘信號 DCC_fbclk 之相位作比較，以輸出複數個相位比較信號 s1_lnc、s1_Dec、s2_lnc 及 s2_Dec。如果該外部時鐘信號 clk 之工作比 (duty ratio) 大於 50%，則該 DCC 輸出時鐘信號 DCC_ock 之上升邊緣的相位落後該 DCC 回授時鐘信號 DCC_fbclk 之上升邊緣。在此情況中，該相位比較器 105 使一相位控制信號 s1 增加及使一相位控制信號 s2 減少。同時，如果該外部時鐘信號 clk 之工作比小於 50%，則該 DCC 輸出時鐘信號 DCC_ock 之上升邊緣的相位超前該 DCC 回授時鐘信號 DCC_fbclk 之上升邊緣。在此情況中，該相位比較器 105 允許該相位控制信號 s1 減少及允許該相位控制信號 s2 增加。

如第 6 圖所示，該相位混合控制器 106 可包括複數個 N 位元計數器，其藉由使用該等相位比較信號 s1_lnc、s1_Dec、s2_lnc 及 s2_Dec 計數所輸入之時鐘信號以輸出複數個相位控制信號 s1_1 至 s1_N 及 s2_1 至 s2_N。亦即，連續地增加及減少由該等相位比較信號 s1_lnc 及 s1_Dec 所啟動之相位控制信號 s1_1 至 s1_N 之數目。以相同方式，連續地增加及減少回應該等相位比較信號 s2_lnc 及 s2_Dec 所

啓動之相位控制信號號 $s2_1$ 至 $s2_N$ 之數目。之後，如第 4 圖所示，該 DCC 相位混合器 104 混合該外部反向時鐘信號 clk_b 之相位與該延遲線輸出反向時鐘信號 DL_oclk_b 之相位。

現在，以下提出依據本發明之具體操作範例。首先，假設在該延遲線輸出反向時鐘信號 DL_oclk_b 之相位前先出現該外部反向時鐘信號 clk_b 之相位。由於相位差，該相位混合控制器中之第一計數器啓動第一至第三上相位控制信號 $s1_1$ 至 $s1_3$ ，以及該第二計數器啓動一第一下相位控制信號 $s2_1$ 。在此之後，第 4 圖所示之 DCC 相位混合器 104 藉由導通之高阻抗反向器混合該外部反向時鐘信號 clk_b 之相位與該延遲線輸出反向時鐘信號 DL_oclk_b 之相位。在此時，會在該兩個時鐘信號結束後之該超前時鐘信號起的 $1/4$ 位置處產生一混合時鐘信號。

同時，作為另一實施例之相位混合控制器 106 可以下列方式來設計：啓動該等相位控制信號 $s1_1$ 至 $s1_N$ 中之任何一個信號，以及啓動該等相位控制信號 $s2_1$ 至 $s2_N$ 中之任何一個信號。對此，在第 4 圖之 DCC 相位混合器 104 中需要具有以不同尺寸設計之高阻抗反向器。換句話說，當該相位差較大時，回應該等相位控制信號而導通之高阻抗反向器的尺寸會變大。再者，可使用藉由以串聯及並聯方式組合多個高阻抗反向器來實施之方法，同時一樣維持在第 4 圖之 DCC 相位混合器 104 中高阻抗反向器的尺寸。在上述中，可進一步具有不同的方法，其以不同尺寸來設計該 DCC 相位混合器 104 中之高阻抗反向器。然而，在此基於簡化起見省

略其詳細說明。

第 7 圖係顯示依據本發明之另一實施例之一工作週期校正裝置之完整方塊圖，其中只有輸入信號係不同於第 1 圖所示之實施例。亦即，如第 7 圖之另一實施例所示，直接從外部接收該外部時鐘信號 clk 及該反向時鐘信號 $clkb$ 。

具有此結構之本發明的工作週期校正裝置可藉由連接至該延遲鎖相迴路之輸出埠來操作。在另一情況中，本發明之工作週期校正裝置可藉由連接至該延遲鎖相迴路之輸入埠來操作。亦即，本發明之工作週期校正裝置可使用於該時鐘輸入緩衝器中。在另一情況中，本發明之工作週期校正裝置可藉由位置在該時鐘輸入緩衝器與延遲鎖相迴路之間來操作。

結果，本發明可大大地減少該工作週期校正裝置之尺寸，使功率消耗減少。再者，本發明可大大地減少用以實施該工作週期校正之操作所需的時間。換句話說，在約數十至 200 週期之穩定期間實施使用該傳統延遲鎖相迴路之工作週期校正操作。然而，依據使用該新延遲鎖相迴路之本發明的工作週期校正裝置，可以只在一單一週期期間實施此校正操作。

本申請案包含有關 2004 年 4 月 27 日向韓國專利局所提出之韓國專利申請案第 2004-28975 號的標的，在此以提及方式併入該韓國專利申請案之整個內容。

如上所述，雖然以一些限制實施例及圖式來說明本發明，但是熟習該項技術者可了解到在不脫離本發明之範圍及

精神內可做各種潤飾、附加及取代，而本發明之精神和範圍係界定於下面所附之申請專利範圍中。

【圖式簡單說明】

第 1 圖係顯示依據本發明之一實施例之一工作週期校正裝置之方塊圖；

第 2 圖係描述第 1 圖所示之工作週期校正裝置的操作之時序圖；

第 3 圖係顯示第 1 圖所示之一延遲線區塊及一輸出分接頭區塊的電路圖；

第 4 圖係描述第 1 圖所示之一 DCC 相位混合器的詳細電路圖；

第 5 圖係描述第 1 圖所示之一相位比較器的詳細電路圖；

第 6 圖係描述第 1 圖所示之一相位混合控制器的詳細電路圖；以及

第 7 圖係顯示依據本發明之另一實施例之一工作週期校正裝置之方塊圖。

【主要元件符號說明】

101	延遲線區塊
102	緩衝器
103	輸出分接頭區塊
104	DCC 相位混合器
105	相位比較器
106	相位混合控制器

200535864

701	延遲線區塊
702	緩衝器
703	輸出分接頭區塊
704	DCC 相位混合器
705	相位比較器
706	相位混合控制器
clk	外部時鐘信號
clkb	外部反向時鐘信號
DCC_fbclk	DCC 回授時鐘信號
DCC_ock	DCC 輸出時鐘信號
DL_ock	延遲線輸出時鐘信號
toss-ctl	拋控信號

五、中文發明摘要：

本發明係有關於一種能以小尺寸來實施以及能更快速地實施一相位鎖定及減少電流消耗量之工作週期校正裝置及其方法。基於此，依據本發明之使用於一半導體記憶體裝置中之工作週期校正裝置包括一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號；一輸出分接頭單元，用以在由一第二時鐘信號所導出之一拋控信號 (toss control signal) 的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；以及一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一。

六、英文發明摘要：

The present invention is directed to a duty cycle correction apparatus that can be implemented in a small size, and is capable of performing a phase lock more rapidly, and reducing the amount of current being consumed, and method thereof. For this, the duty cycle correction apparatus in accordance with the present invention for use in a semiconductor memory device includes a delay line unit for delaying a first clock signal to produce a first delayed clock signal; an output tap unit for delaying the first delayed clock signal by a pulse width of a first logic state of the first clock signal under the control of a toss control signal derived from a second clock signal; and a phase mixer for mixing the clock signal from the output tap unit and one of the first and second clock signals.

十、申請專利範圍：

1. 一種工作週期校正裝置，用於一半導體記憶體裝置中，包括：
 - 一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號；
 - 一輸出分接頭單元，用以在由一第二時鐘信號所導出之一拋控信號 (toss control signal) 的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；以及
 - 一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一。
2. 如申請專利範圍第 1 項所述之工作週期校正裝置，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及該相位混合器混合一延遲線輸出反向時鐘信號與該第一時鐘信號，該延遲線輸出反向時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度及然後反向該延遲時鐘信號所獲得的。
3. 如申請專利範圍第 1 項所述之工作週期校正裝置，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及該相位混合器混合一延遲線輸出時鐘信號與該第二時鐘信號，該延遲線輸出時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度所獲得的。
4. 如申請專利範圍第 2 項所述之工作週期校正裝置，進一步包括：

一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號之相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

5.如申請專利範圍第4項所述之工作週期校正裝置，其中如果該工作週期校正輸出時鐘信號之相位落後該工作週期校正回授時鐘信號之相位，則該相位比較器使在每一相位比較信號中所包含之一第一增加信號及一第二減少信號啓動，每一相位比較信號包含該第一增加信號及該第二減少信號以及一第一減少信號及一第二增加信號。

6.如申請專利範圍第5項所述之工作週期校正裝置，其中該相位混合控制器包括：

一第一計數器，用以使用該第一增加信號及該第一減少信號計數該第二時鐘信號及產生複數個第一相位控制信號；以及

一第二計數器，用以使用該第二增加信號及該第二減少信號計數該第二時鐘信號及輸出複數個第二相位控制信號。

7.如申請專利範圍第6項所述之工作週期校正裝置，其中在複數個第一相位控制信號中，該第一計數器連續地增加及減少因回應該第一增加信號及該第一減少信號所啓動之一個或更多第一相位控制信號的數目；以及

在複數個第二相位控制信號中，該第二計數器連續地增

加及減少因回應該第二增加信號及該第二減少信號所啓動之一個或更多第二相位控制信號的數目。

- 8.如申請專利範圍第 7 項所述之工作週期校正裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

- 9.如申請專利範圍第 8 項所述之工作週期校正裝置，其中該等第一及第二並聯高阻抗反向器分別攜帶相同之電流量。

- 10.如申請專利範圍第 6 項所述之工作週期校正裝置，其中該第一計數器啓動對應於該第一增加信號及該第一減少信號之複數個第一相位控制信號中之一；以及

該第二計數器啓動對應於該第二增加信號及該第二減少信號之複數個第二相位控制信號中之一。

- 11.如申請專利範圍第 10 項所述之工作週期校正裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相

位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

12. 如申請專利範圍第 11 項所述之工作週期校正裝置，其中該等第一並聯高阻抗反向器分別攜帶不同之電流量。

13. 一種工作週期校正裝置，用於一半導體記憶體裝置中，包括：

一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時間信號；

一輸出分接頭單元，用以在一第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第一邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的下降邊緣處所配置之一延遲線輸出時鐘信號，其中該第二時鐘信號係該第一時鐘信號之互補信號；以及

一相位混合器，用以混合由該延遲線輸出時鐘信號所反向之一延遲線輸出反向時鐘信號與該第一時鐘信號。

14. 如申請專利範圍第 13 項所述之工作週期校正裝置，進一步包括一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號之相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

15.如申請專利範圍第 14 項所述之工作週期校正裝置，其中如果該工作週期校正輸出時鐘信號之一上升邊緣的相位落後該工作週期校正回授時鐘信號之相位，則該相位比較器使在每一相位比較信號中所包含之一第一增加信號及一第二減少信號啓動，每一相位比較信號包含該第一增加信號及該第二減少信號以及一第一減少信號及一第二增加信號。

16.如申請專利範圍第 15 項所述之工作週期校正裝置，其中該相位混合控制器包括：

一第一計數器，用以使用該第一增加信號及該第一減少信號計數該第二時鐘信號及產生複數個第一相位控制信號；以及

一第二計數器，用以使用該第二增加信號及該第二減少信號計數該第二時鐘信號及輸出複數個第二相位控制信號。

17.如申請專利範圍第 16 項所述之工作週期校正裝置，其中在複數個第一相位控制信號中，該第一計數器連續地增加及減少因回應該第一增加信號及該第一減少信號所啓動之一個或更多第一相位控制信號的數目；以及

在複數個第二相位控制信號中，該第二計數器連續地增加及減少因回應該第二增加信號及該第二減少信號所啓動之一個或更多第二相位控制信號的數目。

18.如申請專利範圍第 17 項所述之工作週期校正裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器

之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

19.如申請專利範圍第 18 項所述之工作週期校正裝置，其中該等第一及第二並聯高阻抗反向器分別攜帶相同之電流量。

20.如申請專利範圍第 16 項所述之工作週期校正裝置，其中該第一計數器啓動對應於該第一增加信號及該第一減少信號之複數個第一相位控制信號中之一；以及

該第二計數器啓動對應於該第二增加信號及該第二減少信號之複數個第二相位控制信號中之一。

21.如申請專利範圍第 20 項所述之工作週期校正裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

22.如申請專利範圍第 21 項所述之工作週期校正裝置，其中該等第一並聯高阻抗反向器分別攜帶不同之電流量。

23.一種工作週期校正方法，用於一半導體記憶體裝置，包括下列步驟：

(a)延遲一第一時鐘信號，以產生一第一延遲時鐘信號；

(b)在由一第二時鐘信號所產生之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；以及

(c)混合步驟(b)所產生之時鐘信號與該第一及第二時鐘信號中之一。

24.如申請專利範圍第 23 項之工作週期校正方法，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及步驟(c)混合一延遲線輸出反向時鐘信號及該第一時鐘信號，該延遲線輸出反向時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度及然後反向該延遲時鐘信號所獲得的。

25.如申請專利範圍第 23 項之工作週期校正方法，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及步驟(c)混合一延遲線輸出時鐘信號及該第二時鐘信號，該延遲線輸出時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度所獲得的。

26.一種工作週期校正方法，用於一半導體記憶體裝置，包括下列步驟：

(a)延遲一第一時鐘信號，以產生一第一延遲時鐘信號；

(b)在一第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第一邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的下降邊緣處所配置之一延遲線輸出時鐘信號，其中該第二時鐘信號係該第一時鐘信號之互補信號；以及

(c)混合由該延遲線輸出時鐘信號所反向之一延遲線輸出反向時鐘信號與該第一時鐘信號。

27.如申請專利範圍第 23、24 及 26 項中任何一項所述之工作週期校正方法，進一步包括下列步驟：

(d)將自步驟(c)所輸出之一工作週期校正輸出時鐘信號之相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

(e)依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

28.如申請專利範圍第 27 項所述之工作週期校正方法，其中如果該工作週期校正輸出時鐘信號之一上升邊緣的相位落後該工作週期校正回授時鐘信號之相位，則步驟(d)使在每一相位比較信號中所包含之一第一增加信號及一第二減少信號啓動，每一相位比較信號包含該第一增加信號及該第二減少信號以及一第一減少信號及一第二增加信號。

29.如申請專利範圍第 28 項所述之工作週期校正方法，其中步驟(e)包括下列步驟：

(f)使用該第一增加信號及該第一減少信號計數該第二

時鐘信號及產生複數個第一相位控制信號；以及

(g)使用該第二增加信號及該第二減少信號計數該第二時鐘信號及輸出複數個第二相位控制信號。

30.如申請專利範圍第 29 項所述之工作週期校正方法，其中在複數個第一相位控制信號中，步驟(f)連續地增加及減少因回應該第一增加信號及該第一減少信號所啟動之一個或更多第一相位控制信號的數目；以及

在複數個第二相位控制信號中，步驟(g)連續地增加及減少因回應該第二增加信號及該第二減少信號所啟動之一個或更多第二相位控制信號的數目。

31.如申請專利範圍第 29 項所述之工作週期校正方法，其中步驟(f)啟動對應於該第一增加信號及該第一減少信號之複數個第一相位控制信號中之一；以及

步驟(g)啟動對應於該第二增加信號及該第二減少信號之複數個第二相位控制信號中之一。

32.一種半導體記憶體裝置，具有一延遲鎖相迴路(DLL)，包括：

一延遲線單元，用以延遲一與來自該 DLL 之一 DLL 輸出時鐘信號相關之第一時鐘信號，以產生一第一延遲時鐘信號；

一輸出分接頭單元，用以在由一第二時鐘信號所導出之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；

一相位混合器，用以混合來自該輸出分接頭單元之時鐘

信號與該第一及第二時鐘信號中之一；

一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

33.如申請專利範圍第 32 項所述之半導體記憶體裝置，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及該相位混合器混合一延遲線輸出反向時鐘信號及該第一時鐘信號，該延遲線輸出反向時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度及然後反向該延遲時鐘信號所獲得的。

34.如申請專利範圍第 32 項所述之半導體記憶體裝置，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及該相位混合器混合一延遲線輸出時鐘信號及該第二時鐘信號，該延遲線輸出時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度所獲得的。

35.一種半導體記憶體裝置，具有一延遲鎖相迴路(DLL)，包括：

一延遲線裝置，用以延遲一與來自該 DLL 之一 DLL 輸出時鐘信號相關之第一時鐘信號，以產生一第一延遲時鐘信號；

一輸出分接頭單元，用以在一第二時鐘信號之第一邏輯

狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第二邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的下降邊緣處所配置之一延遲線輸出時鐘信號，其中該第二時鐘信號係該第一時鐘信號之互補信號；

一相位混合器，用以混合由該延遲線輸出時鐘信號所反向之一延遲線輸出反向時鐘信號與該第一時鐘信號；

一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

36.如申請專利範圍第 32、33 及 35 項中任何一項所述之半導體記憶體裝置，其中如果該工作週期校正輸出時鐘信號之相位落後該工作週期校正回授時鐘信號之相位，則該相位比較器使在每一相位比較信號中所包含之一第一增加信號及一第二減少信號啓動，每一相位比較信號包含該第一增加信號及該第二減少信號以及一第一減少信號及一第二增加信號。

37.如申請專利範圍第 36 項所述之半導體記憶體裝置，其中該相位混合控制器包括：

一第一計數器，用以使用該第一增加信號及該第一減少信號計數該第二時鐘信號及產生複數個第一相位控制信號；以及

一 第二計數器，用以使用該第二增加信號及該第二減少信號計數該第二時鐘信號及輸出複數個第二相位控制信號。

38. 如申請專利範圍第 37 項所述之半導體記憶體裝置，其中在複數個第一相位控制信號中，該第一計數器連續地增加及減少因回應該第一增加信號及該第一減少信號所啓動之一個或更多第一相位控制信號的數目；以及

在複數個第二相位控制信號中，該第二計數器連續地增加及減少因回應該第二增加信號及該第二減少信號所啓動之一個或更多第二相位控制信號的數目。

39. 如申請專利範圍第 38 項所述之半導體記憶體裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

40. 如申請專利範圍第 39 項所述之半導體記憶體裝置，其中該等第一及第二並聯高阻抗反向器分別攜帶相同之電流量。

41. 如申請專利範圍第 37 項所述之半導體記憶體裝置，其中該第一計數器啓動對應於該第一增加信號及該第一減少

信號之複數個第一相位控制信號中之一；以及

該第二計數器啓動對應於該第二增加信號及該第二減少信號之複數個第二相位控制信號中之一。

42. 如申請專利範圍第 41 項所述之半導體記憶體裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

43. 如申請專利範圍第 42 項所述之半導體記憶體裝置，其中該等第一並聯高阻抗反向器分別攜帶不同之電流量。

44. 一種半導體記憶體裝置，包括一延遲鎖相迴路(DLL)，該 DLL 具有一用以緩衝自外部所輸入之一第二時鐘信號的輸入緩衝裝置，

其中該輸入緩衝裝置包括：

一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號，其中該第一時鐘信號係該第二時鐘信號之互補信號；

一輸出分接頭單元，用以在由該第二時鐘信號所產生之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；

一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一；

一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

45. 如申請專利範圍第 44 項所述之半導體記憶體裝置，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及該相位混合器混合一延遲線輸出反向時鐘信號與該第一時鐘信號，該延遲線輸出反向時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度及然後反向該延遲時鐘信號所獲得的。

46. 如申請專利範圍第 44 項所述之半導體記憶體裝置，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及該相位混合器混合一延遲線輸出時鐘信號與該第二時鐘信號，該延遲線輸出時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度所獲得的。

47. 一種半導體記憶體裝置，包括一延遲鎖相迴路(DLL)，該 DLL 具有一用以緩衝自外部所輸入之一第二時鐘信號的輸入緩衝裝置，

其中該輸入緩衝裝置包括：

一延遲線單元，用以延遲一第一時鐘信號，以產生一第

一延遲時鐘信號，其中該第一時鐘信號係該第二時鐘信號之互補信號；

一輸出分接頭單元，用以在該第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第一邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的脈衝之下降邊緣處所配置的一延遲線輸出時鐘信號；

一相位混合器，用以混合由該延遲線輸出時鐘信號所反向之一延遲線輸出反向時鐘信號與該第一時鐘信號；

一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

48.如申請專利範圍第 44、45 及 47 項中任何一項所述之半導體記憶體裝置，其中如果該工作週期校正輸出時鐘信號之相位落後該工作週期校正回授時鐘信號之相位，則該相位比較器使在每一相位比較信號中所包含之一第一增加信號及一第二減少信號啓動，每一相位比較信號包含該第一增加信號及該第二減少信號以及一第一減少信號及一第二增加信號。

49.如申請專利範圍第 48 項所述之半導體記憶體裝置，其中該相位混合控制器包括：

一第一計數器，用以使用該第一增加信號及該第一減少信號計數該第二時鐘信號及產生複數個第一相位控制信號；以及

一第二計數器，用以使用該第二增加信號及該第二減少信號計數該第二時鐘信號及輸出複數個第二相位控制信號。

50.如申請專利範圍第 49 項所述之半導體記憶體裝置，其中在複數個第一相位控制信號中，該第一計數器連續地增加及減少因回應該第一增加信號及該第一減少信號所啟動之一個或更多第一相位控制信號的數目；以及

在複數個第二相位控制信號中，該第二計數器連續地增加及減少因回應該第二增加信號及該第二減少信號所啟動之一個或更多第二相位控制信號的數目。

51.如申請專利範圍第 50 項所述之半導體記憶體裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

52.如申請專利範圍第 51 項所述之半導體記憶體裝置，其中該等第一及第二並聯高阻抗反向器分別攜帶相同之電流

量。

53. 如申請專利範圍第 49 項所述之半導體記憶體裝置，其中該第一計數器啟動對應於該第一增加信號及該第一減少信號之複數個第一相位控制信號中之一；以及

該第二計數器啟動對應於該第二增加信號及該第二減少信號之複數個第二相位控制信號中之一。

54. 如申請專利範圍第 53 項所述之半導體記憶體裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

55. 如申請專利範圍第 54 項所述之半導體記憶體裝置，其中該等第一並聯高阻抗反向器分別攜帶不同之電流量。

56. 一種半導體記憶體裝置，具有一延遲鎖相迴路(DLL)，包括：

一輸入緩衝器，用以緩衝自外部所輸入之一第二時鐘信號；

一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號，其中該第一時鐘信號係該第二時鐘信號之互補信號；

一輸出分接頭單元，用以在對應於該第二時鐘信號所產生之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度；

一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一，藉以在該 DLL 中之一延遲線上輸出一混合時鐘信號；

一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

57. 如申請專利範圍第 56 項所述之半導體記憶體裝置，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及該相位混合器混合一延遲線輸出反向時鐘信號與該第一時鐘信號，該延遲線輸出反向時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度及然後反向該延遲時鐘信號所獲得的。

58. 如申請專利範圍第 56 項所述之半導體記憶體裝置，其中該第一時鐘信號係該第二時鐘信號之互補信號，以及該相位混合器混合一延遲線輸出時鐘信號與該第二時鐘信號，該延遲線輸出時鐘信號係藉由延遲該第一延遲時鐘信號有該第一時鐘信號之第一邏輯狀態的脈衝寬度所獲得的。

59. 一種半導體記憶體裝置，具有一延遲鎖相迴路(DLL)，包

括：

一輸入緩衝器，用以緩衝自外部所輸入之一第二時鐘信號；

一延遲線單元，用以延遲一第一時鐘信號，以產生一第一延遲時鐘信號，其中該第一時鐘信號係該第二時鐘信號之互補信號；

一輸出分接頭單元，用以在該第二時鐘信號之第一邏輯狀態的上升邊緣處所配置之一拋控信號的控制下延遲該第一延遲時鐘信號有該第一延遲時鐘信號之第一邏輯狀態的脈衝寬度，以產生在該第一延遲時鐘信號之第一邏輯狀態的脈衝之下降邊緣處所配置的一延遲線輸出時鐘信號；

一相位混合器，用以混合來自該輸出分接頭單元之時鐘信號與該第一及第二時鐘信號中之一，藉此在該 DLL 中之一延遲線上輸出一混合時鐘信號；

一相位比較器，用以將該相位混合器所輸出之一工作週期校正輸出時鐘信號的相位與一工作週期校正回授時鐘信號之相位作比較，以提供複數個相位比較信號；以及

一相位混合控制器，用以依據該第二時鐘信號計數該等相位比較信號之數目，以產生複數個相位控制信號。

60. 如申請專利範圍第 56、57 及 59 項中任何一項所述之半導體記憶體裝置，其中如果該工作週期校正輸出時鐘信號之相位落後該工作週期校正回授時鐘信號之相位，則該相位比較器使在每一相位比較信號中所包含之一第一增加信

號及一第二減少信號啓動，每一相位比較信號包含該第一增加信號及該第二減少信號以及一第一減少信號及一第二增加信號。

61.如申請專利範圍第 60 項所述之半導體記憶體裝置，其中該相位混合控制器包括：

一第一計數器，用以使用該第一增加信號及該第一減少信號計數該第二時鐘信號及產生複數個第一相位控制信號；以及

一第二計數器，用以使用該第二增加信號及該第二減少信號計數該第二時鐘信號及輸出複數個第二相位控制信號。

62.如申請專利範圍第 61 項所述之半導體記憶體裝置，其中在複數個第一相位控制信號中，該第一計數器連續地增加及減少因回應該第一增加信號及該第一減少信號所啓動之一個或更多第一相位控制信號的數目；以及

在複數個第二相位控制信號中，該第二計數器連續地增加及減少因回應該第二增加信號及該第二減少信號所啓動之一個或更多第二相位控制信號的數目。

63.如申請專利範圍第 62 項所述之半導體記憶體裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

每一第一並聯高阻抗反向器專門輸入該複數個第一相

位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

64.如申請專利範圍第 63 項所述之半導體記憶體裝置，其中該等第一及第二並聯高阻抗反向器分別攜帶相同之電流量。

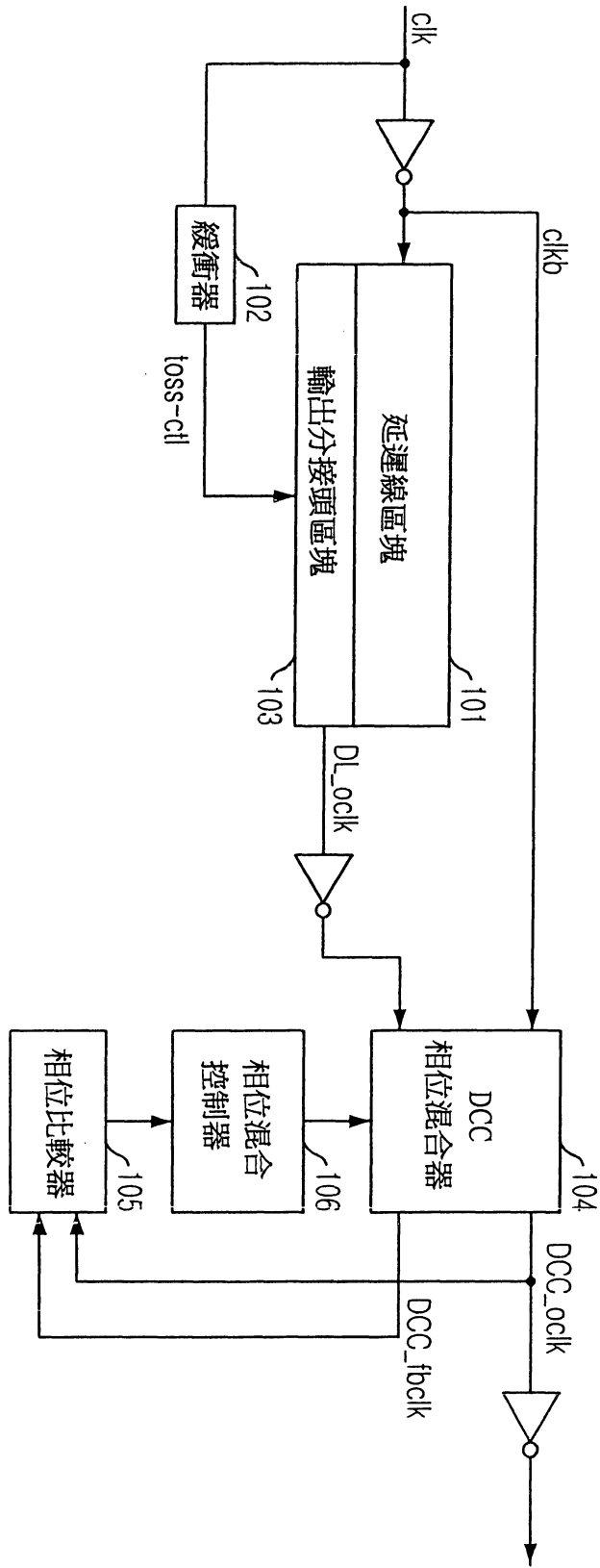
65.如申請專利範圍第 61 項所述之半導體記憶體裝置，其中該第一計數器啓動對應於該第一增加信號及該第一減少信號之複數個第一相位控制信號中之一；以及

該第二計數器啓動對應於該第二增加信號及該第二減少信號之複數個第二相位控制信號中之一。

66.如申請專利範圍第 65 項所述之半導體記憶體裝置，其中該相位混合器包括一具有複數個第一並聯高阻抗反向器之第一高阻抗反向埠，用以輸入該第一延遲時鐘信號，以及一具有複數個第二並聯高阻抗反向器之第二高阻抗反向埠，用以輸入該延遲線輸出反向時鐘信號；以及

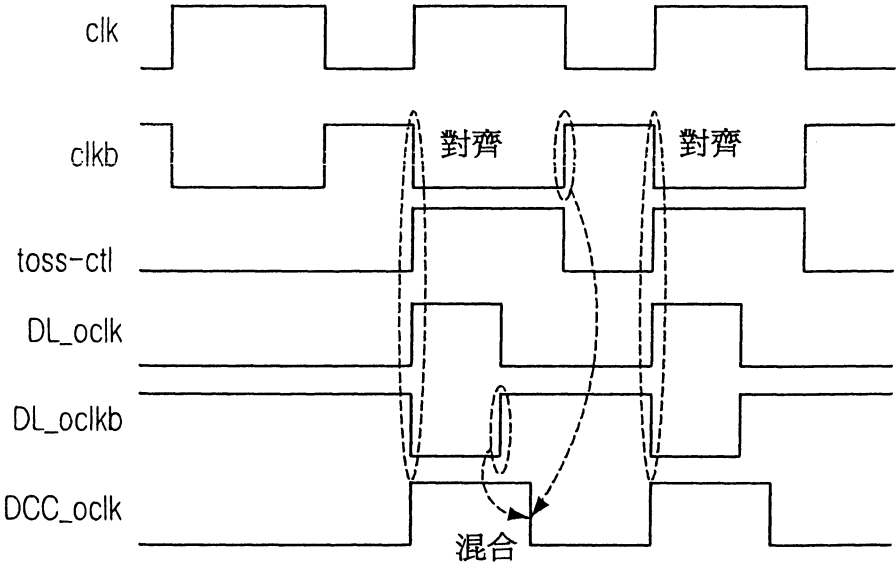
每一第一並聯高阻抗反向器專門輸入該複數個第一相位控制信號中之一，每一第二並聯高阻抗反向器專門輸入該複數個第二相位控制信號中之一，以及該等第一及第二並聯高阻抗反向器之輸出係耦接至一單一節點。

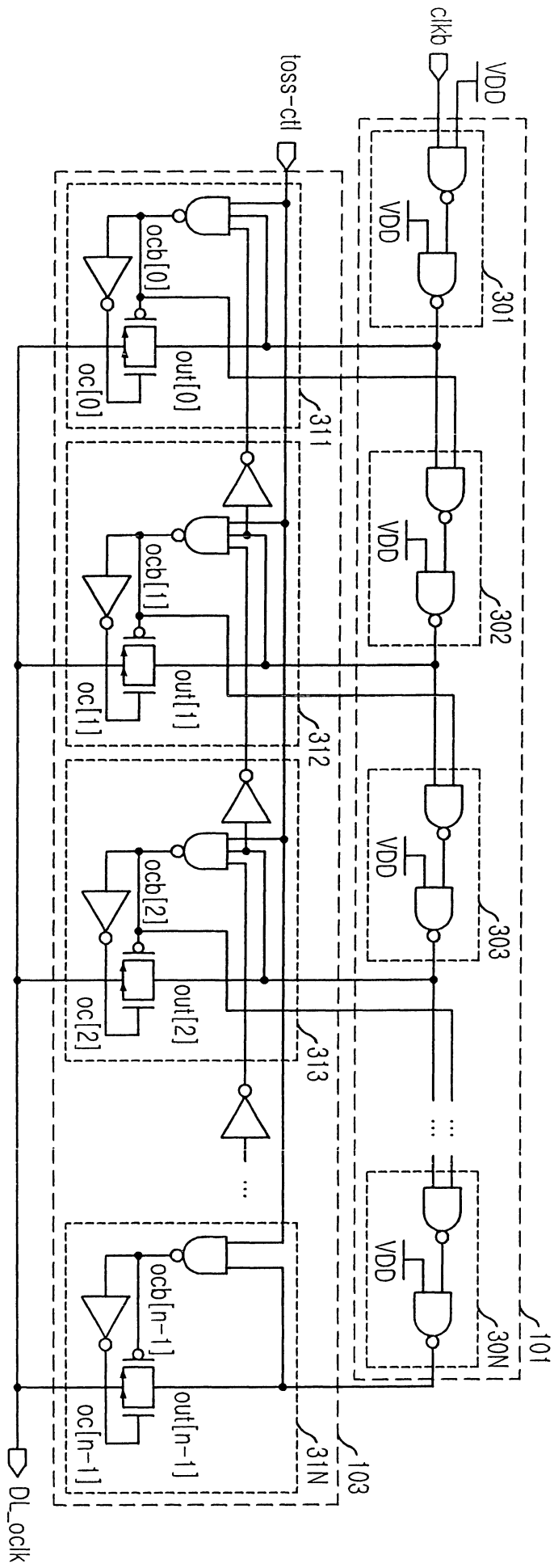
67.如申請專利範圍第 54 項所述之半導體記憶體裝置，其中該等第一並聯高阻抗反向器分別攜帶不同之電流量。



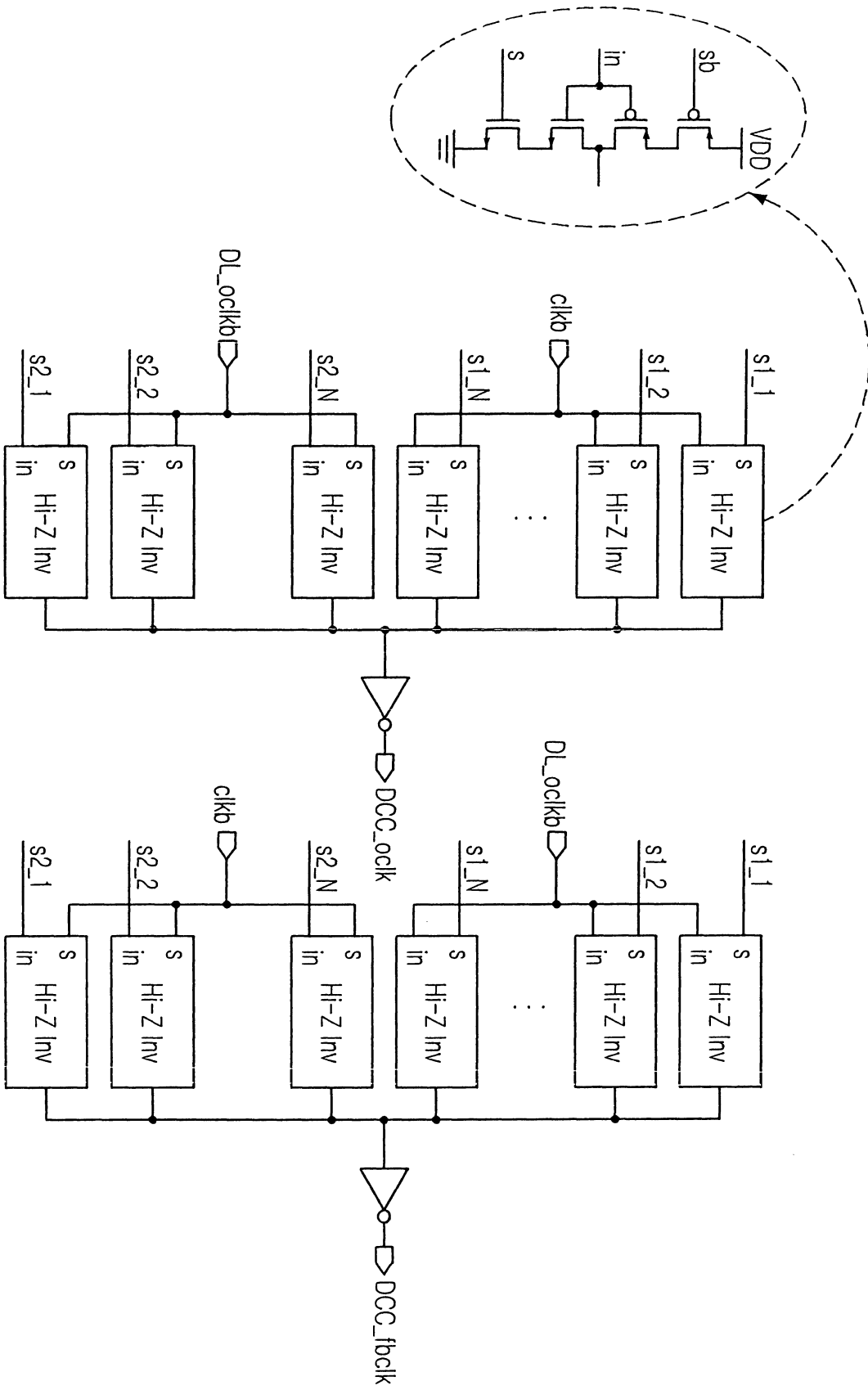
第 1 圖

第 2 圖



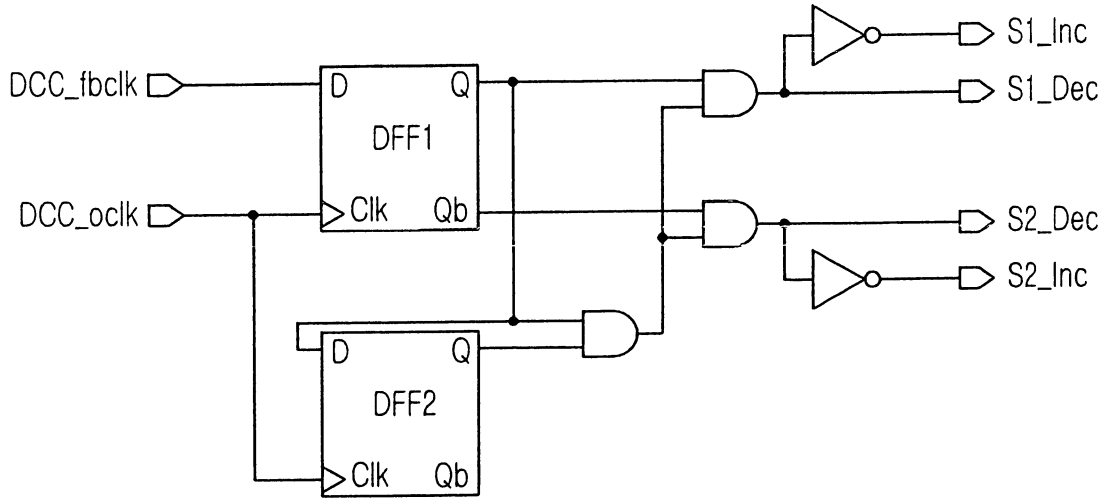


第 3 圖

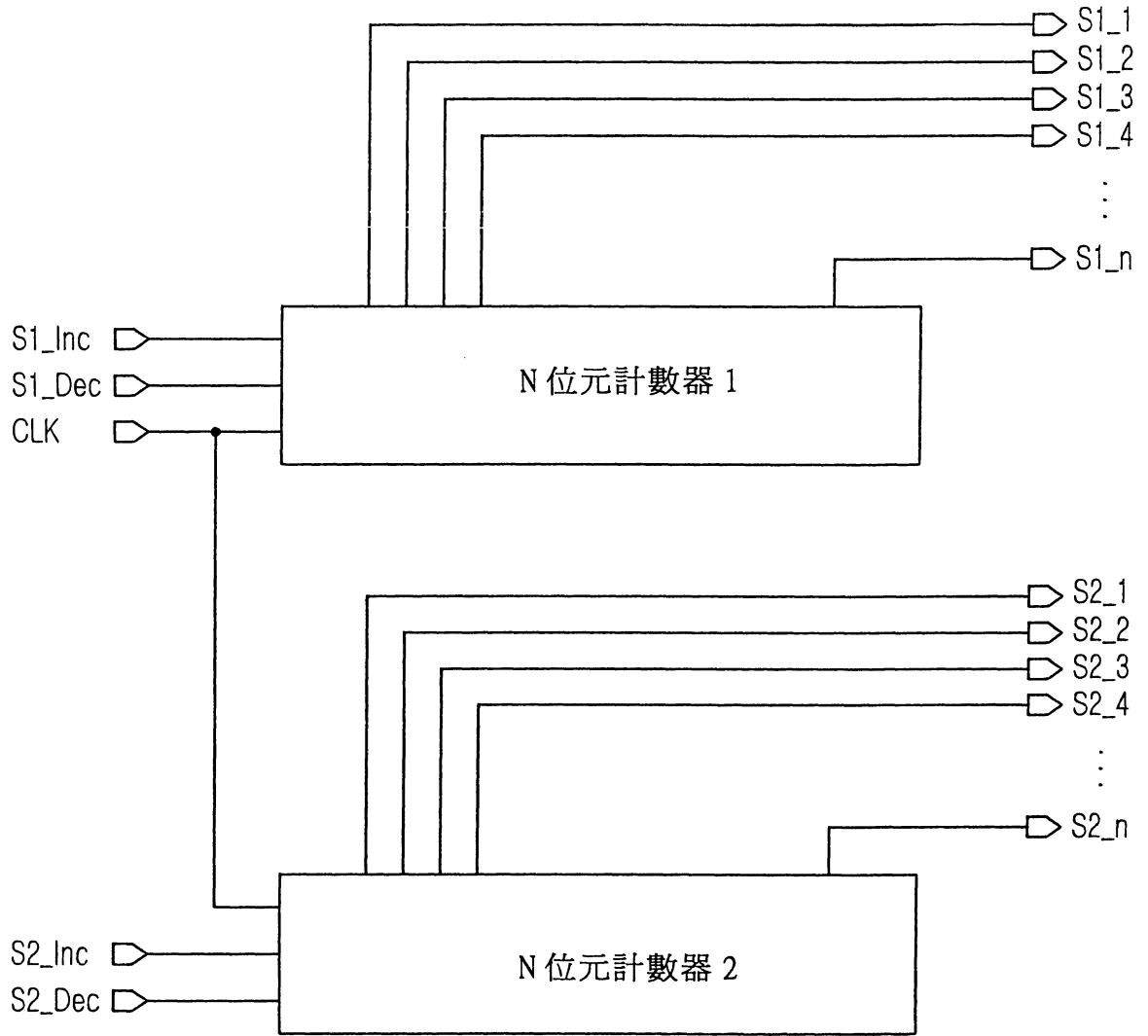


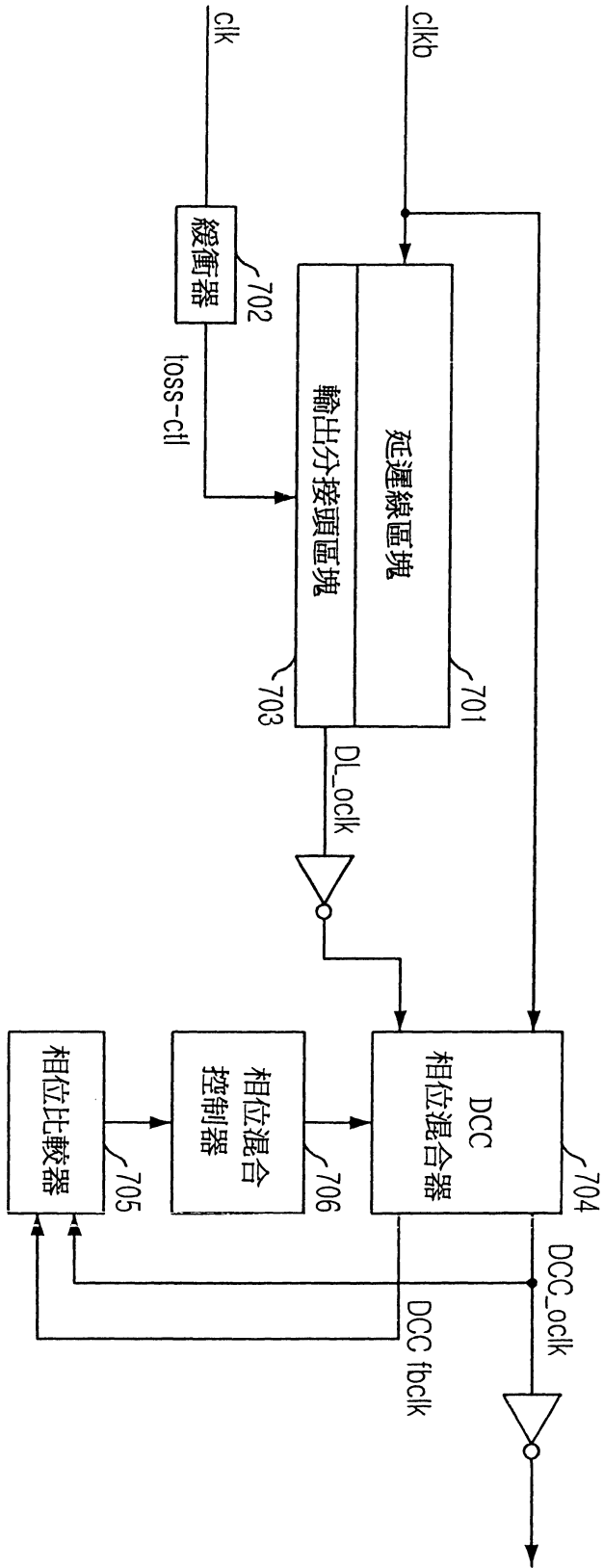
第 4 圖

第 5 圖



第 6 圖





第 7 圖

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件符號簡單說明：

101	延遲線區塊
102	緩衝器
103	輸出分接頭區塊
104	DCC 相位混合器
105	相位比較器
106	相位混合控制器
clk	外部時鐘信號
clkb	外部反向時鐘信號
DCC_fbclk	DCC 回授時鐘信號
DCC_ock	DCC 輸出時鐘信號
DL_ock	延遲線輸出時鐘信號
toss-ctl	拋控信號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：