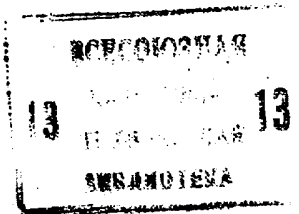




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

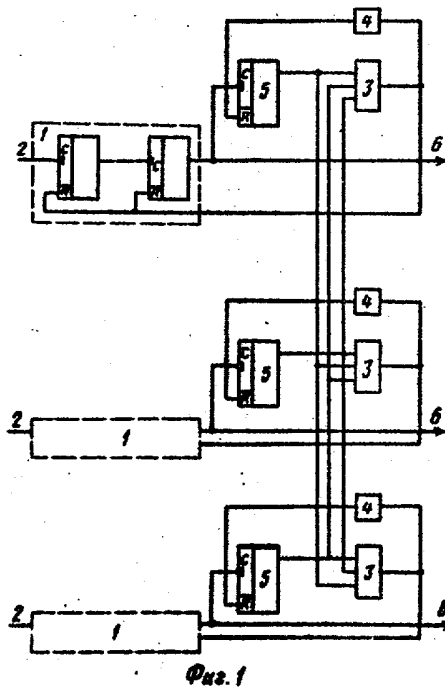
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3650704/24-21
- (22) 11.10.83
- (46) 23.06.85. Бюл. № 23
- (72) М.Ф.Семенов
- (71) Харьковский институт инженеров железнодорожного транспорта им. С.М.Кирова
- (53) 621.374.32(088.8)
- (56) 1. Авторское свидетельство СССР № 961155, кл. Н 03 К 23/02, 06.02.81.
- 2. Авторское свидетельство СССР № 417912, кл. Н 03 К 23/02, 04.05.72 (прототип).

(54)(57) РЕЗЕРВИРОВАННЫЙ ДЕЛИТЕЛЬ ЧАСТОТЫ, содержащий каналы деления, каждый из которых состоит из счет-

чика импульсов, счетный вход которого соединен с входной шиной, и мажоритарного элемента, отличающийся тем, что, с целью повышения надежности делителя в каждый канал деления введены элемент задержки и триггер, счетный вход которого соединен с выходом последнего разряда счетчика импульсов этого канала, а выход - с соответствующими входами мажоритарных элементов всех каналов, выход мажоритарного элемента каждого канала соединен с входом сброса счетчика импульсов и через элемент задержки - с входом сброса триггера этого канала.



(19) **SU** (11) 1163473 **A**

Изобретение относится к импульсной технике и может быть использовано в устройствах автоматики и вычислительной техники при предъявлении к этим устройствам высоких требований по надежности.

Известен резервированный делитель частоты, содержащий каналы деления, каждый из которых состоит из двух мажоритарных элементов, триггера, двух элементов И и элемента И-НЕ [1].

Недостатком этого устройства является низкая надежность (отказоустойчивость), так как при отказе одного из резервируемых каналов сбой в одном из работоспособных каналов приводит к нарушению нормального функционирования всего устройства. Например, при отказе триггера первого канала и появлении на его инверсном выходе постоянного сигнала логического нуля сбой в одном из работоспособных каналов приводит к блокировке элемента И-НЕ, на выходе которого будет постоянный сигнал логической единицы, и к появлению на выходе второго мажоритарного элемента постоянного сигнала логического нуля, что равнозначно выходу из строя системы фазирования.

Наиболее близким по технической сущности к изобретению является резервированный делитель частоты, содержащий каналы деления, каждый из которых состоит из счетчика импульсов, счетный вход которого соединен с входной шиной, мажоритарного элемента, дешифратора состояний и элемента И-НЕ, первый вход которого соединен с источником проинвертированной входной импульсной последовательности, выход - с входом сброса счетчика импульсов, а второй вход - с инверсным выходом мажоритарного элемента, соответствующие входы которого соединены с выходами дешифраторов состояния всех каналов, входы дешифратора состояний соединены с разрядными выходами счетчика импульсов [2].

Недостаток известного резервированного делителя частоты заключается в его невысокой надежности, так как при сбое во всех каналах или при отказе в одном из резервируемых каналов и сбое в любом из оставших-

ся работоспособными, все устройство может оказаться неработоспособным.

Цель изобретения - повышение надежности устройства.

5 Поставленная цель достигается тем, что в резервированный делитель частоты, содержащий каналы деления, каждый из которых состоит из счетчика импульсов, счетный вход которого соединен с входной шиной, и мажоритарного элемента, в каждый канал деления введены элемент задержки и триггер, счетный вход которого соединен с выходом последнего разряда счетчика импульсов этого канала, а выход - с соответствующими входами мажоритарных элементов всех каналов, выход мажоритарного элемента каждого канала соединен с входом сброса счетчика импульсов и через элемент задержки - с входом сброса триггера этого канала.

На фиг. 1 представлена электрическая структурная схема резервированного делителя частоты (с тремя каналами); на фиг. 2 и 3 - временные диаграммы, поясняющие работу устройства в отсутствие отказа каналов и при наличии отказа в одном из каналов соответственно.

Резервированный делитель частоты содержит каналы деления, каждый из которых состоит из счетчика 1 импульсов, счетный вход которого соединен с входной шиной 2, и мажоритарного элемента 3, в каждый канал деления введен элемент 4 задержки и триггер 5, счетный вход которого соединен с выходом последнего разряда счетчика 1 импульсов этого канала, а выход - с соответствующими входами мажоритарных элементов 3 всех каналов, выход мажоритарного элемента 3 каждого канала соединен с входом сброса счетчика 1 импульсов, и через элемент 4 задержки - с входом сброса триггера 5 этого канала, выход последнего разряда счетчика 1 импульсов соединен с выходной шиной 6.

На фиг. 2а и 3а показаны входные импульсы каналов деления; на фиг. 2б, в, г и 3б, в, г - сигналы с выхода первого разряда счетчиков 1 импульсов соответственно первого, второго и третьего каналов деления; на фиг. 2д, е, ж и 3д, е, ж - сигналы с выхода последнего

разряда счетчиков 1 импульсов соответственно первого, второго и третьего каналов деления; на фиг. 2з, и, к и 3з, и, к - импульсы с выхода триггера 5 соответственно первого, второго и третьего каналов деления; на фиг. 2л и 3л - импульсы с выхода мажоритарного элемента 3; на фиг. 2м и 3м - импульсы с выхода элемента 4 задержки.

Резервированный делитель частоты работает следующим образом.

Предположим, что в исходном состоянии выходы счетчика 1 всех каналов находятся в различных состояниях: "00", "10"; "01" (фиг. 2д, б, е, в, ж, г), по шинам 2 в каждый из каналов поступают синхронно и синфазно входные импульсы, а триггеры 5 всех каналов находятся в нулевом состоянии. По каждому заднему фронту входных импульсов счетчики 1 будут последовательно изменять свое состояние на "01", "11" "10" - после прихода первого входного импульса и на "10", "00", "11" - после прихода второго входного импульса. Так как во втором канале счетчик 1 перешел из состояния "11" в состояние "00", то по заднему фронту сигнала с выхода последнего разряда этого счетчика импульсов (фиг. 2е) триггер 5 этого канала устанавливается в состояние 1 (фиг. 2и). С приходом третьего входного импульса выходы счетчиков 1 первого, второго и третьего каналов устанавливаются соответственно в состояние "11", "01", "00". По заднему фронту сигнала с выхода последнего разряда счетчика 1 третьего канала (фиг. 2ж) триггер 5 этого канала устанавливается в состояние "1" (фиг. 2к) и на выходе мажоритарных элементов 3 всех каналов также появляется сигнал "1" (фиг. 2л). Этот сигнал поступает на входы сброса счетчиков 1 соответствующих каналов, устанавливая их выходы в нулевое состояние и параллельно через элемент задержки 4 с некоторым временем задержки \hat{t}_u (фиг. 2м) - на входы сброса соответствующих триггеров 5, устанавливая их также в нулевое состояние.

С этого момента счетчики 1 всех каналов, которые до этого находились в различных фазах счета, начинают

работать в одной фазе. Аналогично по временной диаграмме, представленной на фиг. 3, можно рассмотреть работу резервированного делителя при отказе одного из резервируемых каналов (фиг. 3б) и сбое в одном из рабочих каналов (фиг. 3в).

Из приведенных временных диаграмм видно, что резервированный делитель не утрачивает своей работоспособности даже при сбое одновременно во всех каналах деления, либо при отказе $\frac{n-1}{2}$ из n резервируемых каналов деления и сбоях во всех остальных каналах.

Для увеличения помехозащищенности резервированного делителя частоты при сбое одного из каналов его выходные шины 6 можно дополнительно защитить. Если для системы в целом важно, чтобы сбой в одном из каналов делителя не распространялся на последующие ее каскады, то на выходах счетчиков 1 импульсов можно дополнительно установить мажоритарные элементы. При использовании же резервированного делителя частоты в качестве адресного счетчика дополнительные мажоритарные элементы устанавливаются на выходах всех разрядов счетчиков 1 импульсов.

Необходимо также отметить, что для нормальной работы устройства величина \hat{t}_u времени задержки сигнала элементом 4 должна удовлетворять следующим требованиям:

$$t_{R_1} - (t_{R_2}^{10} + t_3^{10}) < t_4 < T_H - (t_{C_1}^{01} + t_{C_2}^{01} + t_3^{10} + t_{R_2}^{10} + t_3^{10}),$$

где \hat{t}_{R_1} - максимальное время параллельного переключения разрядов счетчика 1 из "1" в "0" с момента подачи на его вход сброса соответствующего сигнала;

\hat{t}_{C_1} - максимальное время переключения счетчика 1 из состояния выходов "все единицы" в состояние "все нули" при подаче соответствующего сигнала на его счетный вход;

$t_{R_2}^{10}$ - время переключения триггера 5 из "1" в "0" при подаче соответствующего сигнала на его вход сброса;

$t_{C_2}^{01}$ - время переключения триггера 5 из "0" в "1" при

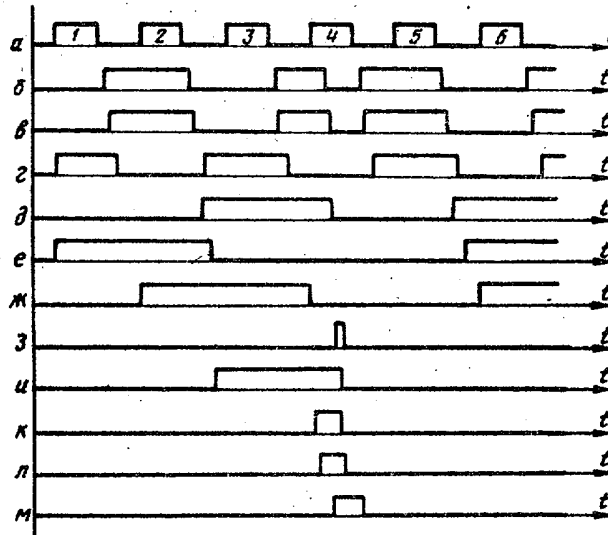
подаче соответствующего сигнала на его счетный вход; время переключения мажоритарного элемента соответственно из "1" в "0" и из "0" в "1";

T_u - период входных импульсов.

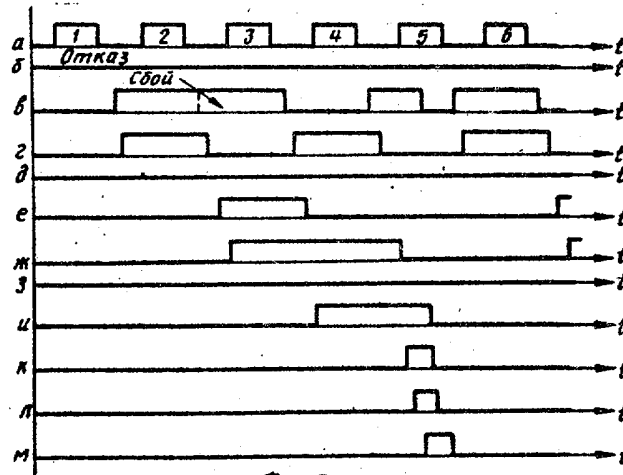
Если же выполняется условие, что $(\tau_{R_2}^{10} + \tau_3^{01}) > \tau_{R_1}$, то надобность в элементе 4 задержки отпадает.

Таким образом, при поступлении входных импульсов по шинам 2 обес-

печивается синхронно-синфазный режим работы всех каналов резервированного делителя частоты. Одновременное расфазирование всех каналов делителя, либо отказ $\frac{n-1}{2}$ каналов из n резервируемых и расфазирование всех остальных рабочих каналов не приводит к отказу всего устройства. Благодаря этому обеспечивается высокая надежность и отказоустойчивость резервированного делителя частоты.



Фиг. 2



Фиг. 3

Редактор Н.Яцولا Составитель А.Соколов
Техред О.Ваццишина Корректор Е.Рошко

Заказ 4113/55 Тираж 872 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4