

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-193005

(P2008-193005A)

(43) 公開日 平成20年8月21日(2008.8.21)

(51) Int.Cl.

H01L 29/417 (2006.01)
H01L 21/338 (2006.01)
H01L 29/812 (2006.01)
H01L 21/28 (2006.01)

F 1

H01L 29/50 J
H01L 29/80 F
H01L 21/28 301B
H01L 21/28 E
H01L 21/28 301R

テーマコード(参考)

4M1O4
5F1O2

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号

特願2007-28607(P2007-28607)

(22) 出願日

平成19年2月7日(2007.2.7)

(71) 出願人 000154325

ユーディナデバイス株式会社

山梨県中巨摩郡昭和町大字紙漉阿原100
○番地

(74) 代理人 100087480

弁理士 片山 修平

(74) 復代理人 100137615

弁理士 横山 照夫

(74) 復代理人 100134511

弁理士 八田 俊之

(72) 発明者 渡邊 昌崇

山梨県中巨摩郡昭和町大字紙漉阿原100
○番地 ユーディナデバイス株式会社内

最終頁に続く

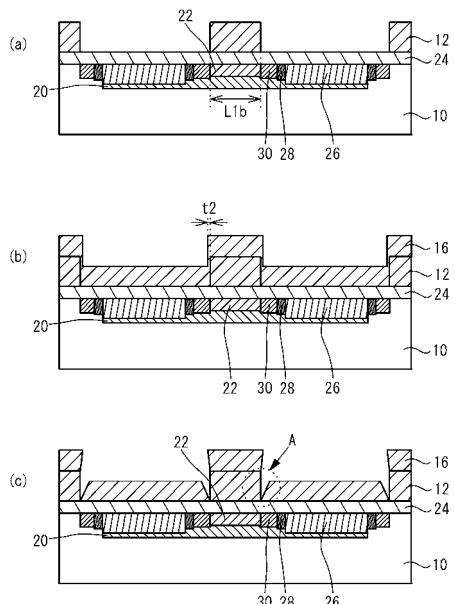
(54) 【発明の名称】半導体装置の製造方法

(57) 【要約】

【課題】短ゲート長のゲート電極を有する半導体装置の製造方法を提供すること。

【解決手段】本発明は、半導体基板10上にゲート電極14を形成する領域を規定するダミーゲート12を形成する工程と、半導体基板10表面に対して垂直方向の指向性スパッタであるコリメートスパッタ、ロングスロースパッタおよびイオンビームスパッタのいずれかにより半導体基板10上に表面膜16を形成する工程と、ダミーゲート12の側壁に形成された表面膜16を除去する工程と、ダミーゲート12を除去する工程と、半導体基板10上のダミーゲート12を除去した領域にゲート電極14を形成する工程と、を有する半導体装置の製造方法である。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

半導体基板上にゲート電極を形成する領域を規定するダミーゲートを形成する工程と、前記半導体基板表面に対して垂直方向の指向性スパッタであるコリメートスパッタ、ロングスロースパッタおよびイオンビームスパッタのいずれかにより前記半導体基板上に表面膜を形成する工程と、

前記ダミーゲートの側壁に形成された前記表面膜を除去する工程と、

前記ダミーゲートを除去する工程と、

前記半導体基板上の前記ダミーゲートを除去した領域に前記ゲート電極を形成する工程と、を有することを特徴とする半導体装置の製造方法。 10

【請求項 2】

前記表面膜を除去する工程は、ウエットエッチングにより実行されることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記ダミーゲートはフォトレジストで形成されることを特徴とする請求項 1 または 2 記載の半導体装置の製造方法。 20

【請求項 4】

前記ダミーゲート全面にドライエッチングを施すことで、前記ダミーゲートの幅を挾幅化することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】

前記表面膜は Si、SiO₂、SiN および SiON のいずれかであることを特徴とする請求項 1 から 4 のいずれか一項記載の半導体装置の製造方法。 20

【請求項 6】

前記半導体装置は MESFET および HEMT のいずれか一方であることを特徴とする請求項 1 から 5 のいずれか一項記載の半導体装置の製造方法。 30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は半導体装置の製造方法に関し、より詳細には、短ゲート長のゲート電極を有する半導体装置の製造方法に関する。 30

【背景技術】**【0002】**

GaAs 等の化合物半導体を用いたショットキー型電界効果トランジスタである MESFET (Metal Semiconductor Field Effect Transistor) や HEMT (High Electron Mobility Transistor) は、高周波数、高出力用途の MMIC (Microwave Monolithic Integrated Circuit) 等に用いられている。近年、MESFET や HEMT において、高周波特性を向上させるためにゲート長を短くすることが重要となってきている。

【0003】

短ゲート長のゲート電極を形成する方法として様々な方法が考えられている。例えば、特許文献 1 には、半導体基板上に形成したダミーゲートの幅を酸素プラズマによるドライエッチングで挾幅化した後、半導体基板上に SiO₂ 膜を形成する。その後、ダミーゲートを除去し、その除去した領域にゲート電極を形成することで、短ゲート長のゲート電極を形成する方法が開示されている。 40

【特許文献 1】特開平 10 - 125698**【発明の開示】****【発明が解決しようとする課題】****【0004】**

特許文献 1 に係るゲート電極を形成する方法は、ダミーゲートの幅でゲート長が規定さ

10

20

30

40

50

れることが理想である。しかしながら実際は、半導体基板上に SiO_2 膜を形成する際、ダミーゲートの側壁にも SiO_2 膜が厚く形成するため、ゲート長がダミーゲートの幅より長くなってしまう。このため、短ゲート長のゲート電極が得られないという課題がある。

【0005】

本発明は、上記課題に鑑みなされたものであり、短ゲート長のゲート電極を有する半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、半導体基板上にゲート電極を形成する領域を規定するダミーゲートを形成する工程と、前記半導体基板表面に対して垂直方向の指向性スパッタであるコリメートスパッタ、ロングスロースパッタおよびイオンビームスパッタのいずれかにより前記半導体基板上に表面膜を形成する工程と、前記ダミーゲートの側壁に形成された前記表面膜を除去する工程と、前記ダミーゲートを除去する工程と、前記半導体基板上の前記ダミーゲートを除去した領域に前記ゲート電極を形成する工程と、を有することを特徴とする半導体装置の製造方法である。本発明によれば、指向性スパッタを用いることで、ダミーゲートの側壁に形成される表面膜の厚さを薄くすることができるため、短ゲート長のゲート電極を形成することが可能となる。

【0007】

上記構成において、前記表面膜を除去する工程は、ウエットエッチングにより実行される構成とすることができます。この構成によれば、ダミーゲートの側壁に形成された表面膜を選択的にエッチングすることができる。

【0008】

上記構成において、前記ダミーゲートはフォトレジストで形成される構成とすることができます。

【0009】

上記構成において、前記ダミーゲート全面にドライエッチングを施すことで、前記ダミーゲートの幅を挾幅化させる工程を有する構成とすることができます。この構成によれば、より幅の狭いダミーゲートを得るこができる。

【0010】

上記構成において、前記表面膜は Si 、 SiO_2 、 SiN および SiON のいずれかである構成とすることができます。この構成によれば、指向性スパッタで形成することができ、かつフッ酸またはバッファードフッ酸によりウエットエッチングすることができる表面膜を得ることができます。

【0011】

上記構成において、前記半導体装置は MESFET および HEMT のいずれかである構成とすることができます。

【発明の効果】

【0012】

本発明によれば、半導体基板表面に対して垂直方向の指向性スパッタを用い半導体基板上に表面膜を形成することにより、ダミーゲートの幅でゲート長を規定することができるため、短ゲート長のゲート電極を有する半導体装置を得ることができます。

【発明を実施するための最良の形態】

【0013】

まず、発明者が特許文献 1 に係るゲート電極の製造方法の課題を明確にするために行った実験について説明する。図 1 (a) から図 2 (c) は実験を行った比較例 1 に係るゲート電極の製造方法を説明するための断面図である。図 1 (a) を参照に、半導体基板 10 上にフォトレジストを用い、ダミーゲート 12 を形成する。ダミーゲート 12 の幅 L_{1a} は $0.3 \mu\text{m}$ 、高さは 500 nm である。図 1 (b) を参照に、酸素プラズマによりダミーゲート 12 全面をドライエッチングしてダミーゲート 12 の幅を挾幅化させる。これに

10

20

30

40

50

より、ダミーゲート12の幅L1bは0.1μmとなる。図1(c)を参照に、半導体基板10上にSiO₂からなる表面膜16をスパッタを用い形成する。表面膜16の膜厚は300nmである。ここで用いたスパッタは一般的なスパッタであり、等方的に表面膜16がスパッタされるため、ダミーゲート12の側壁にも十分な厚さt1の表面膜16が形成される。

【0014】

図2(a)を参照に、ダミーゲート12の側壁に形成された表面膜16をバッファードフッ酸によるウエットエッチングで除去する。ウエットエッチングの時間は1分間である。ダミーゲート12の側壁に形成された表面膜16は脆いためウエットエッチングが進みやすい。このため、ダミーゲート12の側壁と半導体基板10の表面との境界領域Aに形成された表面膜16もウエットエッチングが進み、これにより、ダミーゲート12から0.05μmの範囲で半導体基板10表面の表面膜16が除去される。図2(b)を参照に、ダミーゲート12をリフトオフにより除去する。これにより、半導体基板10表面に開口部18が形成される。開口部18の幅L2は0.2μmである。図2(c)を参照に、開口部18にゲート電極14を形成する。ゲート電極14のゲート長L3は0.2μmとなる。これにより、比較例1に係るゲート電極の製造が完了する。

10

【0015】

比較例1の製造方法によれば、図2(c)に示すように、ゲート電極14のゲート長L3は0.2μmとなり、ダミーゲート12の幅L1bの0.1μmよりも長くなる。このように、比較例1の製造方法では、ゲート長L3はダミーゲート12の幅L1bで規定されず、ダミーゲート12の幅L1bより長くなるという課題がある。

20

【0016】

以下、上記課題を解決するための実施例について説明する。

【実施例1】

【0017】

図3(a)から図5(c)は本発明の実施例1に係るM E S F E Tの製造方法を示す断面図である。図3(a)を参照に、GaAs基板からなる半導体基板10内に、例えばMgをイオン注入することでp型領域20を形成し、例えばSi⁺をイオン注入することでn型能動層22を形成する。半導体基板10上にECRプラズマCVD(Electron Cyclotron Resonance Plasma Chemical Vapor Deposition)を用い、SiN層24を形成する。図3(b)を参照に、ゲート電極14を形成すべき領域の半導体基板10上に、i線ステッパーを用いフォトレストによりゲート電極14を形成する領域を規定するダミーゲート12を形成する。ダミーゲート12の幅L1aは0.3μm、高さは500nmである。図3(c)を参照に、ダミーゲート12をマスクとしてセルフアラインイオン注入により、例えばSi⁺をドープして半導体基板10内にn型能動層22よりドープ濃度が高いn⁺領域26を形成する。その後、ダミーゲート12の幅L1aを細める目的で、酸素プラズマでダミーゲート12全面をドライエッチングすることにより、ダミーゲート12の幅を挾幅化させる。再度、ダミーゲート12をマスクとして半導体基板10内に、例えばSi⁺をドープして、n型能動層22よりドープ濃度が高くn⁺領域26よりドープ濃度が低いn'領域28を形成する。

30

【0018】

図4(a)を参照に、再度、酸素プラズマでダミーゲート12全面をドライエッチングすることによりダミーゲート12の幅を挾幅化させる。これにより、ダミーゲート12の幅L1bは0.1μmとなる。ダミーゲート12をマスクとしてセルフアラインイオン注入により、例えばSi⁺をドープすることで半導体基板10内にn型能動層22よりドープ濃度が高くn'領域28よりドープ濃度が低いn''領域30を形成する。このように、n型能動層22からn''領域30、n'領域28およびn⁺領域26と段階的にドープ濃度の高い不純物領域を設けることで、n⁺領域26間に電圧を印加した場合に電界強度が局部的に集中することが避けられ、耐電圧性を上げることができる。図4(b)を参

40

50

照に、半導体基板10上にコリメートスパッタによりSiO₂である表面膜16を形成する。表面膜16の厚さは300nmである。ここで用いたコリメートスパッタは、半導体基板10表面の垂直方向とスパッタ装置のSiO₂ターゲット表面の垂直方向とが合致するように半導体基板10を固定する方法である。これにより、半導体基板10表面に対して主に垂直方向にスパッタが進む指向性スパッタを実現することができる。指向性スパッタであるコリメートスパッタを用いて表面膜16を形成することで、ダミーゲート12の側壁に形成される表面膜16の厚さt₂を非常に薄くすることができる。

【0019】

図4(c)を参照に、ダミーゲート12の側壁に形成された表面膜16をバッファードフッ酸によるウエットエッティングで除去する。ダミーゲート12の側壁に形成された表面膜16は脆くウエットエッティングが進みやすいが、半導体基板10表面に形成された表面膜16は硬いためウエットエッティングが進みにくい。このため、ダミーゲート12の側壁に形成された表面膜16を選択的にエッティングすることができる。また、ダミーゲート12の側壁に形成された表面膜16は非常に薄いため、バッファードフッ酸によるウエットエッティングの時間は10秒間と短い。これらより、ダミーゲート12の側壁と半導体基板10の表面との境界領域Aの半導体基板10表面に形成された表面膜16は、ほとんどウエットエッティングが進まないため除去されずに済む。

【0020】

図5(a)を参照に、ダミーゲート12をその上に形成された表面膜16とともにリフトオフにより除去する。これにより、半導体基板10上に開口部18が形成される。開口部18の幅L₂は0.1μmである。図5(b)を参照に、所定のパターン形成をしたフォトレジストをマスクとしてn⁺領域26上の表面膜16をエッティングする。その後、さらに所定のパターン形成をしたフォトレジストをマスクとして開口部18および表面膜16がエッティングされたn⁺領域26上のSiN層24をエッティングする。図5(c)を参照に、開口部18の半導体基板10上に半導体基板10側から、例えばTi(チタン)/Pt(白金)/Au(金)を蒸着し、リフトオフすることでゲート電極14を形成する。ゲート電極14のゲート長L₃は0.1μmとなる。さらに、n⁺領域26上に半導体基板10側から、例えばAuGe/Ni/Auを蒸着し、リフトオフすることでオームミック電極32を形成する。これにより、実施例1に係るMOSFETの製造が完了する。

【0021】

実施例1によれば、図4(b)に示すように、半導体基板10表面に対して垂直方向の指向性スパッタであるコリメートスパッタを用いて表面膜16の形成を行っている。一般的にコリメートスパッタは、被着対象物の表面から垂直方向に堆積できるため、多層配線の上下を接続するスルーホールにメタルを埋め込む場合のような、アスペクト比の高い開口への堆積方法として用いられている。しかしながら、本発明はコリメートスパッタによる堆積の垂直方向性ではなく、ダミーゲート12の側壁への堆積の少なさに着目し、表面膜16の形成に用いている。また、ダミーゲート12の側壁は、ダミーゲート12の両側にソースおよびドレイン領域であるn⁺領域26があることから、配線間スルーホールのように側壁で囲まれた領域ではなく、十分に開放された領域である。つまり、本発明はコリメートスパッタの従来の用途である、狭い開口への堆積とは異なる用途に用いている。また、一般的なコリメートスパッタは、ステンレスやタンクステンの材料からなるコリメータ(絞り)を被着対象物の手前に配置して堆積を行う。このため、コリメータにより堆積量が少なくなることから、堆積レートが小さくなるというデメリットが存在する。これらより、本発明はコリメートスパッタを従来とは異なる用途に用い、しかも、コリメートスパッタは一般的な堆積方法に比べ堆積レートが遅くなるという、一見、デメリットも存在する方法であることから、単なる技術の転用でないといえる。本発明のように、半導体基板10表面に対して垂直方向にコリメートスパッタを用いることで、ダミーゲート12の側壁に形成される表面膜16の厚さt₂を比較例1に比べて非常に薄くすることができる。このため、ダミーゲート12の側壁に形成された表面膜16をバッファードフッ酸によるウエットエッティングで除去する際、ウエットエッティングの時間が比較例1では1分間

10

20

30

40

50

であったが、実施例1では10秒間と短い時間で済む。

【0022】

このように、実施例1では比較例1に比べてバッファードフッ酸によるウエットエッチングの時間が短くなるため、図4(c)に示すように、境界領域Aの半導体基板10表面に形成された表面膜16はほとんどウエットエッチングが進まず除去されない。よって、比較例1のようにダミーゲート12から0.05μmの範囲で半導体基板10表面に形成された表面膜16が除去されるということが起こらない。このため、図5(a)に示すように、ダミーゲート12を除去することで形成される開口部18の幅L2をダミーゲート12の幅L1bと同じ幅の0.1μmにすることができる。よって、図5(c)に示すように、開口部18に形成されるゲート電極14のゲート長L3もダミーゲート12の幅L1bと同じ幅の0.1μmにすることができる。これらより、実施例1では、ゲート長L3をダミーゲート12の幅L1bで規定することが可能となり、比較例1に比べて短ゲート長のゲート電極14を製造することが可能となる。10

【0023】

また、実施例1によれば、図4(a)に示すように、フォトレジストでダミーゲート12を形成した後、酸素プラズマでダミーゲート12全面をドライエッチングすることで、ダミーゲート12の幅を挾幅化させている。このため、フォトプロセスで形成可能なダミーゲート12の最小幅よりさらに細い幅のダミーゲート12を得ることができる。例えば、i線ステップを用いてダミーゲート12の形成を行うと、形成可能なダミーゲート12の最小幅は0.3μmであるが、その後、酸素プラズマでダミーゲート12全面をドライエッチングすることで、ダミーゲート12の幅を例えば0.1μm等、0.3μm以下に挾幅化させることができる。このように、ダミーゲート12全面に酸素プラズマによるドライエッチングを行い、ダミーゲート12の幅を挾幅化させることで、より細い幅のダミーゲート12を形成することができ、これにより、ダミーゲート12の幅L1bで規定されるゲート長L3もより短くすることができる。20

【0024】

さらに、実施例1によれば、コリメートスパッタを用い表面膜16の形成を行っているが、ロングスロースパッタおよびイオンビームスパッタ等、指向性スパッタであればその他の方法を用いることができる。これらの方法を用いても、ダミーゲート12の側壁に形成される表面膜16の厚さt2を非常に薄くすることができるため、短ゲート長のゲート電極14の製造が可能となる。なお、一般的なコリメートスパッタとは、コリメータを半導体基板10の手前に設け、半導体基板10に対して垂直に近いスパッタ粒子のみを通過させる方法である。ロングスロースパッタは、半導体基板10とターゲットとの距離を従来のスパッタより大きくすることで、半導体基板10に対して垂直に近いスパッタ粒子のみが半導体基板10に達するようにする方法である。イオンビームスパッタは、チャンバーの外にイオン源を設けることができるため、チャンバー内でプラズマを発生させる必要がなくなり、高真空(例えば、 2.0×10^{-5} torr以下)が可能になる。このため、従来のスパッタに比べ高真空中でスパッタを行うことができるので、スパッタ粒子の散乱が抑えられ、半導体基板10に対して垂直にスパッタ粒子を当てる方法である。30

【0025】

しかしながら、コリメートスパッタはコリメータによって堆積量が少なくなるため、堆積レートが遅くなってしまう。ロングスロースパッタにおいても、半導体基板10とターゲットとの間の距離が長い(例えば10cm以上)ため、堆積レートが遅くなってしまう。イオンビームスパッタにおいても、従来のスパッタに比べ堆積レートが1/10程度となってしまう。したがって、通常は、表面膜16の形成にはプラズマスパッタのように堆積レートの速いスパッタを用いることが一般的であり、本発明のようにコリメートスパッタ、ロングスロースパッタおよびイオンビームスパッタ等の堆積レートの遅いスパッタを用いることは容易に発案されるものではない。40

【0026】

50

さらに、実施例1によれば、バッファードフッ酸によるウェットエッチングでダミーゲート12の側壁に形成された表面膜16を除去しているが、フッ酸によるウェットエッチング等、その他の方法で表面膜16の除去を行ってもよい。特に、ダミーゲート12の側壁に形成された表面膜16を選択的に除去できるためウェットエッチングで行うことが好ましい。

【0027】

さらに、実施例1によれば、表面膜16はSiO₂である場合を例に示したが、Si、SiNおよびSiON等、指向性スパッタにより形成することが可能な、他の材料を用いてもよい。特に、ウェットエッチングにより除去することが可能な材料が好ましい。また、ダミーゲート12はフォトレジストにより形成される場合を例に示したが、これに限られるわけではない。

10

【0028】

さらに、実施例1によれば、MESFETの製造方法の場合を例に説明したが、HEMTの製造方法でも同様の効果を得ることができる。

【0029】

以上、本発明の実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

【0030】

20

【図1】図1(a)から図1(c)は比較例1に係るゲート電極の製造方法を説明するための断面図(その1)である。

【図2】図2(a)から図2(c)は比較例1に係るゲート電極の製造方法を説明するための断面図(その2)である。

【図3】図3(a)から図3(c)は実施例1に係るMESFETの製造方法を説明するための断面図(その1)である。

【図4】図4(a)から図4(c)は実施例1に係るMESFETの製造方法を説明するための断面図(その2)である。

【図5】図5(a)から図5(c)は実施例1に係るMESFETの製造方法を説明するための断面図(その3)である。

30

【符号の説明】

【0031】

10 半導体基板

12 ダミーゲート

14 ゲート電極

16 表面膜

18 開口部

20 p型領域

22 n型能動層

24 SiN層

40

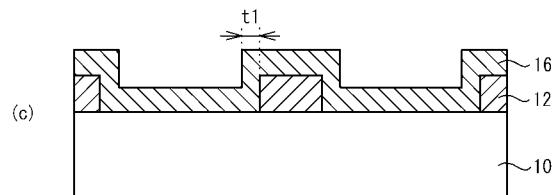
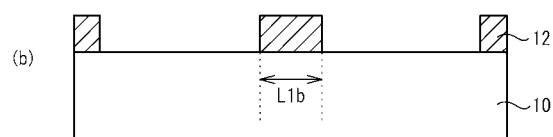
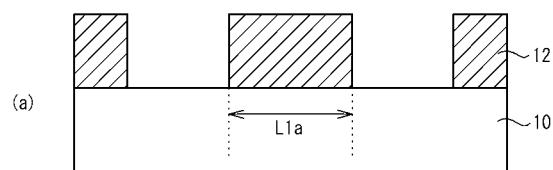
26 n⁺領域

28 n'領域

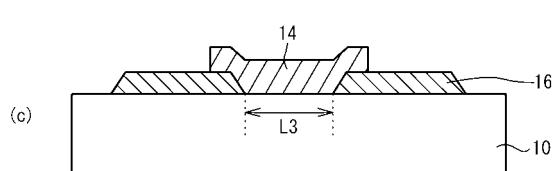
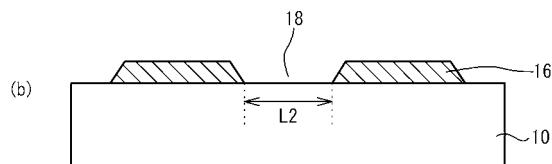
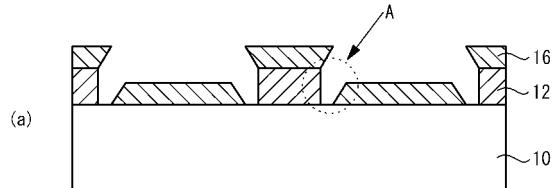
30 n''領域

32 オームニック電極

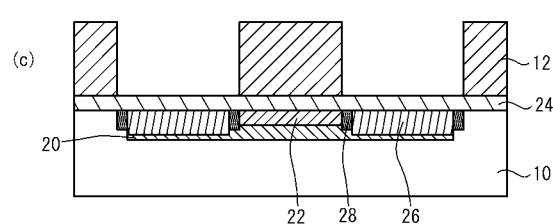
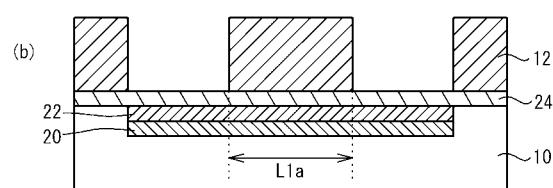
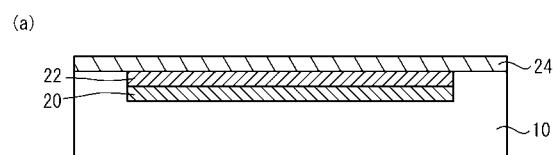
【図1】



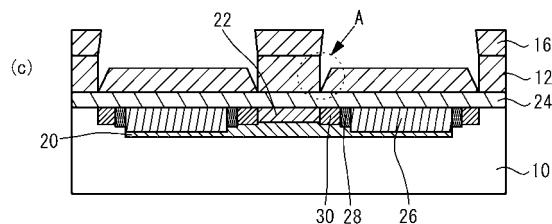
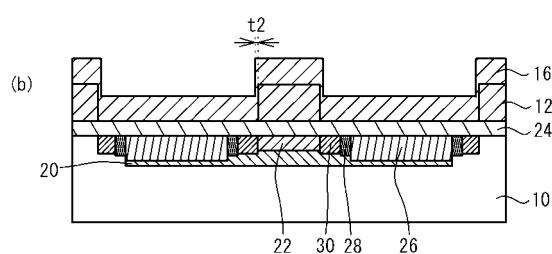
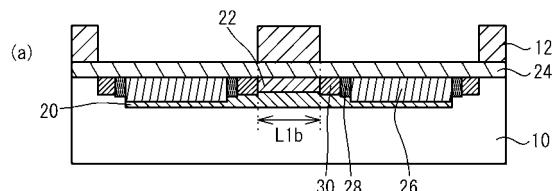
【図2】



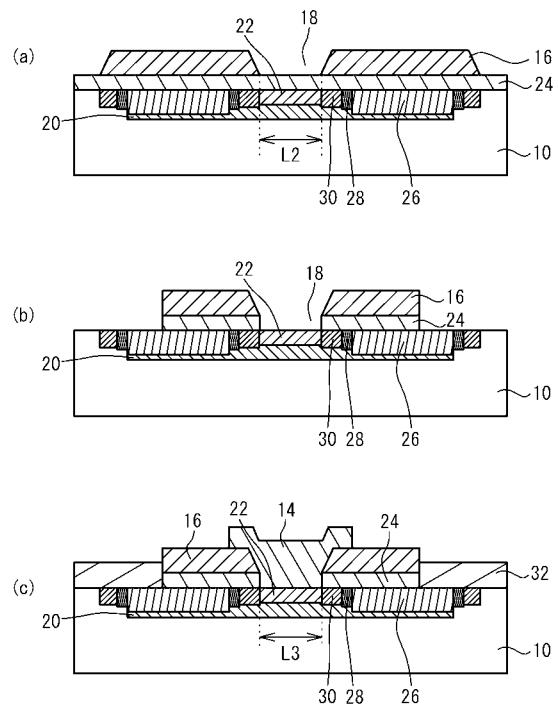
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 矢野 浩

山梨県中巨摩郡昭和町大字紙漉阿原1000番地 ユーディナデバイス株式会社内

F ターク(参考) 4M104 AA05 BB11 BB15 CC01 CC03 DD17 DD26 DD34 DD68 FF07

FF13 GG12 HH14

5F102 FA00 GB01 GC01 GD01 GJ05 GS02 GS04 GT03 HC07 HC11

HC16 HC19