

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4662986号
(P4662986)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int. Cl.

F I

H05K 1/14 (2006.01)

H05K 1/14 C

H05K 1/02 (2006.01)

H05K 1/02 T

H01S 5/022 (2006.01)

H01S 5/022

請求項の数 28 (全 13 頁)

(21) 出願番号 特願2007-515701 (P2007-515701)
 (86) (22) 出願日 平成17年6月24日 (2005.6.24)
 (65) 公表番号 特表2008-501247 (P2008-501247A)
 (43) 公表日 平成20年1月17日 (2008.1.17)
 (86) 国際出願番号 PCT/US2005/022367
 (87) 国際公開番号 W02006/012260
 (87) 国際公開日 平成18年2月2日 (2006.2.2)
 審査請求日 平成18年11月29日 (2006.11.29)
 (31) 優先権主張番号 10/882,906
 (32) 優先日 平成16年6月30日 (2004.6.30)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 591003943
 インテル・コーポレーション
 アメリカ合衆国 95052 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (72) 発明者 ポサメンティア、ジョシュア
 アメリカ合衆国、94610 カリフォル
 ニア州、オークランド、ホルマン ロード
 1386

審査官 吉澤 秀明

最終頁に続く

(54) 【発明の名称】 光－電気インターフェース、フレキシブルオプトエレクトロニクス相互接続、光トランスポンダ

(57) 【特許請求の範囲】

【請求項 1】

光－電気インターフェースであって、
 回路基板と、
 前記回路基板に装着される電気部品と、
 光学部品と、
前記回路基板に対して物理的に離れて設けられて前記光学部品に電氣的に接続される第
1の端部と、前記電気部品の近くに電氣的に接続される第2の端部とを有するフレキシブル
相互接続であって、前記第2の端部に設けられたプラグブルコネクタを介して、前記電
気部品に着脱自在に結合されるフレキシブル相互接続と
 を含む、

前記回路基板は、第1のエッジと、前記第1のエッジに対向する第2のエッジとを有し

、
前記第1のエッジは、電気エッジまたはカードエッジコネクタに対応し、前記第2のエ
ッジは、光学エッジに対応し、

前記電気部品は、前記回路基板上で前記第1のエッジの近くに取り付けられており、

前記光学部品は、前記回路基板から離れて装着され、前記光学エッジの近くに配置され
 ている、光－電気インターフェース。

【請求項 2】

前記フレキシブル相互接続は、

10

20

第 1 の信号トレースと、前記第 1 の信号トレースから電氣的に絶縁された第 2 の信号トレースとを含み、第 1 の表面と第 2 の表面とを有する信号層と、

前記信号層の前記第 1 の表面に配置された第 1 の誘電層と、

前記信号層の前記第 2 の表面に配置された第 2 の誘電層とを含む、請求項 1 に記載の光 - 電気インターフェース。

【請求項 3】

前記電気部品は、前記フレキシブル相互接続の前記第 2 の端部に直接接続された 1 つまたはそれ以上の電氣的リードを含む、請求項 1 または 2 に記載の光 - 電気インターフェース。

【請求項 4】

10

前記回路基板は、1 つまたはそれ以上の導電トレースを含み、

前記電気部品は、前記 1 つまたはそれ以上の導電トレースに接続された 1 つまたはそれ以上の電氣的リードを含み、

前記フレキシブル相互接続の前記第 2 の端部は、前記電気部品の近くの位置において前記 1 つまたはそれ以上の導電トレースに直接接続される、請求項 1 または 2 に記載の光 - 電気インターフェース。

【請求項 5】

前記フレキシブル相互接続上に配置され、かつ、前記フレキシブル相互接続に電氣的に結合される 1 つまたはそれ以上の回路素子

をさらに含む、請求項 1 から 4 のいずれかに記載の光 - 電気インターフェース。

20

【請求項 6】

前記フレキシブル相互接続は、前記回路基板に面した表面を含み、前記 1 つまたはそれ以上の回路素子は、前記回路基板に面した前記表面上に配置される、請求項 5 に記載の光 - 電気インターフェース。

【請求項 7】

前記 1 つまたはそれ以上の回路素子は、直流ブロック、直流入段、および、高周波マッチングネットワークの少なくとも 1 つを含む、請求項 5 または 6 に記載の光 - 電気インターフェース。

【請求項 8】

前記フレキシブル相互接続は、フレキシブル回路を含む、請求項 1 から 7 のいずれかに記載の光 - 電気インターフェース。

30

【請求項 9】

前記フレキシブル相互接続は、

前記第 1 の誘電層および前記第 2 の誘電層を介して配置され、かつ、前記第 1 の信号トレースおよび前記第 2 の信号トレースから電氣的に絶縁された 1 つまたはそれ以上のバイアと、

前記第 1 の誘電層上に配置され、かつ、前記 1 つまたはそれ以上のバイアと電氣的に接続される第 1 のグランド層と、

前記第 2 の誘電層上に配置され、かつ、前記 1 つまたはそれ以上のバイアと電氣的に接続される第 2 のグランド層と

40

をさらに含む、請求項 2 に記載の光 - 電気インターフェース。

【請求項 10】

前記第 1 の信号トレースは、送信光学部品に電氣的に接続され、前記第 2 の信号トレースは、受信光学部品に電氣的に接続される、請求項 2 または 9 に記載の光 - 電気インターフェース。

【請求項 11】

前記第 1 の信号トレースは、送信電気部品の近くに電氣的に接続され、前記第 2 の信号トレースは、受信電気部品の近くに電氣的に接続される、請求項 2、9、または 10 に記載の光 - 電気インターフェース。

【請求項 12】

50

前記第 1 の信号トレースおよび前記第 2 の信号トレースの少なくとも 1 つは、ストリップライントレース、シングルエンドトレース、または差動トレースの 1 つを含む、請求項 2、9 から 1 1 のいずれかに記載の光 - 電気インターフェース。

【請求項 1 3】

前記電気部品は、スモールフォームファクタ電気部品、能動電気部品、受動電気部品、パッケージシリコン電気部品、またはベアシリコン電気部品の 1 つを含む、請求項 1 から 1 2 のいずれかに記載の光 - 電気インターフェース。

【請求項 1 4】

前記光学部品は、プラガブルトランジスタアウトライン光学部品を含む、請求項 1 から 1 3 のいずれかに記載の光 - 電気インターフェース。

10

【請求項 1 5】

フレキシブルオプトエレクトロニクス相互接続であって、
第 1 の誘電層と、
第 2 の誘電層と、
前記第 1 の誘電層と前記第 2 の誘電層との間に配置された信号層と
を含み、
前記信号層は、
第 1 の信号トレースと、
前記第 1 の誘電層上に配置された第 1 のグラウンドプレーン層と、
前記第 2 の誘電層上に配置された第 2 のグラウンドプレーン層と、
前記第 1 のグラウンドプレーン層と前記第 2 のグラウンドプレーン層とを電氣的に結合する
複数のバイアと
を含み、

20

前記第 1 のグラウンドプレーン層、前記第 2 のグラウンドプレーン層、および前記複数のバイアは、前記第 1 の信号トレースの周りにファラデー箱を形成し、

前記第 1 の信号トレースは、前記第 2 のグラウンドプレーン層の開口を通るバイアによって、前記フレキシブルオプトエレクトロニクス相互接続の表面に配置された回路素子に電氣的に接続されている、フレキシブルオプトエレクトロニクス相互接続。

【請求項 1 6】

前記信号層は、
前記第 1 の信号トレースから電氣的に絶縁された第 2 の信号トレース
をさらに含む、請求項 1 5 に記載のフレキシブルオプトエレクトロニクス相互接続。

30

【請求項 1 7】

前記第 1 の信号トレースは、ストリップライントレース、シングルエンドトレース、または対の差動トレースの 1 つを含む、請求項 1 5 または 1 6 に記載のフレキシブルオプトエレクトロニクス相互接続。

【請求項 1 8】

前記第 1 の信号トレースは、約 5 0 オームの制御されたインピーダンスを含む、請求項 1 5 から 1 7 のいずれかに記載のフレキシブルオプトエレクトロニクス相互接続。

【請求項 1 9】

前記第 1 の信号トレースは、約 1 0 0 オームの制御されたインピーダンスを含む、請求項 1 5 から 1 7 のいずれかに記載のフレキシブルオプトエレクトロニクス相互接続。

40

【請求項 2 0】

光トランスポンダであって、
回路基板と、
前記回路基板に装着された第 1 の電気部品と、
前記回路基板に装着された第 2 の電気部品と、
前記回路基板から離れて装着される受信光学部品と、
前記回路基板から離れて装着される送信光学部品と、
前記回路基板に対して物理的に離れて設けられて前記受信光学部品および前記送信光学

50

部品に電氣的に接続された第 1 の端部と、前記第 1 の電気部品および前記第 2 の電気部品の近くに電氣的に接続された第 2 の端部とを有し、前記受信光学部品と前記第 1 の電気部品とを結合し、かつ、前記送信光学部品と前記第 2 の電気部品とを結合するフレキシブル相互接続であって、前記第 2 の端部に設けられたプラグブルコネクタを介して、前記第 1 の電気部品および前記第 2 の電気部品に着脱自在に結合されるフレキシブル相互接続とを含み、

前記回路基板は、第 1 のエッジと、前記第 1 のエッジに対向する第 2 のエッジとを有し、

前記第 1 のエッジは、電気エッジまたはカードエッジコネクタに対応し、前記第 2 のエッジは、光学エッジに対応し、

10

前記第 1 の電気部品および前記第 2 の電気部品は、前記回路基板上で前記第 1 のエッジの近くに取り付けられており、

前記受信光学部品および前記送信光学部品は、前記光学エッジの近くに配置されている、光トランスポンダ。

【請求項 2 1】

前記フレキシブル相互接続上に配置され、かつ、前記フレキシブル相互接続と電氣的に結合する 1 つまたはそれ以上の回路素子

をさらに備える、請求項 2 0 に記載の光トランスポンダ。

【請求項 2 2】

前記フレキシブル相互接続は、前記回路基板に面した表面を含み、

20

前記 1 つまたはそれ以上の回路素子は、前記回路基板に面した表面上に配置される、請求項 2 1 に記載の光トランスポンダ。

【請求項 2 3】

前記フレキシブル相互接続は、第 1 の信号トレースと、前記第 1 の信号トレースから電氣的に絶縁された第 2 の信号トレースとを含み、

前記第 1 の信号トレースは、前記受信光学部品と前記第 1 の電気部品とを結合し、

前記第 2 の信号トレースは、前記送信光学部品と前記第 2 の電気部品とを結合する、請求項 2 0 から 2 2 のいずれかに記載の光トランスポンダ。

【請求項 2 4】

前記フレキシブル相互接続は、

30

第 1 の信号トレースと、前記第 1 の信号トレースから電氣的に絶縁された第 2 の信号トレースとを含み、第 1 の表面と第 2 の表面とを有する信号層と、

前記信号層の前記第 1 の表面に配置された第 1 の誘電層と、

前記信号層の前記第 2 の表面に配置された第 2 の誘電層と、

前記第 1 の誘電層および前記第 2 の誘電層を介して配置され、かつ、前記第 1 の信号トレースおよび前記第 2 の信号トレースから電氣的に絶縁された 1 つまたはそれ以上のバイアと、

前記第 1 の誘電層上に配置され、かつ、前記 1 つまたはそれ以上のバイアと電氣的に接続される第 1 のグランドプレーンと、

前記第 2 の誘電層上に配置され、かつ、前記 1 つまたはそれ以上のバイアと電氣的に接続される第 2 のグランドプレーンと

40

を含む、請求項 2 0 から 2 2 のいずれかに記載の光トランスポンダ。

【請求項 2 5】

前記第 1 の電気部品は、クロック・データリカバリ部品、シリアルライザ/デシリアルライザ、または増幅器の 1 つを含む、請求項 2 0 から 2 4 のいずれかに記載の光トランスポンダ。

【請求項 2 6】

前記第 2 の電気部品は、レーザドライバまたはリタイマの 1 つを含む、請求項 2 0 から 2 5 のいずれかに記載の光トランスポンダ。

【請求項 2 7】

50

前記受信光学部品は、受信光サブアセンブリを含む、請求項 2 0 から 2 6 のいずれかに記載の光トランスポンダ。

【請求項 2 8】

前記送信光学部品は、送信光サブアセンブリを含む、請求項 2 0 から 2 7 のいずれかに記載の光トランスポンダ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、概ね電気 - 光相互接続、より詳しくは、回路基板上の電気デバイスと光デバイスとを柔フレキシブルかつ、光電子工学（オプトエレクトロニクス）的に相互接続することに関する。

10

【背景技術】

【0 0 0 2】

光トランスポンダおよび光トランシーバなどのオプトエレクトロニクスデバイスは、通常、光学部品と電気部品との間の相互接続を有する。例えば、光送信サブアセンブリ（TOSA）、および、光受信サブアセンブリ（ROSA）などの光サブアセンブリは、該光サブアセンブリの電氣的リードを回路基板上または内に埋め込まれた信号トレースに直接はんだ付けまたはエポキシ樹脂で接着することにより、プリント回路基板（PCB）などの回路基板の光学エッジに直接接続されている。それによって、光学部品の配置が制限され、結果としてオプトエレクトロニクスデバイスの設計および製造も制限されてしまっている。オプトエレクトロニクスデバイスは、また、シリアライザ/デシリアライザ、クロック・リカバリユニット、または、他の高速電気部品などのいくつかの電気部品を含む。一般的には、これらの電気部品は、光学エッジの反対側にある回路基板の電気エッジまたはカードエッジコネクタに向けて回路基板上に装着されていた。回路基板内のトレースは、電気部品と光学部品との間の相互接続として用いられ、光学エッジから電気エッジ近くの電気部品まで延びている。

20

【0 0 0 3】

いくつかのケースでは、光学部品は、フレキシブル回路などの短いフレキシブルな相互接続を備えている。フレキシブル相互接続の一端は、電氣的リードを介し、光学部品に電氣的に接続されており、もう一端は、回路基板の光学エッジにおいて埋め込まれた信号トレースに電氣的に接続されている。先に述べたように、トレースは、回路基板に沿って光学エッジから電気エッジに向けて配置された電気部品へと延びている。フレキシブル相互接続は、通常、2つの保護されていない層を含んでいる。一方は、トレース層であり、もう一方は、グランドプレーン層である。グランドプレーン層は、通常、フレキシブル相互接続の片側に配置され、制御されたインピーダンスのストリップラインがフレキシブル相互接続の反対側に位置している。一般的に、フレキシブル相互接続の長さは、約 10 nm である。このフレキシブル相互接続の短さが、可撓性を制限し、また、回路基板以外の相互接続に追加の構成部品を装着する妨げとなっている。そして、光学部品の配置、回路基板のサイズ、および、PCB設計など、オプトエレクトロニクスデバイスの設計オプションが制限されている。

30

40

【0 0 0 4】

1つまたはそれ以上の信号トレースは、光学部品がどのように回路基板の光学エッジと接続しているかに関わらず、光学エッジから電気エッジ近くの電気部品まで延びている。光学部品は、短いフレキシブル相互接続を介し、または、直接接続される。通常、回路基板上のトレースは、銅、銀、または、金などの導電材料でできたラインまたは"ワイヤ"であり、回路基板内またはその表面に存在する。トレースにより、光学部品と電気部品との間で電子信号がやりとりされる。しかしながら、回路基板は、おおむね損失性があり、トレースは、電子信号間の干渉となってしまう。例えば、光学部品への送信差動信号は、しばしば、該光学部品からの受信差動信号に干渉する。電気信号は、さらに、回路基板上の他の構成部品からの干渉を受ける。光学部品からの受信差動信号、および、送信差動信号

50

の信号強度が低く、上記したような回路基板の干渉性および損失特性の影響をより受けやすい場合には増幅器が使用されることもある。

【 0 0 0 5 】

上気した構成部品に加え、さらに電気部品も回路基板に取り付けられる。これら追加の部品のいくつかは、特定の光学部品専用のものである。このように、プリント回路基板の設計および製造は、光学部品によって異なっていた。

【 図面の簡単な説明 】

【 0 0 0 6 】

【 図 1 】フレキシブルオプトエレクトロニクス相互接続により光学部品と回路基板上の電気部品とを相互接続する光 - 電気インターフェースを示すブロック図である。

10

【 0 0 0 7 】

【 図 2 】フレキシブルオプトエレクトロニクス相互接続により光学部品と回路基板上の電気部品とを相互接続する光 - 電気インターフェースの他の例を示すブロック図である。

【 0 0 0 8 】

【 図 3 】図 1 および図 2 のフレキシブルオプトエレクトロニクス相互接続を示す断面図である。

【 0 0 0 9 】

【 図 4 】図 1 または 2 の光 - 電気インターフェースである光トランスポンダの例を示すブロック図である。

【 発明を実施するための最良の形態 】

20

【 0 0 1 0 】

図 1 は、フレキシブルオプトエレクトロニクス相互接続 1 2 を用いた光 - 電気インターフェースを示す。フレキシブル相互接続 1 2 は、光トランスポンダ、光トランシーバなどに特に適しているが、本出願の教示は、特定のタイプのオプトエレクトロニクスデバイスに限らない。むしろ本発明の教示は、光 - 電気相互接続を含むあらゆるオプトエレクトロニクスデバイスに関係している。したがって、フレキシブル相互接続 1 0 は、主にプラグブル光学部品を備えるスモールフォームファクタ光トランスポンダに関連して以下に説明されるが、あらゆるタイプのフォームファクタ光トランスポンダ、または、光トランシーバ、光フロントエンド (O F E) サブアセンブリ (単一モードまたはマルチモード) 、受信光サブアセンブリ (R O S A) 、送信光サブアセンブリ (T O S A) 、マルチソースアグリーメント (M S A) 、互換性のあるパッケージングなどと共に用いることもできる。また、フレキシブル相互接続 1 2 は、トランジスタアウトライン (T O) パッケージ光学部品と、クロック・データリカバリ (C D R) ユニットおよびシリアルライザ / デシリアルライザ (S E R D E S) などの高速電気部品とを相互接続するフレキシブル回路として先に述べたが、あらゆる光学部品と回路基板上の電気部品とを相互接続するために用いられることもできる。

30

【 0 0 1 1 】

図 1 によれば、光 - 電気部品インターフェース 1 0 は、光学部品 1 4 と電気部品 1 6 とを接続するフレキシブル相互接続 1 2 を含む。インターフェース 1 0 は、いかなるオプトエレクトロニクインターフェースであってよく、これに限定しないが、プラグブル光学部品を備えたスモールフォームファクタ光トランスポンダ、および、マルチソースアグリーメント (M S A) コンプライアント・オプトエレクトロニクスデバイスなどを含む光トランスポンダを含む。特に、光学部品 1 4 は、T O パッケージのプラグブル光学部品、および、T O S A 、R O S A 、セラミック平面光学部品、レーザダイオード、および、ダイオードレーザなどの光サブアセンブリをベースにしたT O ヘッドなど、様々な光デバイスを含む。

40

【 0 0 1 2 】

電気部品 1 6 は、プリント回路基板 (P C B) などの回路基板 1 8 上に装着される。回路基板 1 8 は、アルミナ基板、窒化アルミニウム (A I N) 基板、または、シリコン基板などであってよいが、これに限定されない。回路基板 1 8 は、第 1 のエッジ 2 0 と、この

50

第1のエッジ20に対向する第2のエッジ22とを含む。第1のエッジ20は、バックプレーンまたはバスなどの物理層インターフェースと接続する電気エッジまたはカードエッジコネクタに対応する。第2のエッジ22は、光学エッジに対応する。光学部品14は、回路基板18から離れて装着され、かつ、第2のエッジ22近くに配置されてよいが、光学部品14の位置は、オプトエレクトロニクスデバイスの設計次第で変化することもある。回路基板18の配置もまた、オプトエレクトロニクスデバイスの設計次第で変化することがある（例えば、カードエッジコネクタに対する面方向）。

【0013】

図1に示すように、電気部品16は、回路基板18上で第1のエッジ20の近くに取り付けられる。電気部品16は、受動または能動電気部品、パッケージ化されたまたはむき出しの電気部品、クロック・データリカバリユニット、シリアルライザ/デシリアルライザ、相互インピーダンス増幅器（TIA）のような増幅器、ダイオードレーザドライバ、リタイマ、および、他のスモールフォームファクタ高速電気部品などであってよい。一般的に、電気部品16は、特定のタイプの光学部品14専用ではない。一例では、回路基板18上に装着されるすべての電気部品16は、用いられる特定の光学部品14に依存してなくてよい。図1では、電気部品16は、ワイヤ接合の電氣的リード24を用いて回路基板18に取り付けられるように示されているが、電気部品16は、ソルダバンプ電氣的リード24を提供するフリップチップ実装（これに限定されないが）を含む様々な表面実装技術を用いて回路基板18に装着されてよい。また、他の例では、回路基板18は、回路基板18上に装着されるかまたは内に埋め込まれ、電氣的リード24（ワイヤ接合またはソルダバンプ）から延びる導電トレース26を含んでもよい。導電トレース26は、相互干渉を最小限にするべく、また、回路基板18に起因する潜在的な損失効果を最小限にするべく、数ミリメートルオーダかそれ以下の短い長さである。

【0014】

フレキシブル相互接続12は、光学部品14から電気部品16へと延びる。フレキシブル相互接続12は、第1の端部と第2の端部とを含む。第1の端部は、フレキシブル相互接続12の導電部品を光学部品14のセラミック基板18上の電氣的リードに、はんだ付け、エポキシ樹脂またはそれ以外により接着し、かつ、電氣的に接続することにより、光学部品14に電氣的に接続される。図1に示すように、フレキシブル相互接続12は、回路基板18の大部分にわたり延び、フレキシブル相互接続12の他端が導電トレース26に接続される。導電トレースの長さが短いので、フレキシブル相互接続12の第2の端部は、はんだ付け、エポキシ樹脂または他の形態による接着を介し電気部品16の近くで導電トレース26と接続することにより、電氣的リード24との電氣的接続を確立する。このようにして、光学部品14と電気部品16との間を伝送されるいかなる差動信号も、回路基板18に沿ったショートラインだけを含むので、干渉と損失効果とを最小限にとどめることができる。

【0015】

図2に示すように、光—電気インターフェース50の第2の例は、光学部品54と電気部品56とを接続するフレキシブル相互接続52を含む。先に述べたように、フレキシブル相互接続52は、光学部品54に接続されてよい。電気部品56は、回路基板18と同様の回路基板58に装着されてよい。特に、回路基板58は、第1のエッジ60と、該第1のエッジ60に対向する第2のエッジ62とを含む。第1のエッジ60は、バックプレーンまたはバスなどの物理層インターフェースと接続する電気エッジまたはカードエッジコネクタに対応する。第2のエッジ62は、光学エッジに対応する。電気部品56は、ワイヤ接合電氣的リード64を用いて回路基板58に装着されてよい。光学部品54は、回路基板58と離れて装着され、かつ、第2のエッジ52近くに配置されてよい。また、フレキシブル相互接続52は、回路基板58の電気部品56までの大部分の長さに及び、回路素子66および68は、先に述べたとおり、フレキシブル相互接続52に装着されてよい。

【0016】

10

20

30

40

50

フレキシブル相互接続 5 2 は、回路基板 5 8 上に装着されるかまたは内に埋め込まれた導電トレースに接続する代わりに、電気的リード 6 4、または、電気部品 5 6 上に設けられたワイヤ接合またはソルダバンプ（これらに限らないが）を含む電気部品 5 6 を備えた他の電気インターフェースを介し、電気部品 5 6 と直接接続されてよい。実際には、差動信号は、回路基板 5 8 上に装着されるかまたは埋め込まれたトレースを介さずに、電気部品 5 6 と光学部品 5 4 との間を伝送されることができる。それによって、差動信号は、トレースおよび / または回路基板 5 8 に起因するいかなる干渉または損失効果も受けなくなる。また、受信光学部品などのような光学部品 5 4 の感度も向上する。

【 0 0 1 7 】

再び図 1 を参照すると、フレキシブル相互接続 1 2 上に回路素子 2 8 および 3 0 が配置されている。回路素子 2 8 および 3 0 は、共にフレキシブル相互接続 1 2 に電気的に結合されているので、電気部品 1 6 および光学部品 1 4 とともに電気的に結合されている。回路素子 2 8 および 3 0 は、例えばフリップチップ実装などの表面実装技術により装着されてよい。一例では、回路素子 2 8 および 3 0 は、用いられる光学部品 1 4 のタイプ専用である。回路素子は、例えば、直流（DC）ブロック、直流入段（バイアスティー）、および、高周波（RF）マッチングネットワークなどを含んでよい。図 1 に示すように、回路素子 2 8 および 3 0 は、回路基板 1 8 に面したフレキシブル相互接続 1 2 の表面と称してもよいフレキシブル相互接続 1 2 の下側に装着されることにより、回路基板 2 8 および 3 0 は保護され、かつ、オプトエレクトロニクスデバイスの外ケーシングのサイズおよびオプトエレクトロニクスデバイス全体のサイズを最小化することができる。

【 0 0 1 8 】

したがって、フレキシブル相互接続 1 2 は、フレキシブル相互接続 1 2 の長さおよび許容範囲内で、光学部品 1 4 が回路基板 1 8 に対していかなる位置およびいかなる角度でも配置できるようにする。一例では、フレキシブル相互接続 1 2 の長さは、約 5 0 mm から 1 2 0 mm の範囲であってよい。

【 0 0 1 9 】

さらに、同じプリント回路基板（PCB）設計は、異なる光学部品 1 4 と互換性のある構成部品だけを回路基板 1 8 に装着することにより、異なるフォームファクタトランスポンダなどの異なるオプトエレクトロニクスデバイスに用いられることもできるが、利用される光学部品 1 4 のタイプ専用の構成部品がフレキシブル相互接続 1 2 に装着されてもよい。このように、フレキシブル相互接続 1 2 が光学部品 1 4 の電気的リードとはんだ付けされ、エポキシ樹脂または他の形態で接着され、かつ、電気的に接続されることができる一方、フレキシブル相互接続 1 2 のもう一端が、電気部品 1 6 または回路基板 1 8 に装着され、かつ、電気部品 1 6 と電気的に結合されるプラグブルインターフェースを介し、電気部品 1 6 と着脱自在に結合されることができる。対応するコネクタ（例えば嵌合されたプラグブルコネクタ）がフレキシブル相互接続 1 2 の端部に設けられ、電気部品 1 6 または回路基板 1 8 上に設けられたコネクタとしっかりと接続するよう適合されることができる。光学部品 1 4 を伴い、かつ、回路要素 2 8 および 3 0 に光学的に依存するフレキシブル相互接続 1 2 は、電気部品 1 6 との接続を簡単に解いて、他のプリント回路基板と交換することができる。同様に、電気部品 1 6 と回路基板 1 8 との同じ配置（例えば同じ PCB 設計）は、異なるタイプの光学部品 1 4 と共に用いることもできる。

【 0 0 2 0 】

交換可能性および互換性に加え、回路基板 1 8 は、光学端 2 2 から電気エッジ 2 0 に向けて配置された電気部品 1 6 まで延びる導電トレースを必要としないので、それによって、追加の構成要素のための回路基板 1 8 上の追加表面領域が確保でき、および / または、回路基板 1 8 の全体のサイズを縮小し、その結果、オプトエレクトロニクスデバイスのサイズも縮小できる。電気部品 1 6 と光学部品 1 4 との間を伝送される差動信号は、回路基板 1 8 の損失効果または相互干渉を受けなくなる。

【 0 0 2 1 】

図 3 は、図 1 および図 2 を参照して説明したフレキシブルオプトエレクトロニクス相互

10

20

30

40

50

接続 1 2 の一例を示す断面図である。フレキシブル相互接続 1 2 は、第 1 の誘電層 1 0 0 および第 2 の誘電層 1 0 2 を含む。第 1 および第 2 の誘電層 1 0 0、1 0 2 に用いられる誘電材料は、ポリイミド、ポリエステル、エポキシ、ポリ四フッ化エチレンまたは他の適切な、可撓性誘電材料を含んでよい。

【 0 0 2 2 】

フレキシブル相互接続 1 2 は、第 1 の誘電層 1 0 0 と第 2 の誘電層 1 0 2 との間に配置された信号層 1 0 4 をさらに含む。第 1 および第 2 の誘電層 1 0 0、1 0 2 は、信号層 1 0 4 の表面に積層されてよい。信号層 1 0 4 は、第 1 の信号トレース 1 0 6 と、第 2 の信号トレース 1 0 8 とを含む。追加の信号トレースを設けても、または、信号トレースを減らしてもよい。信号トレース 1 0 6 および 1 0 8 は、銅、銀、金などの導電材料、あるいは、差動信号を伝導する他の適切な材料から形成され、その上、強度および可撓性を保持するものであってよい。第 1 の信号トレース 1 0 6 は、信号トレース 1 0 6 と 1 0 8 との間、および、信号層 1 0 4 内の他の領域に充填剤を用いることにより第 2 の信号トレース 1 0 8 から電氣的に絶縁され、その結果、信号トレース 1 0 6 および 1 0 8 は、互いによる干渉、または、空電、外部信号、損失効果といった外的因子による干渉から保護される。充填剤は、例えばポリイミド、ポリエステル、エポキシおよびポリ四フッ化エチレンなど、第 1 および第 2 の誘電層 1 0 0、1 0 2 に用いたのと同じ材料でよい。

【 0 0 2 3 】

信号トレース 1 0 6 および 1 0 8 は、対の差動トレースとして設けられてよい。一例では、図 3 に示すような信号トレース 1 0 6 および 1 0 8 は、単一の対の差動トレースのように見える。あるいは、信号トレース 1 0 6 および 1 0 8 は、シングルエンドストリップライン、または、コプラナストリップライン導波路としてそれぞれ設けられてもよい。図 3 によれば、フレキシブルオプトエレクトロニクス相互接続 1 2 は、2 つのシングルエンドストリップラインとしても見える。信号層 1 0 4 が、ただ 1 つの信号トレースを備えている場合、その信号トレースは、シングルエンドストリップライントレースとして設けられてよい。

【 0 0 2 4 】

フレキシブル相互接続 1 2 は、第 1 の誘電層 1 0 0 上に配置された第 1 のグランドプレーン層 1 1 0、および、第 2 の誘電層 1 0 2 上に配置された第 2 のグランドプレーン層 1 1 2 をさらに含む。グランドプレーン層 1 1 0 および 1 0 2 は、銅、銀、金などを含む、信号トレース 1 0 6 および 1 0 8 と同じ導電材料から形成されてよい。グランドプレーン層 1 1 0 および 1 1 2 は、第 1 および第 2 の誘電層 1 0 6、1 0 8、および、信号層 1 0 4 を介し延びる複数のパイア 1 1 4、1 1 6、1 1 8、1 2 0 を用い、互いに電氣的に結合される一方で、信号トレース 1 0 6 および 1 0 8 から離れることにより、電氣的絶縁をもたらす。一例では、パイア 1 1 4、1 1 6、1 1 8、および、1 2 0 は、フレキシブル相互接続 1 2 の長さに沿って延びる。グランドプレーン層 1 1 0 および 1 1 2 は、パイア 1 1 6、1 1 8、および、1 2 0 と共にファラデー箱（別名ファラデーシールド）となって信号トレース 1 0 6 および 1 0 8 を静電気の干渉から保護する。実際には、信号トレース 1 0 6 および 1 0 8 を介して伝送される信号には干渉せずに、外部電荷または静電荷、あるいは、電氣的干渉がグランドプレーン 1 1 0 および 1 2 0 と、パイア 1 1 4、1 1 6、1 1 8 および 1 2 0 に残る可能性がある。グランドプレーン 1 1 0 および 1 2 0 を外部の干渉から電氣的に絶縁すべく、フレキシブル相互接続全体のまわりに追加の誘電遮蔽（図示せず）を設けてもよい。

【 0 0 2 5 】

図 1 を参照して説明したように、回路素子 2 8 および 3 0 は、回路基板 1 8 に面するフレキシブル相互接続 1 2 の表面 1 2 2 に配置されてよい。回路素子 2 8 および 3 0 は、フレキシブル相互接続 1 2 に電氣的に結合されることができ、特に、信号トレース 1 0 6 および 1 0 8 の 1 つまたはそれ以上に電氣的に結合されてよい。それによって、追加のパイア 1 2 6 および 1 2 8 がグランドプレーン層 1 1 2 内の開口を介し設けられる。パイア 1 2 6 および 1 2 8 は、第 2 の誘電層 1 0 2 の延長である誘電充填剤を用いて、グランドブ

10

20

30

40

50

レーン層 1 1 2 から電氣的に絶縁されることができる。

【 0 0 2 6 】

信号トレース 1 0 6 および 1 0 8 は、それによって光学部品 1 4 と電気部品 1 6 との間の相互接続のためのストリップライン構造内に設けられるようになる。一例では、信号トレース 1 0 6 および 1 0 8 のどちらも単一の光学部品 1 4 および単一の電気部品 1 6 に結合されることができる。あるいは、他の例では、シングルエンドトレースまたは対の差動トレースである 1 つの信号トレース 1 0 8 が信号受信用の光学部品 1 4 および電気部品 1 6 に接続される一方で、シングルエンドトレースまたは対の差動トレースである他の信号トレース 1 0 8 が信号送信用の光学部品 1 4 および電気部品 1 6 に接続される。信号トレース 1 0 6 と 1 0 8 との間の電氣的絶縁を確実にすべく、信号トレース 1 0 6 と 1 0 8 との間隔、および / または、信号層 1 0 4 のための充填剤を提供することもできる。第 1 の信号トレース 1 0 6 および第 2 の信号トレース 1 0 8 は、シングルエンドトレースとして提供される場合には、それぞれ約 5 0 オームの制御されたインピーダンスを有し、あるいは、対の差動トレースとして提供される場合には、約 1 0 0 オームの制御されたインピーダンスを有する。

10

【 0 0 2 7 】

図 4 は、図 1 または図 2 において概略的に示した光—電気インターフェースを有する光トランスポンダ 2 0 0 の例を示すブロック図である。図 4 によれば、光トランスポンダ 2 0 0 は、先に述べた回路基板 1 8 のような回路基板 2 0 2 を含む。光トランスポンダ 2 0 0 は、リタイマ、レーザドライバ、クロック・データリカバリユニット、シリアライザ / デシリアライザ、および、増幅器のような様々なスモールフォームファクタ電気部品を含んでもよく、例えば、それらのいくつかまたはすべては、利用される光学部品のタイプに依存するかまたは依存しなくてもよい。光学部品のタイプに依存する電気部品は、フレキシブル相互接続に装着されることができる。そして、光学部品のタイプに依存しない電気部品は、P C B 設計の一部として基板に装着されることができる。また、光トランスポンダ 2 0 0 は、送信光サブアセンブリおよび受信光サブアセンブリなどのような様々な光学部品を含んでよい。光学部品は、トランジスタアウトライン (T O) パッケージブラガブル光学部品、または、他のパッケージングタイプの光学部品を含んでよい。

20

【 0 0 2 8 】

カードエッジコネクタ 2 0 4 は、バスまたはバックプレーンとのインターフェースを提供し、かつ、カードエッジコネクタ 2 0 4 近くで回路基板 2 0 2 に装着されるリタイマ 2 0 6 と有効に結合されることができる。リタイマ 2 0 6 は、回路基板 2 0 2 に装着されるかまたは上記したフレキシブル相互接続に装着されるレーザドライバ 2 0 8 と有効に結合される。レーザドライバ 2 0 8 は、ダイオードレーザ 2 1 0 に有効に結合され、かつ、ダイオードレーザ 2 1 0 を駆動するよう用いられる。ダイオードレーザ 2 1 0 は、回路基板 2 0 2 から離れて装着される。ダイオードレーザ 2 1 0 は、送信光サブアセンブリと共に示されているが、他の送信光学部品を利用することもできる。

30

【 0 0 2 9 】

レーバ P I N ダイオード 2 1 2 もまた、回路基板 2 0 2 から離れて設けられる。レーバ P I N ダイオード 2 1 2 は、回路基板 2 0 2 に装着される増幅器 2 1 4 と有効に結合される。あるいは、増幅器 2 1 4 (相互インピーダンス増幅器であってもよい) は、フレキシブル相互接続に装着されることができる。増幅器 2 1 4 は、回路基板 2 0 2 上に装着されたクロック・データリカバリユニット 2 1 6 と有効に結合される。カードエッジコネクタ 2 0 4 は、該カードエッジコネクタ近くで回路基板 2 0 2 に装着されたクロック・データリカバリユニットとさらに有効に結合される。

40

【 0 0 3 0 】

先にフレキシブル相互接続 1 2 として、または、フレキシブル相互接続 5 2 として述べたようなフレキシブル相互接続 2 1 8 は、ダイオードレーザ 2 1 0 と、レーザドライバ 2 1 8 および / またはリタイマ 2 0 6 とを有効に結合することができる。先に電気部品 1 4 、 5 4 に関し述べたように、レーザドライバ 2 0 8 は、その後リタイマ 2 0 6 近くに接続

50

されることもできる回路基板 202 に面したフレキシブル相互接続 218 の表面に直接、あるいは、ショートライン導電トレースを介し装着される。あるいは、フレキシブル相互接続 218 は、回路基板 202 に装着される場合、直接、あるいは、ショートライン導電トレースを介しダイオードレーザドライバ 208 の近くに接続されてもよい。

【0031】

同様に、先に述べたフレキシブル相互接続 12 またはフレキシブル相互接続 52 のようなフレキシブル相互接続 220 は、レシーバダイオード 212 と増幅器 214 および / またはクロック・データリカバリユニット 216 とを有効に結合することができる。フレキシブル相互接続 220 は、フレキシブル相互接続 218 を追加の信号トレースまたは別の相互接続として備えることもできる。増幅器 214 は、その後クロック・データリカバリユニット 216 の近くに接続されることもできる回路基板 202 に面したフレキシブル相互接続 220 の表面に、直接またはショートライン導電トレースを介し装着されてよい。あるいは、フレキシブル相互接続 220 は、回路基板に直接またはショートライン導電トレースを介し装着された場合、増幅器 214 の近くに接続されてもよい。

10

【0032】

図 4 に示すように、光学部品 210 および 212 は、回路基板 202 に対し異なる向きに、また、互いに異なる向きに配置されてよい。それによって、サイズ、形状および回路基板設計など光トランスポンダの設計に柔軟性をもたらす。光学部品 210 および 212 のそれぞれは、図 1 を参照して述べたようなブラガブルコネクタを介し光トランスポンダの残りの部分と結合されることにより、光学部品 210 および 212、および、対応する光学的に依存する回路素子を光トランスポンダ 200 の残りの部分と容易に分離することができる。それによって、光学部品 210 および 212 は、図 4 で示した回路基板 202 および電気部品 206、216（回路基板 202 に装着される場合は電気部品 208、214 も）以外の異なるプリント回路基板設計と共に用いることができる。同様に、様々な光学部品が特定の光学部品のタイプ専用でない場合、電気部品 206、216、および、電気部品 208、214 と互換性のあるプリント回路基板設計と共に用いることができる。

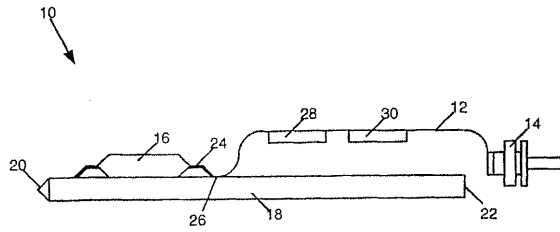
20

【0033】

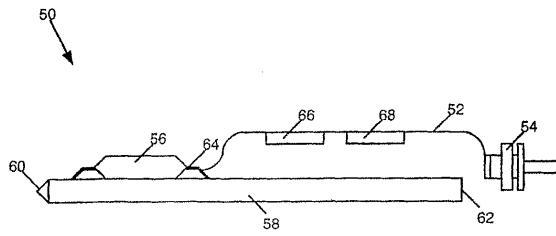
以上、本発明の教示に従い構成された特定の装置に関し説明してきたが、本発明の範囲はこれに限定されない。むしろ、本発明は、逐語的にまたは均等論の下で添付の請求項の範囲に含まれる本発明の教示に従うすべての実施例を含む。

30

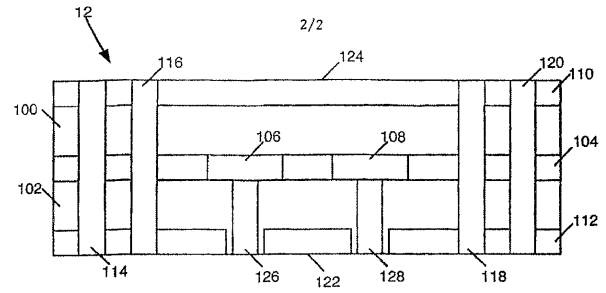
【図 1】



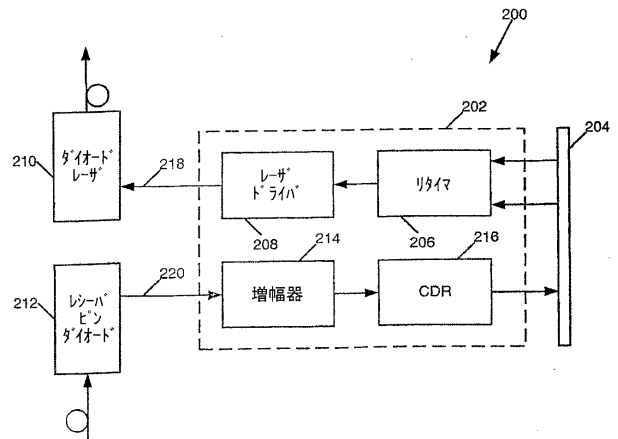
【図 2】



【図 3】



【図 4】



フロントページの続き

(56)参考文献 特開平 1 1 - 1 9 6 0 5 5 (J P , A)
実開平 0 5 - 0 1 8 0 5 9 (J P , U)
特表平 0 3 - 5 0 1 4 3 5 (J P , A)
特開平 1 1 - 0 8 7 8 7 1 (J P , A)
特開 2 0 0 4 - 0 4 7 5 7 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H05K 1/14

H01S 5/022

H05K 1/02