



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217 131

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 20 02 81
(21) PV 1222 - 81

(51) Int. Cl. G 06 F 3/153

(40) Zveřejněno 26 02 82

(45) Vydáno 01 09 84

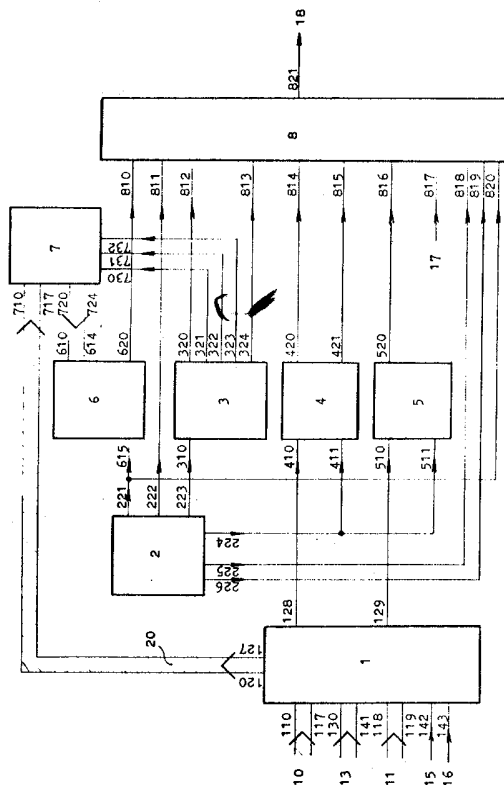
(75)

Autor vynálezu HRDLIČKA DRAHOMÍR ing., BRNO

(54) Zapojení obvodů pro jasovou modulaci obrazkového displeje

Vynález řeší generování signálu pro jasovou modulaci obrazovky, kdy paprsek na stínítku obrazovky tvoří řádkový rastr. Modulační obvod s připojením na paměť displeje a registr zobrazení umožňuje dva způsoby zobrazení: normální a inverzní. Obsahuje také obvody, které umožní zobrazování podtržení znaků.

Podstatou vynálezu je vzájemné propojení paměti displeje, rozšířené o další bity, informující o způsobu zobrazení a podtržení každého jednotlivého znaku, jehož kód je uložen v paměti displeje. Zapojení ukazuje součinnost mezi časovým zdrojem displeje, pevnou pamětí znaků, registrem zobrazení, pamětí inverzního bitu a pamětí podtržení znaku. Uvádí vstupy do modulačního obvodu, přičemž na výstupu se vytváří signál pro jasovou modulaci obrazovky.



Vynález se týká zapojení obvodů pro jasovou modulaci obrazkového displeje, kdy zobrazená informace je v normálním nebo inverzním tvaru.

Pro styk operátora s počítačem se nejčastěji užívá klávesnice a obrazkového displeje, kde na stínítku obrazovky jsou vytvářeny abecedně-číslíkové znaky, uspořádané nejčastěji ve tvaru mozaiky s rozdílným počtem bodů v horizontálním a vertikálním směru. Generování znaků na stínítku obrazovky se děje periodicky a synchronně s časovým ovládním pohybu elektronového paprsku. Většinou se používá vychylování elektronového paprsku pomocí magnetického pole ve vychylovacích cívkách obrazovky, kdy paprsek vytváří na stínítku řádkový rastr, podobně jak je užíváno v televizní technice. Postupným řízením paprsku se dosáhne rovnoměrného pokrytí celé plochy stínítka obrazovky. Abychom dosáhli zobrazení ve tvaru abecedně-číslíkových znaků, je třeba uspořádat signál pro jasovou modulaci obrazovky v souladu s časovým pohybem paprsku. Rovněž tak je třeba organizovaně řídit výběr dat z paměti displeje, aby bylo dosaženo časové shody zobrazení informace s tvorbou řádkového rastru.

Časový signál pro jasovou modulaci obrazovky je zpravidla vytvářen pomocí paralelně-seriového převodníku informace, např. registru. Vstupem do registru jsou obvykle informační bity, uložené v pevné paměti znaků.

V mnoha případech, např. při zobrazení velkého počtu znaků na stínítku obrazovky, je zobrazování normálního tvaru znaků, tj. pomocí svítících diskretních bodů, málo přehledné. Proto je způsob zobrazování znaků rozšířen o tzv. inverzní zobrazení, kdy normálně svítící body na stínítku obrazovky jsou zobrazovány jako nesvítící, zatímco ostatní plocha kolem znaku je zobrazena jako svítící mozaika bodů. Tento způsob zobrazování a jejich vzájemná kombinace klade značné nároky na obvodovou techniku modulačních obvodů a vyžaduje obvykle speciální obvody, které jsou značně nákladné.

Dalším rozšířením nároků na zobrazovací techniku znaků je diskretní způsob podtrhávání znaků, které lze užít ke zvýraznění skupiny znaků, např. podtržení nadpisu při edici textu. Zavedení tohoto způsobu zobrazení zvyšuje komfortnost práce operátora se zobrazovací jednotkou.

Dosud užívané obvody pro vytváření signálu pro jasovou modulaci jsou značně složité, speciální, a tím také nákladné.

Zlepšení v této oblasti obvodové techniky přináší zapojení obvodů pro jasovou modulaci obrazkového displeje podle vynálezu, jehož podstata spočívá v tom, že první výstup časového zdroje je připojen na šestý vstup registru zobrazení a současně na jedenáctý vstup modulačního obvodu, přičemž druhý výstup časového zdroje je připojen na druhý vstup modulačního obvodu, třetí výstup časového zdroje je připojen na první vstup čítače řádků rastru, čtvrtý výstup časového zdroje je připojen na druhý vstup paměti inverzního bitu a současně na druhý vstup paměti podtržení znaku, zatímco pátý výstup a šestý výstup časového zdroje jsou připojeny na devátý a desátý vstup modulačního obvodu, přičemž na první až osmý vstup paměti displeje je přivedena sběrnice první skupiny vstupních dat, zatímco na devátý a desátý vstup paměti displeje je přivedena sběrnice druhé skupiny vstupních dat, přičemž na jedenáctý až dvacátý druhý vstup je přivedena sběrnice adresy, zatímco první ovládací vstup paměti displeje je vstupem pro první ovládací signál a druhý ovládací vstup paměti displeje je vstupem pro druhý ovládací signál, přičemž na první až osmý výstup paměti displeje je připojena sběrnice první skupiny výstupních dat, přičemž první až osmý výstup displeje je připojen na první až osmý vstup pevné paměti znaků, přičemž devátý výstup paměti displeje je připojen na první vstup paměti inverzního bitu, zatímco desátý výstup paměti displeje je připojen na první vstup paměti podtržení znaku, přičemž výstup paměti podtržení znaku je připojen na sedmý vstup modulačního obvodu, zatímco první výstup paměti inverzního bitu je připojen na pátý vstup modulačního obvodu, přičemž na šestý vstup tohoto obvodu je připojen druhý výstup paměti inverzního bitu, zatímco na čtvrtý vstup modulačního obvodu je připojen pátý výstup čítače řádku rastru, zatímco na třetí vstup modulačního obvodu je připojen první výstup čítače řádku rastru, přičemž druhý, třetí a čtvrtý

výstup tohoto čítače je připojen na devátý, desátý a jedenáctý vstup pevné paměti znaků, zatímco první až pátý výstup pevné paměti znaků je připojen na první až pátý vstup registru zobrazení, přičemž výstup tohoto registru je připojen na první vstup modulačního obvodu, jehož vstup je vstupem pro ovládací signál displeje, přičemž výstup modulačního obvodu je výstupem signálu pro jasovou modulaci.

Výhodou zapojení obvodů pro jasovou modulaci obrazovkového displeje je především to, že pomocí několika obvodů lze rozšířit normální způsob zobrazení znaků o další modifikaci způsobu zobrazení, tzv. inverzní zobrazení a dosáhnout snadné možnosti diskretního podtrhávání znaků. Velkou výhodou je malý počet běžných logických integrovaných obvodů potřebných pro získání signálu jasové modulace obrazovky a jednotná organizace paměti displeje.

Příklad zapojení obvodů pro jasovou modulaci obrazovkového displeje podle vynálezu je uveden na přiložených výkresech, kde na obr.1 je blokové schéma obvodů pro jasovou modulaci obrazovkového displeje, obr.2 je příklad konkrétního zapojení modulačního obvodu sestaveného z logických členů TTL.

V uvedeném příkladě podle obr.1 je nakreslena podstatná část obvodů pro jasovou modulaci, která obsahuje časový zdroj 2, paměť displeje 1 se vstupními a výstupními signály, čítač řádku rastru 3, paměť inverzního bitu 4, paměť podtržení znaku 5, registr zobrazení 6, pevnou paměť znaků 7 a modulační obvod 8. Do paměti displeje 1 je přiváděna sběrnice první skupiny vstupních dat 10, které obsazují první 110 až osmý 117 vstup paměti displeje 1, sběrnice druhé skupiny vstupních dat 11, připojená na devátý 118 a desátý 119 vstup paměti displeje 1, sběrnice adresových vodičů 13 připojena na jedenáctý 130 až dvacátý druhý 141 vstup paměti displeje 1, první ovládací signál 15 je připojen na první ovládací vstup 142 paměti displeje 1, druhý ovládací signál 16 je připojen na druhý ovládací vstup 143 paměti displeje 1. Sběrnice první skupiny výstupních dat 20 vychází z prvního 120 až osmého 127 výstupu paměti displeje 1, přičemž první výstup 120 paměti displeje 1 je spojen s prvním vstupem 710 pevné paměti znaků 7 až osmý výstup 127 paměti displeje 1 je spojen s osmým vstupem 717 pevné paměti znaků 7. Devátý výstup 128 paměti displeje 1 je připojen na první vstup 410 paměti inverzního bitu 4, zatímco desátý výstup 129 paměti displeje 1 je připojen na první vstup 510 paměti podtržení znaku 5. První 720 až pátý 724 výstup pevné paměti znaků 7 jsou přivedeny na první 610 až pátý 614 vstup registru zobrazení 6, na jehož šestý vstup 615 je přiveden první výstup 221 časového zdroje 2, zatímco druhý výstup 222 časového zdroje 2 je připojen na druhý vstup 811 modulačního obvodu 8. Třetí výstup 223 časového zdroje 2 je připojen na první vstup 310 čítače řádků rastru 3, jehož první výstup 320 je připojen na třetí vstup 812 modulačního obvodu 8. Druhý 321, třetí 322 a čtvrtý 323 výstup čítače řádků rastru 3 je připojen na devátý 730, desátý 731 a jedenáctý 732 vstup pevné paměti znaků 7. Pátý výstup 324 čítače řádků rastru 3 je spojen se čtvrtým vstupem 813 modulačního obvodu 8. Pátý vstup 814 modulačního obvodu 8 a jeho šestý vstup 815 jsou spojeny s prvním výstupem 420 a druhým výstupem 421 paměti inverzního bitu 4. Sedmý vstup 816 modulačního obvodu 8 je spojen s prvním výstupem 520 paměti podtržení znaku 5, na osmý vstup 817 modulačního obvodu 8 je přiváděn ovládací signál displeje 17. Devátý vstup 818 a desátý vstup 819 modulačního obvodu 8 je spojen s pátým výstupem 225 a šestým výstupem 226 časového zdroje 2. Čtvrtý výstup 224 tohoto časového zdroje je připojen na druhý vstup 411 paměti inverzního bitu 4 a druhý vstup 511 paměti podtržení znaku 5. Požadovaný signál pro jasovou modulaci 18 je na výstupu 821 modulačního obvodu 8.

Činnost obvodu pro jasovou modulaci obrazovkového displeje podle obr.1 je následující:

Sběrnice první skupiny vstupních dat 10, obsahující např. osmibitový kód znaku, je přiváděna na první 110 až osmý 117 vstup dat paměti displeje 1. Sběrnice druhé skupiny vstupních dat 11, obsahující informaci o způsobu zobrazení, normálně-inverzně, a podtržení znaku je přivedena na devátý 118 a desátý 119 vstup paměti displeje 1. Sběrnice adresy 13 je přiváděna na jedenáctý 130 až dvacátý druhý 141 vstup paměti displeje 1. První ovládací signál 15 paměti displeje 1 obsahuje informaci o režimu paměti displeje 1, tj. čtení-zápis, druhým ovládacím signálem 16 paměti displeje 1 je synchronizační kmitočet. Sběrnice první skupiny výstupních dat 20 obsahuje čtený kód bezprostředně zobrazovaného znaku, sběrnice druhé sku-

piny výstupních dat prezentována na devátém výstupu 128 paměti displeje 1 a obsahuje údaj o způsobu zobrazení bezprostředně zobrazovaného znaku; na desátém výstupu 129 paměti displeje 1 je obsažen údaj o podtržení bezprostředně zobrazovaného znaku. Údaje na sběrnici druhé skupiny výstupních dat jsou uchovány v paměti inverzního bitu 4 a paměti podtržení znaku 5. Informace o způsobu zobrazení a podtržení znaku je z prvního výstupu 420 a druhého výstupu 421 paměti inverzního bitu 4 a z výstupu 520 paměti podtržení znaku 5 přiváděna na pátý 814 šestý 815 a sedmý 816 vstup modulačního obvodu 8. Sběrnice první skupiny výstupních dat 20, která obsahuje v daném příkladě zapojení osmi bitů kódu znaku, je přivedena na první 710 až osmý 717 vstup pevné paměti znaků 7, jehož první 720 až pátý 724 výstup pevné paměti znaků 7 je přiveden na první 610 až pátý 614 vstup registru zobrazení 6, jehož výstup 620 je přiváděn na první vstup 810 modulačního obvodu 8. Přivedením ovládacího signálu displeje 17 na osmý vstup 817 a přivedením pátého 225 a šestého 226 výstupu časového zdroje 2 na devátý 818 a desátý 819 vstup modulačního obvodu 8 je přesně určen časový úsek skutečného zobrazování na stínítku obrazovky. Ostatní časové úseky představují zatemnění stínítka obrazovky displeje. Modulační obvod 8 generuje na svém výstupu 821 signál pro jasovou modulaci 18.

Obdobného obvodu podle obr. 1 lze dále použít např. v oboru tiskáren, kde je užíváno rádkování v rastru a bodový tisk. Příkladem může být sériová bodová tiskárna na teplotně citlivý papír pomocí teplotní tiskací hlavičky.

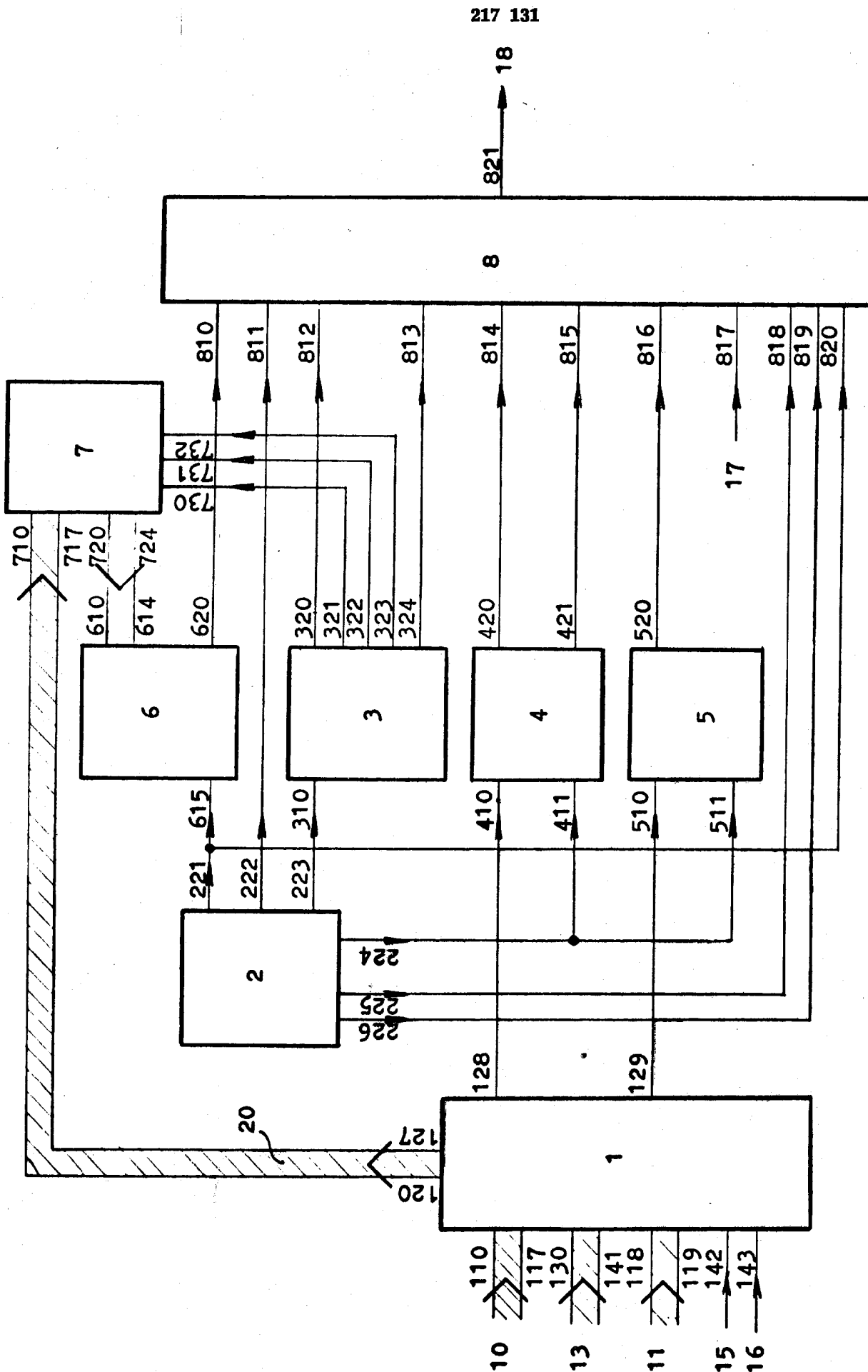
Příklad zapojení obvodu pro jasovou modulaci obrazkového displeje, jehož znaky jsou sestaveny v mozaice 5 x 7 bodů, lze rozšířit podle potřeby i na odlišný tvar bodové mozaiky, tvořící základní pole pro zobrazování znaku.

P Ř E D M Ě T V Y N Á L E Z U

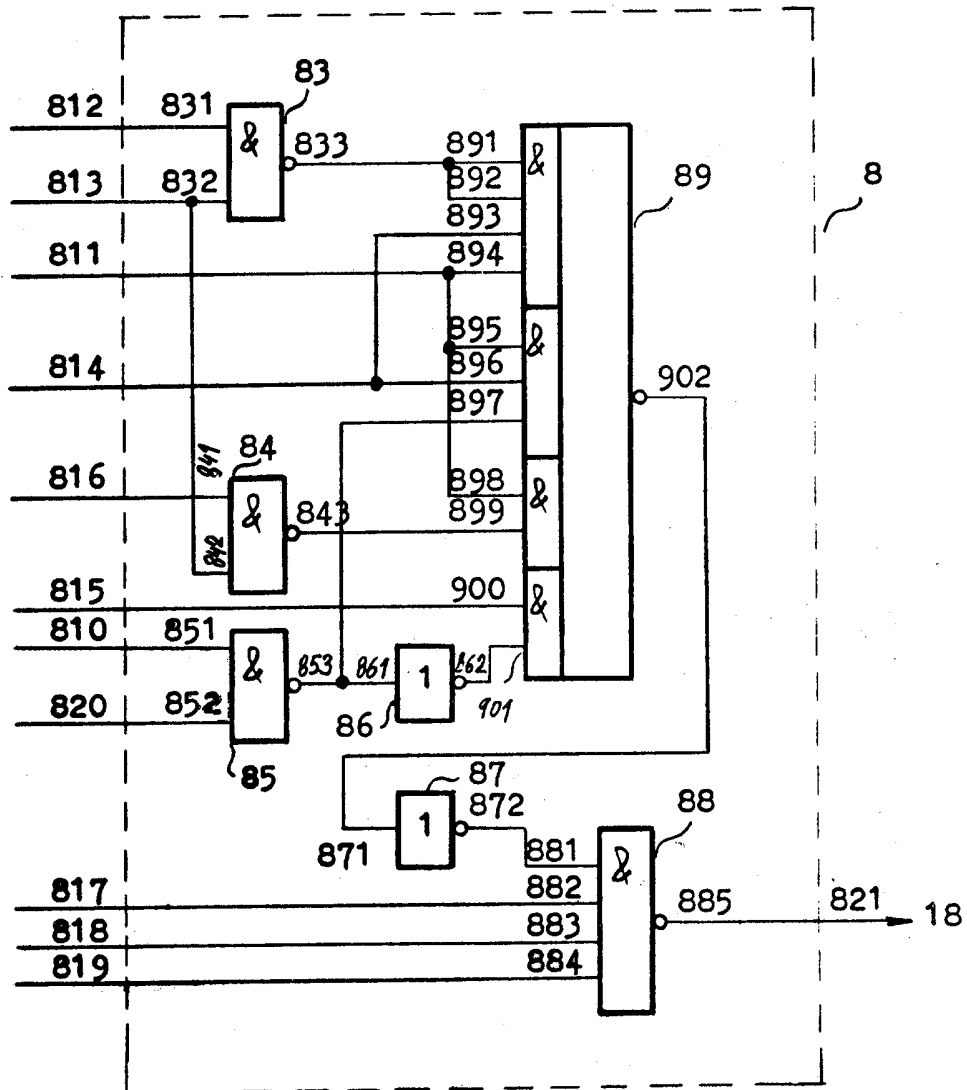
1. Zapojení obvodů pro jasovou modulaci obrazkového displeje, sestaveného z paměti displeje, pevné paměti znaků, časového zdroje s oscilátorem a registru zobrazení, vyznačené tím, že první výstup (221) časového zdroje (2) je připojen na šestý vstup (615) registru zobrazení (6) a současně na jedenáctý vstup (820) modulačního obvodu (8), přičemž druhý výstup (222) časového zdroje (2) je připojen na druhý vstup (811) modulačního obvodu (8), třetí výstup (223) časového zdroje (2) je připojen na první vstup (310) čítače řádků rastru (3), čtvrtý výstup (224) časového zdroje (2) je připojen na druhý vstup (411) paměti inverzního bitu (4) a současně na druhý vstup (511) paměti podtržení znaku (5), zatímco pátý výstup (225) a šestý výstup (226) časového zdroje (2) jsou připojeny na devátý (818) a desátý (819) vstup modulačního obvodu (8), přičemž na první (110) až osmý (117) vstup paměti displeje (1) je přivedena sběrnice první skupiny vstupních dat (10), zatímco na devátý (118) a desátý (119) vstup paměti displeje (1) je přivedena sběrnice druhé skupiny vstupních dat (11), přičemž na jedenáctý (130) až dvacátý druhý (141) vstup je přivedena sběrnice adresy (13), zatímco první ovládací vstup (142) paměti displeje (1) je vstupem pro první ovládací signál (15) a druhý ovládací vstup (143) paměti displeje (1) je vstupem pro druhý ovládací signál (16), přičemž na první (120) až osmý (127) výstup paměti displeje (1) je připojena sběrnice první skupiny výstupních dat (20), přičemž první (120) až osmý (127) výstup paměti displeje (1) je připojen na první (710) až osmý (717) vstup pevné paměti znaků (7), přičemž devátý výstup (128) paměti displeje (1) je připojen na první vstup (410) paměti inverzního bitu (4), zatímco desátý výstup (129) paměti displeje (1) je připojen na první vstup (510) paměti podtržení znaku (5), přičemž výstup (520) paměti podtržení znaku (5) je připojen na sedmý vstup (816) modulačního obvodu (8), zatímco první výstup (420) paměti inverzního bitu (4) je připojen na pátý vstup (814) modulačního obvodu (8), přičemž na šestý vstup (815) tohoto obvodu je připojen druhý výstup (421) paměti inverzního bitu (4), zatímco na čtvrtý vstup (813) modulačního obvodu (8) je připojen pátý výstup (324) čítače řádku rastru (3), zatímco na třetí vstup (812) modulačního obvodu (8) je připojen první výstup (320) čítače řádku rastru (3), přičemž druhý (321), třetí (322) a čtvrtý (323) výstup tohoto čítače je připojen na devátý (730), desátý (731) a jedenáctý (732) vstup pevné paměti znaků (7), zatímco první (720) až pátý (724) výstup pevné paměti znaků (7) je

připojen na první (610) až pátý (614) vstup registru zobrazení (6), přičemž výstup (620) tohoto registru je připojen na první vstup (810) modulačního obvodu (8), jehož osmý vstup (817) je vstupem pro ovládací signál displeje (17), přičemž výstup (881) modulačního obvodu (8) je výstupem signálu pro jasovou modulaci (18).

2. Zapojení obvodů pro jasovou modulaci obrazovkového displeje podle bodu 1, vyznačené tím, že první vstup (810) modulačního obvodu (8) je připojen na první vstup (851) třetího hradla (85), druhý vstup (811) modulačního obvodu (8) je spojen se čtvrtým (894), pátým (895) a osmým (989) vstupem pátého hradla (89), třetí vstup (812) modulačního obvodu (8) je spojen s prvním vstupem (831) prvního hradla (83), zatímco čtvrtý vstup (813) modulačního obvodu (8) spojen s druhým vstupem (832) prvního hradla (83) a současně se druhým vstupem (842) druhého hradla (84), přičemž pátý vstup (814) modulačního obvodu (8) je spojen se třetím (893) a šestým (896) vstupem pátého hradla (89), zatímco šestý vstup (815) modulačního obvodu (8) je spojen s desátým vstupem (900) pátého hradla (89), sedmý vstup (816) modulačního obvodu (8) je spojen s prvním vstupem (841) druhého hradla (84), přičemž osmý vstup (817) modulačního obvodu (8) je spojen s druhým vstupem (882) čtvrtého hradla (88), devátý (818) a desátý (819) vstup modulačního obvodu (8) je spojen se třetím (883) a čtvrtým (888) vstupem čtvrtého hradla (88), zatímco jedenáctý vstup (820) modulačního obvodu je spojen s druhým vstupem (852) třetího hradla (85), jehož výstup (853) je připojen na sedmý vstup (897) pátého hradla (89) a vstup (861) prvního invertoru (86), přičemž výstup (862) tohoto invertoru je připojen na jedenáctý vstup (901) pátého hradla (89), zatímco výstup (833) prvního hradla (83) je spojen s prvním (891) a druhým (892) vstupem pátého hradla (89), přičemž výstup (843) druhého hradla (84) je spojen s devátým vstupem (899) pátého hradla (89), jehož výstup (902) je spojen se vstupem (871) druhého invertoru (87), jehož výstup (872) je připojen na první vstup (881) čtvrtého hradla (88), přičemž výstup (885) tohoto hradla (88) tvoří výstup (821) modulačního obvodu (8).



Obr. 1



Obr. 2