

公告本

401606

申請日期	87.9.1
案 號	87114500
類 別	H01L ²¹ /3065

A4

C4

401606

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	在電漿反應室中圍繞半導體工件之屏蔽或環
	英 文	SHIELD OR RING SURROUNDING SEMICONDUCTOR WORKPIECE IN PLASMA CHAMBER
二、發明 創作人	姓 名	1. 柯匡漢 2. 布萊恩 Y. 卜 3. 杉宏勤 4. 詹姆斯王 5. 方亨利 6. 李宗瑜 7. 麥克 D. 威奇
	國 籍	1. 中華民國 2. 中國 3. 中國 4. 美國 5. 美國 6. 中國 7. 美國
	住、居所	1. 美國加州山景路建造大街 928 號 2. 美國加州聖荷西市羅莎多庭園 3064 號 3. 美國加州聖荷西市湯柏路 3630 號 4. 美國加州聖羅多加蒙派瑞路 18430 號 5. 美國加州達利市瓦維克街 294 號 6. 美國加州日光山谷麥拉瑪爾路 3781 號 7. 美國加州利爾摩羅馬街 940 號
三、申請人	姓 名 (名稱)	美商·應用材料股份有限公司
	國 籍	美國
	住、居所 (事務所)	美國加州聖大克勞拉市波爾斯大道 3050 號
	代 表 人 姓 名	瓊西 J. 史維尼

401606

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

本案已向美國申請專利；申請日：1997年9月16日 案號：08/931,864 號

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

申請案之相關資料:

本專利申請案係為以 1996 年 11 月 29 日由 Bryan Pu et al. 向美國專利商標局申請之 "Apparatus for Improving Wafer and Chuck Edge Protection" 的部分續案 (CIP) (其中申請案號為 SN 08/758,531), 及於 97 年 1 月 2 日由 Hongching Shan et al. 申請之 "Magnetically-Enhanced Plasma Chamber with Non-Uniform Magnetic Field" 部分續案 (其中申請案號為 SN 08/735,444) 的內容為基礎者。

發明領域:

本發明係有關於一種在電漿反應室中固設一半導體工件之電極, 更明確而言, 本發明係有關於一種環繞工件之一軸環或環, 而可在反應室內一半導體製程中提供更進步之空間均勻性者。

發明背景:

在各種半導體製程中, 如輔助電漿 (plasma-assisted) 蝕刻或化學汽相沉積, 係在一電漿反應室中處理, 其內設有一工件 20 可固設於一金屬電極 22 上 (請參閱第 1 圖及第 2 圖)。當該工件 20 係為一圓形半導體晶圓時, 其陽極 22 通常係具有一圓形頂表面以擺設該晶圓。一般而言, 一種製程試劑之混合物可藉由一幫浦而被導引進入一內部經常保持真空狀態之反應室中, 而一電源供應器則可將該製程反應氣體混合物激發成電漿態樣。基本上, 一射頻 (RF)

五、發明說明 ()

電源供應器 24 將容抗連接該電極 22，以致於在該電極產生一相對於電漿體為負偏壓狀態。

設計一電漿製程反應室之一目標係致力一可在反應室操作下之增強電漿製程反應率可變為最大值，該製程反應率將會減少從電漿至陽極之離子束任何部分。再者，可聚集 RF 電流射向工件 20，一般而言一介電屏蔽 28 將可覆蓋陽極 22 之側邊，而該屏蔽 28 係可厚到足以致使在電漿與陽極側邊間流動之 RF 電流存在一高電阻。

在很多習用之電漿反應室中，其陽極 22 具有比工件還大尺寸之直徑。為預防 RF 電流流向電漿與工件周邊外側之陽極部分間，陽極之部分習慣將藉由一介電頂屏蔽或軸環 30 來覆蓋，就如屏蔽 28 一般，頂屏蔽 30 則亦必須粗厚到足以使得在電漿與工件周邊外側之陽極部分間流動之 RF 電流所產生之電阻減少至一微小層級。

但習用之介電屏蔽 28、30 將存在一問題，即是其所使用之製程成份，尤其係使用於電漿中的一些化學種類總會腐蝕頂屏蔽之暴露表面，以致於頂屏蔽必須周期性的予以更換。而在反應室中，若缺乏頂屏蔽 30，則其邊屏蔽 28 也將暴露在電漿中，其還是會被面臨被腐蝕之問題。時常更換頂屏蔽係非常不方便之設計，因為如此即必須在反應室停止運作時中止生產線之動作。而介電屏蔽之腐蝕情形尤其係在半導體工件在進行蝕刻介電層時最為嚴重，因為此時蝕刻要素在蝕刻介電層時也同時蝕刻其介電軸環。

五、發明說明()

設計一半導體製程電漿反應室之另一目標在於達成於製程中覆蓋工件表面之空間均勻性，例如在反應離子蝕刻過程及化學氣相沉積過程中，其在工件中心之反應率(如蝕刻率及沉積率)也許將低於接近在工件周邊之反應率，因為在接近工件中心之反應種類將相較於接近工件周邊者有更多之損耗，換言之，如此之過程將造成徑向非均勻之損害。

一種習用之方法可用來改善其徑向之空間均勻性，其主要係利用一架高之圓柱軸環或屏蔽環繞於工件之周邊，有時即稱其為聚焦環。該架高軸環至少將產生三個功效，首先之兩個基本上係減少接近晶圓周邊之反應率。架高軸環或屏蔽之第一個功效是阻礙軸環外側之反應製程反應氣體移向其晶圓，如此該軸環將可增加在接近晶圓周邊之反應種類的消耗，以儘量符合在接近晶圓中心處之消耗量。架高軸環之第二個功效係取代在工件周邊軸向向上之電漿保護層，由於從工件周邊移動其電漿保護層將引起減少其反應種類而集中接近於工件周邊。架高軸環之第三個功效係增加接近晶圓周邊反應種類的反應時間，如此也可以依照使用反應物之化學特性而增加或減少接近晶圓周邊之反應率。

該架高軸環或屏蔽無需是為一介電物質來達成上述之功效，然而，如果該介電軸環要是包括介電物質，其還是可執行先前所述離子束從電漿轉向至工件周邊外側陽極部分之功效。習用之構造設計，如第1圖所示，該介電

五、發明說明()

軸環 30 軸向延伸至晶圓之表面，以致於可同時兼具先前所討論一架高軸環及一介電屏蔽之功能。

習用架高軸環雖然可改善半導體製程中之空間均勻性，但改善空間均勻性之更進步方法將予下文中予以討論。

發明目的與概述：

本發明之一態樣，尤其係使用於氧蝕刻過程及其它增強電漿半導體製程等運用介電物質的高反應過程中。在本發明之此目的中，其暴露在來自於電漿離子撞擊之陽極部分將藉由一介電屏蔽予以覆蓋，且該屏蔽將可利用一非介電物質之保護環覆蓋。更佳之狀況是該保護環將可由一具高層級之非反應物質或抗腐蝕物質與一反應氣體所組合而成。

如此之保護環所受到之侵蝕率將低於其下面的介電物質，因此其必須置換之頻率將低於習用使用之介電屏蔽。該反應環也可藉由與來自於不利半導體製程中之反應氣體作用而可預防反應種類之釋放。

另外，利用反應氣體取代非反應物質，該保護環也可組合而成一可與反應氣體作用之物質，而此種方式將不會不利於半導體製程之作用效果。

在矽晶圓之氧蝕刻過程中，其介電屏蔽最好係為石英，而其非反應保護環最好係為矽物質。

本發明之第二個態樣，在於介電屏蔽包括有一軸向較

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

厚之外屏蔽及一軸向較薄之內屏蔽以環繞於工件周邊。該厚外介電屏蔽提供一相對較高之 RF，以撞擊從電漿流向一藉由外屏蔽覆蓋陽極部分之離子。而薄內介電屏蔽將可提供一較低之 RF，以撞擊一從電漿流向剛好處於工件周邊外緣陽極部分之離子，因此，該薄內介電屏蔽將延伸其電漿覆蓋物而超過工件之周邊，如此將減少接近周邊電漿覆蓋物之任何不連續區域。較佳之狀況下，其內介電屏蔽之軸向厚度將可藉由實驗而調整，以得到最佳值而可應用於覆蓋工件電漿之徑向均勻性。

在一選擇性的實施例中，如此之介電屏蔽，一非介電軸環將可至少覆蓋該內屏蔽之一部分，且徑向延伸至工件之表面。由於其可延伸至工件之表面，故該非介電軸環將可發揮如一習用架高軸環或聚焦環藉由阻礙反應氣體轉向工件之功效，因此，該軸環將增加接近工件周邊反應種類之消耗，以拉近與接近工件中心消耗之數值。然而，不同於習用之設計，本發明之此實施例中，可允許內介電屏蔽之厚度及非介電軸環之高度可獨立調整以適合於電漿製程過程之徑向均勻性。

本發明之第三態樣，在於提供一非介電環環繞及電接觸於該工件，如此之非介電環可藉由減少或避免接近工件周邊電漿覆蓋物之不連續區域以改善半導體製程之空間均勻性。

本發明之第四態樣，在於藉由於一介電屏蔽及/或一環繞工件架高軸環之相對方位角變化而在製程過程中改善

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

其一方位角非均勻性。

本發明之第五態樣，在於藉由一具有一可相對工件表面提高 110 度至 145 度部分之環軸以環繞該工件，而可調整工件之周邊以讓製程時之腐蝕部分降至最低。

圖式簡單說明：

第 1 圖係習用介電屏蔽環之截面示意圖。

第 2 圖係本發明具有一包括有一厚外介電屏蔽及一薄內介電屏蔽之介電屏蔽、及一覆蓋該內屏蔽之非介電環軸之電漿反應室的縱向截面示意圖。

第 3 圖係如第 2 圖所示介電屏蔽及非介電環軸之部分放大示意圖。

第 4 圖係本發明之另一實施例截面示意圖，其介電屏蔽及非介電軸環之徑向尺寸相較於第 3 圖所示實施例為大者。

第 5 圖及第 6 圖係為本發明另兩個實施例截面示意圖，其更包括有一第二非介電軸環，其徑向延伸之高度大於晶圓之表面，且第 5 圖所示實施例之第二環徑向高度相較於第 6 圖所示實施例為大者。

第 7 圖係為本發明之另一實施例截面示意圖，其具有一非介電保護軸環以覆蓋介電屏蔽之所有下表面及上表面。

第 8A 圖係為本發明之一實施例截面示意圖，其具有一彈簧可將一非介電環推向該晶圓以保持其良好之電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

接觸。

第 8B 圖係為本發明之一實施例截面示意圖，其具有一相

較於第 8A 圖實施例更多組合外形之非介電環。

第 9A 圖係為習用 MERIE 反應室之部分透視圖。

第 9B 圖係如第 9A 圖所示反應室之電磁石俯視圖。

第 10A 圖係為本發明一波浪軸環之俯視圖。

第 10B 圖至第 10E 圖係分別為本發明波浪軸環之截面示意圖。

第 11A 圖及第 11B 圖係分別為如第 1 圖所示介電軸環及第 4 圖所示較進步之介電軸環於晶圓表面上蝕刻率之等角示意圖。

圖號對照說明：

12	側壁	14	圓形底壁
16	蓋子	18	接地陰極
20	工件	22	陽極
23	排氣通道	24	射頻(RF)電源供應器
26	耦合電容	28	屏蔽
30	介電屏蔽	32	架高表面
34	箭頭	36	箭頭
38	內介電屏蔽	40	電漿
42	覆蓋物	50	保護環
52	靜電夾盤	56	水平環
58	第二非介電環	60	非介電環

五、發明說明()

64 向上表面	66 較低部分
68 彈性體	76 邊緣處位置
71~74 電磁線圈	78 隙縫或切口
79 機械手臂	81 高部分
82 低部分	104 暴露表面

發明詳細說明：

1. 一般之電漿反應室

如第 2 圖所示，係為本發明可以使用之一典型半導體製程反應室，該反應室係為一磁性增強電漿反應室，而可適合應用於蝕刻或化學氣相沉積反應中(CVD)。

該真空反應室係包括有圓柱形側壁 12、圓形底壁 14、及圓形頂壁或蓋子 16。一接地陰極 18 係固設於蓋子 16 之底端，該陰極之作用就如一氣體通道，可讓反應氣體通過而進入反應室內之功效一般，而該側壁 12 係可為是介電物或金屬物質，如果係金屬物質，則其亦可當作為是陰極之一部分。

半導體晶圓或工件 20 係固設於一陽極 22 之上，換言之，其架設於反應室之底端。工件 20 基本上係可經由一夾鉗子或藉由一如機械夾環或靜電夾環(未顯示)之習用夾盤而可緊抵於陽極 22 之上表面。一真空幫浦(未顯示)可從反應室經由排氣通道 23 以排除氣體，且保持反應室內之總氣體壓力於一足夠形成一電漿之低壓狀態，基本上係為 10 millitorr 至 20 torr 之間，而此壓力之較低層級及較高

五、發明說明()

層級則可分別適用於蝕刻及 CVD 反應中。

一射頻(RF)電源供應器 24 可藉由一連串之耦合電容 26 而連接於陽極 22，該 RF 電源供應器可在陽極及接地陰極 18 間提供一射頻電壓，此可激發反應室內之氣體成為一電漿態樣，該電漿具有一相對於陽極及陰極之均時正 DC 電位或電壓，其可加速已離子化之反應氣體去撞擊陽極及陰極。

為使在晶圓 20 表面上之反應種類及帶電粒子濃度可最大化，且藉此可讓在反應室中使用之增強電漿(plasma-enhanced)反應率亦可達到最大化，所以儘可能將電漿及陽極 22 間流動之 RF 電流濃縮至在陽極前表面之晶圓 20 反應區域。因此，陽極之所有前表面及側表面無法藉由晶圓而被覆蓋，但習慣上可藉由一厚介電物而被覆蓋。第 2 圖顯示出一介電圓柱體 28 來覆蓋陽極之側表面，及一介電屏蔽 30 置放且覆蓋在晶圓 20 周邊外緣之陽極頂表面。(第 2 圖顯示之該介電屏蔽 30 及保護環 50 並非習用技術，而是本發明之一實施例，之後將會簡要敘述)

2. 以保護環來預防介電屏蔽之腐蝕

第 2 圖及第 3 圖顯示出一保護環或抗蝕環 50 橫跨該介電屏蔽 30 之徑向內部分 38，換言之，橫跨過介電物最內部分至晶圓 20 之周邊。

該介電屏蔽或軸環 30 及保護環 50 一起構成爲"製程組件"，因為其任何一部分皆明顯的會被腐蝕，故其必須

五、發明說明()

周期的被替換，當反應室之晶圓連續被處理時，其製程組件會更進一步的被腐蝕。由於製程組件成份的物理特性將影響到電漿密度及接近晶圓邊緣之反應氣體分佈，其進一步之腐蝕將改變在反應室內使用的半導體製程，因此，當製程組件被顯著腐蝕時，一般必須替代其組件物以保持反應濃度及均勻性。

在缺少一保護環之一習用介電屏蔽 30(如第 1 圖所示)，其介電物之暴露表面 104 剛好位於晶圓 20 周邊之外緣，也就是介電屏蔽最快被腐蝕之部分。由於該厚介電物 30 可防止電漿有效延伸至晶圓周邊，故可減少將造成腐蝕之離子流，當然也因此可將腐蝕問題自晶圓周邊起降低。

根據在電漿反應室內製程使用物質之化學性，利用一抗蝕保護環 50 覆蓋介電屏蔽之暴露內表面 104 也可有效的減少製程組件之腐蝕問題，當然也可延長其使用壽命。

如第 3 圖所示實施例之內介電屏蔽 38 係相較第 1 圖所示習用設計者之軸向較薄而徑向較寬者，而此即為本發明之另一目的，將可下文中詳細說明。簡而言之，該內屏蔽 38 設計成細薄者以達到在陽極 22 及電漿 40 間耦合 RF 電源至一定數量，因此也可徑向延伸其電漿向外超過工件 20 之周邊。第 4 圖所顯示者為本發明之另一實施例，其內屏蔽 38 相較於第 3 圖所示者為徑向較寬者，因此延伸該電漿更進一步徑向向外。由於在這兩個實施例中，其內介電屏蔽 38 是細薄至足以在陽極及電漿間耦合大量之 RF 電源，其可將實質離子從電漿流向內介電屏蔽，而內介電屏

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

蔽之任何暴露部分也將受到加速之腐蝕。為預防此種腐蝕，該保護環 50 最好可覆蓋介電屏蔽 30 內屏蔽 38 之全部暴露上表面。

抗蝕環 50 將可包括有一相較於在反應室內使用特別增強電漿環境之內屏蔽 38 介電物質更可抗拒腐蝕之物質。如果內介電屏蔽 38 可藉由反應氣體而易受腐蝕影響，因此其良好的物質將具有更多如非介電物質之抗蝕性，如金屬或半導體物質。

在以蝕刻一工件 20 介電層之增強電漿反應中，該反應器體將連續蝕刻工件上之介電物質，當然也持續地蝕刻其介電屏蔽 30，例如，包括有細薄內部分 38 之介電屏蔽 30 最好是可當作一石英之單一面媒介。由於石英物質具有良好的低雜質濃度特性，可避免污染物進入而停留至反應室內，故石英物質係較為良好材質。然而，如果工件之蝕刻層係蝕刻二氧化矽，其化性雷同於石英物質，因此蝕刻反應也將腐蝕其蝕刻屏蔽 30。另外，在一氧矽蝕刻反應室中，其保護環 50 將可更有效的來保護製程組件之腐蝕作用。

在一氧矽蝕刻反應室中，其保護環 50 最好係由從矽所組成，由於矽物質一般在氧蝕刻過程中，可藉由反應過程而達到抗腐蝕之作用，且因為具有較低的不純濃度而可達到避免污染物置留反應室之功效，故使用矽物質係較為進步的。而單晶矽化物由於可達到更高之純度功效，故其使用上更佳。

五、發明說明()

在本發明之測試實驗中，利用一標準程序來蝕刻矽晶圓表面之二氧化矽層，矽保護環 50 之蝕刻率至少將低於石英蝕刻率十倍以上，當矽保護環因為腐蝕作用而開始得到一明顯之凹陷表面時，其矽環也可被容易取代而不替代其介電屏蔽 30。更進一步而言，矽環之使用壽命也可藉本發明方式而在其頂表面成為凹陷之後可再使用延長兩倍以上。

反之，如果介電內屏蔽 38 是如任何其它易於使用之抗蝕物質，則其保護環 50 亦可被省略。例如，由於一石英屏蔽可藉由使用於金屬蝕刻及矽化物蝕刻之反應種類而具有抗蝕之功效，因此在此反應室中其保護環 50 就變得不是如此需要。

如果保護環 50 是如矽化物之非介電物質，且如果晶圓 20 與陽極 22 是成為相互絕緣者(其現象就如晶圓藉由一具有介電層 52 橫跨於陽極及晶圓間之靜電夾層而架設於陽極上一般)，則其一般皆有助於非介電保護環 50 與陽極之鄰近表面 54 之電隔離作用。如果晶圓係與陽極成絕緣狀態，但卻與非介電環不成絕緣狀態，則非介電環將可耦接於陽極，且具有相較於晶圓較低之阻抗，其可造成過多之 RF 電源可透過矽環而耦合於電漿，以取代透過晶圓者。

在陽極及非介電保護環 50 之絕緣特性也可是為一氧化層或其它鄰近該保護環陽極表面 54 之介電物質。在比較佳實施例中，其陽極是鋁物質，而其氧化層則可經由電

五、發明說明()

鍍陽極之全部外表面而獲得。再者，非介電保護環 50 亦可架設於介電屏蔽上，以在該保護環與陽極間保持一空隙，如此之真空空隙將可在環 50 與陽極間提供一絕緣作用。

3. 利用保護環來預防在變動反應化性之介電屏蔽

保護環 50 除了可延長製程組件之使用壽命外(如第 2 圖至第 4 圖所示之兩個實施例)，還具有其它之進步點。在一些半導體製程中，其介電屏蔽 30 將與反應氣體作用，或因為離子之撞擊而被腐蝕，以致於化學種類將被解放而在鄰近屏蔽處(也就是在接近工件 20 之周邊位置)立即改變其製程反應化性。如果反應化性(也就是各種化學種類之特性)接近工件周邊者，而與接近工件中心者不同，則其處理製程之實施將雷同於相對徑向非均勻性者。如果本發明之保護環 50 係由可減少與反應氣體反應之物質所組成，或使用不同於釋放化學種類而具有一些對於製程中有利(或降低損害)之物質，則其亦可提供相對於藉由一非保護介電屏蔽 30 之釋放種類更進步之反應空間均勻性。

例如，當一石英屏蔽 30 被腐蝕時，無論係藉由濺渡或藉由與反應氣體作用，一般將可釋放出氧物質，而在一些半導體製程中，氧物質將對其反應率造成明顯之影響。更明確而言，在蝕刻碳氫化合物反應中，如光阻蝕刻劑平面蝕刻(photoresist planarization etching)中，增加其氧物質之濃度將有助於其反應速度。而在蝕刻主玻璃介電物

五、發明說明 ()

(spin-on glass; SOG)過程中亦可得到一些較小之效應，因為 SOG 基本上將具有一本質為碳之成份。在這些蝕刻過程中，一暴露石英屏蔽 30 將可增加接近晶圓周邊處之蝕刻率，也因此而可降低蝕刻率之空間均勻性。

在一些其它實施例中，藉由腐蝕一石英屏蔽 30 而釋放之氧物質在蝕刻反應中具有一些不同之效果，以蝕刻在一晶圓上之二氧化矽層，而其蝕刻反應可設計成儘可能選擇預計晶圓矽物質之任何暴露部分以進行蝕刻之功效。在基本之氧蝕刻過程中，氧物質並無法有助於二氧化矽之蝕刻作用，但其卻有助於矽物質之蝕刻進行。因此，石英屏蔽 30 之腐蝕基本上將降低接近晶圓周邊之蝕刻過程選擇性。

在這些實施例中，降低接近晶圓周邊之空間均勻性或選擇性將可藉由一保護環 50 覆蓋石英屏蔽 30 之內部分 38 而得到改善，而該保護環 50 包括有一不會遺留可能對蝕刻反應影響之化學種類的物質。就先前之敘述，以一保護環來覆蓋石英屏蔽 30 之外緣部分係非必要的，由於離子流將從工件之周邊起逐漸衰退，其一般將減少石英屏蔽暴露表面及反應氣體間之反應率。

矽化物是一種製造保護環 50 之最好材質以達到前述可延長製程組件之使用壽命，同樣，亦可使用試劑來達到良好之抗腐蝕性而被用來蝕刻介電物質及金屬物質，且有效的改變降低其非純質等級。矽化物還具有一額外之進步點，就是在進行如 CF_4 或 CHF_3 之含氟試劑蝕刻時可提供

五、發明說明()

更良好之均勻性。在電漿中提供高濃度之氟離子一般將可減少蝕刻反應之選擇性。矽化物將與耗盡(清除)氟離子反應，以致於可在鄰近工件處提供矽化物而可降低鄰近工件之氟離子濃度。舉例而言，在蝕刻氧化矽之過程中，一矽環 50 之存在相信可提升光阻蝕刻劑之蝕刻選擇性，換言之，其可減少光阻蝕刻劑之蝕刻率。

第 7 圖顯示一相似於第 4 圖所示實施例之另一設計，除了其保護環 50 覆蓋有介電屏蔽 30 暴露表面之更大區域，而因此可增加介電屏蔽 30 之保護區域而免受腐蝕外，其最特別的地方在於其保護環 50 將可覆蓋所有介電屏蔽之向上面表面及所有之向內面表面。因此，第 7 圖所示之設計將可更進一步得到上述保護環 50 之功能，也就是說可延長製程組件之使用壽命，及降低半導體製程中因為在介電屏蔽 30 及反應氣體間之化學作用所引起之空間非均勻性。

第 5 圖及第 6 圖顯示者係為介於第 4 圖及第 7 圖實施例之中間產物的另一設計，在此實施例中，其保護環 50 覆蓋屏蔽之區域相較於第 4 圖者為多，但相較於第 7 圖所示實施例者較少。更明確而言，第 5 圖及第 6 圖所示實施例之保護環 50 包括有一底環 56 及一上環 58，其中該後者部分或其全部將可覆蓋介電屏蔽 30 之向內架高表面 32，依照其反應，第 5 圖及第 6 圖所示之設計將可適當的保護介電屏蔽 30 而免受腐蝕，且因此而可改變其反應化性。

本發明除了第 7 圖所示之設計外，將可對一藉由從蝕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

刻石英介電屏蔽 30 中置留氧化物以強化其效果之半導體製程反應中提供更特別之進步點。就如前述一般，如此之反應過程將包括有光阻蝕刻劑平面蝕刻及主玻璃蝕刻反應。藉由保護環 50 來增加石英屏蔽 30 之被覆蓋區域將可更進一步的減少來自於石英之置留氧化物，而如此之置留物在接近工件之周邊處將相較於工件中心處有更多之蝕刻率增加，也因此可減少在工件表面上蝕刻率之空間均勻性。

較佳之情況下，保護環 50 將包括有矽化物，其具有如前所述更進一步之清除氟離子。利用含氟試劑來蝕刻氧化矽之反應中，如第 7 圖所示，由於其將增加暴露於電漿之矽屏蔽 50 表面，及減少鄰近工件之氟離子濃度，因此可改善蝕刻反應過程之選擇性。

增加矽屏蔽暴露表面區域之一位能不利處在於其影響蝕刻反應之效果將變得非常明顯，而其溫度靈敏性也變得非常明顯。在一電漿蝕刻反應室內之溫度一般係皆在溫度範圍內，增加矽屏蔽之溫度將可增加其與氟化物之反應，因此，矽屏蔽將具有一大表面區域暴露於電漿中，故其變得必須調整矽屏蔽之溫度以確保其良好之反應。

4. 介電屏蔽與接近工件處之較低阻抗部分

就如本發明前述發明背景所言一般，如第 1 圖所示習用介電屏蔽 30 之實施例將可執行兩個功能。第一，該介電屏蔽之軸向方位將細薄至足以在一可藉由介電物質而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

耦接於陽極 22 與電漿間之 RF 電源中提供一高電阻，減少如耦接於工件周邊外緣之 RF 電源，將可增加在工件上執行之製程反應率。第二，介電屏蔽 30 將可軸向延伸超過工件之表面，以致於可藉由減少接近工件周邊處及接近工件中心處間之反應種類濃度不同而得以改善反應過程之徑向均勻性。

本發明發現橫跨工件 20 表面製程之空間均勻性有時也可藉由一透過 RF 電源從陽極 22 耦接於電漿 40 而可環繞該晶圓之環形區域提供以得到進一步之改善。如此之 RF 耦接可經由該介電屏蔽 30 及一內部分 38 之提供而得以完成，而 RF 之阻抗基本上將低於介電屏蔽之環繞部分。RF 電源係可透過內介電屏蔽 38 相對低之阻抗而耦接於陽極 22 與電漿之間，如此將可造成電漿覆蓋物 42 可徑向延伸超過工件 20 之周邊。其可縮減接近工件周邊之電漿覆蓋物任何不連續部分，因此可造成增加使用於工件上半導體製程中增強電漿之徑向均勻性。

環繞內部分 38 之介電屏蔽剩餘部分具有實質較高之電阻，以致於可降低 RF 電源之耦接區域遠離工件至適當位置而促成其製程可在工件上執行。RF 電源耦接於工件周邊外緣也可藉由增加架高軸環 30 之厚度(即軸向高度)及藉由使用一具有較低介電常數之介電物質而可達到降低之目的。石英因為可成為具有相當低雜質之特性，而可減少反應室之污染物置留，故其可為是一種適用於架高軸環 30 之介電物質。

五、發明說明()

內介電屏蔽 38 也可藉由將其內屏蔽 38 製作成較細薄於其軸向方位者，而將其電阻製成低於介電屏蔽 38 外圍部分者，如第 3 圖所示。在一較佳實施例中，介電屏蔽 30 是一石英製程之單一部分，其較細薄部分係位於內部分 38 處。另外，內介電屏蔽 38 之電阻亦可藉由製作一具有相較於屏蔽 30 外緣部分更高介電常數之物質而得以降低。

實際上，介電屏蔽 30 內部分及外部分之電阻將可因為 RF 頻率而受到改變，在此發明說明書中，其 RF 電源供應器 24 連接於陽極 22 之參考阻抗所相對於之頻率係為 13.56 MHz。

本發明確信製程組件之尺寸大小將會對蝕刻率之空間均勻性有巨大之影響，對內介電屏蔽 38 而言，其軸向厚度或深度為 D，徑向寬度為 W，而高於晶圓上製程組件之架高部分 30 的高度為 H，及位於架高部分與晶圓周邊間之空間為 S。(該參考字母 D、W、H 及 S 僅顯示於第 4 圖中，而在其它實施例中雖未顯示但卻可比照辦理)

RF 電源電容可藉由內介電屏蔽 38 而耦接於陽極 22 與電漿 40 之間，且與內介電屏蔽之電阻成反比。而該電阻係與徑向寬度 W 成正比，並藉由內介電屏蔽 38 之深度 D 而與之分離，且又與內介電屏蔽物質之介電常數成反比。所連接之 RF 電源將相對增加在內介電屏蔽 38 上面電漿前覆蓋物及覆蓋物 42 內之帶電粒子濃度，且可相對增加離子而流向內介電屏蔽。

本發明亦可設計一些實施例，其介電屏蔽及保護環具

五、發明說明()

有不同之尺寸大小及外形以對一些特別之半導體製程提供最佳之空間均勻性及流通量。就如本節先前開始所提及的，RF 電源將藉由晶圓從陽極耦接於電漿之外緣部分，且可減少在晶圓表面之離子及反應種類濃度。因此，空間均勻性之所有改良均可藉由增加連接於內介電屏蔽 38 之 RF 電源而可達成，而如此之 RF 電源增加性將可抗拒實施於晶圓製程上所減少之平均率(如流通量)，並藉此取得平衡。

舉例而言，如第 4 圖所示，其顯示出一介電內屏蔽 38 及一非介電保護環 50 之徑向寬度 W 將大於如第 3 圖所示之實施例(在第 4 圖至第 6 圖之簡易圖示中，並未顯示出如第 3 圖所示陽極 22 位於介電內屏蔽 38 及晶圓 20 底下之實施例)。在徑向延伸電漿覆蓋物以便更進一步超越晶圓邊緣而可減少在接近晶圓邊緣處製程之空間非均勻性方面，第 4 圖所設計之實施例相較於第 3 圖所示者將可得到更佳之效果。

本發明分別測量如第 3 圖及第 4 圖所示實施例之一標準二氧化矽蝕刻過程，在內介電屏蔽 38 之徑向寬度分別為 6mm 及 14mm 之情況下(兩者之介電內屏蔽厚度 D 皆為 4mm)，以比較其蝕刻率及蝕刻率均勻性。其測量結果在均勻性而言，第 3 圖與第 4 圖實施例間並沒有明顯之不同，但就本發明所預測的，第 4 圖所示實施例由於具有更多之 RF 電源可通過內介電屏蔽而轉向遠離晶圓 20 之區域，故其蝕刻率將稍微降低，因此，至少對該特別製程而言，第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

4 圖實施例相較於第 3 圖者為佳。

製程組件架高部分 30 之高度 H 效果將更形複雜，在許多構造中，架高部分之顯著功效係"陰影"(shadow)效果或"耗竭"(depletion)效果，其主要係可阻擋在軸環外側之反應製程反應氣體移向該晶圓。因此，該耗竭效果將增加在接近晶圓周邊處反應種類之消耗量，以更接近在接近晶圓中心處之消耗量，一般而言，增加在接近晶圓周邊處之反應種類消耗量將可減少接近周邊處之反應率。第二，架高部分將可產生一"禁閉"(confinement)效果或"駐存時間"(residence time)效果，其可增加在接近晶圓周邊處之反應種類駐存時間，不管係增加或減少在接近晶圓周邊處之反應率，其皆與所操作實施之化性有關。第三，由於離子 34 將從電漿覆蓋物處而加速向下與架高部分之內表面碰撞，而其碰撞後產生之彈跳粒子(ricochet)36 將轉向晶圓(如第 3 圖所示)，因此屏蔽之架高部分將產生一"聚集"(focusing)效果以增加在接近晶圓周邊處之離子流。該聚集效果與晶圓表面及架高部分面向晶圓之表面間的角度有很大之關係，可預計的是，其角度若為 135 度(垂直計算為 45 度)則可產生最大之離子量偏向晶圓中心。架高軸環之第四個效果在於可徑向向下的將電漿覆蓋物移向工件周邊之外側，因此可更進一步的將離子覆蓋物從工件周邊處而移動，且藉此而可減少在接近工件周邊之反應種類濃度。

前段討論了高度 H 對反應率所造成之效果。而"耗竭"

五、發明說明 ()

效果及"駐存時間"效果將更加影響其它製程反應參數，如在一蝕刻過程之選擇性，或在一沉積過程之快速覆蓋性。本發明將藉由使用 RF 耦接跨越工件周邊，以個別調整架高軸環 30 之高度，而可提供更多之選擇來充分利用其反應參數。(該耗竭效果及駐存時間效果將在下文中得以說明)

藉由高度 H 之增加而可讓耗竭效果、駐存時間效果、聚集效果、及電漿置換效果皆變得更加顯著。而這些效果也會受到位於架高部分向內表面 32 及晶圓周邊間之徑向空間 S 影響。聚集效果可預計將在空間 S 之中心處(必須藉由實驗而得)得到最大值，至於其它的三個效果將因為空間 S 之增加而累積減少。

第 5 圖中顯示出另一實施例之設計，其非介電保護環 50 將可由一類似第 4 圖之環 50 的水平環 56 所組合而成，在其上側置放有一第二非介電環 58 而高於晶圓 20 表面之高度，且其具有與水平面呈 45 度並類似架高屏蔽 30 之內表面 32 的內表面及外表面。該架高非介電環 58 將可提供在接近晶圓邊緣處之反應空間的物理限制，其類型相同於第 3 圖所示架高介電環 30 之內表面。然而，對照於第 3 圖設計之介電屏蔽 30，第 5 圖所示之第二非介電環 58 將在 RF 電源陽極 22 及電漿間造成一相對小之電阻，因此可保護 RF 之高水平通過如第 4 圖所設計的細薄內介電環 38。

藉由使用具有一不同徑向寬度之不同架高非介電環

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

58，空間 S 也可獨立變更內介電屏蔽 38 之寬度 W，因此可提供一額外之設計參數以充分利用半導體製程之空間均勻性。

第 6 圖顯示出不同於第 5 圖所示之實施例，在這個實施例中，其第二非介電環 58 之軸向高度將僅有架高軸環 30 之一半，因此也在接近晶圓邊緣處僅提供反應空間一半數量之物理限制。

如第 5 圖及第 6 圖所顯示之第二非介電環 58 將交疊於介電架高軸環 30 之內表面 32 上，以提供電阻之逐漸轉換而當作徑向排列之功能，因此可達到在接近晶圓邊緣處之電漿覆蓋物均勻性，當然也可達到半導體製程之空間均勻性。為更進一步減少電漿覆蓋物之任何不連續性，第二非介電環 58 之徑向外側部分將逐漸縮小，逐漸縮小之厚度將交疊於介電架高軸環 30 之內部分 32，因此可提供其電子特性從矽環逐漸轉換成架高軸環者。

其它影響介電內屏蔽 38 理想阻抗之要素係在反應室內使用以夾緊晶圓 20 在陽極 22 之靜電夾盤 52(如第 3 圖所示)，如果靜電夾盤中插入一介電物於陽極與晶圓之間，如此也就是在陽極與電漿之間插入一容抗。為保持在耦接通過晶圓的 RF 電源及耦接通過細薄內介電環 38 的電源間之平衡性，內介電屏蔽之阻抗將逐漸增加靜電夾盤之 RF 阻抗所佔之比例，內介電屏蔽 38 之阻抗將與其軸向厚度 D 成正比並藉由其徑向寬度 W 分離，且與其介電常數成反比。

五、發明說明()

因為矽保護環 50 之電阻將遠低於內介電環 38 之電阻，本發明預計保護環之軸向深度 D(也就是說厚度)對耦接於陽極與電漿間之 RF 電源將無實質之影響，因此對覆蓋於晶圓上之離子流分佈亦無實質上之效果。實際上，矽環將有足夠之厚度以預防線上操作人員可能偶然發生之操作破損，當然，一足夠厚度之保護環也可抗拒在置換前之腐蝕程度。

實施例：

比較如第 1 圖所示之習用介電屏蔽 30 與本發明所設計如第 4 圖所示包括一保護環 50 及一改良具有一細薄內部分 38 之介電屏蔽 30。

本實施例主要係用一從位於具磁性電漿反應室中而具 200mm 直徑尺寸大小之矽晶圓中蝕刻二氧化矽層之製程，如第 9A 圖及第 9B 圖所顯示者。一 DC 電源供應器將可提供 4 安培之電源至兩個鄰近電磁線圈 71 及 74 中，以致於其磁場可覆蓋於晶圓中心約 30G，而另外兩線圈 72、73 將無法得到電源之供給。該製程反應氣體流將係由 45 sccm 之 CHF_3 、15 sccm 之 CH_4 、及 150 sccm 之 Ar 所組合而成，而反應室之壓力則為 200 mT。該 RF 電源供應器 24 將提供 1000 瓦且 13.56 MHz 之電源至陽極 22，每一晶圓將被蝕刻 60 秒，如此將在晶圓表面蝕刻出 4000 埃至 4400 埃之二氧化矽。

如第 11A 圖及第 11B 圖所示者係為藉由一干擾儀所得

五、發明說明()

到之在晶圓表面上因不同蝕刻率而呈現的等長曲線圖。其粗黑之等長曲線係代表平均蝕刻率，加號及減號則分別代表蝕刻率大於或小於平均蝕刻率之區域，而每一等長曲線間則係代表增加 100 埃/分鐘($\text{\AA}/\text{min.}$)。

第 11A 圖所顯示者係為如第 1 圖所示之習用介電屏蔽的結果，其位於在晶圓邊緣底下之相距厚度或深度 D 約為 8mm，且相距於晶圓周邊外緣屏蔽之架高部分約為 15mm。而第 11B 圖所顯示者則為本發明如第 4 圖所示之實施例結果，其改良式介電屏蔽 30 具有一徑向寬度 W 為 14mm、而厚度或深度 D 則為 4mm 之細薄內部分 38。

相較於第 1 圖所示之習用設計，本發明第 4 圖所示之介電屏蔽將減少最大蝕刻率及最小蝕刻率之平均偏離情形，其最糟之負偏差將從 $-1060\text{\AA}/\text{min.}$ 減至 $-850\text{\AA}/\text{min.}$ ，而最糟之正偏差將從 $+1250\text{\AA}/\text{min.}$ 減至 $+1050\text{\AA}/\text{min.}$ 。

5. 非介電環電連接於晶圓

第 8A 圖及第 8B 圖係為本發明用於半導體工件或晶圓 20 之製程組件另一實施例示意圖，以緊壓及電連接於非介電環 50 及 60 之周圍；為確保良好之電連接性，該製程組件包括有一彈簧或彈性體以維持晶圓 20 及非介電環 60 間之均勻壓力。在第 8A 圖及第 8B 圖中所顯示之實施例中，其彈性體係為一 O 形環，其具有一固定的較低部分 66 及一可移動且具彈性之唇封 68，以保持其向上壓力而緊靠於非介電環 50 或 60，也因此而緊壓非介電環緊靠於晶圓。

五、發明說明 ()

在第 8A 圖中，其非介電環 50 將相同於第 3 圖所設計者一般，但第 3 圖之介電屏蔽 30 的內部分 38 將被彈性體 66、68 所取代。而第 8B 圖之實施例中，其所使用之特殊非介電環 60 將於下文中詳細敘述。

第 8A 圖及第 8B 圖所示之實施例，由於其非介電環係電連接於晶圓上，所以非介電環之效果將成為晶圓之電性延伸，也因此成為陽極 22 之電性延伸。因此，這些設計並不需要介電內屏蔽 38 來覆蓋陽極在非介電環 60 底下部分。

為使電漿覆蓋於晶圓 20 邊緣上之連續性為最大值，非介電環 50 或 60 之組合物最好係相同於晶圓基底之材質，尤其是如果工件 20 係為一矽晶圓，則非介電環最好亦是矽化物。

在第 8A 圖及第 8B 圖之設計中，該耦接通過矽環 50 或 60 之 RF 電源將正比於其徑向寬度 W' ，並藉由矽環 50 或 60 而延伸於工件 20 之周邊外側，另外，RF 電源亦與矽環之電阻成反比。相較於第 3 圖至第 7 圖所設計之實施例，其電源將正比於內介電屏蔽 38 之寬度 W 。

為預防彈性環 66、68 在晶圓 20 移動時移出其位置，彈性環之固定低部分 66 最好係適當的安設於介電屏蔽 30 與陽極 20 之間。

由於矽環 50 或 60 可自由上下移動，所以在矽環及介電屏蔽 30 之間最好皆具有相同之隙縫，該隙縫最好係小到足以防止電漿從隙縫滲透而擴散至彈性體 68、靜電夾盤

五、發明說明()

52 邊緣、及晶圓 20 內側。就如所知一般，隙縫小於電漿覆蓋物之寬度將成為反應室壓力及其它因素之重要要件。

在晶圓 20 缺少向下夾力之情況下，該彈簧或彈性體 68 將推動矽環 60 向上而高於靜電夾盤 52 頂表面。因此，當一晶圓 20 第一次被放入反應室而放置於靜電夾盤 52 上時，晶圓置放於架高矽環 60 之情況將高於置放於靜電夾盤。如果在晶圓底表面及夾盤頂表面間之隙縫過大，夾盤將無法產生足夠之靜電力於晶圓上以克服彈性體 68 之彈力，而如此將無法夾緊晶圓緊靠於夾盤之頂表面。為預防這些問題，彈性體 68 將具有一受到限制之向上延伸物在靜電夾盤開啟之前來架高矽環 60 及晶圓 20 至一微小限量，如果彈性體係具有一較弱之彈性係數或靜電夾盤較強，則非夾緊晶圓所能容許之最大架高量將變得較大。在本發明實施例中估計其非夾緊晶圓之架高量高於靜電夾盤 52 上約 0.003 英吋至 0.010 英吋之間(0.08mm 至 0.25mm 間)。然而，當反應室係為一真空狀態時，其晶圓之架高量係難以測量的。

相反的，如果晶圓可藉由一機械夾具而夾緊於陽極之效果更佳於利用一靜電夾盤，則其不需要限制藉由彈性體架高矽環之數量。

如果晶圓 20 係與陽極呈現電絕緣狀態，其將成為一如若晶圓可藉由一具有介電層 52 之靜電夾盤而固設於陽極之特例，如此該矽環 50 或 60 將與陽極成為電絕緣狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

態。如果陽極係鋁化物，其後之電絕緣特性將可藉由在陽極表面上陽極電鍍而被供給。如果晶圓係與陽極絕緣，但卻與矽環不成絕緣狀態，耦接於陽極之矽環所通過之阻抗將低於晶圓所具有之阻抗，其結果將使過多之 RF 電源轉向通過矽環而非晶圓。

本發明嚐試比較第 3 圖及第 8A 圖所示之不同電漿蝕刻反應室實施例，在一矽晶圓上蝕刻二氧化矽薄膜反應過程中，第 8A 圖設計之實施例中，其蝕刻率之良好空間均勻性將比第 3 圖所示者好過 30%。

第 8B 圖顯示出一具有非介電環 60 之實施例，其外形相較於第 8A 圖所示簡易環形非介電環 50 之實施例更為複雜。

第 8B 圖所顯示之實施例還有一特別之功能在於矽環 60 具有一階梯型向上表面。更明確而言，矽環 60 之凸起向上表面 64 位於晶圓 20 之周邊外緣，其相對一位於晶圓底側之矽環部分 6 可 2 具有一輕微凸起之向上表面，該凸起向上表面 64 上升之程度足以與晶圓之上表面呈現共面狀態，以致於可讓鄰近於晶圓周邊之電漿覆蓋物的非連續區域可縮至最小態樣，因此，可得到一較好之製程反應空間均勻性而用於晶圓製程中。

為了更進一步減少電漿覆蓋物之非連續區域，矽環之外部分 64 可設計成一逐步微量減少之厚度以重疊至介電架高軸環 30 之內部分，也因此可從矽環逐步轉換其電子特性至架高軸環。

五、發明說明()

在本發明之測試中，第 8B 圖所示實施例所得到之蝕刻空間均勻性並未發現會比第 8A 圖所設計者更佳，因為矽環 50 非常容易製造，且矽環可翻轉使用而在開始被腐蝕時延長其使用壽命，因此現階段之實際使用還是較常利用第 8A 圖之設計。

6. 軸環或介電屏蔽之空間方位變化

增強電漿半導體製程之空間均勻性也許會因為製程反應室構件之機械佈置或外形之非對稱或不均勻性而遭致破壞損害。更明確而言，若工件係為一圓形半導體晶圓，且如果製程反應室之構件相對於晶圓之軸向並非圓柱形對稱，則其製程反應中將具有方位角之不均勻特性。而本發明之另一目的，即是將這些方位角之不均勻性可藉由將環繞工件之一架高軸環及/或一介電屏蔽的相關空間方位予以變化而得以彌補。

第 9A 圖及第 9B 圖所顯示者即為一具有兩圓柱非對稱源之習用製程反應室示意圖，這些反應室係為放大磁性反應離子蝕刻(MERIE)反應室，其技術特徵可見於由 Qian 等共同當發明人而所得到之美國專利號第 5,534,108 號的專利說明書中。該反應室器壁 12 具有一圓柱形內表面及一外表面，而其橫截面則是為八角形，環繞反應室器壁所佈置者係為四個電磁線圈 71、72、73、及 74，以間隔方式固設於八角形外表面上。一電源供應器(未顯示)可提供電源至四個電磁線圈上以產生一磁場，而該磁場將可平行於

五、發明說明()

晶圓之表面以相對於晶圓之中心線而慢慢轉動該晶圓。
(第 9A 圖所顯示之陽極頂表面 22 上並沒有固設一晶圓 20，而基本上晶圓之平面將相當於陽極 22 頂表面之平面)。藉由驅動電磁力之正交可讓緩慢轉動之功效得以達成，換言之，即是供給一低頻正旋之電流至四個磁線圈中，該正旋電流提供其中第一及第三線圈 71、73 者相對於所提供第二及第四線圈 72、74 者有 90° 之反相位。

旋轉磁場之原因是為了讓在晶圓上執行蝕刻製程中可得到最大之方位對稱性。然而，就如 Qian 專利中所提到的一般，由於在接近每一電磁場中心線之均時磁場(如在 0° 、 90° 、 180° 、及 270° 等方位)將低於接近鄰近於電磁線圈邊緣處位置 76 之均時磁場(如在 45° 、 135° 、 225° 、及 315° 等方位)，所以方位之非均勻性還是會被維持。因此，在接近晶圓周邊(也就是 90° 倍數之方位位置)之製程反應率將低於在 45° 奇數倍數方位位置之製程反應率。

如第 9A 圖所顯示之反應室有另一方位非對稱性之原因係來自於其為了讓裝載有一晶圓 20 之機械手臂 79 進出反應室所設計之反應室隙縫或切口 78。我們發現由於為了在晶圓作用區域上之化學反應所加入之製程反應氣體試劑容量將可藉由製程反應氣體容量填塞於切口內而得到有效之增加，因此，切口 78 也可改變在接近切口處(換言之，即是接近反應室 90° 方位位置)之晶圓作用區域的製程特性。例如，在一晶圓上蝕刻一氮矽介電層之製程中所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

使用之 CHF_3 及 CF_4 混合物將被當作是一蝕刻劑，而在接近晶圓周邊之切口處(約等於 90° 方位)將可得到一很高之蝕刻率。我們認為如此之方位非均勻性將可填充很多之氟離子容量以在那些位置 76 蝕刻介電層。

在本發明裡，在製程中所存在之如此方位非均勻性也可藉由環繞該半導體晶圓或工件之架高掩蓋物、或軸環 30a、及/或介電內屏蔽 38 之方位外形改變而得以改善，以致於可彌補因為反應室之非對稱性而導致之反應室方位非均勻性。尤其是，介電內屏蔽 38 將可藉由其厚度或內直徑尺寸大小之改變、或藉由架高軸環 30a 之高度或直徑尺寸大小之改變以作為方位之改良。

例如，在第 10A 圖至第 10E 圖中，係顯示出一捲曲(wavy)掩蓋物或軸環 30a 實施例示意圖，在此實施例中可顯示出其方位高度之改變。這些軸環 30a 之高度可彌補因為電磁線圈 71-74 在接近每一電磁線圈中心線處所產生之電磁場力小於在鄰近電磁線圈邊緣 76 所產生電磁場力之缺點。更明確而言，捲曲軸環 30a 在 90° ($\pm 20^\circ$) 倍數之方位處具有一高部分 81，而在 45° ($\pm 20^\circ$) 奇倍數之方位處具有一低部分 82。在本發明較佳實施例中，高低部分 81、82 之高度分別是 9mm 及 5mm，捲曲軸環 30a 之最內邊於 0° 及 90° 處有一平坦部位 84，其可與陽極 22 之相對應平坦部分相契合，以致於可得到軸環之方位排列。

我們比較上述捲曲軸環 30a 及一具有均勻高度之習用軸環 30，所有之測試均是利用如第 9A 圖及第 9B 圖中所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

顯示之 MERIE 反應室中進行，且具有四個電磁線圈來達成正交效果，每一個測試工件 20 皆是為一 200mm 直徑尺寸之矽晶圓，可位於一可藉由習用熱化學氣相沉積製程中所沉積二氧化矽層上，不管係習用軸環或是捲曲軸環皆具有一 203mm 之尺寸大小，而該測試主要係測量在蝕刻氧化層之製程中所得之空間均勻性，該蝕刻製程之環境是 50sccm 之 CHF_3 、10sccm 之 CF_4 、150sccm 之 Ar、250mTorr 之反應室壓力、1000 瓦之 RF 電源、及 50 高斯之磁場強度。在一測試中，其取樣樣本蝕刻率係以 225 點均勻分佈在晶圓表面，其測試結果就習用軸環而言，蝕刻率之 one-sigma 空間均勻性係為 2.1%，而就本發明之捲曲軸環而言係為 1.5%，其改善度為 28%。在另一組測試中，其蝕刻之取樣蝕刻率係以 17 點位於接近晶圓周邊之不同方位，其測試結果就習用軸環而言，蝕刻率之 one-sigma 空間均勻性係為 8.2%，而就本發明之捲取軸環而言係為 4.3%，其改善度為 47%。

對習用軸環 30 而言，其空間非均勻性會如此高，主要係因為其蝕刻率在 90° 之倍數方位上相對較低，其磁場較弱，而本發明之捲曲軸環 30a 可改善蝕刻率之空間均勻性，主要係因為其高度在 90° 之倍數方位上最高，因此可增加這些磁場最弱區域之蝕刻率。本發明確信捲曲軸環 30a 最高位置之蝕刻率增加係因為架高軸環內表面 32 之聚集效果，以致於可將擴散帶電粒子 36 趨向晶圓 20 所致，如第 3 圖所示。因此，本發明確信如果內表面 32 可形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

與工件平面成接近 135° 之態樣，其捲曲軸環最高部分 81 之蝕刻率也可得到最大值，就如第 3 圖所示，而在下文中將對此做更詳盡之敘述。

在一些半導體製程中，增加軸環之高度也可能得到如上所述二氧化矽蝕刻製程之反效果。更明確而言，增加軸環之高度也可能因為下文所述之兩過程而減少其製程反應率：一是阻礙製程反應氣體從軸環內徑之外側區域移向工件處（即是陰影效果或耗竭效果），二是推動電漿軸向上升而遠離工件。再者，增加軸環高度也就是增加如前所述之駐存時間效果，也可能因為製程之不同而增加或減少其製程反應率。因此，當要應用該捲曲環於新的製程時，其必須審慎的來測量其環繞工件周邊之製程反應率數量（依據其製程之蝕刻率或沉積率），以決定是否係增加或減少鄰近捲曲環高部分 81（或低部分 82）之製程反應率。

在一製程中，例如二氧化矽蝕刻製程中，其聚集效果將遠優於禁閉效果，且確信如果軸環高度進一步增加的話，則其禁閉效果亦會漸行顯著。更明確而言，本發明預期若軸環高度增加至某一中心點時，則因為禁閉效果所減少之製程反應率將超過因為聚集效果所增加之製程反應率。再者，本發明確信先前所討論增加在接近切口 78 處製程反應率之解決方法也可用來解決架高軸環問題，尤其是在鄰近切口處之架高軸環高度問題，以致於該架高軸環可阻礙試劑在切口及工件之間移動。

另一可在架高軸環高度下提供方位改變之方法是在

五、發明說明()

軸環架高部分之內徑上以提供方位改變，換言之，改變工件 20 周邊及軸環架高部分內表面 32 間之隙縫大小，減少其內徑(也就是減少其隙縫大小)一般將可改變如增加軸環高度等相同方式之製程反應率。

還有另一種方式可用來彌補製程反應率中之方位改變，其主要係在環繞工件周邊之一介電內屏蔽 38 上的軸向厚度 D 或徑向寬度 W 上提供相對應之方位改變。若在反應室非均勻性或非對稱性方位上欲設法減少其反應率，介電內屏蔽 38 將是更細薄或是更寬廣以致於可從陽極 22 耦接更多之 RF 電源至電漿中。反之，若在反應室非均勻性或非對稱性方位上欲設法增加其反應率，介電內屏蔽 38 將是更粗厚或是更窄小以致於可從陽極 22 耦接更少之 RF 電源至電漿中。所增加之 RF 電源將可耦接通過介電內屏蔽 38 之細薄部分以在該方位位置上增加電漿之密度，也因此可在該方位位置上增加其相對應之反應率。因此，在製程反應率中之方位非均勻性或其它製程之變數將可藉由介電內屏蔽 38 之製造而得以控制，以致於可產生彌補方位變化之效果。

例如，如第 9A 圖所示之製程反應室也可因為切口 78 在鄰近晶圓 20 區域上提供一更大之試劑容量空間而被製造出一方位非均勻性，因而可在這些晶圓作用面積上增加其反應率。該非均勻性亦可藉由一環形介電內屏蔽 38 環繞晶圓周邊而得以改善，該環形內介電屏蔽 38 在接近切口 78 處之厚度將大於在其它方位位置上之厚度。

五、發明說明()

不同於架高軸環 30a，介電內屏蔽 38 並不需要在半導體工件平面上延伸，實際上，其進步點還包括有若介電屏蔽全部位於工件底邊時，可將工件上之物質污染情況減至最低，這些污染情況主要係因為在反應室執行製程時所難以避免會沉澱在介電屏蔽上之結果。如果介電屏蔽係位於工件屏蔽底下，任何所沉積物質之粒子將會從介電屏蔽上被分解或脫離，而不會排入工件上。

7. 介電軸環內表面之最佳角度

就如本發明前述發明背景所言，習用製程組件將會因為來自電漿覆蓋物之離子撞擊而快速被腐蝕的問題，因此需要時常替換製程組件以維持正常之操作。而腐蝕之情形通常在接近晶圓周邊之製程組件部分最容易且迅速的發生，其中一原因是因為該離子(如第 1 圖所示之箭頭 106)將撞擊架高軸環 30 之暴露向內表面 32，且因此致使帶電粒子(箭頭 108)將擴散至接近工件 20 周邊之區域 104。

接近晶圓周邊之製程組件暴露表面的腐蝕狀況也可因為將架高軸環或掩蔽物 30 之暴露向內表面 32 擺設成與如第 2 圖及第 3 圖所示晶圓之中心軸線有一相對角度而可獲得大幅之改善，此角度在較佳狀況係為 20° 至 55° 範圍間，尤其在 30° 至 45° 範圍間最佳。不同的是，架高軸環之暴露內表面 32 與晶圓表面將形成較圓鈍之態樣，其較佳角度係為 110° 至 145° 範圍間，而最佳之角度範圍係為 120° 至 135° 間。由於架高軸環暴露內表面 32 之擺設角

五、發明說明()

度，以致於讓離子(如第3圖所示之箭頭34)將撞擊其內表面32，致使帶電離子(如箭頭36所示)可側向擴散至晶圓之中心軸線處，其向下擴散之情形亦比第1圖之習用介電軸環30更佳，內表面32更加明顯的垂直擺設，因此，本發明之擴散離子將可晶圓表面上分佈更廣泛之區域，其在晶圓邊緣處所得之聚集情形亦比習用介電軸環更佳。

更進步的是，就如前所述角度之擺放將降低在接近工件邊緣20處之製程組件部分腐蝕情形。舉例而言，製程組件有利於降低腐蝕之部分可為是如第3圖及第8A圖所示實施例之非介電環50，及如第8B圖所示實施例之非介電環60。再者，由於角度之擺放將使得離子密度之過多部分接近工件之周邊，所以也可改善電漿製程之空間非均勻性。

雖然在相對於晶圓表面為 135° 時，因為可使得帶電粒子之水平擴散得到最大值而得到一理想狀況，但為了可讓增強電漿製程之空間均勻性得到最有效之利用，因此該角度將可因為實際之狀況而選擇不同之擺放角度。更特別的是，當晶圓周邊與掩蔽物內表面32間之隙縫很小時，亦可選擇一很大之垂直角度(換言之，接近 90°)。

就如第5圖及第7圖所示，架高軸環面向工件20之暴露內向表面也可為是一非介電環50，此比選用一介電屏蔽30還佳。為了讓鄰近工件20邊緣之非介電環56(第5圖)或50(第7圖)的暴露部分腐蝕情形可降至最小值，非介電環內向表面59最好也可具有如前所述一般相對於工

五、發明說明()

件表面之角度。就如第 6 圖所述，架高軸環或掩蔽物之暴露內向表面也可包括有一架高介電屏蔽 30 之暴露表面 32 及一非介電環 50 之暴露表面 59。在此實施例中，此兩個暴露內向表面 32、59 最好也可具有如前所述之角度。

8. 其它

在說明書及申請專利範圍中所有參考之方向，如"較高處"、"較低處"、"上側"、及"底側"不過是意指這些部分相對於其它構件之位置，而並非意指這些部分與地心引力之相對位置，地球重力之方向與本發明並無關。舉例而言，所描述之設計實施例中，也可為了向下面向半導體晶圓之製程而反轉，也就是說在專利說明書及申請專利範圍中所描述之"較高處"及"較低處"，但在實際上卻分別係與地球重力成"向下"及"向上"之方向。

當本發明中所陳述第一構件圍繞或環繞第二構件之周邊時，如介電屏蔽之外側部分圍繞保護環之周邊，或保護環之外側部分圍繞工件之周邊時，必沒有意指這兩構件是共面之意。舉例而言，本發明在第 3 圖中所描述保護環 50 之外側部分圍繞晶圓 20 之周邊，該保護環係位於晶圓之平面底下，再者，本發明並沒有意指所謂的圍繞係侷限為圓形之意。

本發明在定義圍繞或環繞時，更傾向於是指一包括有一外側部分之第一構件的徑向位置係位於第二構件之周邊外緣或超過地方。第二種定義圍繞或環繞之方法在於，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

當第二構件實質係處於二位元表面上，第一構件外側部分之突出部分頂表面係環繞第二構件周邊之突出部分頂表面。第三種定義圍繞或環繞之方法在於，當第二構件具有一對稱軸時，第一構件外側部分之突出部分有一表面係平行該對稱軸而環繞第二構件周邊之突出部分頂表面。這些定義方式皆有一共同之特徵即在於其工件本質上係平坦的。如果該工件並非平坦的，則這些定義方式會更依賴於工件之幾何形狀。

本發明裡所使用之環這個字眼主要係描述一可圍繞一軸之物體，但其並不需要一定是圓對稱。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

在電漿反應室中圍繞半導體工件之屏蔽或環

本發明係有關於一在一電漿反應室內環繞一半導體工件之環或軸環，其一功效是該環具有一架高軸環部分，而該架高部分具有一內表面可與工件之平面擺設成一鈍化角度，該角度最好係為 135 度，該角度之擺設將致使離子在撞擊架高軸環之內表面時可更平行於工件之平面，也因此而可減少工件周邊介電屏蔽之腐蝕情形，及改善因為在接近周邊處之離子密度過大所引起之空間非均勻性；其第二個功效在於其工件可被一介電屏蔽所環繞，而該屏蔽可藉由一非介電環所覆蓋，以保護該介電屏蔽與製程氣體反應或被腐蝕；其第三個功效在於其介電屏蔽係非常細薄

英文發明摘要(發明之名稱：)

Shield or Ring Surrounding Semiconductor Workpiece in Plasma Chamber

A ring or collar surrounding a semiconductor workpiece in a plasma chamber. According to one aspect, the ring has an elevated collar portion having an inner surface oriented at an obtuse angle to the plane of the workpiece, this angle preferably being 135°. This angular orientation causes ions bombarding the inner surface of the elevated collar to scatter in a direction more parallel to the plane of the workpiece, thereby reducing erosion of any dielectric shield at the perimeter of the workpiece, and ameliorating spatial non-uniformity in the plasma process due to any excess ion density near such perimeter. In a second aspect, the workpiece is surrounded by a dielectric shield, and the shield is covered by a non-dielectric ring which protects the dielectric shield from reaction with, or erosion by, the process gases. In a third aspect, the dielectric shield is thin enough to couple substantial power from the cathode to the plasma, thereby improving spatial uniformity of the plasma process near the perimeter of the workpiece. In a fourth aspect, azimuthal non-uniformities in process performance can be ameliorated by corresponding azimuthal variations in the dimensions of the elevated collar and/or the dielectric shield surrounding the workpiece.

四、中文發明摘要(發明之名稱：)

以致於可從陽極耦接電源至電漿處，也因此可改善在接近工件周邊處之電漿製程空間均勻性；其第四個功效在於藉由環繞該工件之架高軸環及/或介電屏蔽之相關方位變化來改善其製程中之方位非均勻性者。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一使用於在一工件上半導體製程之電漿反應室，其至少包括：

一具有一上表面之陽極，其面向於反應室之一內部區域；

一用以夾緊該工件之夾盤，以致於該工件佔有一工件區域平行且直接位於陽極之上表面上；

一屏蔽，由介電物質組成而環繞該工件區域周邊；及

一環，由非介電物質組成且橫跨於該介電屏蔽之至少一部分。

2. 如申請專利範圍第 1 項所述之反應室，其中該非介電環橫跨於該介電屏蔽之一徑向內部分。

3. 如申請專利範圍第 1 項所述之反應室，其更包括有一位於非介電環與陽極間之介電層。

4. 如申請專利範圍第 3 項所述之反應室，其中：

該位於非介電環與陽極間之介電層包括有一氧物質塗抹於該陽極之表面。

5. 如申請專利範圍第 3 項所述之反應室，其中：

該非介電環係被固設的以致於與陽極間存在一空間距離，因此在環及陽極間存在有一隙縫；及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

在非介電環與陽極間所存在之介電層包括有該隙縫。

6.如申請專利範圍第1項所述之反應室，其中該非介電物質係為一金屬。

7.如申請專利範圍第1項所述之反應室，其中該非介電物質係為一半導體。

8.如申請專利範圍第7項所述之反應室，其中該非介電物質係為一矽物質，且該工件亦包括有矽物質。

9.如申請專利範圍第1項所述之反應室，其中：

該陽極之上表面具有一外側部分徑向延伸超過工件區域之周邊；及

該屏蔽包括有一介電物質層而位於陽極上表面之外側部分上。

10.如申請專利範圍第1項所述之反應室，其中：

該陽極之上表面具有一外側部分徑向延伸超過工件區域之周邊；及

該屏蔽包括有一環形，且高於陽極上表面之外側部分。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

11.如申請專利範圍第1項所述之反應室，其中該非介電物質在半導體製程中之抗腐蝕性相較於介電物質之抗腐蝕性還佳。

12.一使用於在一工件上半導體製程之電漿反應室，其在該反應室之內部區域中產生一電漿，其至少包括有：

一 RF 電源供應器；

一連接於該 RF 電源供應器之陽極，且具有一上表面面向反應室之內部區域；

一夾緊該工件之夾盤，以致於該工件佔有一工件區域平行且直接位於陽極之上表面上，其中該陽極之上表面具有一周邊環繞工件區域之周邊，而該工件係以其厚度為其特徵；及

一由介電物質所成之屏蔽，橫跨於陽極上表面之一部分，而位於工件區域周邊之外緣；

其中該介電屏蔽係細薄至足以從陽極耦接 RF 電源至電漿。

13.如申請專利範圍第12項所述之電漿反應室，其中該介電屏蔽係細薄至足以使得 RF 電源從陽極耦接於電漿處，且足以造成該電漿具有一覆蓋物位於陽極之上表面上，並徑向延伸向外超過該介電屏蔽。

14.一使用於在一工件上半導體製程之電漿反應室，其在該

(請先閱讀背面之注意事項再填)

裝

訂

線

六、申請專利範圍

反應室之內部區域中產生一電漿，其至少包括有：

一提供一 RF 頻率電壓之 RF 電源供應器；

一連接於該 RF 電源供應器之陽極，其具有一上表面面向於反應室之內部區域；

一夾緊該工件之夾盤，以致於該工件佔有一工件區域平行且直接位於陽極之上表面上，其中該陽極之上表面具有一周邊環繞工件區域之周邊，而該工件係以其厚度為其特徵；及

一由介電物質所組成之屏蔽，橫跨於陽極上表面之一部分，而位於工件區域周邊之外緣，其中

該介電屏蔽係包括有一徑向內部分及一環繞該內部分之徑向外部分；及

該內部分具有一因應該 RF 頻率之電阻，低於該外部分相對於一因應該 RF 頻率之電阻。

15. 一使用於在一工件上半導體製程之電漿反應室，其在該反應室之內部區域中產生一電漿，其至少包括有：

一具有一上表面之陽極面向於反應室之內部區域；

一夾緊該工件之夾盤，以致於該工件佔有一工件區域平行且直接位於陽極之上表面上，其中該陽極之上表面具有一周邊環繞工件區域之周邊，而該工件係以其厚度為其特徵；及

一由介電物質所組成之屏蔽，橫跨於陽極上表面之一部分，而位於工件區域周邊之外緣，其中

(請先閱讀背面之注意事項再填寫)

裝

訂

線

六、申請專利範圍

該介電屏蔽係包括有一徑向內部分及一環繞該內部分之徑向外部分；及

該徑向內部分之軸向是細薄於該外部分。

16.如申請專利範圍第 15 項所述之反應室，其中該介電屏蔽之外部分包括有一上部分延伸於工件區域上，且具有一徑向內部分相對於該工件區域而擺設一角度，介於 110 度至 145 度間。

17.如申請專利範圍第 15 項所述之反應室，其更包括有：

一非介電環，橫跨於介電屏蔽內部分之至少一部分；及

其中該介電屏蔽及非介電環則分別具有一頂表面，高於工件區域。

18.如申請專利範圍第 17 項所述之反應室，其中該介電屏蔽及非介電環則分別具有一頂表面，其高度接近於工件區域以上之高度。

19.如申請專利範圍第 17 項所述之反應室，其中該介電屏蔽包括有一上部分，其延伸而高於非介電環在工件區域以上之高度。

20.如申請專利範圍第 17 項所述之反應室，其中該非介電

(請先閱讀背面之注意事項再填寫)

裝

訂

線

六、申請專利範圍

環及介電屏蔽之外側部分分別具有一上部分，延伸至工件區域以上，且其具有一徑向內表面，相對於工件區域擺設一角度，其度數在 110 度至 145 度範圍內。

21.如申請專利範圍第 17 項所述之反應室，其中：

一非介電環之外側部分，重疊於該介電屏蔽之一部分；及

該非介電環之外側部分具有一逐漸縮小之厚度以縮減至其周邊。

22.一使用於在一工件上半導體製程之電漿反應室，其至少係包括有：

一具有一上表面之陽極，其面向於反應室之一內部區域；

一夾緊該工件之夾盤，以致於該工件佔有一工件區域平行且直接位於陽極之上表面上；及

一非介電環，延伸超過工件區域之周邊，其中

該非介電環在當工件藉由夾盤而被夾緊於工件區域時，被擺設成與工件電觸接；及

該非介電環係與陽極成絕緣態樣者。

23.如申請專利範圍第 22 項所述之反應室，其更包括有：

一固設於非介電環底下之彈性體，以致於推動該環向上；

(請先閱讀背面之注意事項再填寫此頁)

裝

訂

線

六、申請專利範圍

該非介電環之一內部分延伸至工件周邊底下，以致於當工件藉由夾盤而被夾緊於工件區域內時，經由彈性體之推動向上而讓該環與工件周邊之內側觸接。

24.如申請專利範圍第22項所述之反應室，其中該非介電環包括有：

一位於工件區域周邊底下之內部分；及

一環繞該工件區域周邊之外部分；

其中該非介電環之外部分具有一頂表面，高過其內表面，並與工件之頂表面成共面態樣。

25.一使用於在一工件上半導體製程之電漿反應室，其至少包括有：

一具有一上表面之陽極，其面向於反應室之一內部區域；

一夾緊該工件之夾盤，以致於該工件佔有一工件區域平行且直接位於陽極之上表面上；

一延伸超過工件區域周邊之非介電環，其中該非介電環在當工件被夾盤而夾緊於工件區域時與工件電觸接；及

一屏蔽，係由介電物質所組成，其中該屏蔽之至少一部分環繞該非介電環。

26.如申請專利範圍第25項所述之反應室，其中：

(請先閱讀背面之注意事項再填寫)

裝

訂

線

六、申請專利範圍

一非介電環之外部分重疊於介電屏蔽之一部分；及
該非介電環之外部分具有一逐漸縮小之軸向厚度，
且逐漸縮降至其周邊。

27.一使用於在一工件上半導體製程之電漿反應室，其至少
包括有：

一具有一上表面之陽極，其面向於反應室之一內部
區域；

一夾緊該工件之夾盤，以致於該工件佔有一工件區
域平行且直接位於陽極之上表面上；及

一環繞於工件區域周邊之軸環；

其中該軸環具有一實質尺寸大小而不同於其它方位
者，以致於改善在製程時之方位均勻性。

28.如申請專利範圍第 27 項之反應室，其中該軸環包括有
一架高部分，該架高部分具有一高度在陽極上表面以
上，與不同方位者不同，以致於改善在製程時之方位均
勻性。

29.如申請專利範圍第 27 項之反應室，其中該軸環包括有
一架高部分，該架高部分具有一內徑，與不同方位者不
同，以致於改善在製程時之方位均勻性。

30.如申請專利範圍第 27 項之反應室，其中：

六、申請專利範圍

一陽極之上表面，具有一周邊環繞且大於工件區域之周邊大小；

一包括有一介電屏蔽之軸環，橫跨陽極上表面之一部分，而位於工件區域周邊之外側；及

該介電屏蔽具有一厚度，與不同方位者不同，以致於改善在製程時之方位均勻性。

31.如申請專利範圍第27項所述之反應室，其更包括有：

一位於反應室內預設方位位置之凹洞；

其中該實質尺寸涵蓋在一第一邊界及一第二邊界範圍間，以被當作為方位之一功效；及

其中該軸環之實質尺寸將相等於在軸環一方位之第一邊界，且接近於凹洞之方位。

32.如申請專利範圍第31項所述之反應室，其中該凹洞具有一隙縫穿過，而讓一工件進出反應室。

33.一用於一半導體工件上之磁性增強電漿反應室，其至少包括：

一具有一上表面之陽極，其面向於反應室之一內部區域；

一夾緊該工件之夾盤，以致於該工件佔有一工件區域平行且直接位於陽極之上表面上；

複數個磁極相隔而位於工件區域之周邊，其中每一

六、申請專利範圍

磁極皆具有兩端，而位於磁極延伸方位之間，且每一磁極之特性皆藉由一虛擬中心點而被定義，其方位主要係為磁極兩端之中間平均值；及

一環繞該工件區域周邊之軸環，其中

該軸環具有一實質尺寸，而位於一第一邊界與一第二邊界範圍內，以作為方位之一功效；

該實質尺寸相等於在一第一方位之第一邊界，且接近於個別磁極之個別端；及

該實質尺寸相等於在一第二方位之第二邊界，且接近於個別磁極之個別中心位置。

34.如申請專利範圍第33項所述之反應室，其中：

該軸環延伸至在工件區域以上之一高度；及

該軸環之實質尺寸係為該軸環之高度大小。

35.如申請專利範圍第34項所述之反應室，其中該第一邊界之高度係低於第二邊界者。

36.如申請專利範圍第34項所述之反應室，其中該軸環具有一架高部分，該架高部分亦具有一徑向內表面相對於工件區域擺設有一角度，該角度係為110度至145度範圍內者。

37.如申請專利範圍第34項所述之反應室，其中該軸環具

(請先閱讀背面之注意事項再填寫)

裝

訂

線

六、申請專利範圍

有一架高部分，該架高部分亦具有一徑向內表面相對於工件區域擺設有一角度，該角度係為 120 度至 135 度範圍內者。

38. 一增強電漿半導體製程，其至少包括有以下步驟：

提供一製程氣體混合進入一電漿反應室內；

在反應室內，從該製程氣體之至少一部分形成一電漿混合；

在反應室內，提供一具有一上表面之陽極，面向該電漿；

夾緊一工件鄰近於該陽極之上表面；

固設一由介電物質所組成之屏蔽，環繞於該工件之周邊；及

固設一由非介電物質所組成之環，橫跨於介電屏蔽之至少一部分。

39. 如申請專利範圍第 38 項所述之製程，其中該非介電物質對於在電漿內因化學種類接觸所產生之腐蝕性的阻抗性相較於介電物質還佳。

40. 一用於在一工件上蝕刻一碳氫層之增加電漿製程，其至少包括下列步驟：

提供一製程氣體混合進入一電漿反應室內以蝕刻該碳氫層；

六、申請專利範圍

在反應室內，從該製程氣體之至少一部分形成一電漿混合；

在反應室內，提供一具有一上表面之陽極，面向該電漿；

夾緊一工件鄰近於該陽極之上表面；

固設一由介電物質所組成之屏蔽，環繞於該工件之周邊；及

固設一由非介電物質所組成之環，橫跨於介電屏蔽之至少一部分，其對於在電漿內因化學種類接觸所產生之腐蝕性的阻抗性相較於介電物質還佳。

41.如申請專利範圍第40項所述之製程，其中該屏蔽係由二氧化矽所組成，而該環則由矽物質所組成。

42.如申請專利範圍第40項所述之製程，其中該碳氫層係為一石板印刷表面物質。

43.一用於在一工件上蝕刻一 spin-on 玻璃層之增加電漿製程，其至少包含下列步驟：

提供一製程氣體混合進入一電漿反應室內以蝕刻該 spin-on 玻璃層；

在反應室內，從該製程氣體之至少一部分形成一電漿混合；

在反應室內，提供一具有一上表面之陽極，面向該

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

電漿；

夾緊一工件鄰近於該陽極之上表面；

固設一由介電物質所組成之屏蔽，環繞於該工件之周邊；及

固設一由非介電物質所組成之環，橫跨於介電屏蔽之至少一部分，其對於在電漿內因化學種類接觸所產生之腐蝕性的阻抗性相較於介電物質還佳。

44.如申請專利範圍第43項所述之製程，其中該屏蔽係由二氧化矽所組成，而該環則由矽物質所組成。

45.一種減少在一電漿反應室內鄰近工件周邊任何物質腐蝕之方法，其至少包括以下步驟：

提供一製程氣體混合進入一電漿反應室內；

在反應室內，從該製程氣體之至少一部分形成一電漿混合；

在反應室內，提供一具有一上表面之陽極，面向該電漿；

夾緊一工件鄰近於該陽極之上表面；

固設一軸環環繞於該工件周邊；

其中該軸環具有一架高部分以延伸至工件區域以上，且該軸環之架高部分具有一徑向內表面相對於工件擺設有一角度，該角度係為110度至145度之間者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

46.如申請專利範圍第 45 項所述之方法，其中該角度係為 120 度至 135 度之間者。

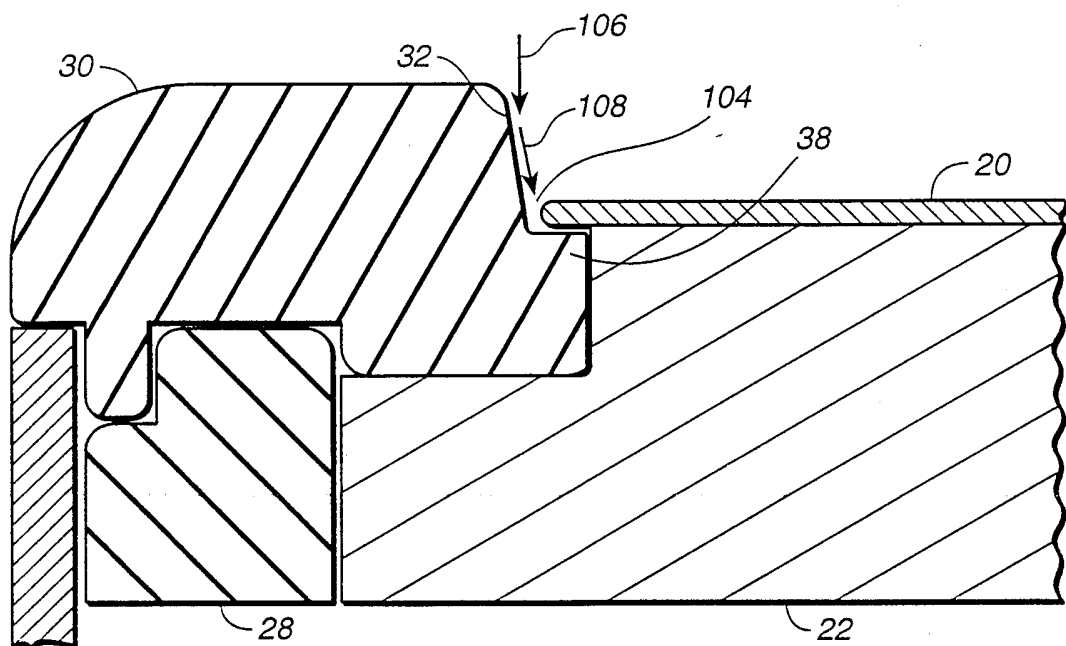
47.如申請專利範圍第 45 項所述之方法，其中該軸環係為一介電物質。

(請先閱讀背面之注意事項再填寫本頁)

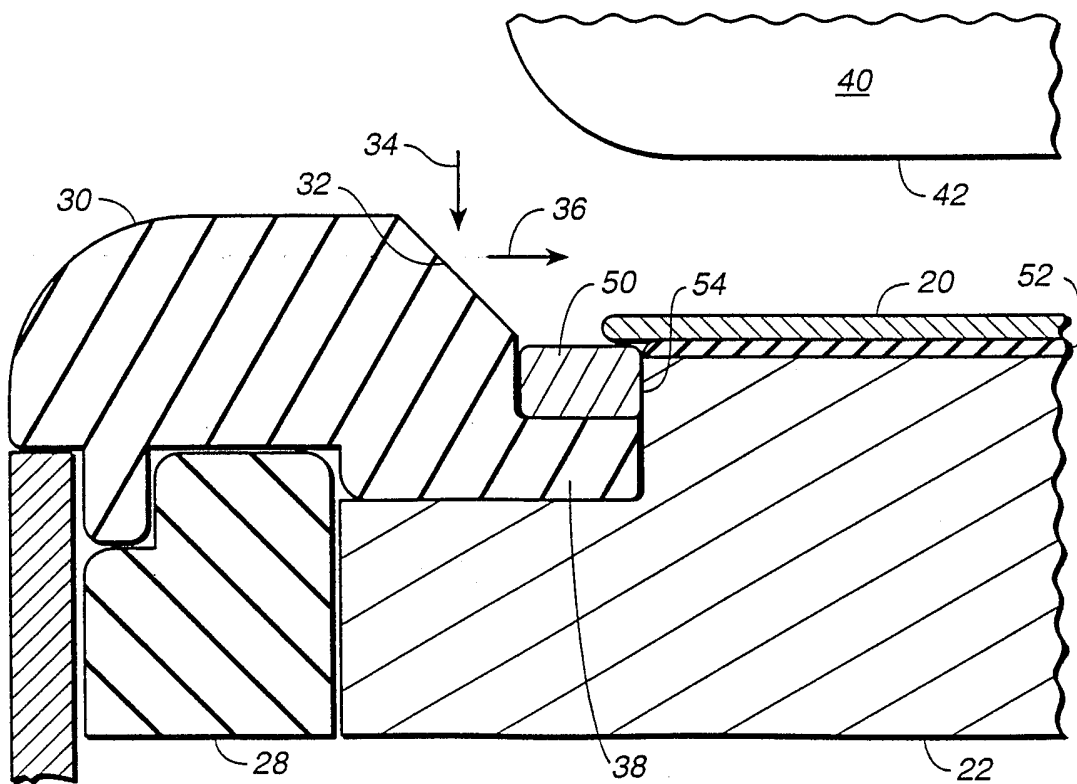
訂

線

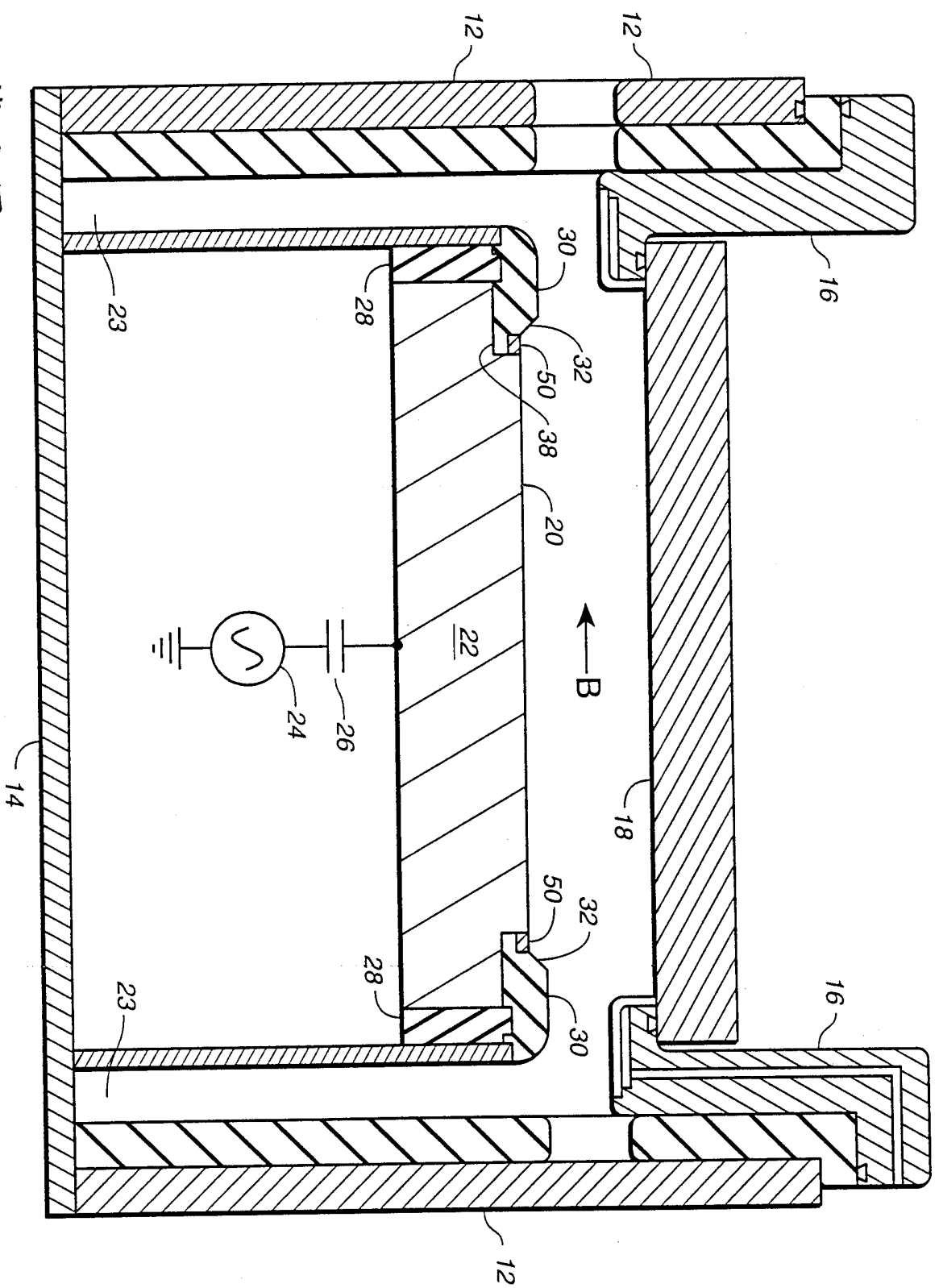
87114500



第 1 圖

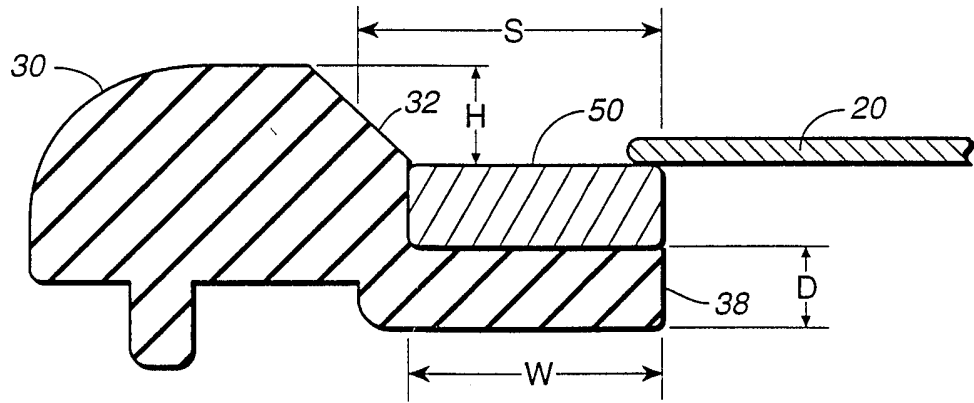


第 3 圖

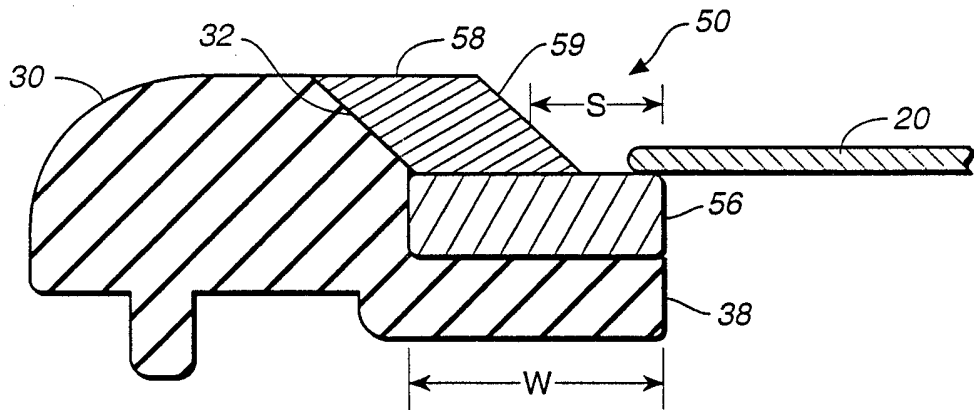


第 2 圖

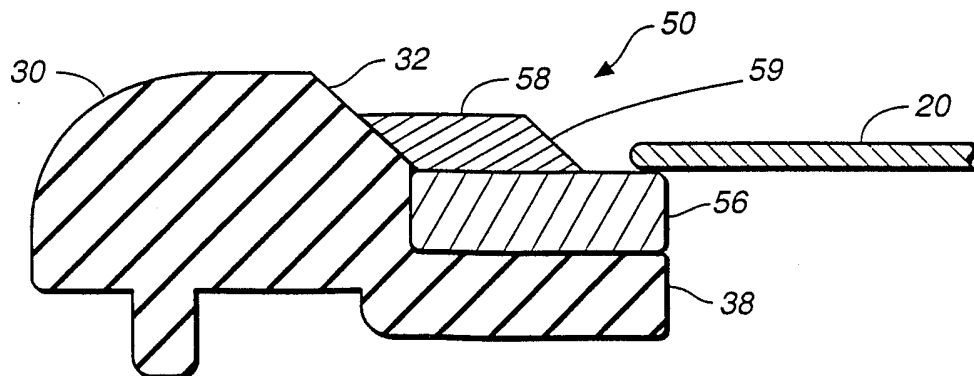
3 / 7



第 4 圖

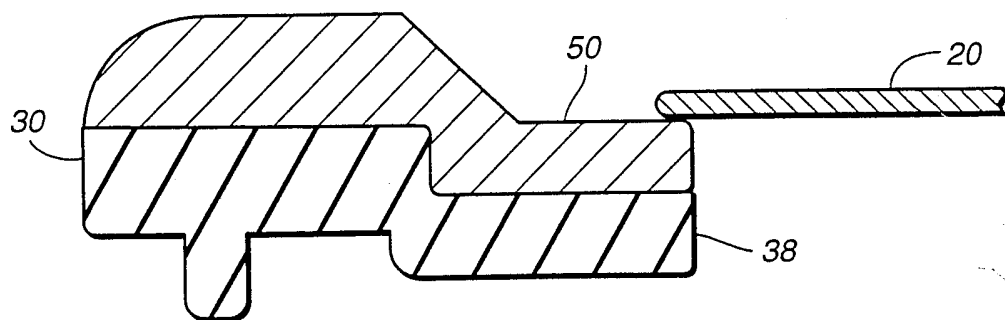


第 5 圖

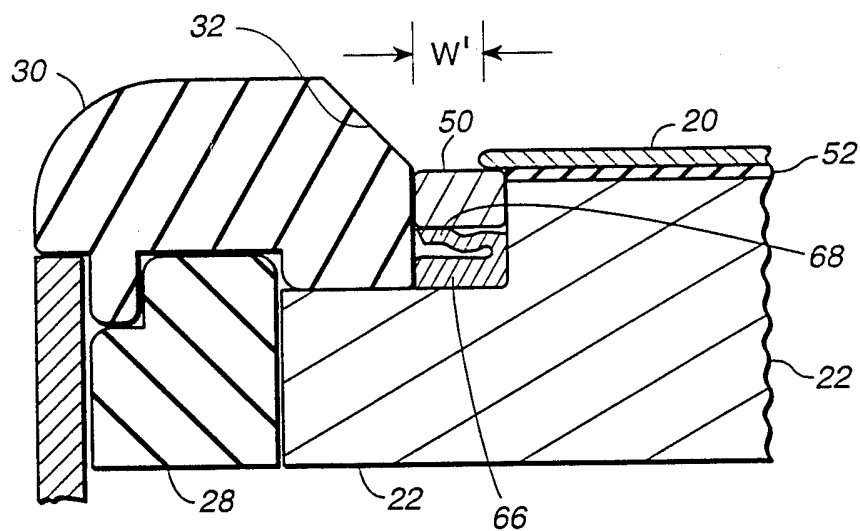


第 6 圖

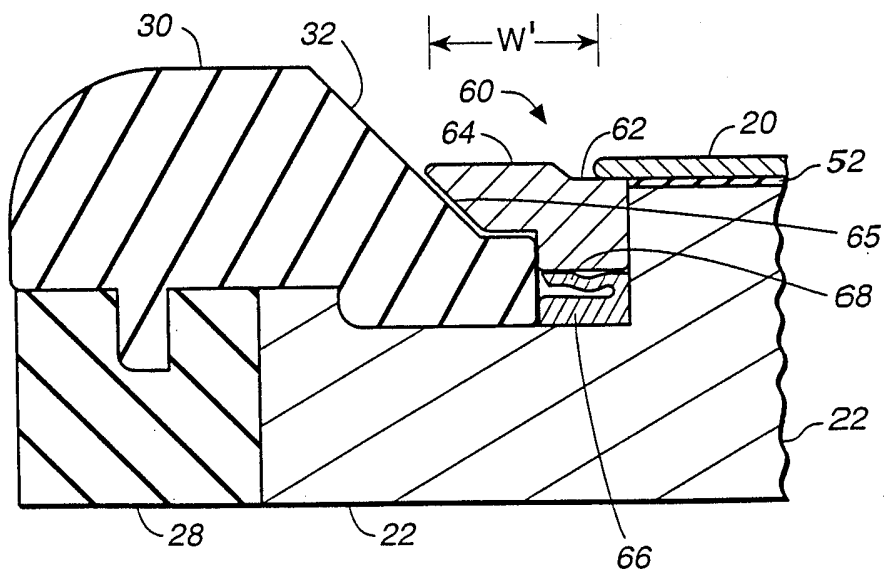
第 7 圖



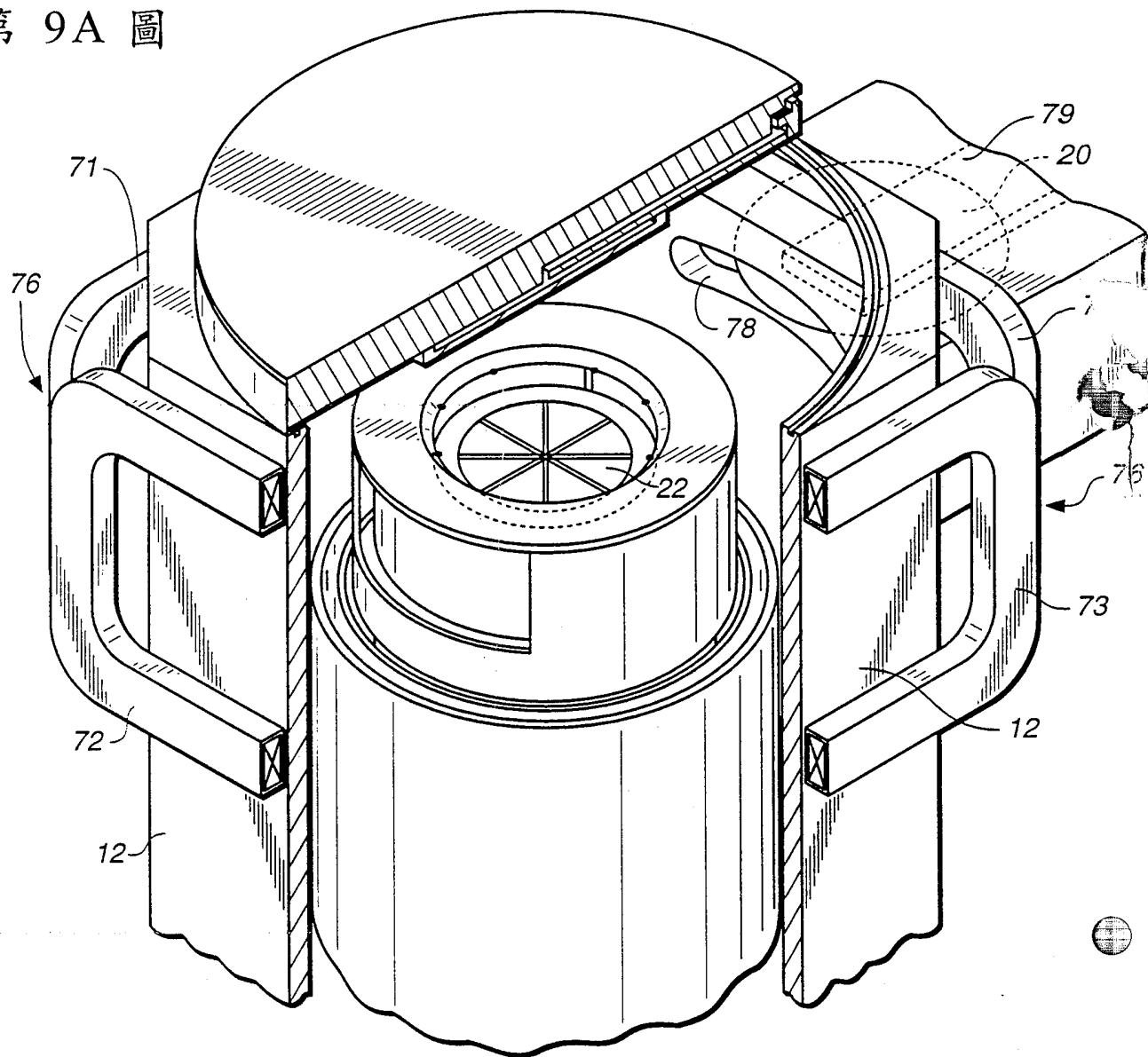
第 8A 圖



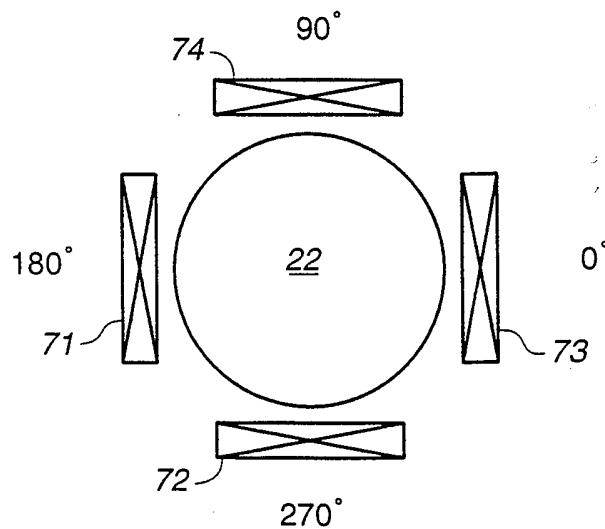
第 8B 圖

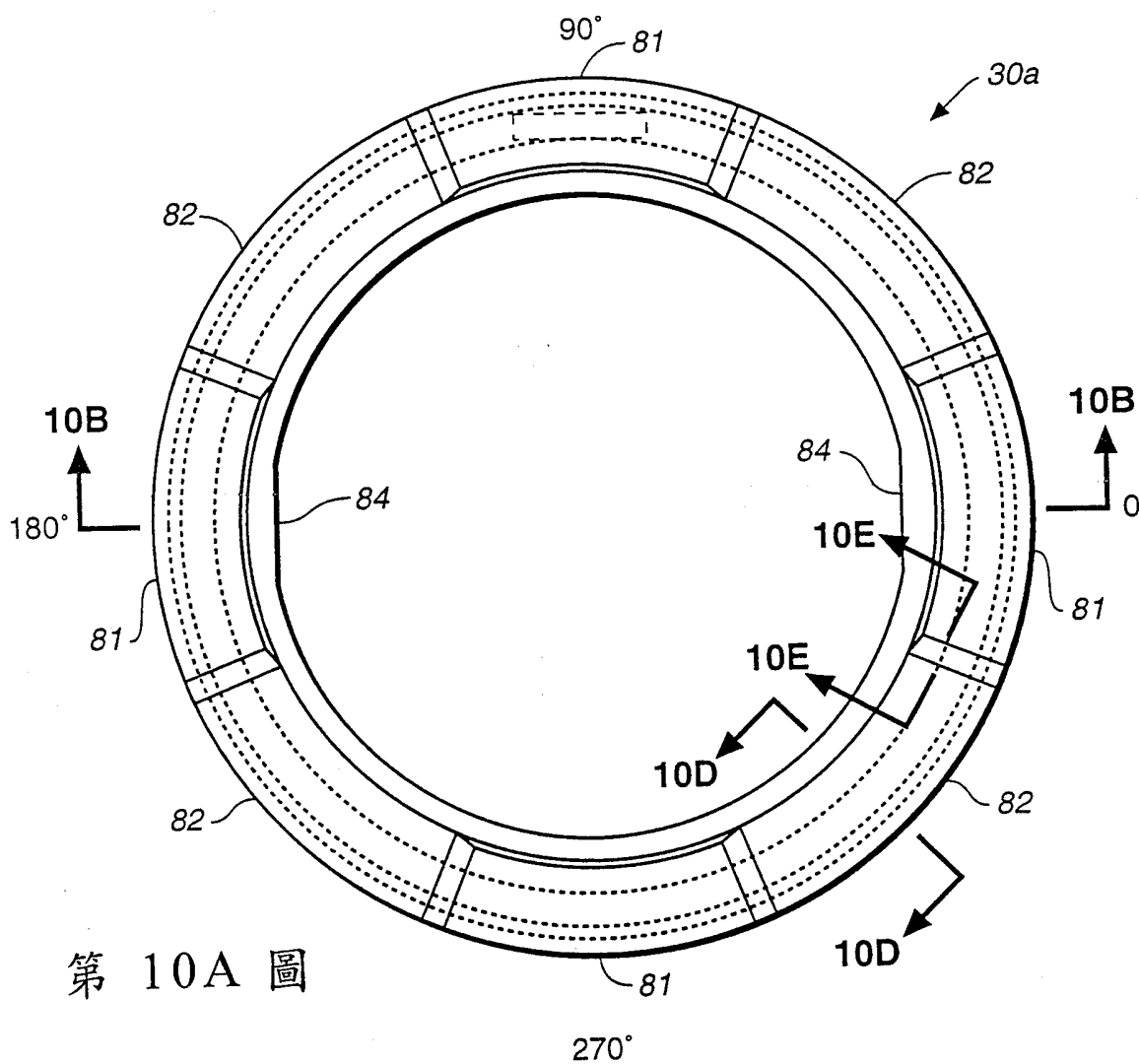


第 9A 圖

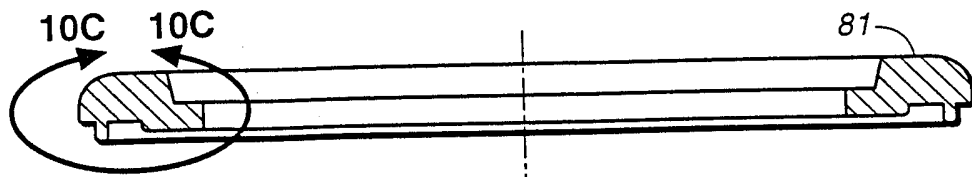


第 9B 圖

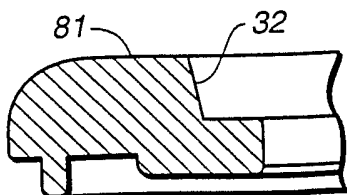




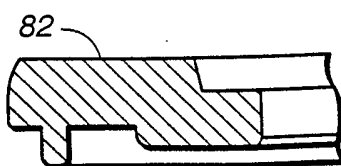
第 10A 圖



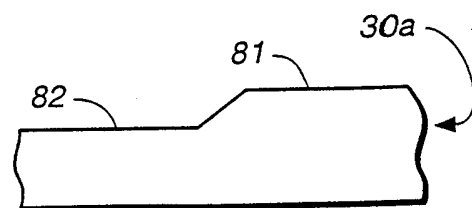
第 10B 圖



第 10C 圖



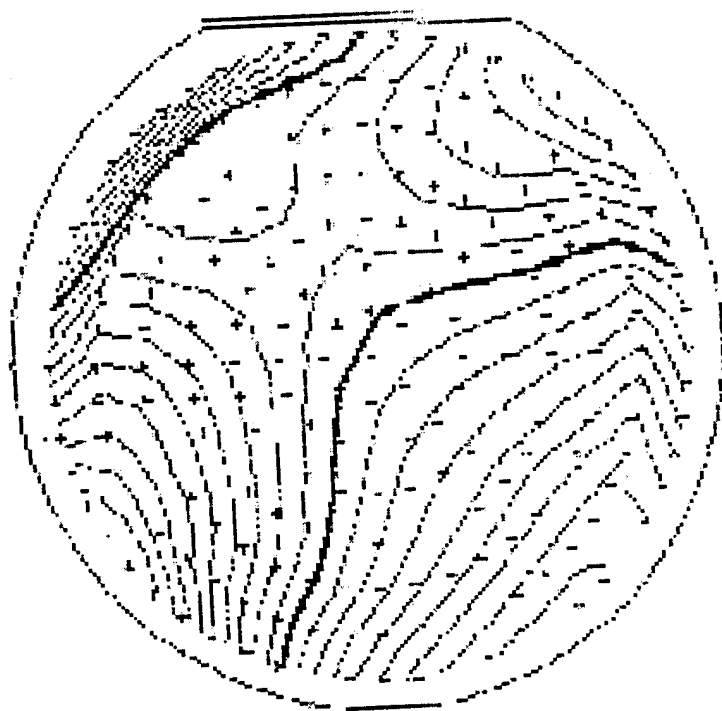
第 10D 圖



第 10E 圖



第 11A 圖



第 11B 圖