

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4450255号  
(P4450255)

(45) 発行日 平成22年4月14日 (2010. 4. 14)

(24) 登録日 平成22年2月5日 (2010. 2. 5)

(51) Int. Cl.

F 1

A 6 3 F 7/02 (2006. 01)

A 6 3 F 7/02 3 3 4

A 6 3 F 7/02 3 2 6 Z

請求項の数 2 (全 17 頁)

(21) 出願番号 特願2008-111136 (P2008-111136)  
 (22) 出願日 平成20年4月22日 (2008. 4. 22)  
 (62) 分割の表示 特願平11-77665の分割  
 原出願日 平成11年3月23日 (1999. 3. 23)  
 (65) 公開番号 特開2008-178745 (P2008-178745A)  
 (43) 公開日 平成20年8月7日 (2008. 8. 7)  
 審査請求日 平成20年4月22日 (2008. 4. 22)

早期審査対象出願

(73) 特許権者 000144522  
 株式会社三洋物産  
 愛知県名古屋市千種区今池3丁目9番21号  
 (74) 代理人 110000534  
 特許業務法人しんめいセンチュリー  
 (72) 発明者 保谷 誠  
 名古屋市千種区今池3丁目9番21号  
 株式会社三洋物産内  
 (72) 発明者 山崎 好男  
 名古屋市千種区春岡通7丁目49番地  
 株式会社ジェイ・テ  
 イ内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

乱数値記憶手段と、その乱数値記憶手段の値を所定の範囲内で更新する第1更新手段と、  
 所定の契機に基づいて前記乱数値記憶手段の値を読み出す読出手段とを有し、その読出  
 手段により読み出された前記乱数値記憶手段の値が予め定められた値と一致する場合に遊  
 技者に所定の遊技価値を付与する制御手段を備えた遊技機において、

前記乱数値記憶手段の値は、前記第1更新手段により所定回更新されることで一周する  
 ものであり、

前記第1更新手段は、前記乱数値記憶手段の値が一周すると、前記所定の範囲内のいず  
 れかの値を更新の初期値として次の週の更新を行うものであり、

前記制御手段は、

前記所定の範囲と同じ範囲で更新され、前記乱数値記憶手段の更新の初期値の変更に使  
 用される初期値記憶手段と、

その初期値記憶手段の値を読み出して、その値を更新し、更新された値を前記初期値記  
 憶手段へ書き込む第2更新手段と、

定期的な信号である定期信号を出力する出力手段とを有し、

その出力手段が出力する定期信号に基づいて定期処理を行い、その定期処理の終了の後  
 、次の定期信号に基づく定期処理が行われるまでの期間に繰り返し所定の処理を行うもの  
 であり、

その所定の処理において、前記第2更新手段による、読み出し、更新、および書き込み

処理が行われ、

前記第 1 更新手段による前記乱数値記憶手段の値の更新、および、前記読出手段による前記乱数値記憶手段の値の読み出しは、前記定期処理において行われ、

電源投入後最初の前記読出手段による前記乱数値記憶手段の値の読み出しが行われるより前に、前記第 1 更新手段による前記乱数値記憶手段の値の更新が行われ、

前記制御手段は、

電源投入後に前記乱数値記憶手段と前記初期値記憶手段とを含む記憶手段のデータが有効か否かを判別する判別手段と、

その判別手段により有効と判別された場合に、前記記憶手段のデータを使用して遊技を実行する遊技実行手段と、

その判別手段により有効でないと判別された場合に、前記記憶手段のデータを初期化する初期化手段と、

前記第 2 更新手段による書き込み処理の実行時に、前記出力手段から定期信号が出力される場合に、その定期信号に基づく定期処理の実行を遅延させ、かつ、その書き込み処理の実行が終了した後に、実行が遅延された定期処理を実行する定期処理実行遅延手段とを有しており、

その定期処理実行遅延手段により所定の定期処理の実行が遅延された場合であっても、次の定期処理を実行するために前記出力手段から出力される定期信号の出力は遅延されないものであることを特徴とする遊技機。

【請求項 2】

前記遊技機はパチンコ遊技機であることを特徴とする請求項 1 記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パチンコ遊技機などに代表される遊技機に関するものである。

【背景技術】

【0002】

例えばパチンコ遊技機は、複数種類の図柄を変動表示可能な表示装置を備えており、遊技領域に打ち込まれた打球が図柄作動ゲートを通過すると、変動表示を開始するように構成されている。この変動表示が予め定められた図柄の組み合わせと一致して停止すると、大当たりとなって、遊技者に所定の遊技価値が付与される。

【0003】

かかる大当たりの発生の有無は、打球が図柄作動ゲートを通過するタイミングで決定される。即ち、1 カウントずつ定期的に一定の範囲で（例えば、1 カウントずつ、2 ms 毎に、0 から 630 の範囲で）更新される乱数カウンタを備え、打球が図柄作動ゲートを通過したときに、その乱数カウンタの値を読み出して、読み出された乱数カウンタの値が、例えば「7」などの所定値と一致する場合に、大当たりを発生するようにしている。

【0004】

ところが、最近、「ぶら下げ基板」と呼ばれる不正な基板を使用した不正行為が報告されている。この不正行為は、不正な基板をぶら下げて（不正な「ぶら下げ基板」を取り付けて）、不当に大当たりを発生させるというものである。具体的には、前記したパチンコ遊技機に設けられる大当たりを決定するための乱数カウンタと同様の働きをするカウンタ（1 カウントずつ定期的に一定の範囲で更新されるカウンタ）を「ぶら下げ基板」内に設け、そのカウンタの値をパチンコ遊技機の電源投入等に合わせてリセット（0 クリア）することにより、「ぶら下げ基板」内で大当たりの発生タイミングを把握するのである。そして、その把握した大当たりの発生タイミングに合わせて、「ぶら下げ基板」内で打球の図柄作動ゲート通過信号を不正に生成し、これをパチンコ遊技機の制御基板へ出力して、不当に大当たりを発生させるというものである。遊技場などでは、この「ぶら下げ基板」を用いた不正行為により、多大な被害を被っている。

【0005】

【 0 0 0 6 】

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

【 0 0 0 8 】

【 0 0 0 9 】

【 0 0 1 0 】

本発明は上記例示した問題点等を解決するためになされたものであり、「ぶら下げ基板」等による不正行為を防止することができる遊技機を提供することを目的としている。

【課題を解決するための手段】

【 0 0 1 1 】

この目的を達成するために請求項 1 記載の遊技機は、乱数値記憶手段と、その乱数値記憶手段の値を所定の範囲内で更新する第 1 更新手段と、所定の契機に基づいて前記乱数値記憶手段の値を読み出す読出手段とを有し、その読出手段により読み出された前記乱数値記憶手段の値が予め定められた値と一致する場合に遊技者に所定の遊技価値を付与する制御手段を備えており、前記乱数値記憶手段の値は、前記第 1 更新手段により所定回更新されることで一周するものであり、前記第 1 更新手段は、前記乱数値記憶手段の値が一周すると、前記所定の範囲内のいずれかの値を更新の初期値として次の週の更新を行うものであり、前記制御手段は、前記所定の範囲と同じ範囲で更新され、前記乱数値記憶手段の更新の初期値の変更に使用される初期値記憶手段と、その初期値記憶手段の値を読み出して、その値を更新し、更新された値を前記初期値記憶手段へ書き込む第 2 更新手段と、定期的な信号である定期信号を出力する出力手段とを有し、その出力手段が出力する定期信号に基づいて定期処理を行い、その定期処理の終了の後、次の定期信号に基づく定期処理が行われるまでの期間に繰り返し所定の処理を行うものであり、その所定の処理において、前記第 2 更新手段による、読み出し、更新、および書き込み処理が行われ、前記第 1 更新手段による前記乱数値記憶手段の値の更新、および、前記読出手段による前記乱数値記憶手段の値の読み出しは、前記定期処理において行われ、電源投入後最初の前記読出手段による前記乱数値記憶手段の値の読み出しが行われるより前に、前記第 1 更新手段による前記乱数値記憶手段の値の更新が行われ、前記制御手段は、電源投入後に前記乱数値記憶手段と前記初期値記憶手段とを含む記憶手段のデータが有効か否かを判別する判別手段と、その判別手段により有効と判別された場合に、前記記憶手段のデータを使用して遊技を実行する遊技実行手段と、その判別手段により有効でないと判別された場合に、前記記憶手段のデータを初期化する初期化手段と、前記第 2 更新手段による書き込み処理の実行時に、前記出力手段から定期信号が出力される場合に、その定期信号に基づく定期処理の実行を遅延させ、かつ、その書き込み処理の実行が終了した後に、実行が遅延された定期処理を実行する定期処理実行遅延手段とを有しており、その定期処理実行遅延手段により所定の定期処理の実行が遅延された場合であっても、次の定期処理を実行するために前記出力手段から出力される定期信号の出力は遅延されないものである。

請求項 2 記載の遊技機は、請求項 1 記載の遊技機において、前記遊技機はパチンコ遊技機である。

【発明の効果】

【 0 0 1 2 】

本発明の遊技機の制御装置によれば、「ぶら下げ基板」等による不正行為を防止することができる。

【発明を実施するための最良の形態】

【 0 0 1 3 】

以下、本発明の好ましい実施例について、添付図面を参照して説明する。本実施例では、遊技機の一例としてパチンコ遊技機、特に、第 1 種パチンコ遊技機を用いて説明する。なお、本発明を第 3 種パチンコ遊技機やスロットマシン等の他の遊技機に用いることは、当然に可能である。

## 【 0 0 1 4 】

図 1 は、第 1 実施例におけるパチンコ遊技機 P の遊技盤の正面図である。遊技盤 1 の周囲には、打球が入賞することにより 5 個から 15 個の遊技球が払い出される複数の入賞口 2 が設けられている。また、遊技盤 1 の中央には、複数種類の識別情報としての図柄などを表示する液晶 (LCD) ディスプレイ 3 が設けられている。この LCD ディスプレイ 3 の表示画面は横方向に 3 分割されており、3 分割された各表示領域において、それぞれ図柄の変動表示が行われる。

## 【 0 0 1 5 】

LCD ディスプレイ 3 の下方には、図柄作動ゲート (第 1 種始動口) 4 が設けられ、打球がこの図柄作動ゲート 4 を通過することにより、前記した LCD ディスプレイ 3 の変動表示が開始される。図柄作動ゲート 4 の下方には、特定入賞口 (大入賞口) 5 が設けられている。この特定入賞口 5 は、LCD ディスプレイ 3 の変動後の表示結果が予め定められた図柄の組み合わせの 1 つと一致する場合に、大当たりとなって、打球が入賞しやすいように所定時間 (例えば、30 秒経過するまで、あるいは、打球が 10 個入賞するまで) 開放される入賞口である。この特定入賞口 5 内には、V ゾーン 5 a が設けられており、特定入賞口 5 の開放中に、打球が V ゾーン 5 a 内を通過すると、継続権が成立して、特定入賞口 5 の閉鎖後、再度、その特定入賞口 5 が所定時間 (又は、特定入賞口 5 に打球が所定個数入賞するまで) 開放される。この特定入賞口 5 の開閉動作は、最高で 16 回 (16 ラウンド) 繰り返し可能にされており、開閉動作の行われ得る状態が、いわゆる所定の遊技価値の付与された状態 (特別遊技状態) である。

## 【 0 0 1 6 】

図 2 は、かかるパチンコ遊技機 P の電氣的構成を示したブロック図である。パチンコ遊技機 P の制御部 C は、演算装置である CPU 11 と、その CPU 11 により実行される各種の制御プログラムや固定値データを記憶した ROM 12 と、各種のデータ等を一時的に記憶するためのメモリである RAM 13 とを備えている。図 5 から図 7 に示すフローチャートのプログラムは、制御プログラムの一部として ROM 12 内に記憶されている。

## 【 0 0 1 7 】

CPU 11 は、演算を行う ALU のほか、アキュムレータ (以下「Acc」と称す) 11 a や複数の内部レジスタ 11 b、フラグレジスタ 11 c を備えている。RAM 13 内に設けられるカウンタ等の値は、一旦、CPU 11 の内部レジスタ 11 b へロードされ (読み込まれ)、その内部レジスタ 11 b 内で更新された後に、RAM 13 の元のカウンタ内へセーブされて (書き込まれて)、更新される。

## 【 0 0 1 8 】

なお、68 系の 8 ビット CPU 11 では、ペアになっている 2 バイト (16 ビット) の内部レジスタ 11 b の値を、連続したアドレスの 2 バイトのメモリ (RAM 13 内) へ 1 命令でセーブする (書き込む) ことができる。バスライン 14 のデータバスは 8 ビットで構成されるので、この場合の書き込みは、上位バイト、下位バイトの順に行われる。また、80 系の 8 ビット CPU では、68 系の CPU 11 とは逆に、ペアになっている 2 バイト (16 ビット) の内部レジスタの値を、連続したアドレスの 2 バイトのメモリへ、下位バイト上位バイトの順に 1 命令でセーブすることができる。

## 【 0 0 1 9 】

RAM 13 は、乱数カウンタ 13 a と、初期値カウンタ 13 b と、初期値メモリ 13 c とを備えている。乱数カウンタ 13 a は、大当たりの発生を決定するためのカウンタであり、図 6 の乱数更新処理 (S6) によって、「0 ~ 630 (0 ~ 276 h)」の範囲で、2 ms 毎に 1 カウントずつ更新される。このため乱数カウンタ 13 a は 2 バイトで構成されている。打球が図柄作動ゲート 4 を通過したときに取得した乱数カウンタ 13 a の値が例えば「7」であると、大当たりが発生する。大当たりが発生すると、大当たりコマンドが制御部 C から後述する表示装置 D へ送られる。表示装置 D は、この大当たりコマンドに基づいて、LCD ディスプレイ 3 の変動表示を大当たりの状態に制御する。

## 【 0 0 2 0 】

初期値カウンタ13bは、乱数カウンタ13aの更新の初期値をカウントするためのカウンタであり、乱数カウンタ13aと同様に2バイトで構成されている。この初期値カウンタ13bの値は、図7の初期値カウンタ更新処理(S21)によって、乱数カウンタ13aの更新範囲と同じ「0~630(276h)」の範囲で、1カウントずつ更新される。

#### 【0021】

図7の初期値カウンタ更新処理は、図5のリセット割込処理における残余時間の間、即ち、効果音処理(S19)の終了後、次のリセット割込処理が発生するまでの間に、繰り返し実行される(S21)。リセット割込処理は2ms毎に実行されるが、1回のリセット割込処理において実行されるS1からS19までの各処理の処理時間は遊技の状況に応じて変化するので、リセット割込処理の残余時間は、一定な時間ではなく、遊技の状況に応じて変化する不定な時間となる。「ぶら下げ基板」ではこの不定な時間を把握することはできないので、かかる不定な時間内に繰り返し更新される初期値カウンタ13bの値を乱数カウンタ13aの更新の初期値として使用することにより、「ぶら下げ基板」による大当たり発生タイミングの把握を不可能にしている。

#### 【0022】

初期値メモリ13cは、乱数カウンタ13aの更新の初期値を記憶するためのメモリであり、乱数カウンタ13aと同様に2バイトで構成されている。本実施例では、乱数カウンタ13aの更新の初期値は、乱数カウンタの一回りの更新毎に変更される。よって、更新された乱数カウンタ13aの値が初期値メモリ13cの値と一致すると、乱数カウンタ13aの一回りの更新が終了したことになるので、両値13a, 13cの一致を契機として、そのときの初期値カウンタ13bの値が乱数カウンタ13aおよび初期値メモリ13cに書き込まれて、乱数カウンタ13aの更新の初期値が変更される。従って、乱数カウンタ13aの更新の初期値を変更しても、乱数の一様性(連続で取得した場合に同じ値を取ることがなく、しかも、すべての値が同じ確率で取り出せること)のある乱数値を得ることができるのである。

#### 【0023】

これらのCPU11、ROM12、RAM13は、バスライン14を介して互いに接続されており、バスライン14は、また、入出力ポート15にも接続されている。この入出力ポート15は表示装置Dや他の入出力装置16と接続されている。制御部Cは、入出力ポート15を介して、表示装置Dや他の入出力装置16へ動作コマンドを送り、それら各装置を制御する。LCDディスプレイ3の変動表示や特定入賞口5の開閉動作も、この動作コマンドに基づいて制御される。

#### 【0024】

表示装置Dは、CPU21と、プログラムROM22と、ワークRAM23と、ビデオRAM24と、キャラクタROM25と、画像コントローラ26と、入出力ポート27と、LCDディスプレイ3とを備えている。表示装置DのCPU21は、制御部Cから出力される動作コマンドに応じて、LCDディスプレイ3の表示制御(変動表示)を行うものであり、プログラムROM22には、このCPU21により実行されるプログラムが記憶されている。ワークRAM23は、CPU21によるプログラムの実行時に使用されるワークデータが記憶されるメモリである。

#### 【0025】

ビデオRAM24は、LCDディスプレイ3に表示されるデータが記憶されるメモリであり、このビデオRAM24の内容を書き換えることにより、LCDディスプレイ3の表示内容が変更される。即ち、各表示領域における図柄の変動表示は、ビデオRAM24の内容が書き換えられることにより行われる。キャラクタROM25は、LCDディスプレイ3に表示される図柄などのキャラクタデータを記憶するメモリである。画像コントローラ26は、CPU21、ビデオRAM24、入出力ポート27のそれぞれのタイミングを調整して、データの読み書きを介在するとともに、ビデオRAM24に記憶される表示データをキャラクタROM25を参照して所定のタイミングでLCDディスプレイ3に表示

させるものである。

【0026】

次に、図3および図4を参照して、図5のリセット割込処理の実行契機となるユーザーリセット割込の発生タイミングについて説明する。このユーザーリセット割込は、2ms毎であって、且つ、CPU11によりオペコードフェッチ信号が出力されるタイミング、即ち、CPU11のLIR端子の出力がHiからLowになるタイミングで発生するように構成されている。

【0027】

オペコードフェッチ信号が出力されている間は、CPU11によりROM12からオペコードのリードが行われているため、RAM13への書き込みが行われることはない。よって、かかるオペコードフェッチ信号に同期してユーザーリセット割込を発生させることにより、リセット割込処理の残余時間の間において初期値カウンタ13bの値を繰り返し更新しても、次のリセット割込処理が発生する時には、その初期値カウンタ13bの値を書き換えることがなく本来の更新範囲外の値としてしまうことはない。

【0028】

CPU11のリセット端子RESには、リセットIC31が接続されている。リセットIC31の出力(A)は、パチンコ遊技機Pの電源投入後所定時間が経過するとLowからHiへ立ち上がり、以降は、パチンコ遊技機Pの電源がオフされるまでHiを維持する。CPU11は、リセット端子RESへの入力LowからHiへ立ち上がりHiを維持している間、動作を継続する。

【0029】

また、CPU11には、8.1920MHzの発振子(クロック)32が接続されている。クロック32の出力はCPU11内で4分周され、Eクロック端子から488.3ns周期の矩形波の発振波が出力される(B)。更に、ICLK端子からは、そのEクロックを4096分周した2ms周期の矩形波が出力される(C)。

【0030】

リセットIC31の出力端は、HC74で構成されるDフリップフロップ33のCLR端子にも接続されている。Dフリップフロップ33のCK端子は、CPU11のICLK端子と接続されており、PR端子およびD端子はVcc(+5V)に接続されているので、CPU11のICLK端子の出力が立ち上がるまでは、Dフリップフロップ33のQ出力はLow(G)、Qバー出力はHi(D)を維持している。CPU11のICLK端子の出力が一旦LowからHiへ立ち上がると(C)、Dフリップフロップ33のQ出力はHi(G)、Qバー出力はLow(D)となり、Dフリップフロップ33は、パチンコ遊技機Pの電源がオフされるまで、この出力を維持する。

【0031】

Dフリップフロップ33のQバー出力端は、2入力オア回路34の一方の入力端に接続されている。また、オア回路34のもう一方の入力端はCPU11のICLK端子に接続されている。よって、オア回路34の出力端からは、Dフリップフロップ33のQバー出力がLow(D)となってから以降、ICLK端子の出力(C)と同じ2ms周期の矩形波が出力される(E)。

【0032】

一方、CPU11のEクロック端子はインバータ35の入力端と接続され、そのインバータ35の出力端は、HC74で構成されるDフリップフロップ36のCK端子および2入力オア回路37の一方の入力端に接続されている。Dフリップフロップ36のPR端子はVccに、CLR端子は前記したDフリップフロップ33のQ出力端に、D端子はHC4020で構成されるバイナリカウンタ38のQ7出力端に、Q出力端はオア回路37の入力端に、それぞれ接続されている。更に、オア回路37の出力端は、カウンタ38のCK端子に接続されている。

【0033】

Dフリップフロップ36のCLR端子に入力されるDフリップフロップ33のQ出力は

10

20

30

40

50

、CPU11のICLK端子の出力がLowからHiへ一旦立ち上がると(C)、以降はHiを維持する(G)。Dフリップフロップ36のPR端子にはVccが入力されているので、その後は、CPU11のEクロック端子の出力(B)が反転されたインバータ35の出力(F)の立ち上がり毎に、D端子へ入力されるカウンタ38のQ7出力(I)の状態がDフリップフロップ36のQ端子から出力される(J)。よって、オア回路37は、Dフリップフロップ36のQ端子の出力がLowの間は(J)、Eクロックの反転出力(F)を出力し(H)、Dフリップフロップ36のQ端子の出力がHiの間は(J)、Hiを出力する(H)。

【0034】

カウンタ38のQ7端子は、Dフリップフロップ36のD端子と接続される他、2入力オア回路39の一つの入力端に接続されている。このオア回路39の他方の入力端にはオア回路34の出力端が接続されている。カウンタ38のQ7出力は、CLR端子への出力がHiになっている間(E)、Lowを維持する(I)。そして、CLR端子への出力がLowになった状態で(E)、CK端子へ64回立ち下がりクロックが入力されると(H)、Hiとなり(I)、そのQ7端子のHi出力は、CLR端子へHiが入力されるまで維持される(E, I)。

【0035】

オア回路39からは、オア回路34の出力およびカウンタ38のQ7出力が共にLowである場合に(E, I)、Lowが出力される(K)。よって、オア回路39の出力は、オア回路34の出力がLowとなった後(E)、カウンタ38のCK端子へ64回立ち下がりクロックが入力されるまで(H)、Low出力を維持する(K)。即ち、オア回路39からは、2ms毎に(C, E)、カウンタ38のCK端子へ64回立ち下がりクロックが入力されるまでの間(H)、Lowが出力される。

【0036】

なお、従来技術においては、このオア回路39の出力端がCPU11のURES端子に接続されており、オア回路39からLow出力されるタイミングでユーザーリセット割込が発生するように構成されていた。よって、このオア回路39の出力がLowを維持する期間が(K)、ユーザーリセット割込の発生を確定させるための期間になっていた。

【0037】

オア回路39の出力端は、タイミング回路40のインバータ41の入力端と、HC74で構成されるDフリップフロップ42のD端子に接続されている。タイミング回路40は、ユーザーリセット割込をオペコードフェッチに同期するタイミングで発生させるための回路である。オア回路39からは2ms毎にLowが出力されるので(K)、タイミング回路40では、そのLow出力を入力した後の最初のオペコードフェッチのタイミングで、CPU11のURES端子へLowを出力し(N)、ユーザーリセット割込が発生させるのである。

【0038】

タイミング回路40のインバータ41の入力端は、前記した通り、オア回路39の出力端に接続されており、そのインバータ41の出力端は、Dフリップフロップ42のPR端子に接続されている。Dフリップフロップ42のCLR端子はVccに接続されているので、CPU11のURES端子に接続されるDフリップフロップ42のQ端子からは、オア回路39からHi出力されている間(K)、Hiが出力され(N)、ユーザーリセット割込は発生しない。

【0039】

CPU11のLIR端子はインバータ43の入力端に接続され、そのインバータ43の出力端はDフリップフロップ42のCK端子に接続されている。オペコードフェッチがあるとLIR端子の出力はHiからLowへ立ち下がるので、オペコードフェッチの度に、インバータ43からDフリップフロップ42のCK端子へはLowからHiへの立ち上がり信号が出力される(M)。

【0040】

10

20

30

40

50

ここで、オア回路39からLowが出力されると(K)、Dフリップフロップ42のPR端子へHiが入力される(L)。CLR端子にはVccが入力されているので、CPU11からオペコードフェッチ信号が出力されLIR端子の出力がHiからLowへ立ち下ると、Dフリップフロップ42のCK端子への入力がLowからHiへ立ち上がり(M)、その時のD端子へ入力されているLow出力が(K)、Dフリップフロップ42のQ端子から出力されて(N)、CPU11のURES端子へ入力される。これにより、ユーザーリセット割込がオペコードフェッチのタイミングで発生するのである。

#### 【0041】

なお、このようにユーザーリセット割込の発生タイミングを最初のオペコードフェッチのタイミングまで遅延させるように構成しても、オア回路39は確実に2ms毎にLow信号を出力するので(K)、その遅延分が累積してしまうことはない。従って、ユーザーリセット割込を2ms毎に実行することができるのである。

10

#### 【0042】

次に、上記のように構成されたパチンコ遊技機Pで実行される各処理を、図5から図7のフローチャートを参照して説明する。図5は、パチンコ遊技機Pの制御部Cにおいて、2ms毎に実行されるリセット割込処理のフローチャートである。パチンコ遊技機Pの主な制御は、このリセット割込処理によって実行される。なお、このリセット割込処理は、電源投入時におけるリセット割込の発生時、および、前記したユーザーリセット割込の発生時に実行される。

#### 【0043】

20

リセット割込処理では、まず、スタックポインタを設定し(S1)、RAM13の所定エリアに書き込まれているパターンのチェックを行う(S2)。チェックの結果、所定エリアに所定のパターンが書き込まれていれば、RAM13に異常はなく正常であるので(S2:正常)、処理をS3へ移行する。一方、S2のチェックの結果、所定エリアに所定のパターンが書き込まれていなければ、電源投入後のリセット割込により最初に行われたリセット割込処理であるか、或いは、RAM13に異常があるので(S2:異常)、この場合には処理をS22へ移行して、一旦、RAM13の内容をクリアした後、RAM13内へ初期値を書き込んで(S22)、次のリセット割込処理の発生を待機する。

#### 【0044】

S3の処理ではタイマ割込の設定を行う(S3)。ここで設定されるタイマ割込としては、LCDディスプレイ3の表示を制御するコマンドを表示装置Dへ送信するためのストローク信号を発生させるタイマ割込などがある。タイマ割込の設定後は、各割込を許可状態とする(S4)。割込の許可後は、特別図柄変動処理(S15)や、表示データ作成処理(S17)、ランプ・情報処理(S18)などにより、前回のリセット割込処理において更新された出力データを一度に各ポートへ出力するポート出力処理を実行する(S5)。ポート出力処理の実行後は、後述する乱数更新処理(S6)を実行して、乱数カウンタ13aの値を「+1」更新し、更に、記憶タイマ減算処理を実行する(S7)。記憶タイマ減算処理は、大当たり判定の保留球が所定数以上あり、且つ、LCDディスプレイ3において図柄の変動表示中である場合に、図柄の変動表示時間の短縮を行うものである。

30

#### 【0045】

40

スイッチ読込処理(S8)は、各スイッチの値を読み込むことにより、遊技領域1へ打ち込まれた打球の入賞口2や大入賞口5(Vゾーン5aを含む)への入賞、図柄作動ゲート4の通過、更には賞球や貸球を検出するための処理である。カウント異常監視処理(S9)は、S8のスイッチ読込処理によって読み込まれたスイッチデータに異常があるか否かを監視するための処理である。例えば、大入賞口5が開放され、打球のVゾーン5aの通過を検出するVカウントスイッチで打球が検出されたにも拘わらず、Vゾーン5a以外の大入賞口5への入賞を検出する10カウントスイッチで1球の打球も検出できない場合には、10カウントスイッチが抜き取られるか故障するなどして、10カウントスイッチに何らかの異常が発生している。また、賞球を払い出すモータを駆動したにも拘わらず、1球の賞球も払い出されない場合には、賞球の払出装に何らかの異常が発生している。

50



このようにカウンタ異常監視処理（Ｓ９）では、スイッチ読込処理（Ｓ８）によって読み込まれたスイッチデータに基づいて、上記のような異常の有無を監視している。

【００４６】

図柄カウンタ更新処理（Ｓ１０）では、ＬＣＤディスプレイ３で行われる変動表示の結果、停止表示される図柄を決定するためのカウンタの更新処理が行われる。また、図柄チェック処理（Ｓ１１）では、図柄カウンタ更新処理（Ｓ１０）で更新されたカウンタの値に基づいて、特別図柄変動処理（Ｓ１５）で使用される大当たり図柄や、はずれ図柄、更にはリーチ図柄などが決定される。

【００４７】

Ｓ３からＳ１１までの処理において、エラーが発生していなければ（Ｓ１２：正常）、普通図柄変動処理（Ｓ１３）によって、７セグメントＬＥＤの変動表示を行うと共に、その変動表示の結果、当たりが発生した場合には普通電動役物（図示せず）を所定時間開放する当たり処理を実行する。その後、状態フラグをチェックし（Ｓ１４）、ＬＣＤディスプレイ３の図柄の変動表示中であれば（Ｓ１４：図柄変動中）、特別図柄変動処理（Ｓ１５）によって、打球が図柄作動ゲート４を通過するタイミングで読みとられた乱数カウンタ１３ａの値に基づいて、大当たりか否かの判定が行われると共に、ＬＣＤディスプレイ３の表示図柄の変動処理を実行する。一方、状態フラグをチェックした結果、大当たり中であれば（Ｓ１４：大当たり中）、大入賞口５を開放するなどの大当たり処理（Ｓ１６）を実行する。更に、状態フラグをチェックした結果、図柄の変動中でも大当たり中でもなければ（Ｓ１４：その他）、Ｓ１５及びＳ１６の処理をスキップして、Ｓ１７の表示データ作成処理へ移行する。なお、Ｓ１２の処理において、エラーが確認された場合には（Ｓ１２：エラー）、Ｓ１３～Ｓ１６の各処理をスキップして、Ｓ１７の表示データ作成処理へ移行する。

【００４８】

表示データ作成処理（Ｓ１７）では、図柄の変動表示以外にＬＣＤディスプレイ３に表示されるデモデータや、７セグメントＬＥＤの表示データなどが作成され、ランプ・情報処理（Ｓ１８）では、保留球のランプデータをはじめ、各種のランプデータが作成される。効果音処理（Ｓ１９）では、遊技の状況に応じた効果音データが作成される。なお、これらの表示データおよび効果音データは、前記したポート出力処理（Ｓ５）やタイマ割込処理によって各装置へ出力される。

【００４９】

効果音処理（Ｓ１９）の終了後は、次のリセット割込処理が発生するまでの残余時間の間、Ｓ１０と同一の処理である図柄カウンタ更新処理（Ｓ２０）と、初期値カウンタ更新処理（Ｓ２１）とを繰り返し実行する。Ｓ１～Ｓ１９の各処理の実行時間は遊技の状態に応じて変化するので、次のリセット割込処理（次のユーザーリセット割込）が発生するまでの残余時間は、一定の時間ではなく、遊技の状態に応じて変化する。よって、かかる残余時間を使用して図柄カウンタ更新処理（Ｓ２０）を繰り返し実行することにより、停止図柄をランダムに変更することができる。また、かかる残余時間を使用して初期値カウンタ更新処理（Ｓ２１）を繰り返し実行することにより、乱数カウンタ１３ａの更新の初期値となる初期値カウンタ１３ｂの値を「ぶら下げ基板」で把握不可能にすることができる。

【００５０】

図６は、乱数更新処理のフローチャートである。乱数更新処理（Ｓ６）では、ＣＰＵ１の内部レジスタ１１ｂを介して、乱数カウンタ１３ａの値を「０～６３０（０～２７６ｈ）」の範囲内で「＋１」ずつ更新すると共に、制御部Ｃで使用される他の乱数の更新を行っている。

【００５１】

まず、２バイトで構成される乱数カウンタ１３ａの値を２バイトの内部レジスタ１１ｂへ書き込む（Ｓ３１）。内部レジスタ１１ｂの値を１加算し（Ｓ３２）、加算後の内部レジスタ１１ｂの値が「６３１」以上であるか否か、即ち、乱数カウンタ１３ａの更新範囲

10

20

30

40

50

の値を超えている否かを調べる ( S 3 3 )。加算後の内部レジスタ 1 1 b の値が「 6 3 1 」以上であれば ( S 3 3 : Y e s )、更新範囲の値を超えているので、内部レジスタ 1 1 b の値を「 0 」クリアする ( S 3 4 )。一方、加算後の内部レジスタ 1 1 b の値が「 6 3 0 」以下であれば ( S 3 3 : N o )、更新範囲内の値であるので、 S 3 4 の処理をスキップして、 S 3 5 の処理へ移行する。

#### 【 0 0 5 2 】

S 3 5 の処理では、更新後の内部レジスタ 1 1 b の値と初期値メモリ 1 3 c の値とが比較される。初期値メモリ 1 3 c には乱数カウンタ 1 3 a の更新の初期値が記憶されているので、両値が等しい場合には ( S 3 5 : Y e s )、乱数カウンタ 1 3 a の更新は一回り終了したということである。よって、かかる場合には、2 バイトの初期値カウンタ 1 3 b の値を内部レジスタ 1 1 b へ書き込み ( S 3 6 )、その内部レジスタ 1 1 b の値を初期値メモリ 1 3 c 及び乱数カウンタ 1 3 a へ書き込んで ( S 3 7 , S 3 8 )、乱数カウンタ 1 3 a の更新の初期値を変更する。

#### 【 0 0 5 3 】

一方、更新後の内部レジスタ 1 1 b の値と初期値メモリ 1 3 c の値とが等しくない場合には ( S 3 5 : N o )、乱数カウンタ 1 3 a の更新は未だ一回り終了していないので、 S 3 6 及び S 3 7 の処理をスキップして、 S 3 2 から S 3 4 の処理で更新された内部レジスタ 1 1 b の値を乱数カウンタ 1 3 a へ書き込み ( S 3 8 )、乱数カウンタ 1 3 a の更新を行う。その後は、制御部 C で使用される他の乱数の更新処理を行って ( S 3 9 )、この乱数更新処理を終了する。

#### 【 0 0 5 4 】

図 7 は、リセット割込処理の残余時間の間に繰り返し実行される初期値カウンタ更新処理のフローチャートである。初期値カウンタ更新処理 ( S 2 1 ) では、 C P U 1 1 の内部レジスタ 1 1 b を介して、乱数カウンタ 1 3 a の更新の初期値をカウントする初期値カウンタ 1 3 b の値を、乱数カウンタ 1 3 a の更新範囲の「 0 ~ 6 3 0 ( 0 ~ 2 7 6 h ) 」の範囲内で「 + 1 」ずつ更新する。

#### 【 0 0 5 5 】

まず、2 バイトで構成される初期値カウンタ 1 3 b の値を 2 バイトの内部レジスタ 1 1 b へ書き込む ( S 4 1 )。内部レジスタ 1 1 b の値を 1 加算し ( S 4 2 )、加算後の内部レジスタ 1 1 b の値が「 6 3 1 」以上であるか否か、即ち、乱数カウンタ 1 3 a の更新範囲の値を超えている否かを調べる ( S 4 3 )。加算後の内部レジスタ 1 1 b の値が「 6 3 1 」以上であれば ( S 4 3 : Y e s )、乱数カウンタ 1 3 a の更新範囲の値を超えているので、内部レジスタ 1 1 b の値を「 0 」クリアする ( S 4 4 )。一方、加算後の内部レジスタ 1 1 b の値が「 6 3 0 」以下であれば ( S 4 3 : N o )、乱数カウンタ 1 3 a の更新範囲内の値であるので、 S 4 4 の処理をスキップして、 S 4 5 の処理へ移行する。 S 4 5 の処理では、更新された内部レジスタ 1 1 b の値を、 6 8 系 C P U 1 1 の 2 バイト書き込み命令によって上位バイト下位バイトの順に初期値カウンタ 1 3 b へ書き込むのである。

#### 【 0 0 5 6 】

前記した通り、初期値カウンタ更新処理は、リセット割込処理において、次のリセット割込が発生するまでの残余時間の間に繰り返し実行される ( S 2 1 )。このため、 S 4 5 の処理によって内部レジスタ 1 1 b の上位バイトが初期値カウンタ 1 3 b へ書き込まれた後であって下位バイトの書き込み前に 2 m s が経過して、次のユーザーリセット割込が発生するタイミングが到来する場合がある。ユーザーリセット割込は、割込の優先順位が最も高く、割込処理の開始を禁止できないノンマスカブルな割込である。しかし、前記した通り、ユーザーリセット割込の発生は、タイミング回路 4 0 によって、2 m s の経過後の最初のオペコードフェッチのタイミングまでに遅延されるので、 C P U 1 1 による書き込み命令の実行中に、ユーザーリセット割込が発生してリセット割込処理が実行されることはない。よって、リセット割込処理の残余時間の間に、初期値カウンタ 1 3 b の値を繰り返し更新しても、初期値カウンタ 1 3 b の値を本来の更新範囲内の値である「 0 ~ 6 3 0 ( 0 ~ 2 7 6 h ) 」の範囲内に維持することができるのである。

10

20

30

40

50

## 【 0 0 5 7 】

次に、図 8 および図 9 を参照して、第 2 実施例のタイミング回路 5 0 について説明する。第 1 実施例のタイミング回路 4 0 はオペコードフェッチ信号（L I R 端子の出力）を利用してユーザーリセット割込を発生させるように構成したが、第 2 実施例のタイミング回路 5 0 は、リード信号（R / W バー端子の H i 出力）を利用してユーザーリセット割込を発生させている。

## 【 0 0 5 8 】

ここで、リード信号は、C P U 1 1 によって R O M 1 2 , R A M 1 3 などのメモリに記憶されるデータが読み出されている場合に出力される信号であり、R / W バー端子から H i の信号として出力される。一方、ライト信号は、C P U 1 1 によって R A M 1 3 などのメモリヘデータの書き込みが行われている場合に出力される信号であり、R / W バー端子から L o w の信号として出力される。詳細には、E クロック端子の出力が H i レベルである場合に、リード信号およびライト信号は有効となる。このため本実施例では、アンド回路 5 3 によって E クロック端子と R / W バー端子との出力のアンド論理をとって、D フリップフロップ 5 4 の C K 端子へ入力するように構成している（図 8 参照）。

## 【 0 0 5 9 】

よって、リード信号が出力されている間は（アンド回路 5 3 から H i 信号が出力されている間は）、C P U 1 1 により R O M 1 2 や R A M 1 3 等のデータが読み込まれており、R A M 1 3 への書き込みは行われていない。従って、かかるリード信号に同期してユーザーリセット割込を発生させることにより、リセット割込処理の残余時間の間において、初期値カウンタ 1 3 b の値を繰り返し更新しても（図 5 の S 2 1 ）、次のリセット割込処理が発生する時には、その初期値カウンタ 1 3 b の値を書き換えることがなく本来の更新範囲外の値としてしまうことはない。なお、前記した第 1 実施例と同一の部分には同一の符号を付し、その説明は省略し、異なる部分のみ説明する。

## 【 0 0 6 0 】

オア回路 3 9 の出力端は、タイミング回路 5 0 のインバータ 5 1 の入力端と、H C 7 4 で構成される D フリップフロップ 5 2 の D 端子に接続されている。タイミング回路 5 0 は、リード信号が出力されている間に、ユーザーリセット割込を発生させるための回路である。言い換えれば、タイミング回路 5 0 は、ライト信号が出力されている間に、ユーザーリセット割込の発生を禁止するための回路でもある。

## 【 0 0 6 1 】

タイミング回路 5 0 のインバータ 5 1 の入力端は、前記した通り、オア回路 3 9 の出力端に接続されており、そのインバータ 5 1 の出力端は、D フリップフロップ 5 2 の P R 端子に接続されている。D フリップフロップ 5 2 の C L R 端子は V c c に接続されているので、C P U 1 1 の U R E S 端子に接続される D フリップフロップ 5 2 の Q 端子からは、オア回路 3 9 から H i 出力されている間（K）、H i が出力され（Q）、ユーザーリセット割込は発生しない。

## 【 0 0 6 2 】

C P U 1 1 の R / W バー端子は、2 入力アンド回路 5 3 の一つの入力端に接続され、そのアンド回路 5 3 の他の入力端は C P U 1 1 の E クロック端子に接続されている。更に、アンド回路 5 3 の出力端は D フリップフロップ 5 2 の C K 端子に接続されている。C P U 1 1 からリード信号が出力され R / W バー端子の出力が H i となった状態で、E クロックの出力が L o w から H i へ立ち上がると（B）、アンド回路 5 3 から D フリップフロップ 5 2 の C K 端子へ L o w から H i への立ち上がり信号が出力される（P）。

## 【 0 0 6 3 】

ここで、オア回路 3 9 から L o w が出力されていると（K）、D フリップフロップ 5 2 の P R 端子へ H i が入力される（L）。C L R 端子には V c c が入力されているので、R / W バー端子から H i が出力された状態で E クロックの出力が L o w から H i へ立ち上がると（B）、D フリップフロップ 5 2 の C K 端子への入力が L o w から H i へ立ち上がり（P）、その時の D 端子へ入力されている L o w 出力が（K）、D フリップフロップ 5 2

のQ端子からCPU11のURES端子へ出力される(Q)。これにより、リード信号が出力されているタイミングでユーザーリセット割込が発生する。従って、初期値カウンタ13bへの書き込み中に、次のリセット割込処理の実行が開始されることはない。

【0064】

なお、このようにユーザーリセット割込の発生タイミングを、オア回路39の出力がLowとなった後であって、最初のリード信号が出力され、且つ、Eクロック端子の出力が立ち上がるタイミングまで遅延させるように構成しても、オア回路39は確実に2ms毎にLow信号を出力するので(K)、その遅延分が累積してしまうことはない。従って、第2実施例においても、ユーザーリセット割込を2ms毎に発生させ、リセット割込処理を2ms毎に実行することができる。

10

【0065】

上記各実施例において、請求項1記載の第1更新手段としてはリセット割込処理(図5)のS6の処理が該当し、第2更新手段としてはリセット割込処理(図5)のS21の処理が該当し、定期処理としてはリセット割込処理(図5)のS1~S19の処理が該当し、所定の処理としてはリセット割込処理(図5)のS20及びS21の処理が該当し、判別手段としてはリセット割込処理(図5)のS2の処理が該当し、初期化手段としてはリセット割込処理(図5)のS22の処理が該当する。

【0066】

以上、実施例に基づき本発明を説明したが、本発明は上記実施例に何ら限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良変形が可能であることは容易に推察できるものである。

20

【0067】

以下に本発明の変形例を示す。請求項1記載の遊技機の制御装置において、遊技の制御主体となるCPUを備え、そのCPUからライト信号が出力されている間、前記禁止手段は前記割込処理の新たな発生を禁止することを特徴とする遊技機の制御装置1。

【0068】

請求項1記載の遊技機の制御装置において、遊技の制御主体となるCPUを備え、そのCPUからリード信号が出力されている間に、前記禁止手段は前記割込処理の新たな発生を許容することを特徴とする遊技機の制御装置2。リード信号が出力されている間は、CPUによりメモリのリードが行われメモリへのライトは行われていない。よって、割込処理におけるライト処理の実行時に、その割込処理の新たな発生を禁止することができる。

30

【0069】

請求項1記載の遊技機の制御装置において、遊技の制御主体となるCPUを備え、そのCPUからオペコードフェッチ信号が出力されている間に、前記禁止手段は前記割込処理の新たな発生を許容することを特徴とする遊技機の制御装置3。オペコードフェッチ信号が出力されている間は、CPUによりオペコードのリードが行われメモリへのライトは行われていない。よって、割込処理におけるライト処理の実行時に、その割込処理の新たな発生を禁止することができる。

【0070】

請求項1記載の遊技機の制御装置、または、遊技機の制御装置1乃至3において、前記割込処理はノンマスカブルなリセット割込処理またはノンマスカブルなユーザーリセット割込処理で構成されていることを特徴とする遊技機の制御装置4。

40

【0071】

請求項1記載の遊技機の制御装置、または、遊技機の制御装置1乃至4において、乱数カウンタと、その乱数カウンタの値を前記割込処理によって更新する第1更新手段と、所定の契機により前記乱数カウンタの値を読み出す読出手段とを備え、その読出手段により読み出された前記乱数カウンタの値が予め定められた値の1つと一致する場合に、遊技者に所定条件下で所定の遊技価値を付与するものであり、更新中の前記乱数カウンタの初期値を記憶する初期値メモリと、その初期値メモリおよび乱数カウンタに書き込まれる値であって前記乱数カウンタの次の更新の初期値をカウントする少なくとも2バイトで構成

50

された初期値カウンタと、その初期値カウンタの値を読み出して前記乱数カウンタの更新の範囲内で更新し、更新後の値をその初期値カウンタへ書き込む第2更新手段と、その第2更新手段を前記割込処理によって次のその割込処理が発生するまでの残余時間の間に繰り返し実行する繰返手段とを備えていることを特徴とする遊技機の制御装置5。

【0072】

遊技機の制御装置5において、前記初期値カウンタの値は、前記乱数カウンタの値が前記初期値メモリの値と一致する場合に、前記乱数カウンタおよび初期値メモリに書き込まれることを特徴とする遊技機の制御装置6。

【図面の簡単な説明】

【0073】

10

【図1】本発明の第1実施例におけるパチンコ遊技機の遊技盤の正面図である。

【図2】パチンコ遊技機の電氣的構成を示したブロック図である。

【図3】ユーザーリセット割込を2msの間隔で発生させる回路のブロック図である。

【図4】図3の回路のタイミングチャートである。

【図5】リセット割込処理を示したフローチャートである。

【図6】乱数更新処理を示したフローチャートである。

【図7】初期値カウンタ更新処理を示したフローチャートである。

【図8】第2実施例におけるユーザーリセット割込を2msの間隔で発生させる回路のブロック図である。

【図9】図8の回路のタイミングチャートである。

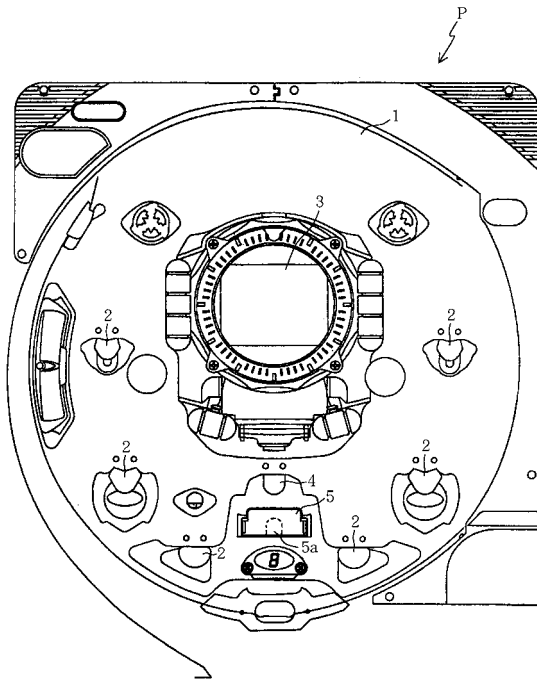
20

【符号の説明】

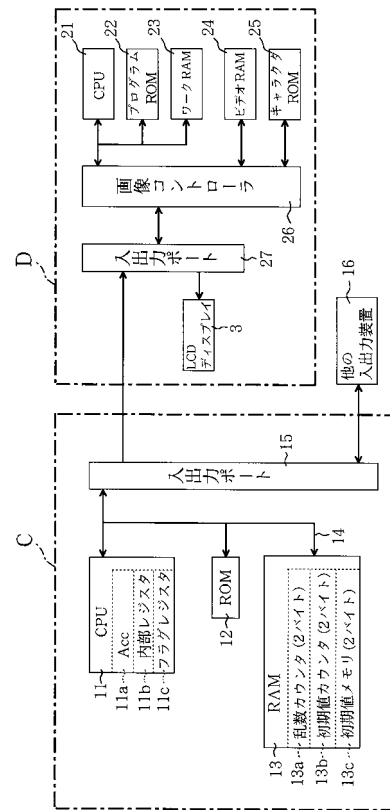
【0074】

1 1	制御部のCPU（制御手段の一部、出力手段、遊技実行手段）
1 3 a	乱数カウンタ（乱数値記憶手段）
1 3 b	初期値カウンタ（初期値記憶手段）
4 0 , 5 0	タイミング回路（定期処理実行遅延手段）
C	制御部（制御手段）
P	パチンコ遊技機（遊技機）

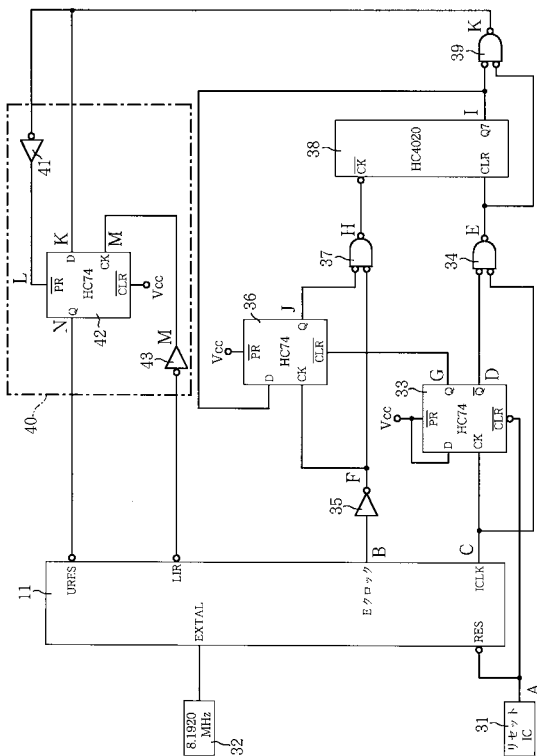
【図 1】



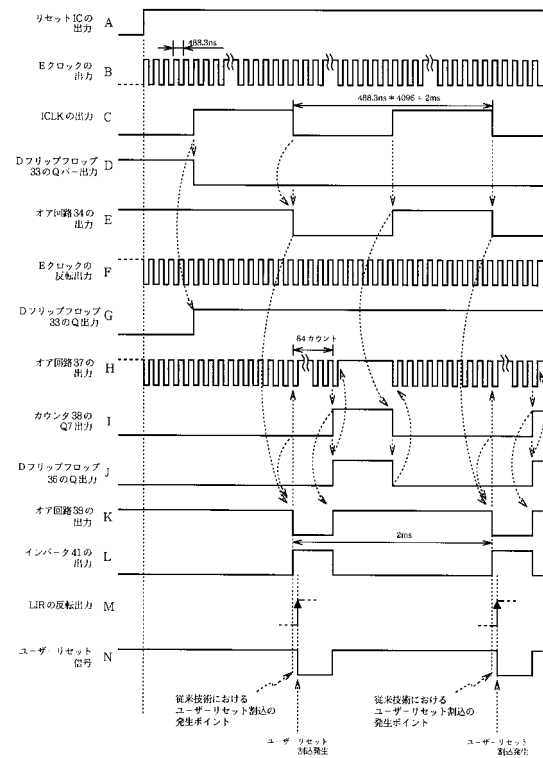
【図 2】



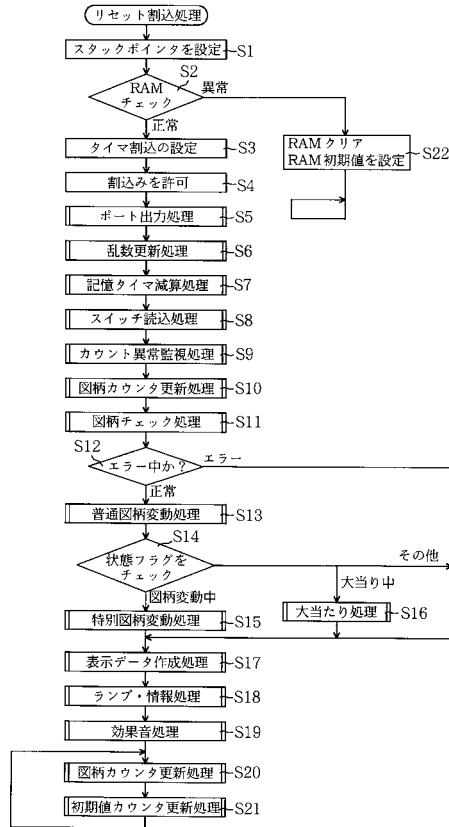
【図 3】



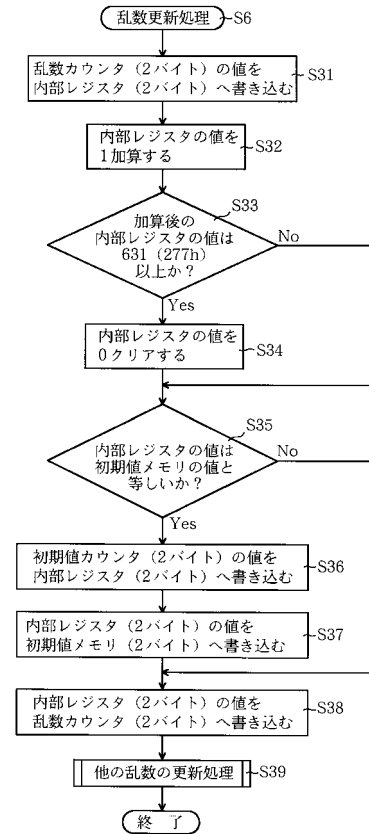
【図 4】



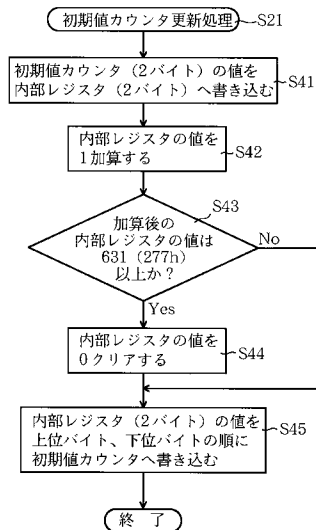
【図 5】



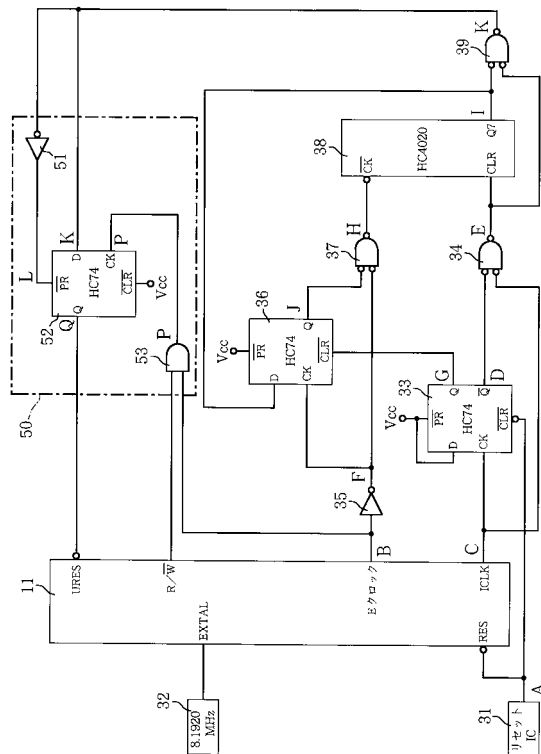
【図 6】



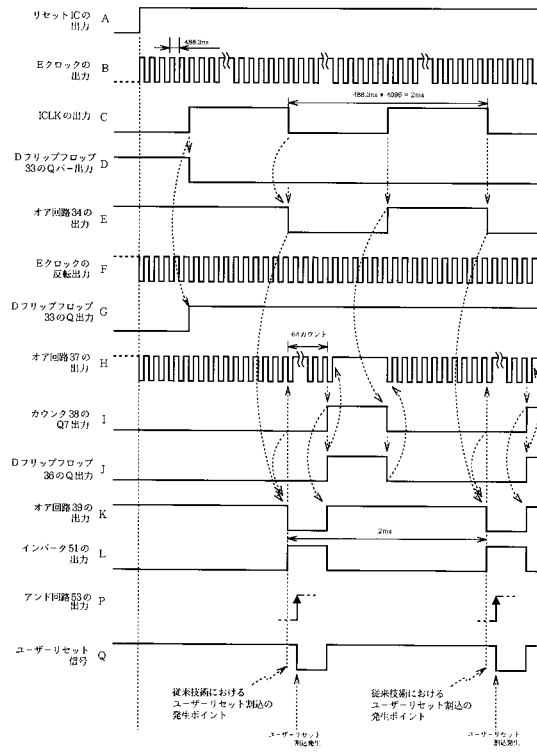
【図 7】



【図 8】



【図 9】





---

フロントページの続き

(72)発明者 那須 隆

名古屋市千種区春岡通7丁目49番地

株式会社ジェイ・ティ内

審査官 赤坂 祐樹

(56)参考文献 特開平11-70252(JP,A)

特開平10-165614(JP,A)

特開平5-154247(JP,A)

(58)調査した分野(Int.Cl., DB名)

A63F 7/02