



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월27일

(11) 등록번호 10-1563692

(24) 등록일자 2015년10월21일

(51) 국제특허분류(Int. Cl.)	(73) 특허권자
G09G 3/20 (2006.01) G09G 3/30 (2006.01)	가부시키가이샤 한도오따이 에네루기 켄큐쇼
G09G 3/36 (2006.01)	일본국 가나가와켄 아쓰기시 하세 398
(21) 출원번호 10-2010-7010252	(72) 발명자
(22) 출원일자(국제) 2008년10월02일	후쿠토메 타카히로
심사청구일자 2013년09월30일	일본국 243-0036 가나가와켄 아쓰기시 하세 398
(85) 번역문제출일자 2010년05월10일	가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(65) 공개번호 10-2010-0087000	(74) 대리인
(43) 공개일자 2010년08월02일	황의만
(86) 국제출원번호 PCT/JP2008/068318	
(87) 국제공개번호 WO 2009/051050	
국제공개일자 2009년04월23일	
(30) 우선권주장	
JP-P-2007-271896 2007년10월19일 일본(JP)	
(56) 선행기술조사문헌	
JP2006251322 A	
KR1020010007609 A	
JP2002040990 A	
JP2002116451 A	

전체 청구항 수 : 총 14 항

심사관 : 신영교

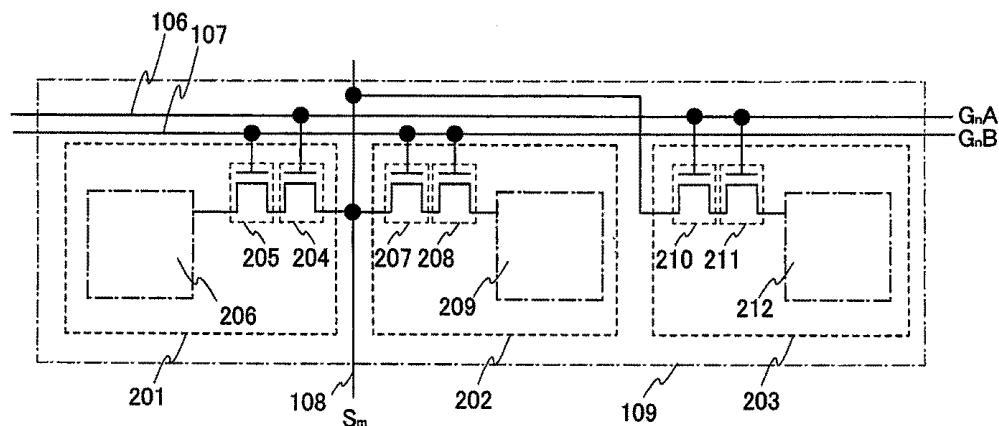
(54) 발명의 명칭 표시장치 및 그 구동 방법

(57) 요약

화소를 선택하는 트랜지스터 이외의 회로를 증가시키지 않고, 신호선의 데이터를 분배할 수 있고, 복수의 화소에서 신호선을 공용하는 것이 가능한 표시장치를 제공하는 것을 과제로 한다.

신호선에 접속된 제 1 트랜지스터와, 제 1 트랜지스터 및 표시 소자에 접속된 제 2 트랜지스터를 가지는 화소를, 색요소에 대응하여 복수 형성하고, 색요소에 대응한 복수의 화소는 제 1 트랜지스터의 게이트에 제 1 주사선이 접속되고, 제 2 트랜지스터의 게이트에 제 2 주사선이 접속된 제 1 화소와, 제 1 트랜지스터의 게이트에 제 1 주사선이 접속되고, 제 2 트랜지스터의 게이트에 제 1 주사선이 접속된 제 2 화소와, 제 1 트랜지스터의 게이트에 제 2 주사선이 접속되고, 제 2 트랜지스터의 게이트에 제 2 주사선이 접속된 제 3 화소로 구성한다.

대 표 도



명세서

청구범위

청구항 1

화소군을 포함하는 표시장치로서,

상기 화소군은:

제 1 내지 제 3 화소와, 상기 제 1 내지 상기 제 3 화소 각각은 제 1 트랜ジ스터와 제 2 트랜ジ스터와 표시 소자를 구비하고,

신호선, 제 1 주사선, 제 2 주사선을 구비하고,

상기 제 1 화소의 상기 제 1 트랜ジ스터의 제 1 전극과, 상기 제 2 화소의 상기 제 1 트랜ジ스터의 제 1 전극과, 상기 제 3 화소의 상기 제 1 트랜ジ스터의 제 1 전극은 상기 신호선에 접속되어 있고,

상기 제 1 화소의 상기 제 1 트랜ジ스터의 제 2 전극과, 상기 제 2 화소의 상기 제 1 트랜ジ스터의 제 2 전극과, 상기 제 3 화소의 상기 제 1 트랜ジ스터의 제 2 전극은 상기 제 1 화소의 상기 제 2 트랜ジ스터의 제 1 전극과, 상기 제 2 화소의 상기 제 2 트랜ジ스터의 제 1 전극과, 상기 제 3 화소의 상기 제 2 트랜ジ스터의 제 1 전극과 각각 접속되어 있고,

상기 제 1 화소의 상기 제 2 트랜ジ스터의 제 2 전극과, 상기 제 2 화소의 상기 제 2 트랜ジ스터의 제 2 전극과, 상기 제 3 화소의 상기 제 2 트랜ジ스터의 제 2 전극은 상기 제 1 화소의 상기 표시 소자와, 상기 제 2 화소의 상기 표시 소자와, 상기 제 3 화소의 상기 표시 소자에 각각 접속되어 있고,

상기 제 1 화소의 상기 제 2 트랜ジ스터의 게이트와, 상기 제 3 화소의 상기 제 1 트랜ジ스터의 게이트와, 상기 제 3 화소의 상기 제 2 트랜ジ스터의 게이트는 상기 제 1 주사선에 접속되어 있고,

상기 제 1 화소의 상기 제 1 트랜ジ스터의 게이트와, 상기 제 2 화소의 상기 제 1 트랜ジ스터의 게이트와, 상기 제 2 화소의 상기 제 2 트랜ジ스터의 게이트는 상기 제 2 주사선에 접속되어 있는, 표시장치.

청구항 2

화소군을 포함하는 표시장치로서,

상기 화소군은:

제 1 내지 제 3 화소와, 상기 제 1 내지 상기 제 3 화소 각각은 제 1 트랜ジ스터 내지 제 3 트랜ジ스터와 표시 소자를 구비하고,

신호선, 제 1 주사선, 제 2 주사선과, 전원선을 구비하고,

상기 제 1 화소의 상기 제 1 트랜ジ스터의 제 1 전극과, 상기 제 2 화소의 상기 제 1 트랜ジ스터의 제 1 전극과, 상기 제 3 화소의 상기 제 1 트랜ジ스터의 제 1 전극은 상기 신호선에 접속되어 있고,

상기 제 1 화소의 상기 제 1 트랜ジ스터의 제 2 전극과, 상기 제 2 화소의 상기 제 1 트랜ジ스터의 제 2 전극과, 상기 제 3 화소의 상기 제 1 트랜ジ스터의 제 2 전극은 상기 제 1 화소의 상기 제 2 트랜ジ스터의 제 1 전극과, 상기 제 2 화소의 상기 제 2 트랜ジ스터의 제 1 전극과, 상기 제 3 화소의 상기 제 2 트랜ジ스터의 제 1 전극과 각각 접속되어 있고,

상기 제 1 화소의 상기 제 2 트랜ジ스터의 제 2 전극과, 상기 제 2 화소의 상기 제 2 트랜ジ스터의 제 2 전극과, 상기 제 3 화소의 상기 제 2 트랜ジ스터의 제 2 전극은 상기 제 1 화소의 상기 제 3 트랜ジ스터의 게이트와, 상기 제 2 화소의 상기 제 3 트랜ジ스터의 게이트와, 상기 제 3 화소의 상기 제 3 트랜ジ스터의 게이트에 각각 접속되어 있고,

상기 제 1 화소의 상기 제 3 트랜ジ스터의 제 1 전극과, 상기 제 2 화소의 상기 제 3 트랜ジ스터의 제 1

전극과, 상기 제 3 화소의 상기 제 3 트랜지스터의 제 1 전극은 상기 전원선에 접속되어 있고,

상기 제 1 화소의 상기 제 3 트랜지스터의 제 2 전극과, 상기 제 2 화소의 상기 제 3 트랜지스터의 제 2 전극과, 상기 제 3 화소의 상기 제 3 트랜지스터의 제 2 전극은 상기 제 1 화소의 상기 표시 소자와, 상기 제 2 화소의 상기 표시 소자와, 상기 제 3 화소의 상기 표시 소자에 각각 접속되어 있고,

상기 제 1 화소의 상기 제 2 트랜지스터의 게이트와, 상기 제 3 화소의 상기 제 1 트랜지스터의 게이트와, 상기 제 3 화소의 상기 제 2 트랜지스터의 게이트는 상기 제 1 주사선에 접속되어 있고,

상기 제 1 화소의 상기 제 1 트랜지스터의 게이트와, 상기 제 2 화소의 상기 제 1 트랜지스터의 게이트와, 상기 제 2 화소의 상기 제 2 트랜지스터의 게이트는 상기 제 2 주사선에 접속되어 있는, 표시장치.

청구항 3

제 1 항에 있어서,

상기 표시 소자는 액정 소자인, 표시장치.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제 2 항에 있어서,

상기 표시 소자는 발광 소자인, 표시장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 1 화소의 상기 표시 소자와, 상기 제 2 화소의 상기 표시 소자와, 상기 제 3 화소의 상기 표시 소자 각각 하나의 색요소가 되도록 배열된, 표시장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 제 1 화소의 상기 표시 소자와, 상기 제 2 화소의 상기 표시 소자와, 상기 제 3 화소의 상기 표시 소자는 각각 제 1 색요소와, 제 2 색요소와, 제 3 색요소가 되도록 배열된, 표시장치.

청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 제 1 화소의 상기 표시 소자와, 상기 제 2 화소의 상기 표시 소자와, 상기 제 3 화소의 상기 표시 소자는

각각 제 1 색요소와, 제 2 색요소와, 제 3 색요소가 되도록 배열되고,

상기 제 1 색요소의 제 1 색, 상기 제 2 색요소의 제 2 색, 상기 제 3 색요소의 제 3 색은 서로 다른, 표시장치.

청구항 11

제 1 내지 제 3 화소를 가진 화소군을 포함하는 표시장치 구동 방법으로서,

제 1 기간에 신호선으로부터 상기 제 1 내지 상기 제 3 화소에 데이터를 공급하고,

제 2 기간에 상기 신호선으로부터 상기 제 2 화소에 데이터를 공급하고 상기 제 1 화소 및 상기 제 3 화소에는 데이터가 공급되지 않고,

제 3 기간에 상기 신호선으로부터 상기 제 3 화소에 데이터를 공급하고 상기 제 1 화소 및 상기 제 2 화소에는 데이터가 공급되지 않고,

상기 제 1 기간, 상기 제 2 기간, 및 상기 제 3 기간은 행 선택 기간이 분할된 기간들인, 표시장치 구동 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제 1 내지 제 3 화소를 구비한 표시장치 구동 방법으로서,

제 1 기간에 상기 제 1 화소의 제 1 및 제 2 트랜ジ스터와, 상기 제 2 화소의 제 1 및 제 2 트랜ジ스터와, 상기 제 3 화소의 제 1 및 제 2 트랜ジ스터가 온 상태가 되도록 배열되고,

제 2 기간에, 상기 제 1 화소의 상기 제 1 트랜지스터와 상기 제 2 화소의 상기 제 1 및 제 2 트랜지스터가 온 상태가 되고, 상기 제 1 화소의 상기 제 2 트랜지스터와 상기 제 3 화소의 상기 제 1 및 제 2 트랜지스터가 오프 상태가 되도록 배열되고,

제 3 기간에, 상기 제 1 화소의 상기 제 1 트랜지스터와 상기 제 2 화소의 상기 제 1 및 제 2 트랜지스터가 오프 상태가 되고, 상기 제 1 화소의 상기 제 2 트랜지스터와 상기 제 3 화소의 상기 제 1 및 제 2 트랜지스터가 온 상태가 되도록 배열되고,

상기 제 1 기간, 상기 제 2 기간, 및 상기 제 3 기간은 행 선택 기간이 분할된 기간들이고,

상기 제 1 화소의 상기 제 1 트랜지스터의 제 1 전극과, 상기 제 2 화소의 상기 제 1 트랜지스터의 제 1 전극과, 상기 제 3 화소의 상기 제 1 트랜지스터의 제 1 전극은 신호선에 접속되고,

상기 제 1 화소의 상기 제 1 트랜지스터의 제 2 전극과, 상기 제 2 화소의 상기 제 1 트랜지스터의 제 2

전극과, 상기 제 3 화소의 상기 제 1 트랜지스터의 제 2 전극은 각각 상기 제 1 화소의 상기 제 2 트랜지스터의 제 1 전극과, 상기 제 2 화소의 상기 제 2 트랜지스터의 제 1 전극과, 상기 제 3 화소의 상기 제 2 트랜지스터의 제 1 전극에 접속된, 표시장치 구동 방법.

청구항 18

제 11 항 또는 제 17 항에 있어서,
상기 제 1 내지 상기 제 3 화소는 각각 액정 소자를 구비한, 표시장치 구동 방법.

청구항 19

제 11 항 또는 제 17 항에 있어서,
상기 제 1 내지 상기 제 3 화소는 각각 발광 소자를 구비한, 표시장치 구동 방법.

청구항 20

제 11 항 또는 제 17 항에 있어서,
상기 제 1 화소, 상기 제 2 화소, 상기 제 3 화소는 제 1 색요소, 제 2 색요소, 제 3 색요소가 되도록 각각 배열된, 표시장치 구동 방법.

청구항 21

제 11 항 또는 제 17 항에 있어서,
상기 제 1 화소, 상기 제 2 화소, 상기 제 3 화소는 제 1 색요소, 제 2 색요소, 제 3 색요소가 되도록 각각 배열되고,
상기 제 1 색 요소의 제 1 색, 상기 제 2 색요소의 제 2 색, 상기 제 3 색요소의 제 3 색은 서로 다른, 표시장치 구동 방법.

청구항 22

제 11 항 또는 제 17 항에 있어서,
상기 제 1 내지 상기 제 3 기간은 각각 $1/180$ M초 이하이고,
여기에서 M은 상기 표시장치에 제공되는 주사선의 수인, 표시장치 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은, 표시장치 및 그 구동 방법 및 이 표시장치를 이용한 전자기기에 관한 것이다.

배경 기술

[0002] 휴대전화기, 텔레비전 수상기 등 다양한 전기 제품에 표시장치가 이용되고 있다. 표시장치는, 대화면화 및 고정세화를 도모하기 위해, 제조 프로세스, 구동 방법 등의 연구개발이 행해지고 있다.

[0003] 표시장치의 화소수를 늘려 해상도를 높이는 제품의 개발은 매우 활발히 진행되고 있다. 표시장치는, 화소수를 늘림으로써 해상도를 높일 수 있지만, 화소수의 증가와 함께 신호선의 개수가 증가하게 된다. 그 때문에, 신호선의 증가에 대한 대책으로서 특허문현 1(일本国특가 제 2003-255903호)에 있어서는, 화소부에 디코더를 형성하고, 이 디코더 회로에 의해 신호선의 데이터의 분배를 행하고, 복수의 화소에서 신호선을 공용함으로써 신호선의 수를 삭감하는 구성에 대하여 개시하고 있다.

선행기술문현

특허문현

[0004] (특허문현 0001) 일본국 특개 2003-255903호 공보

발명의 내용

해결하려는 과제

[0005] 특허문현 1에 기재된 표시장치에서는, 화소부에 형성된 디코더부에서 2개의 주사선으로부터 입력되는 신호의 논리에 기초하여 신호선의 데이터의 분배를 행하고, 복수의 화소에서 신호선을 공용하는 구성에 대하여 개시되어 있다. 그러나 특허문현 1에 기재된 표시장치에서는, 디코더부의 회로에 따라서는 화소를 구성하는 회로가 복잡하다는 문제가 있다. 또한, 이 디코더부는, 화소를 선택하기 위한 트랜지스터에 별도 접속되어 있고, 화소를 선택하는 트랜지스터 외에 디코더부를 형성할 필요가 있기 때문에, 화소를 구성하는 소자수가 증가한다는 문제를 초래하게 된다.

[0006] 따라서, 본 발명에서는, 화소를 선택하는 트랜지스터 이외의 회로를 늘리지 않고, 신호선의 데이터를 분배할 수 있고, 복수의 화소에서 신호선을 공용하는 것이 가능한 표시장치 및 이 표시장치의 구동 방법을 제공하는 것을 과제로 한다.

과제의 해결 수단

[0007] 상술한 과제를 해결하기 위해, 본 발명자는 표시장치에서, 화소부에 형성된 화소를 선택하기 위한 제 1 트랜지스터 및 제 2 트랜지스터를 전기적으로 직렬로 형성하고, 각각의 트랜지스터를 다른 주사선으로 제어한다는 착상에 도달했다. 구체적으로, 본 발명의 표시장치는 제 1 단자가 신호선에 접속된 제 1 트랜지스터와, 제 1 단자가 상기 제 1 트랜지스터의 제 2 단자에 접속되고, 제 2 단자가 표시 소자에 접속된 제 2 트랜지스터를 가지는 화소가 색요소에 대응하여 복수 형성되어 있고, 상기 색요소에 대응한 복수의 화소는 상기 제 1 트랜지스터의 게이트에 제 1 주사선이 접속되고, 상기 제 2 트랜지스터의 게이트에 제 2 주사선이 접속된 제 1 화소와, 제 1 트랜지스터의 게이트에 상기 제 1 주사선이 접속되고, 제 2 트랜지스터의 게이트에 상기 제 1 주사선이 접속된 제 2 화소와, 제 1 트랜지스터의 게이트에 상기 제 2 주사선이 접속되고, 제 2 트랜지스터의 게이트에 상기 제 2 주사선이 접속된 제 3 화소로 구성되어 있는 것을 특징으로 한다. 그 결과, 화소를 선택하는 트랜지스터 이외의 회로를 늘리지 않고, 신호선의 데이터를 분배할 수 있고, 복수의 화소에서 신호선을 공용할 수 있다.

[0008] 또한, 화소에 트랜지스터를 이용하는 경우, 그 트랜지스터는, 단순한 스위치로서 동작하기 때문에, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다. 또한 트랜지스터로서, 저농도 불순물 영역(Lightly Doped Drain: LDD 영역)을 가지는 트랜지스터나 멀티 게이트 구조를 가지는 트랜지스터를 이용함으로써, 트랜지스터가 오프 시에 흐르는 전류를 저감할 수 있다.

[0009] 또한, A와 B가 접속되어 있다는 것은, A와 B가 전기적으로 접속되어 있는 상태인 것으로 한다.

[0010] 또한, 표시 소자를 가지는 장치인 표시장치는, 표시 소자로서, 액정 소자 또는 발광 소자를 가질 수 있지만 이것에 한정되는 것은 아니다. 예를 들면, 표시 소자로서는, EL 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), 전자 방출 소자, 전자 잉크 디스플레이, 전기 영동(泳動) 소자, 그레이팅 라이트 밸브(GLV), 플라스마 디스플레이(PDP), 디지털 마이크로 미러 디바이스(DMD), 압전 세라믹 디스플레이 등을 이

용할 수 있다.

[0011] 또한, 트랜지스터로서 다양한 형태의 트랜지스터를 이용할 수 있다. 따라서, 이용하는 트랜지스터의 종류에 한정은 없다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미결정(마이크로 크리스탈, 세미 아몰퍼스라고도 함) 실리콘, 단결정 실리콘을 가지는 박막 트랜지스터(TFT) 등을 이용할 수 있다. 또는, ZnO, a-InGaZnO, SiGe, GaAs 등의 화합물 반도체 또는 산화물 반도체를 가지는 트랜지스터나, 또한, 이들 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 이용할 수 있다. 이들에 의해, 제조 온도를 낮게 할 수 있어, 예를 들면, 실온에서 트랜지스터를 제조하는 것이 가능하게 된다.

[0012] 또한, 일 화소는 명도를 제어할 수 있는 요소 하나분을 나타내는 것으로 한다. 따라서, 일례로서는, 일 화소는 하나의 색요소를 나타내는 것으로 하고, 그 색요소 하나로 명도를 표현한다. 따라서, R(적), G(녹), B(청)의 색요소로 이루어진 컬러 표시장치의 경우에는, 화상의 최소 단위는 R의 화소, G의 화소, B의 화소의 3 화소로 구성되는 것으로 한다. 또한, 색요소는 RGB 이외의 색을 이용해도 좋다. 예를 들면, 옐로우, 시안, 마젠타의 3 화소로 구성되는 것이어도 좋다.

[0013] 또한, 화소는 매트릭스 형상으로 배치(배열)되어 있는 경우가 있다. 여기서, 화소가 매트릭스로 배치(배열)되어 있다는 것은, 종방향 혹은 횡방향에서, 화소가 직선 위에 나란히 배치되어 있는 경우나, 깔쭉깔쭉한 선 위에 배치되어 있는 경우를 포함한다. 따라서, 예를 들면 삼색의 색요소(예를 들면 RGB)로 풀 컬러 표시를 행하는 경우에, 스트라이프 배열되어 있는 경우나, 3개의 색요소의 도트가 델타 배열되어 있는 경우도 포함한다.

[0014] 또한, 트랜지스터는 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이며, 드레인 영역과 소스 영역의 사이에 채널 영역을 가지고 있고, 드레인 영역과 채널 영역과 소스 영역을 통하여 전류를 흘릴 수 있다. 여기서, 소스와 드레인은 트랜지스터의 구조나 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 본 서류(명세서, 특히 청구 범위 또는 도면 등)에서는, 소스 및 드레인으로서 기능하는 영역을 소스 혹은 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일례로서는, 각각을 제 1 단자, 제 2 단자라고 표기하는 경우가 있다. 혹은, 각각을 제 1 전극, 제 2 전극이라고 표기하는 경우가 있다. 혹은, 소스 영역, 드레인 영역이라고 표기하는 경우가 있다.

[0015] 또한, 표시 소자는 광학 변조 소자, 액정 소자, 발광 소자, EL 소자(유기 EL 소자, 무기 EL 소자 또는 유기물 및 무기물을 포함하는 EL 소자), 전자 방출 소자, 전기 영동 소자, 방전 소자, 광반사 소자, 광회절 소자, 디지털 마이크로 미러 디바이스(DMD) 등의 것을 말한다. 단, 이것에 한정되는 것은 아니다.

[0016] 또한, 표시장치는 표시 소자를 가지는 장치를 말한다. 또한, 표시장치는 표시 소자를 포함하는 복수의 화소를 포함하고 있어도 좋다. 또한, 표시장치는 복수의 화소를 구동시키는 주변 구동 회로를 포함하고 있어도 좋다. 또한, 복수의 화소를 구동시키는 주변 구동 회로는, 복수의 화소와 동일 기판 위에 형성되어도 좋다. 또한, 표시장치는 와이어 본딩이나 범프 등에 의해 기판 위에 배치된 주변 구동 회로, 소위, 칩 온 글래스(COG)로 접속된 IC칩, 또는, TAB 등으로 접속된 IC칩을 포함하고 있어도 좋다. 또한, 표시장치는 IC칩, 저항 소자, 용량 소자, 인덕터, 트랜지스터 등이 장착된 플렉서블 프린트 서킷(FPC)을 포함해도 좋다. 또한, 표시장치는 플렉서블 프린트 서킷(FPC) 등을 통하여 접속되고, IC칩, 저항 소자, 용량 소자, 인덕터, 트랜지스터 등이 장착된 프린트 패션 기반(PWB)을 포함하고 있어도 좋다.

발명의 효과

[0017] 본 발명에 의해, 화소를 선택하는 트랜지스터 이외의 회로를 늘리지 않고, 신호선의 데이터를 분배할 수 있고, 복수의 화소에서 신호선을 공용할 수 있다. 따라서, 표시 품질을 유지하면서, 신호선의 개수를 삭감할 수 있어, 신호선 구동 회로의 구성을 간략화할 수 있기 때문에 부품 비용의 삭감을 용이하게 행할 수 있고, 또한, 신호선 구동 회로의 소형화 및 저소비 전력화를 도모할 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 표시장치를 나타낸 도면.

도 2는 본 발명의 표시장치를 구성하는 화소를 나타낸 도면.

- 도 3은 본 발명의 표시장치를 구성하는 화소를 나타낸 도면.
- 도 4는 본 발명의 표시장치를 구성하는 화소를 나타낸 도면.
- 도 5는 본 발명을 설명하기 위한 타이밍 차트를 나타낸 도면.
- 도 6은 신호선 구동 회로의 구성에 대하여 설명하기 위한 도면.
- 도 7은 신호선 구동 회로의 구성에 대하여 설명하기 위한 도면.
- 도 8은 본 발명의 표시장치를 구성하는 화소를 나타낸 도면.
- 도 9는 본 발명의 표시장치를 설명하기 위한 도면.
- 도 10은 본 발명의 표시장치를 설명하기 위한 도면.
- 도 11은 본 발명의 표시장치를 구비하는 전자기기를 설명하기 위한 도면.
- 도 12는 본 발명의 표시장치를 구비하는 전자기기를 설명하기 위한 도면.
- 도 13은 종래의 표시장치를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시형태에 대하여 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 양태로 실시할 수 있고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 본 명세서 중의 도면에서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 붙이고, 그 설명은 생략한다.

[실시형태 1]

[0021] 도 1은, 표시장치의 블럭도의 구성을 나타낸다. 도 1은 본 발명에 이용되는 표시장치가 가지는 표시부(101), 및 구동부(102)의 구성을 나타낸다. 구동부(102)는 신호선 구동 회로(103), 제 1 주사선 구동 회로(104A), 제 2 주사선 구동 회로(104B)로 구성되어 있다. 표시부(101)에는 복수의 화소(105)가 매트릭스 형상으로 배치되어 있다.

[0022] 또한, 화소가 매트릭스로 배치되어 있다는 것은, 종방향 혹은 횡방향에서, 화소가 직선 위에 나란히 배치되어 있는 경우나, 깔쭉깔쭉한 선 위에 배치되어 있는 경우를 포함한다. 따라서, 예를 들면 3색의 색요소(예를 들면, RGB)를 표현하는 화소로 풀 컬러 표시를 행하는 경우에, 화소가 스트라이프 배열되어 있는 경우나, 3개의 색요소를 표현하는 화소가 멜타 배열되어 있는 경우도 포함한다.

[0023] 도 1에 있어서, 제 1 주사선 구동 회로(104A)는 제 1 주사선(106)(제 1 배선이라고도 함)에 제 1 주사 신호를 공급한다. 또한, 제 2 주사선 구동 회로(104B)는, 제 2 주사선(107)(제 2 배선이라고도 함)에 제 2 주사 신호를 공급한다. 또한, 신호선 구동 회로(103)는 신호선(108)에 화상 데이터(이하, 단순히 데이터라고 함)를 공급한다. 이 제 1 주사선(106) 및 제 2 주사선(107)으로부터의 주사 신호에 의해, 화소(105)가 제 1 주사선(106) 및 제 2 주사선(107)의 첫번째 행으로부터 순차로 선택 상태가 되도록 주사 신호를 공급한다. 또, 제 1 주사선(106) 및 제 2 주사선(107)으로부터 공급되는 주사 신호는 화소(105)를 각 행마다 선택 상태인지, 비선택 상태인지의 결정을 행함과 동시에, 같은 신호선(108)에 접속된 화소(105)(도 1 중의 화소군(109)) 중에서의 선택을 행한다.

[0024] 또한, 도 1에 있어서, 제 1 주사선 구동 회로(104A)에는 G_1A 내지 G_nA 의 n개의 제 1 주사선(106)이 접속되고, 제 2 주사선 구동 회로(104B)에는 G_1B 내지 G_mB 의 m개의 제 2 주사선(107)이 접속된다. 또한, 신호선 구동 회로(103)에는 S_1 내지 S_m 의 m개의 신호선(108)이 접속된다. 표시부(101)에는 복수의 화소(105)가 매트릭스 형상으로 배치되어 있다.

[0025] 또한, 신호선(108)에는 화소군(109) 내의 제 1 화소, 제 2 화소, 및 제 3 화소가 접속된다. 제 1 화소, 제 2 화소, 및 제 3 화소는 R(적), G(녹), B(청)의 색요소에 대응하여 구성되고, 조합하여 명도를 제어함으로써 소망

의 색을 표현할 수 있게 된다. 또한, 1조의 색요소로서는 RGB에 한정되지 않고, Y(옐로우), C(시안), M(마젠타)의 색요소로 조합된 것이어도 좋다.

[0026] 또한, 본 명세서에서 일 화소는, 색요소의 하나를 나타내는 것으로, 하나의 색요소의 명도를 표현하는 것으로 한다. 예를 들면, RGB의 색요소로 이루어진 컬러 표시장치의 경우에는, 화상의 최소 단위는 R의 화소, G의 화소, B의 화소의 3 화소로 구성되는 것이 된다.

[0027] 여기서, 도 1과 비교를 위해 종래의 표시장치의 블력도의 구성에 대하여, 도 13에 나타낸다. 도 13(A)에는 도 1과 마찬가지로 표시부(1301), 및 구동부(1302)의 구성에 대하여 나타내고 있다. 구동부(1302)는 신호선 구동 회로(1303), 주사선 구동 회로(1304) 등으로 구성되어 있다. 표시부(1301)에는 복수의 화소(1305)가 매트릭스 형상으로 배치되어 있다.

[0028] 도 13(A)에서, 주사선 구동 회로(1304)는 주사선(1306)에 주사 신호를 공급한다. 또한 신호선 구동 회로(1303)는 신호선(1308)에 데이터를 공급한다. 이 주사선(1306)으로부터의 주사 신호에 의해, 화소(1305)가 주사선(1306)의 첫번째행으로부터 순차로 선택 상태가 되도록 주사 신호를 공급한다.

[0029] 또한 도 13(A)에서, 주사선 구동 회로(1304)에는, G_1 내지 G_n 의 n개의 주사선(1306)이 접속된다. 또한 신호선 구동 회로(1303)에는, 화상의 최소 단위를 RGB의 3개의 화소로 구성하는 경우를 생각했을 때, R에 대응하는 신호선(S_{R1}) 내지 신호선(S_{Rm})의 m개와, G에 대응하는 신호선(S_{G1}) 내지 신호선(S_{Gm})의 m개와, B에 대응하는 신호선(S_{B1}) 내지 신호선(S_{Bm})의 m개의, 합계 3 m개의 신호선이 접속된다. 즉, 도 13(B)에 나타낸 바와 같이, 화소(1305)는 색요소마다 신호선을 배치하여, 각 색요소를 대응한 화소에 신호선으로부터 데이터를 공급함으로써 소망의 색을 재현하는 것이 가능하게 된다.

[0030] 도 13(A), 도 13(B)에 나타낸 바와 같이, 표시장치의 해상도가 증가함에 따라, 신호선의 수는 증가하지만, 신호선의 수를 삭감할 수 있다면, 더욱 더 표시장치의 해상도의 증가, 및 신호선 구동 회로의 저소비 전력화를 도모하는 것이 가능하게 된다. 이하, 본 발명에서의 색요소마다 신호선을 배치하여 표시를 행하기 위한 동작에 대하여 상세하게 설명해 간다.

[0031] 도 2에는, 표시장치에서의 화소군(109)의 구성에 대하여 나타내고 있다. 화소군(109) 내에는, RGB의 색요소에 대응하여 형성된 제 1 화소(201), 제 2 화소(202), 및 제 3 화소(203)가 형성된다. 또한, 제 1 화소(201)에는, 제 1 트랜ジ스터(204), 제 2 트랜지스터(205), 표시 소자(206)가 형성되고, 제 2 화소(202)에는, 제 1 트랜지스터(207), 제 2 트랜지스터(208), 표시 소자(209)가 형성되고, 제 3 화소(203)에는, 제 1 트랜지스터(210), 제 2 트랜지스터(211), 표시 소자(212)가 형성된다.

[0032] 또한, 제 1 화소(201)에서, 제 1 트랜지스터(204)의 제 1 단자에는 신호선(108)이 접속되고, 제 1 트랜지스터(204)의 게이트에는 제 2 주사선(107)이 접속되고, 제 2 트랜지스터(205)의 제 1 단자에는 제 1 트랜지스터(204)의 제 2 단자가 접속되고, 제 2 트랜지스터(205)의 게이트에는 제 1 주사선(106)이 접속되고, 제 2 트랜지스터(205)의 제 2 단자에는 표시 소자(206)가 접속된다.

[0033] 또한, 제 2 화소(202)에서, 제 1 트랜지스터(207)의 제 1 단자에는 신호선(108)이 접속되고, 게이트에는 제 2 주사선(107)이 접속되고, 제 2 트랜지스터(208)의 제 1 단자에는 제 1 트랜지스터(207)의 제 2 단자가 접속되고, 게이트에는 제 2 주사선(107)이 접속되고, 제 2 트랜지스터(208)의 제 2 단자에는 표시 소자(209)가 접속된다.

[0034] 또한, 제 3 화소(203)에서, 제 1 트랜지스터(210)의 제 1 단자에는 신호선(108)이 접속되고, 게이트에는 제 1 주사선(106)이 접속되고, 제 2 트랜지스터(211)의 제 1 단자에는 제 1 트랜지스터(210)의 제 2 단자가 접속되고, 게이트에는 제 1 주사선(106)이 접속되고, 제 2 트랜지스터(211)의 제 2 단자에는 표시 소자(212)가 접속된다.

[0035] 또한, 트랜지스터는 게이트와 드레인과 소스를 포함하는 적어도 3개의 단자를 가지는 소자이며, 드레인 영역과 소스 영역의 사이에 채널 영역을 가지고 있고, 드레인 영역과 채널 영역과 소스 영역을 통하여 전류를 흘릴 수 있다. 여기서, 소스와 드레인은, 트랜지스터의 구조나 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 본 명세서에서는, 소스 및 드레인으로서 기능하는 영역을 소스 혹은 드레인이라고 부르지 않는 경우가 있다. 그 경우, 일례로서는, 각각을 제 1 단자, 제 2 단자라고 표기하는 경우가 있다.

[0036] 또한, 본 명세서에서 이용하는 제 1, 제 2, 제 3, 내지 제 N(N은 자연수)이라는 용어는, 구성 요소의 혼동을 피하기 위해 붙인 것이고, 수적으로 한정하는 것이 아니라는 것을 부기한다.

[0037] 도 2에 나타낸 회로에서 표시 소자(206), 표시 소자(209), 및 표시 소자(212)는, 액정 소자 또는 발광 소자를 가질 수 있다. 표시 소자로서, 액정 소자 또는 발광 소자를 이용했을 때의 회로도에 대하여 도 3(A), 도 3(B)에 나타낸다. 도 3(A)에 나타낸 회로도는, 표시 소자(206), 표시 소자(209), 및 표시 소자(212)로서 액정 소자(301A) 내지 액정 소자(301C)를 이용한 경우의 예에 대하여 나타내고 있다. 또한 액정 소자(301A) 내지 액정 소자(301C)에는, 전기적으로 병렬로 보유 용량(302A) 내지 보유 용량(302C)이 형성되는 구성으로 하는 것이 바람직하다. 또한, 도 3(B)에 나타낸 회로도는, 표시 소자로서 발광 소자(303A) 내지 발광 소자(303C)를 이용한 경우의 예에 대하여 나타내고 있다. 또한 발광 소자에는, 전기적으로 직렬로 발광 소자의 발광을 제어하기 위한 트랜지스터(304A) 내지 트랜지스터(304C)를 통하여 전원선(305)을 형성하는 구성으로 하는 것이 바람직하다. 또한, 도 3(B)에서, 트랜지스터(304A) 내지 트랜지스터(304C)의 트랜지스터의 극성은, 발광 소자(303A) 내지 발광 소자(303C)의 전류가 흐르는 방향을 고려하여 형성하는 것이 바람직하다. 예를 들면, 도 3(B)과 같이 발광 소자의 양극과 트랜지스터가 접속되는 구성에서는, p 채널형 트랜지스터로 하는 것이 바람직하다. 또한 발광 소자로서는, 유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자를 들 수 있다. 본 명세서에서는, 이하 표시 소자로서 액정 소자를 이용하는 것으로서 설명해 가기로 한다.

[0038] 또한, 그 외에도 표시 소자(206), 표시 소자(209), 및 표시 소자(212)로서는, 전자 방출 소자, 전자 잉크 디스플레이, 전기 영동 소자, 그레이팅 라이트 밸브(GLV), 플라스마 디스플레이(PDP), 디지털 마이크로 미러 디바이스(DMD), 압전 세라믹 디스플레이 등을 이용할 수 있다.

[0039] 또한, 제 1 트랜지스터(210) 및 제 2 트랜지스터(211)로서, 다양한 형태의 트랜지스터를 이용할 수 있다. 따라서, 이용하는 트랜지스터의 종류에 한정은 없다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미결정(마이크로 크리스탈, 세미 아몰퍼스라고도 함) 실리콘, 단결정 실리콘을 가지는 박막 트랜지스터(TFT) 등을 이용할 수 있다. 또는, ZnO, a-InGaZnO, SiGe, GaAs 등의 화합물 반도체 또는 산화물 반도체를 가지는 트랜지스터나, 또한 이들의 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 이용할 수 있다. 이들에 의해, 제조 온도를 낮게 할 수 있고, 예를 들면, 실온에서 트랜지스터를 제조하는 것이 가능하게 된다.

[0040] 또한, 도 2에서의 화소군(109) 내에서, 신호선(108)이 매트릭스 형상으로 배치된 RGB의 화소의 사이를 지나도록 배치하는 구성에 대하여 나타냈지만 본 발명은 이것에 한정되는 것은 아니다. 도 4에 하나의 화소군에 있어서의 RGB의 색요소에 대응하여 형성된 화소와 신호선과의 배치의 예에 대하여 나타낸다. 도 4(A) 내지 도 4(C)에는, 화소군(401A) 내지 화소군(401C) 내에, R의 화소(402A 내지 402C), G의 화소(403A 내지 403C), 및 B의 화소(404A 내지 404C)를 가지고, 화소군(401A 내지 401C)이 신호선(S₁), 및 제 1 주사선(G₁) 및 제 2 주사선(G₂)에 의해 제어되는 모식도에 대하여 나타낸다. 도 4(A)에 나타낸 바와 같이, 신호선(S₁)은 화소군(401A) 내에 스트라이프 형상으로 배열하도록 형성된 화소(402A)와, 화소(403A) 사이에 배치되는 구성으로 해도 좋다. 도 4(A)에 나타낸 구성으로 함으로써, 신호선의 데이터를 리드 배선을 경유하지 않고, 화소내의 표시 소자에 입력할 수 있다. 또, 도 4(B)에 나타낸 바와 같이, 신호선(S₁)은, 화소군(401B) 외측에 배치되는 구성으로 해도 좋다. 도 4(B)의 구성으로 함으로써, 회로를 설계하기 위한 레이아웃을 용이하게 행할 수 있고 바람직하다. 또한, 도 4(C)에 나타낸 바와 같이, 화소를 멜타 배열이 되도록 배치하고, 신호선(S₁)을 미엔더(meander) 형상으로, 화소(402C), 화소(403C), 및 화소(404C) 사이를 지나도록 배치하는 구성으로 해도 좋다. 도 4(C)의 구성으로 함으로써, 특히 곡선이 많은 자연화 등의 영상을 인간의 눈에 매끄러운 영상으로서 인상을 남길 수 있다.

[0041] 다음에 화상의 최소 단위를 구성하는 도 2에서의 화소군(109) 내의 RGB에 대응하는 화소의 구동 방법에 대하여 설명한다.

[0042] 도 5에 나타낸 타이밍 차트는, 도 2에서의 행 선택 기간(표시장치의 화소 1행의 스캔 시간) 제 1 주사선(106)(G₁A)의 주사 신호, 제 2 주사선(107)(G₁B)의 주사 신호, 신호선의 데이터, 및 주사 신호에 의해 선택되는 화소의 타이밍에 대하여 나타낸다.

[0043] 또한, 도 2에 나타낸 회로도에서, 제 1 트랜지스터 및 제 2 트랜지스터로서, n 채널형 트랜지스터인 경우에 대하여 나타내고 있다. 그리고, 도 5의 설명에서도 n 채널형 트랜지스터의 온 또는 오프를 제어하는 경우의 화소의 구동에 대하여 설명하는 것이다. 또한, 도 2에서의 회로도에서 p 채널형 트랜지스터를 이용해 제작한 경우에는, 트랜지스터의 온 또는 오프가 같은 동작이 되도록 주사 신호의 전위를 적절히 변경하면 좋다.

[0044] 도 5의 타이밍 차트에서, 1 화면분의 화상을 표시하는 기간에 상당하는 1 프레임 기간을, 화상을 보는 사람이 깜박거림(플리커)을 느끼지 않도록 적어도 1/60초로 하고, 주사선의 개수를 M이라고 생각하면, 1/60 M초가 행 선택 기간에 상당하는 것이 된다. 예를 들면, VGA(Video Graphics Array: 640×480)의 해상도를 가지는 표시 장치라면, 배선에 기인하는 신호의 지연 등을 고려하지 않을 경우에는, 1/28800초($\approx 34.72 \mu\text{s}$)가 행 선택 기간에 상당한다.

[0045] 도 5의 타이밍 차트에 나타낸 본 실시형태의 화소의 구동 방법은, 행 선택 기간에서, 제 1 주사선의 주사 신호 및 제 2 주사 신호를 각각, RGB의 화소수에 따른 기간수로 분할하여 제어하는 것이다. 다음에 제 1 주사선 및 제 2 주사선의 신호에 제어되는 각 화소에서의 기입 순서에 대하여 설명한다. 또한, i번째행의 화소에 접속되는 제 1 주사선(G_iA), i번째행의 화소에 접속되는 제 2 주사선(G_iB)이 각각 선택되는 타이밍을 나타낸다.

[0046] 먼저, 도 5에 나타낸 제 1 기간(501)에서, 제 1 주사선(G_iA)의 주사 신호 및 제 2 주사선(G_iB)의 주사 신호를 고전위의 신호로 함으로써, 제 1 화소에서의 제 1 트랜지스터 및 제 2 트랜지스터, 제 2 화소에서의 제 1 트랜지스터 및 제 2 트랜지스터, 및 제 3 화소에서의 제 1 트랜지스터 및 제 2 트랜지스터가 온 상태가 된다. 그리고 이 때, 제 1 화소 내지 제 3 화소가 선택되고, 각각의 표시 소자에 신호선의 데이터가 공급된다. 이 때, 제 2 화소 및 제 3 화소의 표시 소자에는, 제 1 화소의 표시 소자에 공급되어야 할 신호선의 데이터가 공급되게 된다.

[0047] 또한, 본 명세서에서의 트랜지스터의 온 상태는, 트랜지스터의 제 1 단자와 제 2 단자가 도통하는 상태를 말한다. 또 본 명세서에서의 트랜지스터의 오프 상태는, 트랜지스터의 제 1 단자와 제 2 단자가 비도통 상태인 것을 말한다.

[0048] 다음에 도 5에 나타낸 제 2 기간(502)에서, 제 1 주사선의 주사 신호를 저전위의 신호, 제 2 주사선의 주사 신호를 고전위의 신호로 함으로써, 제 1 화소에서의 제 1 트랜지스터가 온 상태, 제 2 트랜지스터가 오프 상태가 되고, 제 2 화소에서의 제 1 트랜지스터 및 제 2 트랜지스터가 온 상태가 되고, 제 3 화소에서의 제 1 트랜지스터 및 제 2 트랜지스터가 오프 상태가 된다. 그리고 이 때, 제 1 화소 및 제 3 화소의 표시 소자에는, 신호선의 데이터가 공급되지 않고, 제 2 화소의 표시 소자에만, 신호선의 데이터가 공급되게 된다.

[0049] 다음에 도 5에 나타낸 제 3 기간(503)에 있어서, 제 1 주사선의 주사 신호를 고전위의 신호, 제 2 주사선의 주사 신호를 저전위의 신호로 함으로써, 제 1 화소에서의 제 1 트랜지스터가 오프 상태, 제 2 트랜지스터가 온 상태가 되고, 제 2 화소에서의 제 1 트랜지스터 및 제 2 트랜지스터가 오프 상태가 되고, 제 3 화소에서의 제 1 트랜지스터 및 제 2 트랜지스터가 온 상태가 된다. 그리고 이 때, 제 1 화소 및 제 2 화소의 표시 소자에는, 신호선의 데이터는 공급되지 않고, 제 3 화소의 표시 소자에만, 신호선의 데이터가 공급되게 된다.

[0050] 본 실시형태에 설명한 표시장치의 화소의 구동 방법에서는, 상기 설명한 바와 같이 제 1 기간에, 색요소의 하나인 R의 데이터가 제 1 화소 내지 제 3 화소의 표시 소자에 입력되게 된다. 단, 본 발명에서는, 행 선택 기간을 RGB의 색요소마다 분할하여 주사하기 때문에, R의 데이터가 제 2 화소 및 제 3 화소에 입력되는 기간은 1/180 M초 이하가 되기 때문에, R의 데이터가 B 및 G의 색요소에 대응한 화소에 입력되어도 화상 표시에는 영향 없이 동작시키는 것이 가능하다. 예를 들면, VGA(Video Graphics Array: 640×480)의 해상도를 가지는 표시장치라면, 배선에 기인하는 신호의 지연 등을 고려하지 않을 경우에는, 1/86400초($\approx 11.57 \mu\text{s}$)에 R의 데이터가 B 및 G의 색요소에 대응한 화소에 입력되는 기간에 상당한다. 예를 들면 표시 소자가 액정 소자에 있는 경우에는, 액정 소자의 광학 응답은 빠르더라도 수 ms의 시간이 필요하기 때문에, R의 데이터가 B 및 G의 색요소에 대응한 화소에 입력되어도 화상 표시에는 영향 없이 동작할 수 있다.

[0051] 또한, 특히 표시 소자가 액정 소자의 경우에는, 미리 R의 데이터를 B 및 G의 색요소에 대응한 화소의 표시 소자에 입력해 둠으로써, 전압이 인가되어 액정 분자의 기울기를 얻을 수 있다. 따라서, R의 다음에 입력되는 G의 데이터가, G에 대응하는 화소의 액정 분자를 구비하는 표시 소자에 입력되었을 때에, 단시간에 소망의 액정의 배향 상태를 얻을 수 있기 때문에 바람직하다.

[0052] 다음에 본 발명의 화소 구성을 구비하는 표시장치의 이점에 대하여, 신호선 구동 회로(소스 드라이버라고도 함)의 구성을 나타내어 설명한다. 도 6은 신호선 구동 회로의 블럭도이다. 또한, 도 6에 나타낸 신호선 구동 회로는, 일례로서, 표시장치의 화소를 선순차 구동하기 위한 구성이며, 표시 소자로서 액정 표시 소자를 이용하는 구성에서의 예에 대하여 나타내고 있다.

[0053] 도 6의 신호선 구동 회로(601)는, 시프트 레지스터(602), 제 1 래치 회로(603), 제 2 래치 회로(604), 및 D/A

변환 회로(605)로 구성되어 있다.

[0054] 시프트 레지스터(602)에는 소스 드라이버 스타트 펄스(SSP), 소스 드라이버 클록 신호(SCK), 반전 소스 드라이버 클록 신호(SCKB) 등이 공급된다. 그리고, 시프트 레지스터(602)는 제 1 래치 회로(603)를 하나씩 선택한다. 또한, 시프트 레지스터(602)와 제 1 래치 회로(603)와의 사이에 레벨 시프터 회로를 형성하는 구성으로 해도 좋다.

[0055] 제 1 래치 회로(603)의 입력 단자에는, 시프트 레지스터(602)의 출력 단자, 화상 데이터가 입력되는 배선이 접속되어 있다. 제 1 래치 회로(603)의 출력 단자는 제 2 래치 회로(604)에 각각 접속되어 있다.

[0056] 제 2 래치 회로(604)는 제 1 래치 회로(603)에서 입력된 화상 데이터를 보유하는 것이고, 제 2 래치 회로(604)를 제어하기 위한 신호가 입력되는 배선에 접속되어 있다. 제 2 래치 회로(604)의 출력 단자는 D/A 변환 회로(605)에 각각 접속된다.

[0057] D/A 변환 회로(605)는 제 2 래치 회로(604)를 제어하기 위한 신호에 기초하여 일제히 출력된 화상 데이터에 대하여, 디지털 데이터로부터 아날로그 데이터로의 변환을 행하는 회로이다. D/A 변환 회로(605)의 출력 단자는 신호선(S_1) 내지 신호선(S_m)에 각각 접속되어 있다.

[0058] 본 발명에서는, 화소에 접속되는 신호선의 수를 삭감할 수 있다. 따라서, 도 6에 나타낸 신호선 구동 회로의 구성에서는, 시프트 레지스터(602)로부터의 출력 배선의 삭감, 제 1 래치 회로(603), 제 2 래치 회로(604), D/A 변환 회로(605)의 수를 삭감할 수 있다. 즉, 본 발명의 표시장치에서는, 신호선의 수를 1/3로 압축하는 것이 가능하기 때문에, 시프트 레지스터(602), 제 1 래치 회로(603), 제 2 래치 회로(604), D/A 변환 회로(605)에 드는 비용의 삭감을 행할 수 있다. 특히 D/A 변환 회로(605)는, 액정 표시 소자를 구동하기 위해 화소에 출력하는 전압을 높게 할 필요가 있고, D/A 변환 회로가 발열하게 된다는 문제가 있었지만, D/A 변환 회로의 수의 삭감에 의해, 저소비 전력화를 도모할 수 있고, 또한, 발열 문제를 문제가 되지 않을 정도로 작게 할 수 있다.

[0059] 또한, 도 7에, 도 6에 나타낸 신호선 구동 회로의 블럭도와는 다른 구성에 대하여 설명한다. 또한, 도 7에 나타낸 신호선 구동 회로는, 도 6에 나타낸 바와 같이, 표시장치의 화소를 선 순차 구동하기 위한 구성이며, 표시 소자로서 액정 표시 소자를 이용하는 구성에서의 예에 대하여 나타내고 있다.

[0060] 도 7의 신호선 구동 회로(701)는, 시프트 레지스터(702), 제 1 래치 회로(703), 제 2 래치 회로(704), D/A 변환 회로(705)로 구성되어 있고, 신호 선택 회로(706)는 배선(707)을 가지고 있다.

[0061] 시프트 레지스터(702)에는, 소스 드라이버 스타트 펄스(SSP), 소스 드라이버 클록 신호(SCK), 반전 소스 드라이버 클록 신호(SCKB) 등이 공급되어 있다. 그리고 시프트 레지스터(702)는, 제 1 래치 회로(703)를 하나씩 선택한다. 또한, 시프트 레지스터(702)와 제 1 래치 회로(703)와의 사이에 레벨 시프터 회로를 형성하는 구성으로 해도 좋다.

[0062] 제 1 래치 회로(703)의 입력 단자에는 시프트 레지스터(702)의 출력 단자, 화상 데이터가 입력되는 배선이 접속되어 있다. 제 1 래치 회로(703)의 출력 단자는, 제 2 래치 회로(704)에 각각 접속되어 있다.

[0063] 제 2 래치 회로(704)는 제 1 래치 회로(703)에서 입력된 화상 데이터를 보유하는 것이고, 제 2 래치 회로(704)를 제어하기 위한 신호가 입력되는 배선에 접속되어 있다. 제 2 래치 회로(704)의 출력 단자는 D/A 변환 회로(705)에 각각 접속된다.

[0064] D/A 변환 회로(705)는 제 2 래치 회로(704)를 제어하기 위한 신호에 기초하여 일제히 출력된 화상 데이터에 대하여, 디지털 데이터로부터 아날로그 데이터로의 변환을 행하는 회로이다. D/A 변환 회로(705)의 출력 단자는, 신호선(S_1) 내지 신호선(S_m)의 개수에 대응한 신호 선택 회로(706)를 구성하는 트랜지스터의 제 1 단자에 각각 접속되어 있다.

[0065] 신호 선택 회로(706)는, D/A 변환 회로로부터 출력되는 화상 데이터를 선택하여 각 신호선에 분배하여 출력하는 회로이다. 구체적인 일례로서 신호 선택 회로(706)는, 신호선(S_1) 내지 신호선(S_m)의 개수에 대응하여 복수의 트랜지스터를 스위치로서 형성하고, 트랜지스터의 게이트에 접속된 배선(707)에 의해 순차 트랜지스터의 온 또는 오프를 제어하는 구성으로 하면 좋다. 그리고 신호 선택 회로(706)는, 트랜지스터의 제 2 단자에 접속된 신호선을 선택하여, D/A 변환 회로로부터 출력되는 화상 데이터를 출력한다.

[0066] 배선(707)은, 신호 선택 회로(706)를 구성하는 트랜지스터를 순차 선택하여 온 또는 오프를 제어하기 위한 신호를 출력하는 배선이다. 트랜지스터를 순차 선택해 가는 신호는, 배선(707)을 통하여 주사선 구동 회로로부터

공급하면 좋다.

[0067]

본 발명에서는, 화소에 접속되는 신호선의 수를 삭감할 수 있다. 또한, 도 7에 나타낸 신호선 구동 회로의 구성에서는, 신호선의 전단에 형성된 신호 선택 회로(706)에 의해, 신호선에 화상 데이터를 분배하는 구성으로 할 수 있다. 그 때문에, 도 7에 나타낸 신호선 구동 회로의 구성에서는, 도 6에 나타낸 신호선 구동 회로의 구성 보다 더욱 시프트 레지스터(702)로부터의 출력 배선을 삭감, 제 1 래치 회로(703), 제 2 래치 회로(704), D/A 변환 회로(705)의 수를 삭감할 수 있다. 즉, 본 발명의 표시장치에서는, 신호선의 수를 1/3로 압축하여, 신호 선택 회로에 의해 3개의 신호선에 화상 데이터를 분배하는 것이 가능하기 때문에, 시프트 레지스터(702), 제 1 래치 회로(703), 제 2 래치 회로(704), D/A 변환 회로(705)에 드는 비용의 삭감을 행할 수 있다. 특히 D/A 변환 회로(705)는, 액정 표시 소자를 구동하기 위해서 화소에 출력하는 전압을 높게 할 필요가 있고, D/A 변환 회로가 발열하게 된다는 문제가 있었지만, D/A 변환 회로의 수의 삭감에 의해, 저소비 전력화를 도모할 수 있고, 또한, 발열 문제를 문제되지 않을 정도로 작게 할 수 있다.

[0068]

본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

[0069]

[실시형태 2]

[0070]

본 실시형태에서는, 상기 실시형태에 설명한 본 발명의 표시장치의 화소의 상면도 및 그 단면도의 구성에 대하여 설명한다.

[0071]

도 8은, 상기 실시형태에 설명한 제 1 트랜지스터 및 제 2 트랜지스터로서 박막 트랜지스터(TFT)를 이용한 경우의 화소의 단면도와 상면도이다. 도 8(A)은 화소의 단면도이며, 도 8(B)은 화소의 상면도이다. 또한, 도 8(A)에 나타낸 화소의 단면도는 도 8(B)에 나타낸 화소의 상면도의 선분 A-A'에 대응한다.

[0072]

또한, 도 8(A)에 나타낸 TFT는, 비정질 반도체 또는 다결정 반도체를 이용한 탑 게이트형의 TFT이다. 그러나, 본 발명은 이것에 한정되는 것은 아니다. 사용할 수 있는 TFT의 구조는, 보텀 게이트형의 TFT이어도 좋다. 보텀 게이트형의 TFT를 제작하려면, 비정질 반도체를 이용한 TFT로 한다. 비정질 반도체를 이용함으로써, 대면적의 기판을 이용하여, 저렴하게 제작할 수 있다는 이점이 있다.

[0073]

다음에 도 8(A)에 나타낸 단면도의 구성에 대하여 설명한다. 본 실시형태에서는 특히 TFT가 형성되는 층의 기판 위로의 소자의 형성 방법에 대하여 설명해 가기로 한다.

[0074]

먼저, 기판(801)에 제 1 절연막(802)을 성막한다. 제 1 절연막(802)은 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막(SiO_xN_y) 등의 절연막이어도 좋다. 또는, 이들 막의 적어도 2개의 막을 조합한 적층 구조의 절연막을 이용해도 좋다. 제 1 절연막(802)을 성막하여 본 발명을 실시하는 경우는, 기판으로부터의 불순물이 반도체층에 영향을 미쳐, TFT의 성질이 변화하는 것을 막을 수 있으므로, 신뢰성이 높은 표시장치를 얻을 수 있다. 또한, 제 1 절연막(802)을 성막하지 않고 본 발명을 실시하는 경우에는, 공정수가 감소하기 때문에, 제조 비용을 저감할 수 있다. 또한, 구조가 간단하므로, 수율을 향상시킬 수 있다.

[0075]

또한 기판(801)은 투광성을 가지는 기판이 적합하고, 예를 들면 석영 기판, 유리 기판 또는 플라스틱 기판이어도 좋다. 또한, 기판(801)은 차광성의 기판이어도 좋고, 반도체 기판, SOI(Silicon on Insulator) 기판이어도 좋다.

[0076]

다음에, 제 1 절연막(802) 위에 반도체막(803)을 형성하여, 포토리소그래피법 등의 방법에 의해 형상을 가공한다. 또한, 반도체막(803)에 사용하는 재료는, 실리콘 또는 실리콘 게르마늄(SiGe) 등이 적합하다.

[0077]

다음에, 제 2 절연막(804)을 형성한다. 이 때, 스퍼터 장치, 또는 CVD 장치 등의 성막 장치를 이용해도 좋다. 또한, 제 2 절연막(804)에 사용하는 재료는, 열산화막, 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막 등이 적합하다. 또는, 이들의 적층 구조여도 좋다.

[0078]

다음에, 제 2 절연막(804)을 사이에 두고 반도체막(803) 위 및 제 1 절연막(802) 위에, 제 1 도전막(805)을 형성한다. 또한, 제 1 도전막(805)은, 포토리소그래피법 등의 방법에 의해 형상을 가공하여 형성해도 좋다. 또한, 제 1 도전막(805)에 사용하는 재료는, Mo, Ti, Al, Nd, Cr 등이 적합하다. 또는, 이들의 적층 구조여도 좋다. 또한, 이들의 합금을 단층 또는 적층 구조로 하여, 제 1 도전막(805)으로서 형성해도 좋다. 또한, 제 1 도전막(805)을 마스크로서, 반도체막(803)에 도전성을 부여하기 위한 불순물 원소를 도입한다.

[0079]

다음에, 제 3 절연막(806)을 형성한다. 또한, 제 3 절연막(806)에 이용하는 재료는, 무기 재료(산화실리콘, 질

화실리콘, 산화질화실리콘 등) 등이 적합하다. 또한, 제 3 절연막(806)은 형상을 가공하여 형성해도 좋다. 형상을 가공하는 방법은 상술한 포토리소그래피법 등의 방법인 것이 바람직하다. 이 때, 동시에 제 2 절연막(804)도 에칭함으로써, 제 1 도전막(805)을 노출하기 위한 콘택트홀을 형성할 수 있다.

[0080] 다음에, 제 2 도전막(807)을 형성한다. 이 때, 스퍼터법 또는 인쇄법을 이용하는 것이 바람직하다. 또한, 제 2 도전막(807)에 사용하는 재료는, 투명성을 가지고 있어도, 반사성을 가지고 있어도 좋다. 또한, 제 2 도전막(807)으로서 사용할 수 있는 재료는, 제 1 도전막(805)과 같아도 좋다. 또한, 제 2 도전막(807)은, 형상을 가공하여 형성해도 좋다.

[0081] 다음에, 제 4 절연막(808)을 형성한다. 또한, 제 4 절연막(808)에 이용하는 재료는, 무기 재료(산화실리콘, 질화실리콘, 산화질화실리콘 등) 또는 유기 재료 등이 적합하다. 또한, 제 4 절연막(808)은 형상을 가공하여 형성해도 좋다. 형상을 가공하는 방법은 상술한 포토리소그래피법 등의 방법인 것이 바람직하다. 이 때, 제 2 도전막(807)을 노출시키기 위한 콘택트홀을 형성할 수 있다. 또한, 제 4 절연막(808)의 표면은 가능한 한 평坦한 것이 적합하다.

[0082] 다음에, 제 3 도전막(809)을 형성한다. 이 때, 스퍼터법 또는 인쇄법을 이용하는 것이 적합하다. 또한, 제 3 도전막(809)에 사용하는 재료는 제 2 도전막(807)과 같이, 투명성을 가지고 있어도, 반사성을 가지고 있어도 좋다. 또한, 제 3 도전막(809)으로서 사용할 수 있는 재료는 제 2 도전막(807)과 마찬가지여도 좋다. 또, 제 3 도전막(809)은 형상을 가공하여 형성해도 좋다. 형상을 가공하는 방법은 제 2 도전막(807)과 마찬가지여도 좋다. 또한, 제 3 도전막(809)은 표시 소자와 전기적으로 접속하기 위한 화소 전극으로서의 기능을 가지고 있어도 좋다.

[0083] 또한, 상술한 공정을 거침으로써, 기판(801) 위에는, 트랜지스터(810) 및 용량 소자(811)가 형성되고, 동시에 트랜지스터를 구동하기 위한 배선이 형성된다.

[0084] 다음에, 도 8(B)를 참조하여, 표시장치의 화소의 레이아웃의 일례에 대하여 설명한다. 또한, 도 8(B)에는, 상기 실시형태 1에 설명한 제 1 화소 내지 제 3 화소가 나란히 배치된 구성에 대하여 나타내고 있다. 또한, 제 1 화소 내지 제 3 화소의 차이는, 상기 실시형태 1에 설명한 바와 같이 제 1 주사선 및 제 2 주사선과, 제 1 트랜지스터 및 제 2 트랜지스터와의 접속이 다른 점에 있다. 따라서, 여기에서는, 제 1 화소 내지 제 3 화소의 어느 하나에 대하여 설명하기로 한다.

[0085] 도 8(B)에 나타낸 본 발명의 표시장치에 적용할 수 있는 화소는, 일례로서, 제 1 주사선(851), 제 2 주사선(852), 신호선(853), 용량선(854), 제 1 트랜지스터(855), 제 2 트랜지스터(856), 화소 전극(857), 용량 소자(858)를 구비한다. 도 8(B)에 나타낸 배선(859)은 신호선(853)으로부터 제 1 화소 내지 제 3 화소의 제 1 트랜지스터(855)의 제 1 단자에, 화상 데이터를 공급하기 위해 배치된 배선이다.

[0086] 제 1 주사선(851) 및 제 2 주사선(852)은, 제 1 트랜지스터(855) 및 제 2 트랜지스터(856)의 게이트와 전기적으로 접속된다. 이 때, 제 1 주사선(851) 및 제 2 주사선(852)으로부터 제 1 트랜지스터(855) 및 제 2 트랜지스터(856)로의 전기적인 접속은, 콘택트홀을 통하여 접속된 별도 배선에 의해 행해지는 것이 적합하다. 즉, 상기 도 8(A)에 설명한 제 2 도전막(807)의 층이 제 1 주사선(851) 및 제 2 주사선(852)과 같은 층에 상당하고, 제 1 도전막(805)의 층이 콘택트홀을 통하여 접속된 다른 배선의 층에 상당한다.

[0087] 신호선(853)은, 제 1 트랜지스터(855)의 제 1 단자와 전기적으로 접속되기 때문에, 배선(859)과 콘택트홀을 통하여 접속되어 있는 것이 적합하다. 또한, 신호선(853)은 제 1 주사선(851) 및 제 2 주사선(852)과는 다른 층에 형성하기 때문에, 상기 도 8(A)에 설명한 제 1 도전막(805)과 같은 층에 형성하는 구성으로 하는 것이 적합하다.

[0088] 용량선(854)은 상기 도 8(A)에 설명한 제 2 도전막(807)과 같은 층에 형성되어 있고, 콘택트홀을 통하여 제 1 도전막(805)과 전기적으로 접속되어 있다. 또, 용량선(854)과 전기적으로 접속된 제 1 도전막(805)은 제 1 트랜지스터(855) 및 제 2 트랜지스터(856)를 구성하는 도전성이 부여된 반도체막(803)으로부터 연장하여 형성된 영역과 중첩하여 형성된다. 즉, 제 1 도전막(805)은 제 2 절연막(804)을 사이에 두고 도전성이 부여된 반도체막(803)과 중첩하는 영역에서 용량 소자를 형성할 수 있다.

[0089] 본 발명에서는, 화소에 접속되는 신호선의 수를 삼감할 수 있다. 따라서, 화소에서의 트랜지스터에 접속된 표시 영역의 면적을 크게 할 수 있다. 한편, 신호선이 배치되어 있지 않은 개소에서의 서로 인접하는 화소의 사이에서는, 표시 소자들끼리 직접 근접해 형성된 상태도 생각할 수 있다. 본 실시형태에 나타낸 바와 같이, 신호선의 배치가 없고, 화소들끼리 서로 인접하는 개소에, 배선을 연장하여 용량 소자를 형성함으로써, 근접하여

형성된 화소의 표시 소자간의 크로스 토크를 완화할 수 있기 때문에 적합하다.

[0090] 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

[0091] [실시형태 3]

[0092] 본 실시형태에서는, 본 발명의 표시장치의 표시부의 구성에 대하여, 도 9를 참조하여 설명한다. 구체적으로는 표시 소자로서 액정 표시 소자를 이용하여, TFT 기판, 대향 기판, 대향 기판과 TFT 기판과의 사이에 개재된 액정층을 가지는 표시장치의 구성에 대하여 설명한다. 또한, 도 9(A)는, 표시장치의 상면도이다. 도 9(B)는, 도 9(A)의 선 C-D에서의 단면도이다. 또한, 도 9(B)는 기판(50100) 위에, 반도체막으로서 결정성 반도체막(폴리실리콘막)을 이용한 경우의 탑 게이트형의 트랜지스터를 형성한 경우로, 표시 방식이 MVA(Multi-domain Vertical Alignment) 방식에서의 단면도이다.

[0093] 도 9(A)에 나타낸 액정 패널은, 기판(50100) 위에, 화소부(50101), 제 1 주사선 구동 회로(50105a), 제 2 주사선 구동 회로(50105b), 및 신호선 구동 회로(50106)가 형성되어 있다. 화소부(50101), 제 1 주사선 구동 회로(50105a), 제 2 주사선 구동 회로(50105b), 및 신호선 구동 회로(50106)는 시일재(50516)에 의해, 기판(50100)과 기판(50515)과의 사이에 봉지되어 있다. 또한, TAB 방식에 의해, FPC(50200), 및 IC칩(50530)이 기판(50100) 위에 배치되어 있다.

[0094] 또한, 제 1 주사선 구동 회로(50105a), 제 2 주사선 구동 회로(50105b), 및 신호선 구동 회로(50106)로서는, 실시형태 1에 설명한 것과 같은 것을 이용할 수 있다.

[0095] 도 9(A)의 선 C-D에서의 단면 구조에 대하여, 도 9(B)를 참조하여 설명한다. 기판(50100) 위에, 화소부(50101)와, 그 주변 구동 회로부(제 1 주사선 구동 회로(50105a) 및 제 2 주사선 구동 회로(50105b), 및 신호선 구동 회로(50106))가 형성되어 있지만, 여기에서는, 구동 회로 영역(50525)(제 2 주사선 구동 회로(50105b))과 화소 영역(50526)(화소부(50101))이 도시되어 있다.

[0096] 먼저, 기판(50100) 위에, 하지막으로서 절연막(50501)이 성막되어 있다. 절연막(50501)으로서는, 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막(SiO_xN_y) 등의 절연막의 단층, 혹은 이들 막의 적어도 2개의 막으로 이루어지는 적층을 이용한다. 또한, 반도체와 접하는 부분에서는, 산화실리콘막을 이용하는 것이 좋다. 그 결과, 하지막에 있어서의 전자의 트랩이나 트랜지스터 특성의 히스테리시스(hysteresis)를 억제할 수 있다. 또, 하지막으로서, 질소를 많이 포함하는 막을 적어도 하나 배치하는 것이 바람직하다. 그것에 의해, 유리로부터의 불순물에 의한 오염을 억제할 수 있다.

[0097] 다음에, 절연막(50501) 위에, 포토리소그래피법, 잉크젯법, 또는 인쇄법 등에 의해, 반도체막(50502)이 형성되어 있다.

[0098] 다음에, 반도체막(50502) 위에, 게이트 절연막으로서, 절연막(50503)이 형성되어 있다. 또한, 절연막(50503)으로서는, 반도체막(50502)을 열산화하여 형성되는 막, 산화실리콘막, 질화실리콘막 또는 산화질화실리콘막 등의 단층 또는 적층 구조를 이용할 수 있다. 반도체막(50502)과 접하는 절연막(50503)은 산화규소막이 바람직하다. 그것은, 산화규소막으로 하면 반도체막(50502)과 절연막(50503)과의 계면에 있어서의 트랩 준위의 밀도를 낮출 수 있기 때문이다. 또한, 게이트 전극을 Mo로 형성할 때는, 게이트 전극과 접하는 게이트 절연막은 질화실리콘막이 바람직하다. 그것은, 질화실리콘막은 Mo를 산화시키지 않기 때문이다. 여기에서는 절연막(50503)으로서, 플라스마 CVD법에 의해 두께 115 nm의 산화질화실리콘막(조성비Si=32%, O=59%, N=7%, H=2%)을 형성한다.

[0099] 다음에, 절연막(50503) 위에, 게이트 전극으로서, 포토리소그래피법, 잉크젯법, 또는 인쇄법 등에 의해, 도전막(50504)이 형성되어 있다. 또한, 도전막(50504)으로서는, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등이나, 이들 원소의 합금 등이 있다. 혹은, 이들 원소 또는 이들 원소의 합금의 적층에 의해 구성해도 좋다. 여기에서는 Mo에 의해 게이트 전극을 형성한다. Mo는, 에칭하기 쉽고, 열에 강하기 때문에 적합하다. 또한, 반도체막(50502)에는, 도전막(50504), 또는 레지스트를 마스크로서 반도체막(50502)에 불순물 원소가 도핑되어 있고, 채널 형성 영역과, 소스 영역 및 드레인 영역이 되는 불순물 영역이 형성되어 있다. 또한, 불순물 영역은, 불순물 농도를 제어하여 고농도 영역과 저농도 영역으로 형성되어 있어도 좋다. 또한, 트랜지스터(50521)의 도전막(50504)은 듀얼 게이트 구조로 되어 있다. 트랜지스터(50521)는 듀얼 게이트 구조로 함으로써, 트랜지스터(50521)의 오프 전류를 작게 할 수 있다. 또한, 듀얼 게이트 구조는 2개의 게이트 전극을 가지는 구조이다. 단, 트랜지스터의 채널 영역 위에, 복수의 게이트 전극을 가지고 있어도 좋다.

또한, 트랜지스터(50521)의 도전막(50504)은 싱글 케이트 구조로 해도 좋다. 또한, 트랜지스터(50521)와 동일 공정에서 트랜지스터(50519) 및 트랜지스터(50520)를 제작할 수 있다.

[0100] 다음에, 절연막(50503) 위, 및 절연막(50503) 위에 형성된 도전막(50504) 위에, 충간막으로서 절연막(50505)이 형성되어 있다. 또한, 절연막(50505)으로서는, 유기 재료, 또는 무기 재료, 혹은 그들의 적층 구조를 이용할 수 있다. 예를 들면, 산화규소, 질화규소, 산화질화규소, 질화산화규소, 질화알루미늄, 산화질화알루미늄, 질소 함유량이 산소 함유량보다 많은 질화산화알루미늄 또는 산화알루미늄, 다이아몬드 라이크 카본(DLC), 폴리실라잔, 질소 함유 탄소(CN), PSG(인 유리), BPSG(인 봉소 유리), 알루미나, 그 외의 무기 절연성 재료를 포함하는 물질로부터 선택된 재료로 형성할 수 있다. 또한, 유기 절연성 재료를 이용해도 좋고, 유기 재료로서는, 감광성, 비감광성의 어느 것이어도 좋고, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 벤조시클로부텐계 폴리머, 실록산 수지 등을 이용할 수 있다. 또한, 실록산 수지는 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산은 실리콘(Si)과 산소(O)와의 결합으로 골격 구조가 구성된다. 치환기로서, 예를 들면, 알킬기, 방향족 탄화수소 등의 유기기가 이용된다. 치환기로서, 플루오로기를 이용해도 좋다. 또는, 치환기로서, 유기기와 플루오로기를 이용해도 좋다. 또한, 절연막(50503), 및 절연막(50505)에는, 콘택트홀이 선택적으로 형성되어 있다. 예를 들면, 콘택트홀은 각 트랜지스터의 불순물 영역의 상면에 형성되어 있다.

[0101] 다음에, 절연막(50505) 위에, 드레인 전극, 소스 전극, 및 배선으로서, 포토리소그래피법, 잉크젯법, 또는 인쇄법 등에 의해, 도전막(50506)이 형성되어 있다. 또한, 도전막(50506)으로서는, 재료로서 Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등이나, 이들 원소의 합금 등이 있다. 혹은, 이들 원소 또는 이들 원소의 합금의 적층 구조를 이용할 수 있다. 또한, 절연막(50503), 및 절연막(50505)의 콘택트홀이 형성되어 있는 부분에서는, 도전막(50506)과 트랜지스터의 반도체막(50502)의 불순물 영역이 접속되어 있다.

[0102] 다음에, 절연막(50505), 및 절연막(50505) 위에 형성된 도전막(50506) 위에, 평탄화막으로서 절연막(50507)이 형성되어 있다. 또한, 절연막(50507)으로서는, 평탄성이 높고, 하중에 기인하는 요철을 평탄화할 수 있는 것이 바람직하기 때문에, 유기 재료를 이용하여 형성되는 경우가 많다. 또한, 무기 재료(산화실리콘, 질화실리콘, 산화질화실리콘)의 위에, 유기 재료가 형성되어, 다층 구조로 되어 있어도 좋다. 또한, 절연막(50507)에는, 콘택트홀이 선택적으로 형성되어 있다. 예를 들면, 콘택트홀은 트랜지스터(50521)의 드레인 전극의 상면에 형성되어 있다.

[0103] 다음에, 절연막(50507) 위에, 화소 전극으로서, 포토리소그래피법, 잉크젯법, 또는 인쇄법 등에 의해, 도전막(50508)이 형성되어 있다. 도전막(50508)에는, 개구부를 형성해 둔다. 도전막(50508)에 형성되는 개구부는 액정 분자에 경사를 갖게 할 수 있기 때문에, MVA 방식에서의 돌기물과 같은 역할을 시킬 수 있다. 또한, 도전막(50508)으로서는, 광을 투과하는 투명 전극, 예를 들면, 산화인듐에 산화주석을 혼합한 인듐 주석 산화물(ITO)막, 인듐 주석 산화물(ITO)에 산화규소를 혼합한 인듐 주석 규소 산화물(ITSO)막, 산화인듐에 산화아연을 혼합한 인듐 아연 산화물(IZO)막, 산화아연막, 또는 산화주석막 등을 이용할 수 있다. 또한, IZO란, ITO에 2~20 wt%의 산화아연(ZnO)을 혼합시킨 타겟을 이용하여 스퍼터링에 의해 형성되는 투명 도전 재료이지만, 이것에 한정되는 것은 아니다. 반사 전극의 경우는, 예를 들면, Ti, Mo, Ta, Cr, W, Al, Nd, Cu, Ag, Au, Pt, Nb, Si, Zn, Fe, Ba, Ge 등이나 그들의 합금 등을 이용할 수 있다. 또, Ti, Mo, Ta, Cr, W와 Al을 적층시킨 2층 구조, Al을 Ti, Mo, Ta, Cr, W 등의 금속으로 끼운 3층 적층 구조로 해도 좋다.

[0104] 다음에, 절연막(50507) 위, 및 절연막(50507) 위에 형성된 도전막(50508) 위에, 배향막으로서 절연막(50509)이 형성되어 있다.

[0105] 다음에, 화소부(50101)의 주변부, 혹은 화소부(50101)의 주변부와 그 주변 구동 회로부의 주변부에 잉크젯법 등에 의해 시일재(50516)가 형성된다.

[0106] 다음에, 도전막(50512), 절연막(50511), 및 돌기부(50551) 등이 형성된 기판(50515)과, 기판(50100)이 스페이서(50531)를 통하여 부착되어 있고, 그 극간에 액정층(50510)이 배치되어 있다. 또한, 기판(50515)은 대향 기판으로서 기능한다. 또한, 스페이서(50531)는 수 μm 의 입자를 산포하여 형성하는 방법이어도 좋고, 기판 전면에 수지막을 형성한 후에, 수지막을 예칭 가공해 형성하는 방법이어도 좋다. 또한, 도전막(50512)은 대향 전극으로서 기능한다. 도전막(50512)으로서는, 도전막(50508)과 같은 것을 이용할 수 있다. 또한, 절연막(50511)은 배향막으로서 기능한다.

[0107] 다음에, 화소부(50101)와 그 주변 구동 회로부와 전기적으로 접속되어 있는 도전막(50518) 위에, 이방성 도전체층(50517)을 통하여, FPC(50200)가 배치되어 있다. 또한, FPC(50200) 위에, 이방성 도전체층(50517)을

통하여, IC칩(50530)이 배치되어 있다. 즉, FPC(50200), 이방성 도전체층(50517), 및 IC칩(50530)은 전기적으로 접속되어 있다.

[0108] 또한, 이방성 도전체층(50517)은 FPC(50200)로부터 입력되는 신호, 및 전위를 화소나 주변 회로에 전달하는 기능을 가지고 있다. 이방성 도전체층(50517)으로서는, 도전막(50506)과 같은 것을 이용해도 좋고, 도전막(50504)과 같은 것을 이용해도 좋고, 반도체막(50502)의 불순물 영역과 같은 것을 이용해도 좋고, 이들을 적어도 2층 이상 조합한 것을 이용해도 좋다.

[0109] 또한, IC칩(50530)은 기능 회로(메모리나 버퍼)를 형성함으로써, 기판 면적을 유효하게 이용할 수 있다.

[0110] 또한, 도 9(B)는, 표시 방식이 MVA 방식에서의 단면도에 대하여 설명했지만, 표시 방식이 PVA(Patterned Vertical Alignment) 방식이어도 좋다. PVA 방식의 경우는, 기판(50515) 위의 도전막(50512)에 대하여, 슬릿을 형성하는 구성으로 함으로써 액정 분자를 경사 배향시키면 좋다. 또한, 슬릿이 형성된 도전막 위에 돌기부(50551)(배향 제어용 돌기라고도 함)를 형성하고, 액정 분자의 경사 배향을 시켜도 좋다. 또, 액정의 구동 방식은 MVA 방식, PVA 방식에 한정되는 것은 아니고, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 등을 이용할 수 있다.

[0111] 도 9(A), 도 9(B)의 액정 패널은 제 1 주사선 구동 회로(50105a), 제 2 주사선 구동 회로(50105b), 및 신호선 구동 회로(50106)를 기판(50100) 위에 형성한 경우의 구성에 대하여 설명했지만, 도 10(A)의 액정 패널에 나타낸 바와 같이, 신호선 구동 회로(50106)에 상당하는 구동 회로를 드라이버 IC(50601)에 형성하고, COG 방식 등으로 액정 패널에 실장한 구성으로 해도 좋다. 신호선 구동 회로(50106)를 드라이버 IC(50601)에 형성함으로써, 전력 절약화를 도모할 수 있다. 또한, 드라이버 IC(50601)는 실리콘 웨이퍼 등의 반도체 칩으로 함으로써, 도 10(A)의 액정 패널은 보다 고속이며, 저소비 전력화를 도모할 수 있다.

[0112] 마찬가지로, 도 10(B)의 액정 패널에 나타낸 바와 같이, 제 1 주사선 구동 회로(50105a), 제 2 주사선 구동 회로(50105b), 및 신호선 구동 회로(50106)에 상당하는 구동 회로를, 각각 드라이버 IC(50602a), 드라이버 IC(50602b), 및 드라이버 IC(50601)에 형성하여, COG 방식 등으로 액정 패널에 실장한 구성으로 해도 좋다. 이 것에 의해, 저비용화를 도모할 수 있다.

[0113] 본 발명에서는, 상술한 도 4(A) 내지 도 4(C)의 표시부를 구성하는 화소에 접속되는 신호선의 수를 삭감할 수 있다. 따라서, 화소에서의 트랜지스터에 접속된 표시 영역의 면적을 크게 할 수 있다. 그리고 신호선에 접속된 신호선 구동 회로에서, 소자수를 삭감할 수 있고, 저비용화 및 저소비 전력화를 도모할 수 있다.

[0114] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

[실시형태 4]

[0116] 본 실시 형태에서는, 전자기기의 예에 대하여 설명한다.

[0117] 도 11은 표시 패널(1101)과, 회로 기판(1111)을 조합한 표시 패널 모듈을 나타내고 있다. 표시 패널(1101)은 화소부(1102), 주사선 구동 회로(1103) 및 신호선 구동 회로(1104)를 가지고 있다. 회로 기판(1111)에는, 예를 들면, 컨트롤 회로(1112) 및 신호 분할 회로(1113) 등이 형성되어 있다. 표시 패널(1101)과 회로 기판(1111)은 접속 배선(1114)에 의해 접속되어 있다. 접속 배선에는 FPC 등을 이용할 수 있다.

[0118] 표시 패널(1101)은, 화소부(1102)와 일부의 주변 구동 회로(복수의 구동 회로 중 동작 주파수가 낮은 구동 회로)를 기판 위에 트랜지스터를 이용하여 일체 형성하고, 일부의 주변 구동 회로(복수의 구동 회로 중 동작 주파수가 높은 구동 회로)를 IC칩 위에 형성하여, 그 IC칩을 COG(Chip On Glass) 등으로 표시 패널(1101)에 실장해도 좋다. 이렇게 함으로써, 회로 기판(1111)의 면적을 삭감할 수 있고, 소형의 표시장치를 얻을 수 있다. 혹은, 그 IC칩을 TAB(Tape Auto Bonding) 또는 프린트 기판을 이용하여 표시 패널(1101)에 실장해도 좋다. 이렇게 함으로써, 표시 패널(1101)의 면적을 작게 할 수 있으므로, 액자 사이즈가 작은 표시장치를 얻을 수 있다.

[0119] 예를 들면, 소비 전력의 저감을 도모할 수 있기 때문에, 유리 기판 위에 트랜지스터를 이용하여 화소부를 형성하고, 모든 주변 구동 회로를 IC칩 위에 형성하여, 그 IC칩을 COG 또는 TAB로 표시 패널에 실장해도 좋다.

[0120] 도 11에 나타낸 표시 패널 모듈에 의해, 텔레비전 수상기를 완성시킬 수 있다.

[0121] 본 실시형태의 각각의 도면에 설명한 내용(일부라도 좋음)을 다양한 전자기기에 적용할 수 있다. 구체적으로는, 전자기기의 표시부에 적용할 수 있다. 그와 같은 전자기기로서, 비디오 카메라, 디지털 카메라, 고글형 디스플레이, 네비게이션 시스템, 음향 재생장치(카 오디오, 오디오 콤포넌트 등), 컴퓨터, 게임기기, 휴대 정보 단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자 서적 등), 기록 매체를 구비한 화상 재생장치(구체적으로는 Digital Versatile Disc(DVD) 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다.

[0122] 도 12(A)는 디스플레이로서, 케이스(1211), 지지대(1212), 표시부(1213)를 포함한다. 도 12(A)에 나타낸 디스플레이에는, 다양한 정보(정지화면, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능을 가진다. 또한, 도 12(A)에 나타낸 디스플레이가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0123] 도 12(B)는 카메라로서, 본체(1231), 표시부(1232), 수상부(1233), 조작 키(1234), 외부 접속 포트(1235), 셔터 버튼(1236)을 포함한다. 도 12(B)에 나타낸 카메라는, 정지화면을 촬영하는 기능을 가진다. 동영상을 촬영하는 기능을 가진다. 또한, 도 12(B)에 나타낸 카메라가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0124] 도 12(C)는 컴퓨터이며, 본체(1251), 케이스(1252), 표시부(1253), 키보드(1254), 외부 접속 포트(1255), 포인팅 디바이스(1256)를 포함한다. 도 12(C)에 나타낸 컴퓨터는 다양한 정보(정지화면, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능을 가진다. 또한, 도 12(C)에 나타낸 컴퓨터가 가지는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0125] 본 발명에서는, 상술한 도 12(A) 내지 도 12(C)의 표시부를 구성하는 화소에 접속되는 신호선의 수를 삭감할 수 있다. 그 때문에, 화소에서의 트랜지스터에 접속된 표시 영역의 면적을 크게 할 수 있다. 그리고 신호선에 접속된 신호선 구동 회로에서, 소자수를 삭감할 수 있어, 저비용화 및 저소비 전력화를 도모할 수 있다.

[0126] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

부호의 설명

[0127] 101: 표시부

102: 구동부

103: 신호선 구동 회로

104A: 제 1 주사선 구동 회로

104B: 제 2 주사선 구동 회로

105: 화소

106: 제 1 주사선

107: 제 2 주사선

108: 신호선

109: 화소군

201: 제 1 화소

202: 제 2 화소

203: 제 3 화소

204: 제 1 트랜지스터

205: 제 2 트랜지스터

206: 표시 소자

207: 제 1 트랜지스터

208: 제 2 트랜지스터

209: 표시 소자

210: 제 1 트랜지스터

211: 제 2 트랜지스터

212: 표시 소자

301A: 액정 소자

301B: 액정 소자

301C: 액정 소자

302A: 보유 용량

302B: 보유 용량

302C: 보유 용량

303A: 발광 소자

303B: 발광 소자

303C: 발광 소자

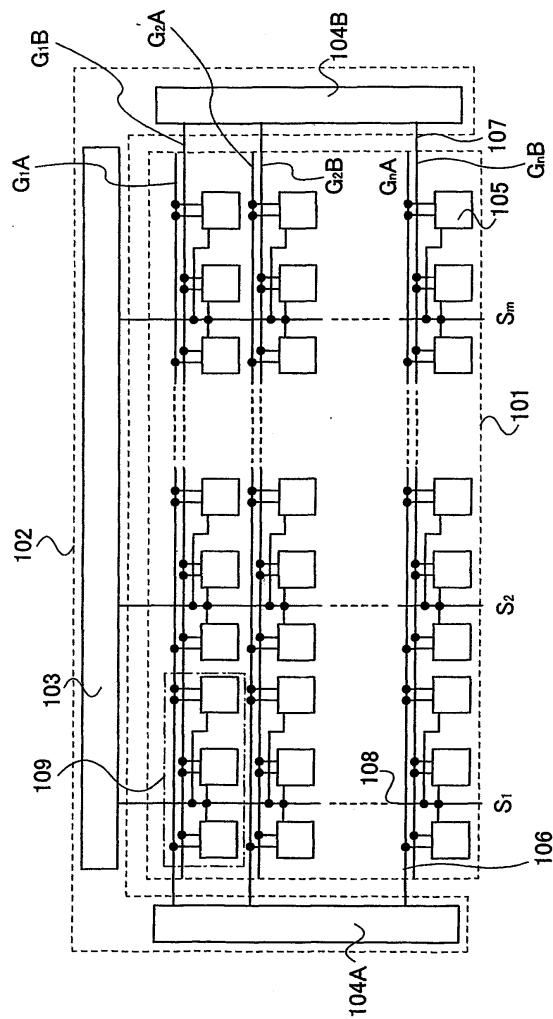
304A: 트랜지스터

304B: 트랜지스터	304C: 트랜지스터
305: 전원선	401A: 화소군
401B: 화소군	401C: 화소군
402A: 화소	402B: 화소
402C: 화소	403A: 화소
403B: 화소	403C: 화소
404A: 화소	404B: 화소
404C: 화소	501: 제 1 기간
502: 제 2 기간	503: 제 3 기간
601: 신호선 구동 회로	602: 시프트 레지스터
603: 제 1 래치 회로	604: 제 2 래치 회로
605: D/A 변환 회로	701: 신호선 구동 회로
702: 시프트 레지스터	703: 제 1 래치 회로
704: 제 2 래치 회로	705: D/A 변환 회로
706: 신호 선택 회로	707: 배선
801: 기판	802: 제 1 절연막
803: 반도체막	804: 제 2 절연막
805: 제 1 도전막	806: 제 3 절연막
807: 제 2 도전막	808: 제 4 절연막
809: 제 3 도전막	810: 트랜지스터
811: 용량 소자	851: 제 1 주사선
852: 제 2 주사선	853: 신호선
854: 용량선	855: 제 1 트랜지스터
856: 제 2 트랜지스터	857: 화소 전극
858: 용량 소자	859: 배선
1101: 표시 패널	1102: 화소부
1103: 주사선 구동 회로	1104: 신호선 구동 회로
1111: 회로 기판	1112: 컨트롤 회로
1113: 신호 분할 회로	1114: 접속 배선
1211: 케이스	1212: 지지대
1213: 표시부	1231: 본체
1232: 표시부	1233: 수상부
1234: 조작 키	1235: 외부 접속 포트
1236: 셔터 버튼	1251: 본체
1252: 케이스	1253: 표시부
1254: 키보드	1255: 외부 접속 포트

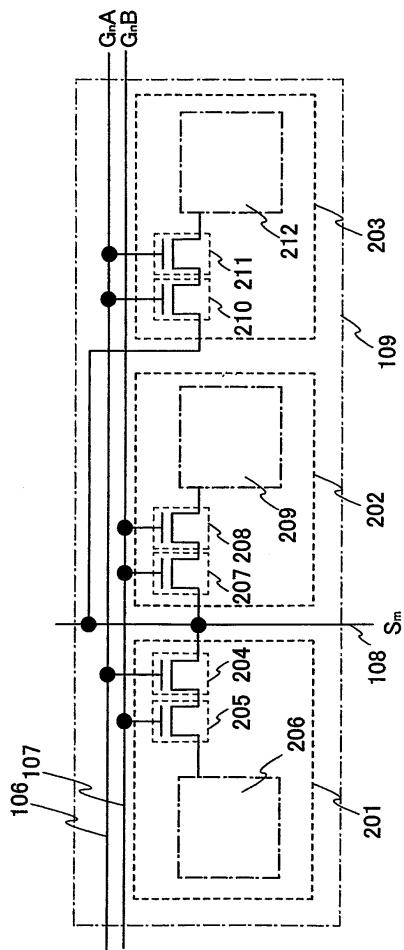
1256: 포인팅 디바이스	1301: 표시부
1302: 구동부	1303: 신호선 구동 회로
1304: 주사선 구동 회로	1305: 화소
1306: 주사선	1308: 신호선
50100: 기판	50101: 화소부
50105a: 제 1 주사선 구동 회로	50105b: 제 2 주사선 구동 회로
50106: 신호선 구동 회로	50200: FPC
50501: 절연막	50502: 반도체막
50503: 절연막	50504: 도전막
50505: 절연막	50506: 도전막
50507: 절연막	50508: 도전막
50509: 절연막	50510: 액정층
50511: 절연막	50512: 도전막
50515: 기판	50516: 시일재
50517: 이방성 도전체층	50518: 도전막
50519: 트랜지스터	50520: 트랜지스터
50521: 트랜지스터	50525: 구동 회로 영역
50526: 화소 영역	50530: IC칩
50531: 스페이서	50551: 돌기부
50601: 드라이버 IC	50602a: 드라이버 IC
50602b: 드라이버 IC	

도면

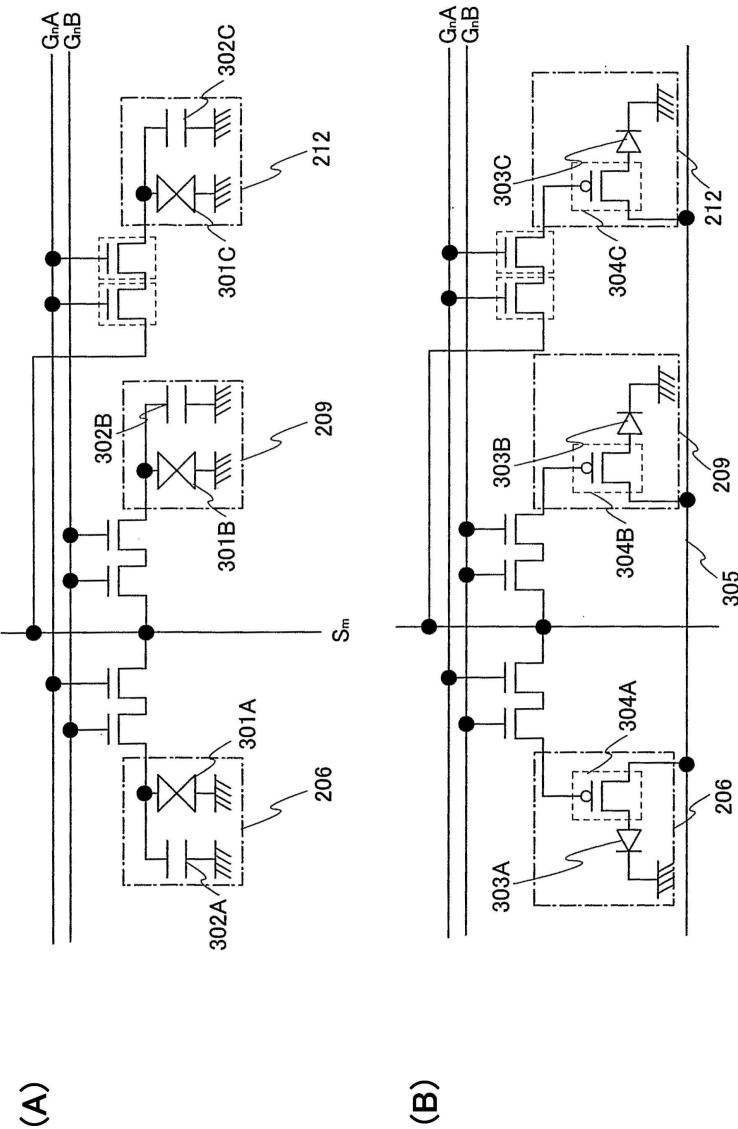
도면1



도면2

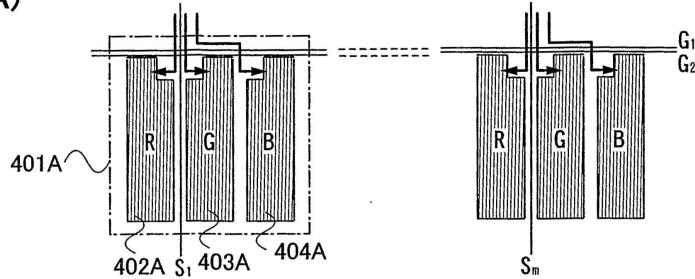


도면3

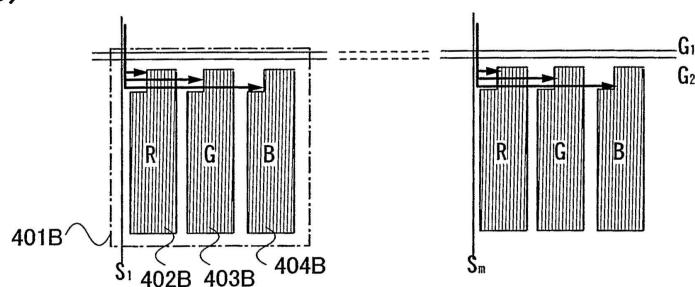


도면4

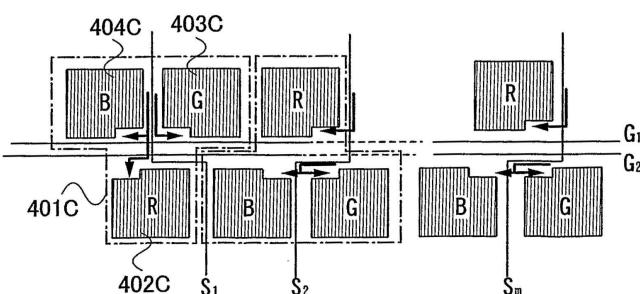
(A)



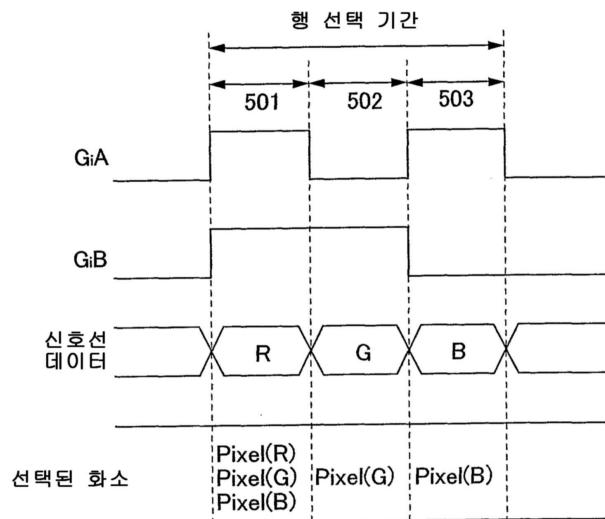
(B)



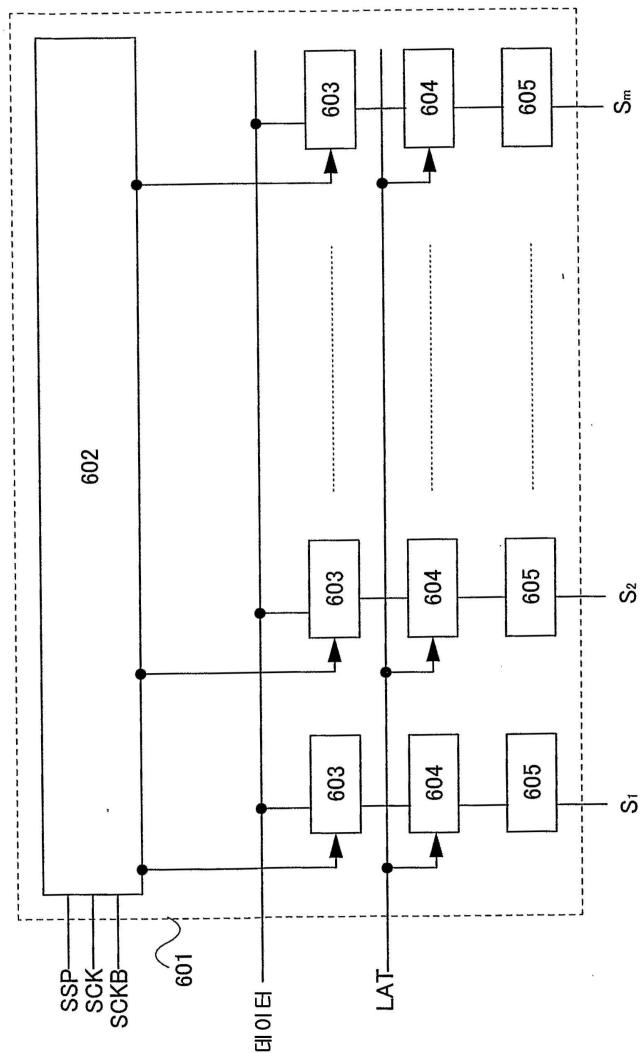
(C)



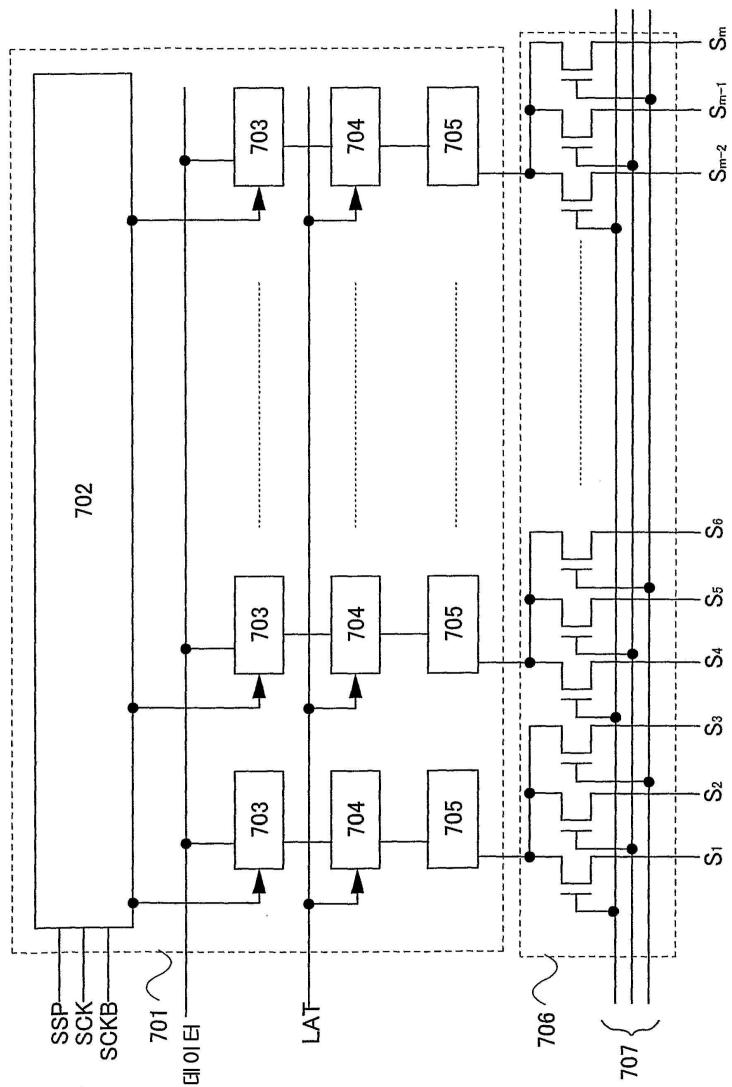
도면5



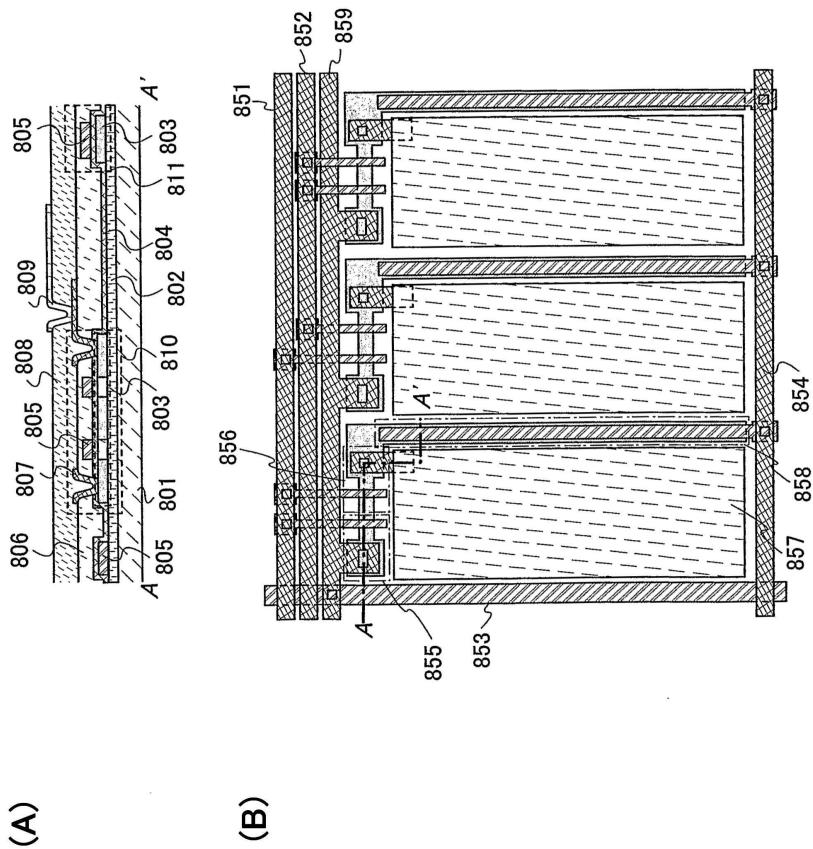
도면6



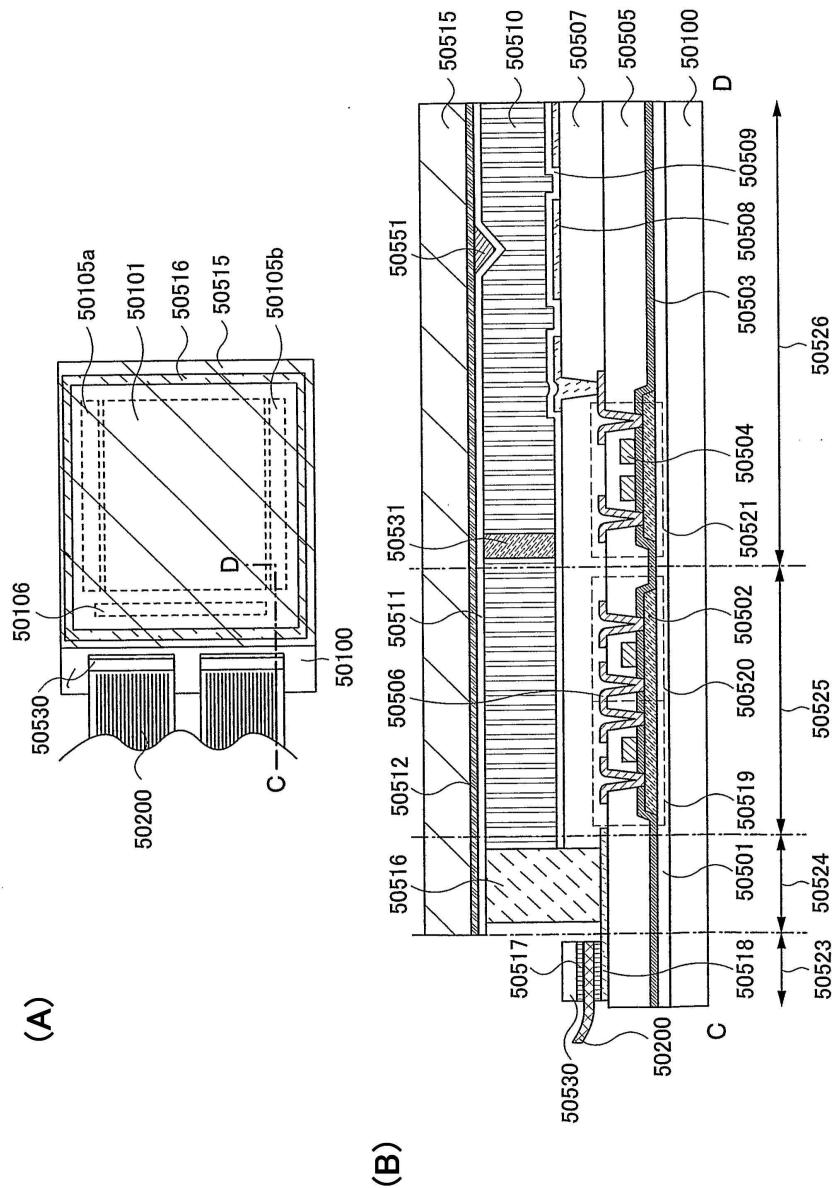
도면7



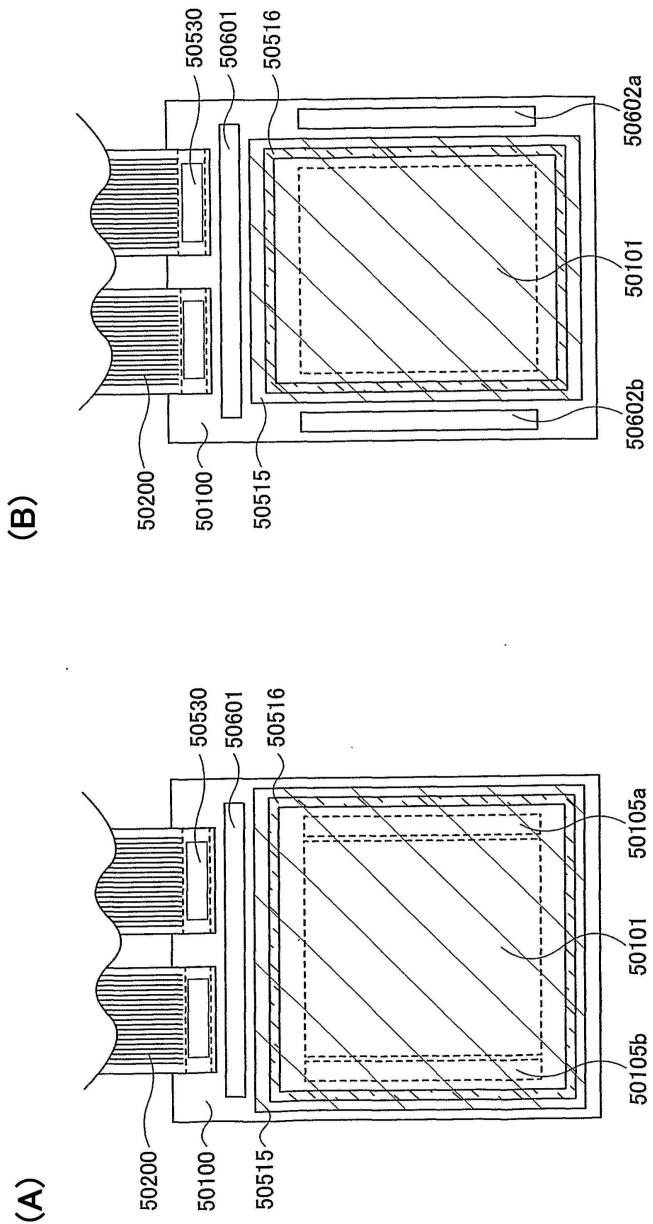
도면8



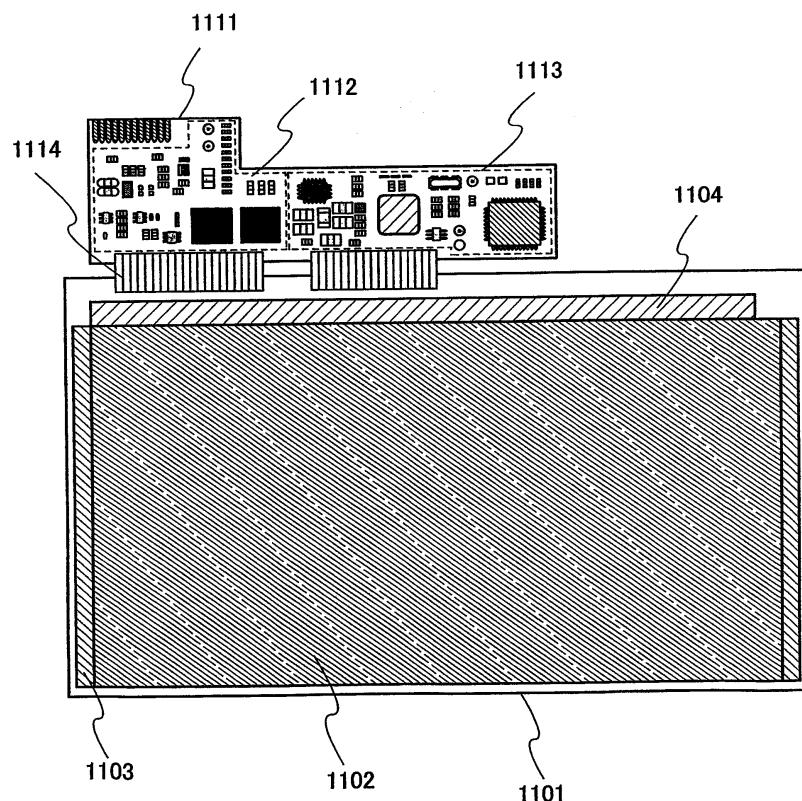
도면9



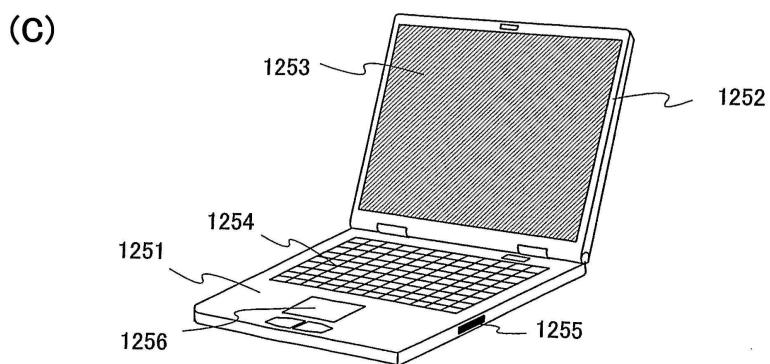
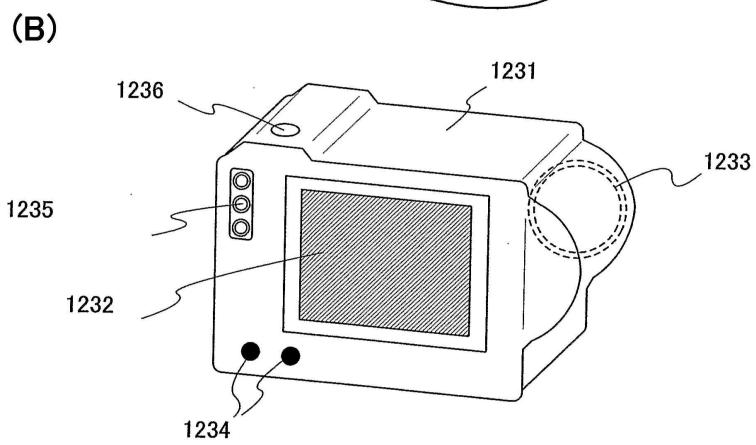
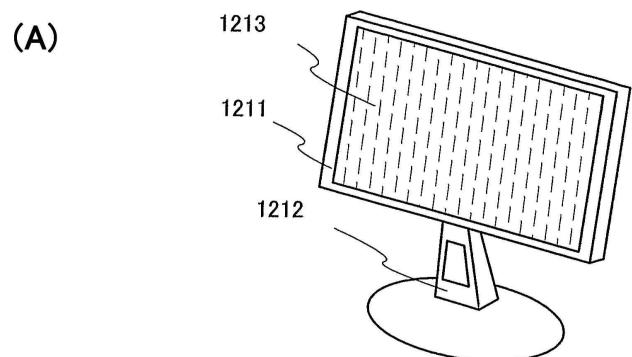
도면10



도면11

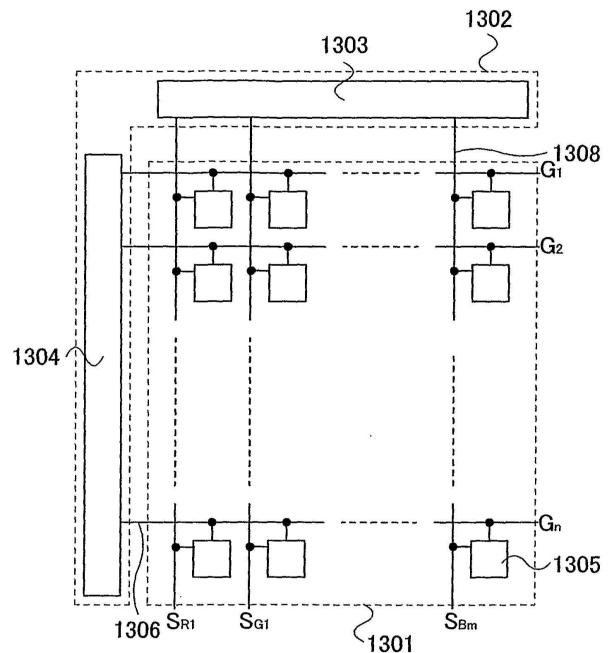


도면12



도면13

(A)



(B)

