(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3980658号

(P3980658)

(45)発行日　平成19年9月26日(2007.9.26)　(24)登録日　平成19年7月6日(2007.7.6)

| (51)Int.Cl. | | F I | | |
|---|---|---|---|---|
| H01G 4/33 | (2006.01) | H01G | 4/06 | 102 |
| H01G 4/38 | (2006.01) | H01G | 4/38 | A |
| H01L 21/822 | (2006.01) | H01L | 27/04 | C |
| H01L 27/04 | (2006.01) | H05K | 1/16 | D |
| H05K 1/16 | (2006.01) | H05K | 3/46 | Q |

請求項の数 5　(全 17 頁)　最終頁に続く

(21)出願番号　特願平6-84755
(22)出願日　平成6年4月22日(1994.4.22)
(65)公開番号　特開平6-318672
(43)公開日　平成6年11月15日(1994.11.15)
審査請求日　平成13年1月31日(2001.1.31)
(31)優先権主張番号　054910
(32)優先日　平成5年4月29日(1993.4.29)
(33)優先権主張国　米国(US)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100077517
弁理士　石田　敬
(74)代理人　100100871
弁理士　土屋　繁
(74)代理人　100088269
弁理士　戸田　利雄
(74)代理人　100082898
弁理士　西山　雅也

最終頁に続く

(54)【発明の名称】薄膜コンデンサの形成方法、薄膜コンデンサの製造方法、薄膜バイパスコンデンサの製造方法および薄膜コンデンサ

(57)【特許請求の範囲】

【請求項１】

基板を経由して延びる少なくとも１つの導電性グラウンド通路と少なくとも１つの導電性電源通路とを有する１つの非導電性基板と、

前記グラウンド通路と電気的に接続される、前記基板の１つの裏側表面上の１つの裏側グラウンド端子と、

前記電源通路と電気的に接続される、前記基板の１つの裏側表面上の１つの裏側電源端子と、

前記基板の１つの表側表面上の１つの底面接触層と、

前記底面接触層の表面上に堆積される１つの底面接触メタライゼーション層と、

前記底面接触メタライゼーション層の前記表面上の１つの絶縁層と、

前記絶縁層の表面上の１つの最上面接触層と、

前記グラウンド通路と電気的に接続される、前記最上面接触層の１部分を有する１つの表側グラウンド端子と、

前記電源通路と電気的に接続される、前記表側グラウンド端子から電気的に絶縁される前記最上面接触層の１部分を有する１つの表側電源端子と、を備え、

前記裏側電源端子と前記裏側グラウンド端子の各々が１つの裏側メタライゼーション層から形成され、

前記裏側メタライゼーション層は、次の層用に１つの接着表面を提供する１つの裏側接着層と、前記裏側メタライゼーション層を経由して導電性を提供する１つの裏側導電層と

、前記裏側導電層を保護する１つの裏側金属層と、を備える、
ことを特徴とする薄膜コンデンサ。
【請求項２】
前記底面接触層が、
次の層用の１つの接着表面を提供する１つの底面接触接着層と、前記底面接触層を経由して導電性を提供する１つの底面接触導電層と、その底面接触導電層を保護する１つの底面接触金属層と、を備える請求項１に記載の薄膜コンデンサ。
【請求項３】
前記絶縁層が、前記底面接触メタライゼーション層の１つの非導電性酸化物であり、前記電源通路と電気的に接触する前記底面接触層の1部分から前記グラウンド通路と電気的に接触する前記底面接触層の1部分を電気的に絶縁する、請求項２に記載の薄膜コンデンサ。
【請求項４】
前記表側グラウンド端子と前記表側電源端子の各々が、
次の層用の１つの接着表面を提供する１つの最上面接触接着層と、最上面接触層を経由して導電性を提供する１つの最上面接触導電層と、前記最上面接触導電層を保護する１つの最上面接触金属層と、を備える１つの最上面接触層から形成される、請求項３に記載の薄膜コンデンサ。
【請求項５】
１つの表側基板表面とその反対側の１つの裏側基板表面との間に非導電性のベース基板を貫通する複数の通路を形成するステップと、
前記複数の通路を１つの導電性物質で充填するステップと、
前記ベース基板の前記裏側基板表面の上に裏側グラウンド端子と裏側電源端子とを形成するため、１つの裏側メタライゼーション層を堆積するステップと、
前記ベース基板の前記表側基板表面上に１つの底面接触層を堆積するステップと、
１つの表側電源端子を形成するため、前記通路の１つである第１の通路を経由して前記裏側電源端子と電気的に接触して、前記第１の通路に隣接する前記底面接触層の中で底面接触ノッチを形成することにより、１つの底面接触電源端子を電気的に絶縁して形成するステップと、
前記底面接触層の表面の上に１つの底面接触メタライゼーション層を加えるステップと、
前記底面接触ノッチの床部を形成する前記ベース基板に堆積された前記底面接触メタライゼーション層の一部を取り除くステップと、
前記底面接触メタライゼーション層と前記底面接触ノッチの床部の上に１つの誘電体層を形成し、かつ前記第１の通路を経由して前記裏側電源端子と電気的に接触する１つの前記表側電源端子を形成するため、前記第１の通路に対向し、前記誘電体層の一部を取り除いて１つの電源メタライゼイションフィードスルーを形成するとともに、前記通路の１つである第２の通路を経由して前記裏側グラウンド端子と電気的に接触する１つの表側グラウンド端子を形成するため、前記第２の通路に対向し、前記誘電体層の一部を取り除いて１つのグラウンドメタライゼイションフィードスルーを形成するステップと、
前記誘電体層の少なくとも１部分の上に前記電源メタライゼイションフィードスルーを横断する１つの最上面接触層を堆積するステップと、
前記最上面接触層の中に１つの前記表側グラウンド端子と１つの前記表側電源端子とを絶縁して形成するステップと、
前記裏側メタライゼーション層の選択部分を取り除くことにより、前記裏側メタライゼーション層の残された部分で、前記第２の通路に隣接し前記表側グラウンド端子に電気的に接触する１つの前記裏側グラウンド端子と前記第１の通路に隣接し前記表側電源端子に電気的に接触する１つの前記裏側電源端子とを形成するステップと、
を備えることを特徴とする薄膜バイパスコンデンサの製造方法。
【発明の詳細な説明】

【０００１】
【産業上の利用分野】
本発明は、一般的にバイパスコンデンサを有する基板の製造方法および集積回路に密着したバイパスコンデンサに関し、特に薄膜コンデンサの形成方法、薄膜コンデンサの製造方法、薄膜バイパスコンデンサの製造方法、および薄膜コンデンサに関する。
【０００２】
【従来の技術】
電子回路において、バイパスコンデンサは高周波数の交流電流が電子回路の選択された部分へ伝搬されないように、交流電流に対するインピーダンス通路を提供する。プリント基板上に種々の構成と電気的接続配列をした種々の形式の別々の電子コンポーネントがバイパスコンデンサとして使用されてきた。
【０００３】
例えば、当該技術において公知の分離式コンデンサには、円筒形状をし、円筒の終端部の各々平らな面から延びた電気的リードを有する軸リード形コンデンサがある。軸リード形コンデンサは、典型的にはコンデンサがその縦方向の側に沿って基板上に置かれるとき、そのリード部がそのプリント基板上にエッチングされた回路軌跡に応じたフィードスルーでまたは表面取り付けで、そのリードを接触させるように、そのコンデンサのリード部を曲げてプリント基板上に取り付ける形式である。
【０００４】
当該技術において公知の分離式コンデンサの第２の形式は、墓石形コンデンサであり、箱形状で構成され、その箱の一面からのみ電気的リードが延びた形式である。軸リード式コンデンサのように、墓石形コンデンサのリード部もまた基板上の回路軌跡と接触するように曲げらる必要がある。
【０００５】
当該技術において公知の分離式コンデンサの第３の形式は、プリント基板へ取り付けられる表面に倒して使用されるリードレス（リード部のない）コンデンサである。このリードレスコンデンサは箱形状で構成され、箱の１つの面には電気的接触部が配置される。このリードレスコンデンサは、コンデンサの各電気的接触部をプリント基板上の個々の回路軌跡へ半田付けすることにより、プリント基板と電気的に接続される。
【０００６】
高性能の電子回路が以前より増して高い周波数で動作するので、電子回路を設計する際、プリント基板上の回路軌跡とコンデンサの電気的リードの両方の容量を含むことが必要となる。コンデンサのリード部の容量効果を避けるかまたは最小とするために、回路設計者は、回路に使用されるバイパスコンデンサを、対応する集積回路パッケージにできる限り接近して配置することを追求する。しかしながら、電子回路の動作周波数が増加したので、回路設計者はまた、集積回路パッケージがプリント基板上にできるだけ互いに接近して置かれるように試みる。従って、電子回路の設計と製造において、バイパスコンデンサと集積回路パッケージの両方は、プリント基板上の他の集積回路パッケージに接近して置くように互いに競い合う。
【０００７】
結果として、コンデンサのリード部による望ましくない回路容量を減少し、より有効に空間を使用する両方に必要な条件を共存するため、回路設計者はプリント基板そのものの中にバイパスコンデンサを入れることを採用した。バイパスコンデンサのこのような設計は、電気的リード部の必要を無くし、従ってこのようなリード部のもつ固有のコンデンサの望ましくない寄与を無くす。実際上、リード部はコンデンサの部分である。さらに、このようなバイパスコンデンサの設計は、プリント基板の集積構成要素として組み込まれ、電子回路の設計における空間の有効使用を促進する。
【０００８】
【発明が解決しようとする課題】
しかしながら、高性能コンピュータの出現は、複雑さと製造コストを増大させることなく

、プリント基板内に高密度の導体をより多く必要とするようになった。従ってプリント基板の表面上に取り付けられるコンポーネント（すなわち集積回路とコンデンサ）に対する空間の競争と類似するように、集積プリント基板コンポーネントとして製造されたバイパスコンデンサは、プリント基板自身内で高密度導体と空間に対し競争する。

【０００９】

それゆえ、多数の集積回路を含むプリント基板の空間的有効使用を促進するように、バイパスコンデンサが製造されることが望まれる。コンデンサをプリント基板に電気的に接続するために使用する手段と関連する望ましくないコンデンサの寄与を最小とするように、バイパスコンデンサが製造されることが望まれる。使用される物質と同様、バイパスコンデンサの製造方法が、実用的かつ経済的に実現可能であることもまた望まれる。本発明は基本的に上述のことを満足する薄膜コンデンサおよびその製造方法を提供することを目的とする。

【００１０】

【課題を解決するための手段と作用】

それゆえ、好ましい実施例による本発明の実践において、コンデンサの電気的接続からの如何なる望ましくない容量の寄与をも最小とするように、空間的に有効な方法で集積回路とプリント基板が内部接続して構成される薄膜バイパスコンデンサの製造方法を提供する。薄膜バイパスコンデンサは、非導電性基板の厚さを貫通する複数のスルーホールを形成し、グラウンド通路と電源通路とを形成するため導電性金属でそのスルーホールを充填することにより製造される。１つの裏側接着層、１つの裏側導電層、および１つの裏側金属層を有する一連の裏側メタライゼーション層が、ベース基板の裏側表面に付加される。

【００１１】

１つの底面接触接着層、１つの底面接触導電層、および１つの底面接触金属層を有する一連の底面接触層が、ベース基板の表側表面に付加される。底面接触層の部分は、電源通路に隣接して位置する１つの底面接触電源端子を形成するために取り除かれる。１つの底面接触メタライゼーション層はその底面接触導電層の表面の上に堆積され、メタライゼーション層の部分はベース基板の表側表面から選択的に取り除かれる。

【００１２】

１つの非導電層を有する１つの絶縁層は、底面接触メタライゼーション層の表面上に形成される。絶縁層は最上面接触層から底面接触層を電気的に絶縁するように働き、それによりバイパスコンデンサを形成する。底面接触メタライゼーション層の部分は、グラウンド通路に隣接して位置づけられる１つのグラウンドメタライゼーションフィードスルーと、電源通路に隣接して位置づけられる１つの電源メタライゼーションフィードスルーとを形成するために露光される。

【００１３】

１つの最上面接触接着層、１つの最上面接触導電層、および１つの最上面接触金属層を有する一連の最上面接触層は、絶縁層の表面上に堆積される。最上面接触層の部分は、グラウンド通路に隣接して位置づけられる１つの表側グラウンド端子と、電源通路に隣接して位置づけられる１つの表側電源端子とを形成するために取り除かれる。グラウンド通路に隣接して位置づけられる１つの裏側グラウンド端子と、電源通路に隣接して位置づけられる１つの裏側電源端子とは、裏側メタライゼーション層からである。表側グラウンド端子は、最上面接触層、グラウンドメタライゼーションフィードスルー、底面接触層、およびグラウンド通路を経由して、裏側グラウンド端子に電気的に接続される。同様に、表側電源端子は、最上面接触層、電源メタライゼーションフィードスルー、底面接触電源端子、および電源通路を経由して、裏側電源端子と電気的に接続される。

【００１４】

本発明のコンデンサは、底面接触層、絶縁層、および最上面接触層の配置により形成される。誘電体基板、グラウンド通路と電源通路、および裏側グラウンド端子と裏側電源端子は、他の電気的コンポーネントとの接続を促進するよう働き、このようなコンポーネントからコンデンサへの電力の輸送を可能とする。

【００１５】
このように製造された薄膜コンデンサは、空間的に有効な方法で、集積回路とプリント板を内部接続することのできる構成において電気的エネルギーを貯蔵することを可能とする。さらに、バイパスコンデンサの電気的接触は、コンデンサの電気的リードに関連する如何なる望ましくないコンデンサの寄与をも最小とするコンデンサ自身の厚さによって規定される。
【００１６】
【実施例】
以下添付図面を参照しつつ本発明の実施例を説明するが、本発明は以下の実施例に限定されるものではない。最も基本的な形式において、コンデンサは一対の導電板または非導電性の誘電体物質により分離された導体を含む。
【００１７】
図１は本発明の原理により製造された薄膜バイパスコンデンサを用いたマルチチップモジュールを誇大して示す側面図である。マルチチップモジュール（ＭＣＭ）１は、集積回路４へ電流を供給するプリント基板２を有する。薄膜バイパスコンデンサ３はプリント基板２から集積回路４への電流の流れを変えるために使用される。
【００１８】
薄膜バイパスコンデンサ３の上部表面は集積回路４との合致表面に向けられ、薄膜バイパスコンデンサ３の下部表面は上部表面の反対側にあり、プリント基板２との合致表面に向けられる。薄膜バイパスコンデンサの上部表面は、接触パッド５により集積回路のそれぞれの電源端子とグラウンド端子に接続される複数の電源端子とグラウンド端子を含む。同様に、薄膜バイパスコンデンサの下部表面は、接触パッド５により集積回路のそれぞれの電源端子とグラウンド端子に接続される。接触パッドは好適には、薄膜バイパスコンデンサ端子と、集積回路やプリント基板の両方の薄膜バイパスコンデンサ端子に対応する端子と、の間を電気的に接続するために溶けたときに流れる導電性半田材料を含む。
【００１９】
コンデンサの電気的接続に関して使用される用語「グラウンド」または「電源」は、純粋に便宜上使用されるものである。この電気的接続は、バイポーラトランジスタの場合に「エミッタ」と「コレクタ」として、または電界効果トランジスタの場合は「ソース」と「ドレイン」として引用できる。加えて、本発明の原理により製造された薄膜コンデンサは、各コンデンサ板の表側と裏側の両方に複数のこのような電源端子とグラウンド端子とを有する。薄膜コンデンサは細長い形状、四角形、等の形状に構成できる。
【００２０】
図２は本発明の実践による薄膜バイパスコンデンサの電気回路図である。この電気回路図は、各々の板が一対のグラウンド端子７または電源端子８の何れかに接続される一対の導電板６を含むコンデンサの基本構成を示す。誘電体基板９は囲まれ、かつコンデンサを形成するための対の導電性板を分離する。
【００２１】
図３～図１１は、本発明の実践に従ってバイパスコンデンサを製造するために使用される各連続処理ステップ後の薄膜バイパスコンデンサ基板の断面図であり、これらの図の各々において、層の厚さおよび横方向の距離は図解の都合上、誇大して示す。
【００２２】
図３はスルーホールが誘電体基板内に形成され、メタライゼーションされた後の本発明の原理により内部接続する電気的スルーホールを有する薄膜バイパスコンデンサ基板１０の断面図である。薄膜バイパスコンデンサ基板１０は、非導電性物質からなるベース基板１２を有する。この基板を構成するために選択された非導電性物質は、コンデンサ用基板としての使用に要求される機械的および電気的特性をもたなければならない。適切な非導電性物質は、有機または無機ポリマ、シリコン、セラミック、ガラス、ガラスセラミック、ポリイミドーエポキシ、エポキシーファイバガラス、テフロン、等を含むことができる。
【００２３】

ベース基板１２は、ベース基板の第１表面と第１表面に対向するベース基板の第２表面との間の距離で規定される基板の厚みを貫通して延びる複数のスルーホール１４を有する。参照のため、ベース基板の第１表面は図３の上部における表側に、ベース基板の第２表面は図３の下部における裏側に相当するものとする。ベース基板の第１と第２表面を参照するこの取決めは、図３から図１１により示されるように本発明の記述を通して不変である。例証された断面は、多くのコンポーネントと本発明の説明に不必要な特徴とを有する大きな基板のほんの小部分であることが判る。さらに、図は説明を明瞭とするため薄膜コンデンサの断面図を誇張して示す。

【００２４】

スルーホール１４は、当業者にとって公知な方法によりベース基板内に形成できる。例えばスルーホールは、レーザ光線でドリルされ、パンチされ、または反作用イオン、ドライ（乾燥）、化学的またはリソグラフィ（写真石版による）の各エッチング技術を用いてエッチングされる。スルーホール１４はグラウンド通路１６をと電源通路１７を形成する導電性物質で満たされる。スルーホールを充填し、またはメタライゼーションするように選択された導電性物質は、金属、金属の合金、金属と非金属の合成物、等を含む。スルーホールは、当業者に公知な、例えばスパッター堆積、化学的気相成長法（化学的堆積）、プラズマ堆積、電気メッキ、金属有機化学的気相堆積、等の堆積技術を用いることによりメタライゼーションできる。

【００２５】

図４は裏側が裏側メタライゼーション層２１を形成するためメタライゼーションされた後の薄膜バイパスコンデンサ基板の断面図である。誘電体基板の裏側表面は、プリント基板、等にバイパスコンデンサを電気的に接続するために使用する裏側グラウンド端子６２（図１１）と裏側電源端子６４（図１１）とを提供するためメタライゼーションされる。

【００２６】

裏側メタライゼーション層２１は、裏側接着層１８、裏側導電層２０および裏側金属層２２を有する。ベース基板１２の裏側の表面は、メタライゼーション処理用基板を用意するため当業者に公知な方法で清掃される。裏側接着層１８は、スパッター堆積、化学的気相堆積、プラズマ堆積、電気メッキ、等による技術分野の専門家に公知な方法でベース基板の裏側の表面上に堆積される。好ましい方法は、スパッター堆積である。裏側接着層として選択された物質は、裏側導電層２０を形成するため選択された物質と良好な接着能力をもつべきである。例えば、裏側導電層が銅を含むとき、裏側接着層物質用の適切な物質は、クロミウム（クロム）とチタニウム（チタン）を含むことができる。好ましい裏側接着層用物質は、クロムである。好ましい裏側接着層１８は、約０．０２マイクロメータの厚さを有する。

【００２７】

裏側導電層２０は、裏側接着層１８を堆積するために使用される堆積技術に類似の技術を用いて、裏側接着層１８の表面上に堆積される。好ましい方法は、スパッター堆積である。裏側導電層用に選択される物質は、良好な導電体であり（すなわち低い抵抗値をもち）、金属、金属合金、等を含んでもよい。裏側導電層の好ましい物質は銅である。裏側導電層２０の厚さは、回路とコンデンサ基板１０に対する電気的要求に従って設計される。好ましい裏側導電層は、約１マイクロメータの厚さを有する。

【００２８】

しかしながら、コンデンサ基板に対する電気的要求に従って、裏側導電性の銅の厚さが約２ミクロンより大きいことを必要とするとき、裏側導電層は、２つの段階的堆積技術の使用が適用できる。このような場合、裏側導電層には、裏側接着層の表面上に約２マイクロメータより薄い種層が第１スパッタリングにより堆積され、次に所望の裏側導電層の厚さが得られるまで種層の表面上に導電性物質が電気メッキされる。

【００２９】

裏側接着層と裏側導電層を堆積するための上述と類似な堆積技術を用いることにより、裏側金属層２２は、裏側導電層２０の表面上に堆積される。裏側接着層１８のように、裏側

金属層用に選択された物質は、裏側導電層２０と親密な中間層を形成する物質であるべきである。裏側導電層が銅のとき、裏側接着層物質として適切な物質はクロムとチタンを含むことができる。好ましい裏側接着物質はクロムである。好ましい裏側金属層は約０．０２マイクロメータの厚さを有する。裏側金属層２２の目的は、裏側メタライゼーション層２１がその後のエッチング処理を行うとき、裏側導電層が裏側接着層から薄層に分かれることから保護することである。

【００３０】

代わりに、裏側接着層１８、裏側導電層２０、および裏側金属層２２は、多層の実施例の導電性と類似の導電性を有する１つの物質（すなわち金属または金属合金）の単一層を有する。しかしながら、このような単一層の実施例は、銅が裏側導電層用に選択されるとき使用できない。裏側導電層用の銅の使用は、銅が誘電体基板１２に良く接着しないので、接着層の使用を必要とする。さらに、銅の使用はまた、裏側メタライゼーション層２１を選択的にエッチングするその後の段階中に、銅が取り除かれることを防止するために、裏側金属層の使用を要求する。

【００３１】

図５は誘電体基板１２の表側の表面が底面接触層を形成するためメタライゼーションされた後の薄膜バイパスコンデンサ基板１０の断面図である。用語の問題として、ベース基板１２の表側の表面上に第１にメタライゼーションされた導電性物質の層が底面接触層２５として参照される。バイパスコンデンサ基板１０の表側は、２つの分離した導電層、底面接触層２５および最上面接触層４５（図８～図１０）を有する。底面接触層と最上面接触層は、各々直列のメタライゼーション層を有し、絶縁誘電体層３８により互いに電気的に絶縁される。底面接触層と最上面接触層は、バイパスコンデンサを作るために必要な対をなす導電板を形成する。

【００３２】

ベース基板１２の最上面の表面は、裏側メタライゼーションより以前に、ベース基板の裏側の表面を清掃し準備するために使用されるのと同一技術を用いることにより清掃される。底面接触層２５は、底面接触接着層２４、底面接触導電層２６、および底面接触金属層２８を有する。底面接触接着層２４は、ベース基板の裏側表面上に裏側接着層１８を堆積するために前述したのと類似の堆積技術を使用して、ベース基板の表側表面上に堆積される。好ましくは、底面接触接着層は、スパッター堆積により堆積される。底面接触接着層用に選択された物質は、裏側接着層１８用に選択された物質と同一である。好ましい底面接触接着層はクロムである。好ましい底面接触接着層２４は約０．０２マイクロメータの厚さを有する。

【００３３】

底面接触導電層２６は、裏側接着層１８上に裏側導電層２０を堆積する前述した技術と類似の堆積技術により、底面接触接着層２４の表面上に堆積される。好ましくは、底面接触導電層はスパッター堆積により堆積される。底面接触導電層用に選択された物質は、裏側導電層２０用に選択された物質と同一である。好ましい底面接触導電層は銅である。好ましい底面接触導電層２６は、典型的に約２～６マイクロメータの厚さを有する。このような厚さを達成するため、底面接触接着層２４の表面上に第１導電性種薄膜層（約２マイクロメータまで）をスパッタリングして形成する２つの堆積技術の段階を使用することが必要である。最終的に必要とされる底面接触導電層２６の厚さは、この導電性物質の第１種層の表面上に導電性物質を電気メッキすることによって達成できる。

【００３４】

底面接触金属層２８は、裏側導電層２０の表面上に裏側金属層２２を堆積する前述と類似の堆積技術を用いることによって、底面接触導電層２６の表面上に堆積される。好ましくは、底面接触金属層は、スパッター堆積により堆積される。底面接触金属層用に選択された物質は、裏側金属層２２用に選択された物質と同一である。好ましい底面接触金属層はクロムである。好ましい底面接触金属層２８は、約０．０２マイクロメータの厚さを有する。

【００３５】
適切な環境下で、一部または全部の裏側メタライゼーション層２１と底面接触層２５は、順次に堆積する代わりに同時に堆積できる。さらに、基板の表側および裏側の上に堆積する順序は交換できる。
【００３６】
図６は底面接触電源端子が形成された後の薄膜バイパスコンデンサ基板の断面図である。図６は、一対の底面接触ノッチ（刻み目）３０と３２による底面接触層の残りの部分から電気的に絶縁される底面接触電源端子３４を形成するために底面接触層２５が選択的にエッチングされた後のコンデンサ基板１０を示す。底面接触電源端子３４は、ベース基板１２の厚みを貫通して延びる電源通路１７に電気的に接続され、裏側メタライゼーション層２１と電気的に接続される。すでに置かれているときは、保護テープ（図示せず）が、表側エッチング処理中に使用される酸や化学薬品からそれをカバーして保護するために、裏側金属層２２の表面に当てられる。好ましい保護テープは、３Ｍにより製造され、「黄」または「青」のテープとして当業者に公知である。エッチング処理は、反作用イオンエッチング、化学的エッチング、ドライエッチング、リソグラフィエッチング、等のような当業者に公知なエッチング技術を選択的に用いることにより達成される。好ましい選択されたエッチング技術は、リソグラフィエッチングである。
【００３７】
底面接触ノッチ３０と３２のリソグラフィエッチングは、底面接触電源端子３４の位置を規定するパターンにおける底面接触金属層２８の表面上に、フォトレジ物質を堆積することにより達成される。パターンはフォトマスク等を用いることにより達成できる。フォトレジストを含む底面接触金属層は、ソフトに焼くことにより治癒することができ、引き続いて起こるフォトレジが現れるように露光される。フォトレジが現れた後、その底面接触金属層はハードに焼かれる。ノッチ３０と３２を規定するフォトレジの現れた領域は、ベース基板１２の表面を露光する、底面接触金属層２８、底面接触導電層２６、および底面接触接着層２４を取り除くため化学的にエッチングされる。エッチング処理後に底面接触金属層２８上に残される如何なる過多のフォトレジ物質も、短時間プラズマエッチング、等のような公知のエッチング技術を使用することにより、裸にされ、残りの部分が取り除かれて完成される。
【００３８】
図７は底面接触メタライゼーション層３６が、底面接触金属層２８の表面上に堆積されエッチングされた後の薄膜バイパスコンデンサ基板１０の断面図である。底面接触メタライゼーション層３６は、裏側メタライゼーション層や底面接触層を堆積する前述と類似の堆積技術を使用することにより、底面接触金属層２８のエッチングされた表面上に、底面接触ノッチ３０と３２の壁部や床部に沿って、堆積される。底面接触メタライゼーション層を堆積する好ましい方法は、スパッター堆積である。底面接触メタライゼーション層３６用に選択した物質は、比較的高い誘電定数を有する強い非導電性酸化膜を形成することができる。適切な物質は、タンタル（Ｔａ）、チタン（Ｔｉ）、ニオビウム（Ｎｂ）、ハフニウム（Ｈｆ）、等を含む。底面接触メタライゼーション層３６用の好ましい物質はタンタルである。好ましい底面接触メタライゼーション層３６は約０．５マイクロメータの厚さを有する。
【００３９】
底面接触メタライゼーション層３６は、底面接触ノッチ３０と３２の床部を形成するベース基板１２の表面上に堆積されたメタライゼーション層を取り除くようエッチングされる。このメタライゼーション層は、底面接触層２５をエッチングするため、好適なエッチング技術としてはリソグラフィエッチングであるが、反作用イオンエッチング、化学的エッチング、ドライエッチング、リソグラフィエッチング、等のような前述と類似の選択的エッチング技術を用いることによりエッチングできる。
【００４０】
底面接触メタライゼーション層３６は、底面接触ノッチ３０と３２が底面接触層２５にエ

ッチングされる以前でなく、エッチングされた後に堆積される。その理由は、ノッチを形成する前に底面接触メタライゼーション層３６を適用することは、ノッチ３０と３２の壁部に沿った底面接触メタライゼーション物質の配置とならないからである。図７に示すように、ノッチの壁部に沿ったメタライゼーション物質の配置は、バイパスコンデンサの構成にとって重要である。何故ならば、最も単純な形式のコンデンサは、非導電性の絶縁物により分離された一対の導電板を有するからである。本発明の実践によれば、絶縁層３８は、図７から図１０に示す底面接触層（導電性構成要素）から最上面接触層４５（導電性構成要素）を絶縁するために後に使用される底面接触メタライゼーション層３６の表面で形成される。ノッチの壁部に沿ったメタライゼーション物質の存在なしに、最上面と底面の接触層は、互いに壁部で電気的に接触され、コンデンサを形成しない。

【００４１】

図８は絶縁層３８が底面接触メタライゼーション層３６の表面上で形成された後の薄膜バイパスコンデンサ基板１０の断面図である。絶縁層は、グラウンド通路１６および電源通路１７の直上の、底面接触メタライゼーション層３６の選択された領域が、グラウンドメタライゼーションフィードスルー４０と電源メタライゼーションフィードスルー４２をそれぞれ形成するためにカバーされずに残されるように形成される。絶縁層３８は、電解薄膜化、等によるような技術分野に精通している者に公知な酸化技術を用いた底面接触メタライゼーション層３６を選択的に酸化することにより形成できる酸化膜を含む。好ましい絶縁層３８は、グラウンド通路１６および電源通路１７の直上に選択的に配置された底面接触メタライゼーション層３６の表面上に、フォトレジ物質を堆積することにより形成される。フォトレジは、スパッター堆積、化学的気相堆積、プラズマ堆積、等のような当該技術分野において公知な堆積技術を用いることにより堆積できる。底面接触メタライゼーションの選択された領域上のフォトレジの特定な堆積は、フォトマスク、等を使用することによって達成できる。フォトレジを含む底面接触メタライゼーション層は、ソフトに焼き、引き続いてフォトレジが現れるように露光することにより治癒されることが認められる。フォトレジが現れた後、その底面接触メタライゼーション層はハードに焼かれる。

【００４２】

底面メタライゼーション層の露光された表面は、蒸気式油除去、溶剤清掃、等のような当業者に公知な方法を使用して清掃される。底面接触メタライゼーション層は、衝撃的静電気電解薄膜化、潜在的静電気電解薄膜化の問題を有し、底面接触メタライゼーション層３６の表面上の絶縁層３８を形成する酸化膜を形成するため逆バイアスされる。絶縁層を形成する酸化膜は、しかしながら、フォトレジ物質でカバーされる底面接触メタライゼーション層の表面部分上で形成しない。フォトレジ物質は、図８に示すように、グラウンド通路１６の直上に位置づけられるグラウンドメタライゼーションフィードスルー４０と、電源通路１７の直上に位置づけられる電源メタライゼーションフィードスルー４２とを形成する非酸化底面接触メタライゼーション表面をカバーしないように、短時間のプラズマエッチング、等により裸にされる。

【００４３】

好適実施例において、底面接触メタライゼーション層は、電解薄膜化するとき、Ｔａ２Ｏ３を形成し、強い非導電性酸化膜を形成するタンタル（Ｔａ）を含む。絶縁層３８として作用する他の適切な酸化膜は、チタン（Ｔｉ）、ニオビウム（Ｎｂ）またはハフニウム（Ｈｆ）の酸化物を含む。好ましい絶縁層３８は、約０．１から０．２マイクロメータの厚さを有する。

【００４４】

図９は最上面接触層が絶縁層３８の表面上に堆積された後の薄膜バイパスコンデンサ基板１０の断面図である。最上面接触層は、最上面接触接着層４４、最上面接触導電層４６、および最上面接触金属層４８を有する。最上面接触接着層４４は、絶縁層３８の表面上と、グラウンドメタライゼーションフィードスルー４０と電源メタライゼーションフィードスルー４２を形成する底面接触メタライゼーション層３６の部分の上の両方に堆積される。最上面接触接着層４４は、底面接触接着層２４を堆積する前述に類似の堆積技術を使用

することによって堆積される。好ましい堆積技術は、スパッター堆積である。最上面接触接着層４４用に選択された物質は、チタン、タンタル、モリブデン、等を含むことができる。好ましい物質はチタンである。好ましい最上面接触接着層４４は、約０．２マイクロメータの厚さを有する。底面接触接着層２４のように、最上面接触接着の目的は、銅のような物質が最上面接触導電層用の物質として選択されたとき、絶縁層３８と良好な中間層を形成することにある。

【００４５】

最上面接触導電層４６は、底面接触導電層２６を堆積する前述と類似の公知の堆積技術を用いることにより最上面接触接着層４４の表面上に堆積される。従って、最上面接触導電層は、単一の堆積技術（すなわち所望の厚さが約２マイクロメータ未満のとき）を使用することにより堆積できるか、または２段階の堆積技術（すなわち所望の厚さが約２マイクロメータより厚いとき）を使用することにより堆積できる。最上面接触導電層用に選択された物質は高導電性を有するべきである。適切な物質は、金属および金属の合金である。最上面接触導電層４６用好ましい物質は銅である。好ましい最上面接触導電層は約２から６マイクロメータの厚さを有する。最上面接触導電層は、一貫して均一な厚さを有する。それゆえ、導電層の表面は、最上面接触接着層４４の表面と類似した構成をなし、図８に示すように、グラウンドメタライゼーションフィードスルーや電源メタライゼーションフィードスルーを充填する最上面接触接着層の凹んだ部分に対応する僅かに凹んだ部分を有する。

【００４６】

最上面接触金属層４８は、底面接触金属層２８を堆積する前述と類似した堆積技術を使用することにより、最上面接触導電層４６の表面上に堆積される。最上面接触金属層用に選択された物質は、底面接触金属層２８および裏側金属層２２用に選択された物質と同一でよい。好ましい最上面接触金属層はクロムである。最上面接触金属層４８は、典型的には約０．０２マイクロメータの厚さを有する。

【００４７】

図１０は表側グラウンド端子５０および表側電源端子６０を最上面接触層４５に形成した後の薄膜バイパスコンデンサ基板１０の断面図である。表側グラウンド端子５０は、グラウンドメタライゼーションフィードスルー４０の直上に位置する最上面接触層４５の一部とグラウンド通路１６とからなる。表側グラウンド端子は、絶縁層３８の表面を露出するよう、最上面接触層をエッチングして取り除くことにより形成される一対のグラウンド端子のノッチ５２と５４により、最上面接触層の残りの部分から電気的に絶縁される。このグラウンド端子のノッチは、底面接触電源端子３４を形成するため、底面接触ノッチ３０や３２を選択的にエッチングするために前述したのと類似のエッチング技術を選択して使用することによって形成される。エッチング処理中、最上面接触層４５は、図１０に示すように、絶縁層３８の表面に至るまで完全にエッチングされる。グラウンドノッチ５２と５４の位置は、グラウンドメタライゼーションフィードスルー４０の直上に位置づけられる最上面接触層の部分およびグラウンド通路１６を、表側電源端子６０を形成するために、電源メタライゼーションフィードスルー４２の直上に位置づけられる最上面層の部分および電源通路１７との電気的接続から、絶縁するように働く。最上面接触層における表側電源端子から表側グラウンド端子を電気的に絶縁することは、グラウンド端子を除く基本的に全ての領域においてコンデンサを形成することとなる。

【００４８】

このように形成された表側グラウンド端子５０は、最上面接触層、グラウンドメタライゼーションフィードスルー４０、底面接触層２５、およびグラウンド通路１６を経由して、裏側メタライゼーション層２１と電気的に接続される。同様に、このように形成された表側電源端子６０は、最上面接触層、電源メタライゼーションフィードスルー４２、底面接触電源端子３４、および電源通路１７を経由する裏側メタライゼーション層２１と電気的に接続される。

【００４９】

図１１は裏側メタライゼーション層２１がプリント基板、等との電気的接続を促進するため裏側グラウンド端子６２および裏側電源端子６４を形成するようにエッチングされた後の薄膜バイパスコンデンサ基板１０の断面図である。裏側メタライゼーション層は、反作用イオン、ドライ、化学的、リソグラフィエッチング、等のような最上面接触導電層および底面接触導電層をエッチングする前述のエッチング技術に類似したエッチング技術を選択的に用いてエッチングされる。裏側グラウンド端子や裏側電源端子を形成する好ましい技術は、リソグラフィエッチング技術を使用することである。裏側接着層１８、裏側導電層２０、および裏側金属層２２を有する裏側メタライゼーション層は、２つの位置を除き、ベース基板の裏側の表面から取り除かれる。裏側メタライゼーション層は、裏側グラウンド端子６２を形成するグラウンド通路１６の直下の第一の位置と、裏側電源端子６４を形成する電源通路１７の直下の第二の位置と、において、無傷のまま残される。裏側メタライゼーション層をエッチングする前に、最上面接触金属層４８の表面は、グリース、黄または青のテープ、等で、その表面をコーティングするような、当業者に公知な方法によりエッチングに使用される酸や化学薬品に対する露出から保護される。

【００５０】

図１２は本発明の実践による好適実施例の薄膜バイパスコンデンサを製造する賢明な方法に使用されるステップを概略的に示すフローチャートである。薄膜バイパスコンデンサの１つの例としての実施態様と１つのその製造方法が記述され例証されるが、多くの変形が当業者にとって明白なことは当然のことである。例えば、本発明による薄膜バイパスコンデンサの製造方法は、好適実施例と異なった構成のバイパスコンデンサを製造するために使用できる。複数のバイパスコンデンサは複数のグラウンド通路および電源通路と、それらの個々のグラウンド端子および電源端子とを単一基板上に全て含んで配置できる。

【００５１】

本発明のバイパスコンデンサは、裏側接着層と裏側導電層とをのみ含む裏側メタライゼーション層２１を有するよう製造できる。裏側導電層用に銅を使用する代わりに、裏側接着層の表面上に堆積される導電性金属として金が選択できる。金の物理的特性は、引き続いて起こる保護性裏側金属層を堆積する必要なく連続的表側エッチング処理中に、裏側接着層に金が付着されたまま残されることを可能とする。金の物質は、好適実施例において裏側導電層を堆積するための前述と同一の堆積技術を使用することにより堆積できる。金の裏側導電層の好ましい厚さは、約１マイクロメータである。本実施例の裏側メタライゼーション層は、図１１に示すように、裏側グラウンド端子６２と裏側電源端子６４とを形成するように、好適実施例における裏側メタライゼーション層と同一方法でエッチングできる。

【００５２】

本発明の実践によるバイパスコンデンサは、底面接触メタライゼーション層３６を堆積する他の方法を使用することにより製造できる。例えば、底面接触メタライゼーション層は、図７に示すスパッター堆積による代わりに、電気メッキにより底面接触金属層２８の表面上に堆積できる。電気メッキによりメタライゼーション物質を堆積することは、メタライゼーション物質の選択的堆積を、底面接触金属層２８の表面や底面接触ノッチ部３０と３２の壁部のような導電性表面上にのみ可能である。電気メッキによる堆積は、引き続いて起こるエッチング処理を達成し、ノッチの床部の上に堆積された望ましくないメタライゼーション物質を取り除く必要を取り除く。何故ならば、メタライゼーション物質は非導電性誘電体基板の表面上に堆積されないからである。

【００５３】

メタライゼーション物質は、底面接触電源端子３４が形成された後に底面接触金属層の表面上に電気メッキできる。底面接触ノッチ３０と３２がエッチングされた後、保護コーティング（すなわち青または黄テープ）が裏側金属層２２の表面から取り除かれ、バイパス基板１０は当該技術において公知の方法によりグリースを取り除かれ、陰極電気清掃の問題となる。表側の底面接触金属層２８は陽極エッチングの問題となり、酸に漬けられる。チタン、タンタル、ニオビウム、ハフニウム、等のような底面接触メタライゼーション層

３６を形成するのに適切な物質の厚さ部分は、底面接触金属層２８の表面上に電気メッキされる。底面接触メタライゼーション層用の好適物質は、タンタルである。底面接触メタライゼーション層の好ましい厚さは約０．５マイクロメータである。

【００５４】

本発明のバイパスコンデンサは、絶縁層３８を形成する他の方法を使用することにより製造できる。例えば、図８に示す絶縁層３８は、スパッター堆積、化学的気相成長法、プラズマ堆積、等の公知の堆積技術を用いることにより底面接触メタライゼーション層３６の表面上に所望の酸化物の厚さ部分を堆積することにより形成できる。所望の絶縁層物質は、当該技術において公知のスピン－オン堆積技術、またはスプレイーオン堆積技術により、底面接触金属層の表面上に液状ゾル－ゲル溶液を堆積することによってもまた堆積できる。このように加えられたゾル－ゲル溶液は、引き続き、最終的に望まれる絶縁酸化を形成するために、ソフトに焼かれ、次に高温で焼かれる。

【００５５】

上述の他の実施例により適用された絶縁層３８は、引き続きグラウンド通路１６の直上と、電源通路１７の直上とに、それぞれ位置するグラウンドメタライゼーションフィードスルー４０と電源メタライゼーションフィードスルー４２を形成するために、選択的にエッチングされる処理の問題となる。絶縁層は、好適実施例（のコンデンサ）を製造する際に、記述したリソグラフィエッチングのような公知の選択的エッチング技術を用いることにより、エッチングできる。

【００５６】

本発明によるコンデンサは薄膜バイパスコンデンサの観点で記述されたが、バイパスコンデンサ以外の薄膜コンデンサもまた、本発明により構成でき、それゆえバイパスコンデンサ以外の薄膜コンデンサも本発明の範囲内であることが明白でる。

【００５７】

【発明の効果】

以上説明したように本発明のコンデンサは、底面接触層、絶縁層、および最上面接触層の配置により形成され、誘電体基板、グラウンド通路と電源通路、および裏側グラウンド端子と裏側電源端子は、他の電気的コンポーネントとの接続を促進するよう働き、このようなコンポーネントからコンデンサへの電力の輸送を可能とする。

【００５８】

本発明により製造された薄膜コンデンサは、空間的に有効な方法で、集積回路とプリント板を内部接続することのできる構成において電気的エネルギーを貯蔵することを可能とする。

【図面の簡単な説明】

【図１】　本発明の原理により製造された薄膜バイパスコンデンサを用いたマルチチップモジュールの側面図である。

【図２】　薄膜バイパスコンデンサの電気回路図である。

【図３】　スルーホールが誘電体基板内に形成され、メタライゼーションされた後の薄膜バイパスコンデンサ基板の断面図である。

【図４】　裏側が裏側メタライゼーション層を形成するためメタライゼーションされた後の薄膜バイパスコンデンサ基板の断面図である。

【図５】　表側が底面接触層を形成するためメタライゼーションされた後の薄膜バイパスコンデンサ基板の断面図である。

【図６】　底面接触電源端子が形成された後の薄膜バイパスコンデンサ基板の断面図である。

【図７】　底面接触メタライゼーション層を付加しエッチングした後の薄膜バイパスコンデンサ基板の断面図である。

【図８】　絶縁層形成後の薄膜バイパスコンデンサ基板の断面図である。

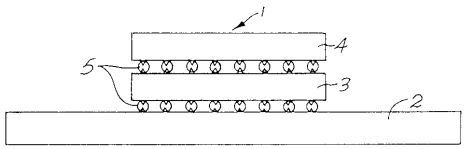
【図９】　最上面接触層付加後の薄膜バイパスコンデンサ基板の断面図である。

【図１０】　表側グラウンド端子および表側電源端子を形成後の薄膜バイパスコンデンサ

基板の断面図である。
【図１１】　裏側グラウンド端子および裏側電源端子を形成後の薄膜バイパスコンデンサ基板の断面図である。
【図１２】　本発明の実践による好適実施例の薄膜バイパスコンデンサを製造する方法に使用されるステップを示すフローチャートである。
【符号の説明】
１…マルチチップモジュール
２…プリント基板
３…薄膜バイパスコンデンサ
４…集積回路
５…接触パッド
６…導電板
７…グラウンド端子
８…電源端子
９…誘電体基板
１０…バイパスコンデンサ基板
１２…ベース基板
１４…スルーホール
１６…グラウンド通路
１７…電源通路
１８…裏側接着層
２０…裏側導電層
２１…裏側メタライゼーション層
２２…裏側金属層
２４…底面接触接着層
２５…底面接触層
２６…底面接触導電層
２８…底面接触金属層
３０、３２…底面接触ノッチ
３４…底面接触電源端子
３６…底面接触メタライゼーション層
３８…絶縁（誘電体）層
４０…グラウンドメタライゼーションフィードスルー
４２…電源メタライゼーションフィードスルー
４４…最上面接触接着層
４５…最上面接触層
４６…最上面接触導電層
４８…最上面接触金属層
５０…表側グラウンド端子
５２、５４…グラウンド端子ノッチ
６０…表側電源端子
６２…裏側グラウンド端子
６４…裏側電源端子

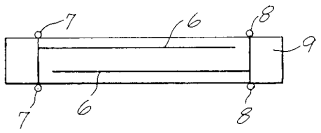
【図１】

本発明の原理により製造された薄膜バイパスコンデンサを用いたマルチチップモジュールの側面図



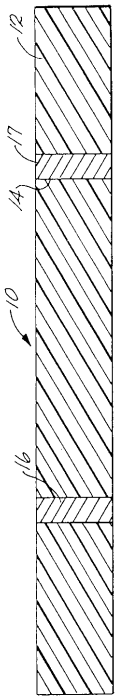

【図２】

薄膜バイパスコンデンサの電気回路図



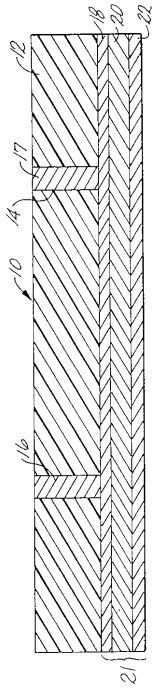

【図３】

スルーホールが誘電体基板内に形成され、メタライゼーションされた後の薄膜バイパスコンデンサ基板の断面図



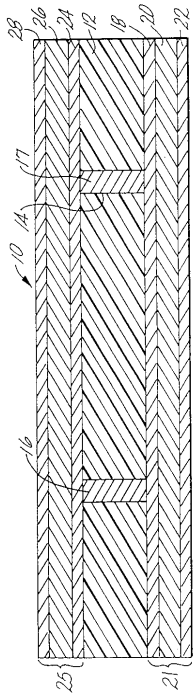

【図４】

裏側が裏側メタライゼーション層を形成するためメタライゼーションされた後の薄膜バイパスコンデンサ基板の断面図



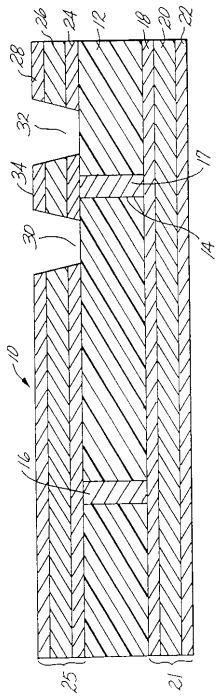

【図５】

表側が底面接触層を形成するためメタライゼーションされた後の薄膜バイパスコンデンサ基板の断面図



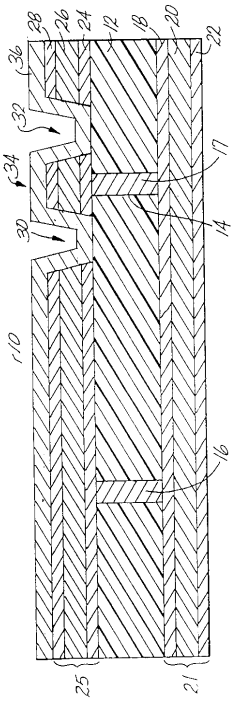
【図６】

底面接触電源端子が形成された後の薄膜バイパスコンデンサ基板の断面図



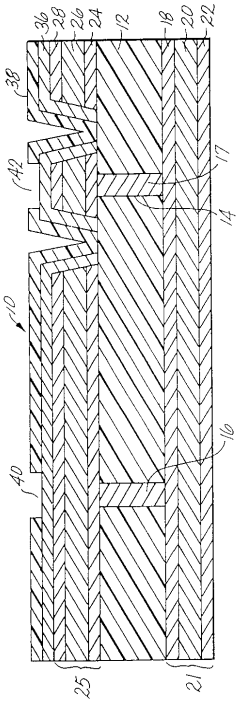

【図７】

底面接触メタライゼーション層を付加しエッチングした後の薄膜バイパスコンデンサ基板の断面図



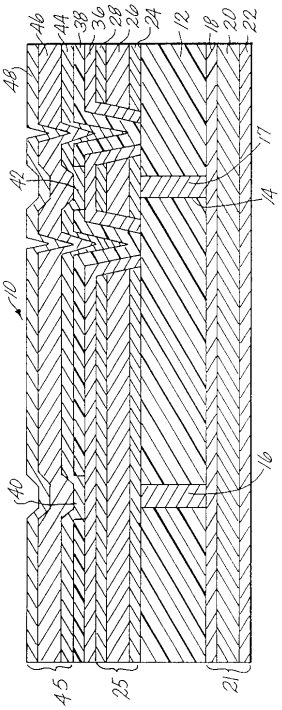

【図８】

絶縁層形成後の薄膜バイパスコンデンサ基板の断面図



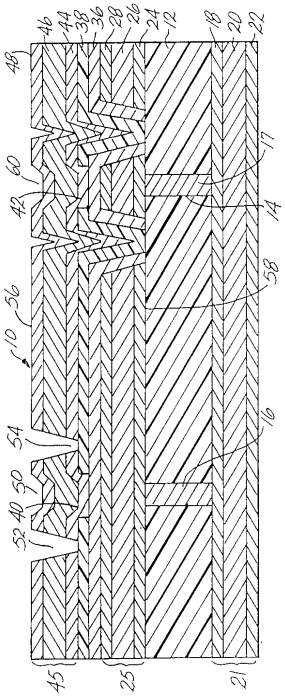

【図９】

最上面接触層付加後の薄膜バイパスコンデンサ基板の断面図



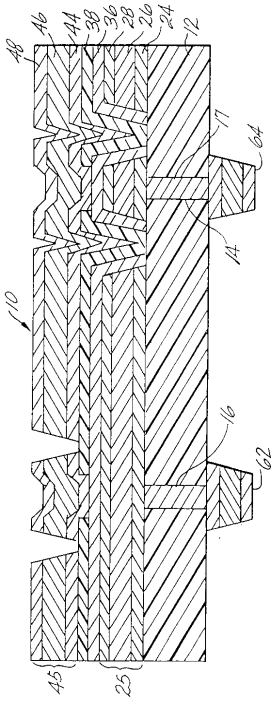
【図１０】

表側グラウンド端子および表側電源端子を形成後の薄膜バイパスコンデンサ基板の断面図



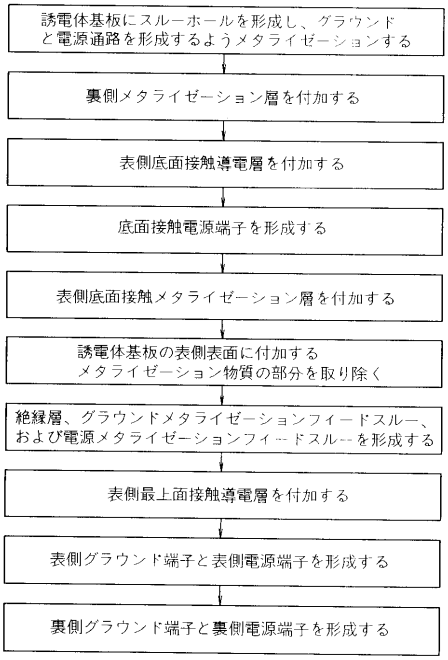
【図１１】

裏側グラウンド端子および裏側電源端子を形成後の薄膜バイパスコンデンサ基板の断面図



【図１２】

本発明の実践による好適実施例の薄膜バイパスコンデンサを製造する方法に使用されるステップを示すフローチャート



フロントページの続き

(51)Int.Cl. FI
***H05K 3/46 (2006.01)***

(72)発明者 マイケル ジー. ピーターズ
アメリカ合衆国, カリフォルニア ９５０５１, サンタ クララ, ジアンニニ ドライブ ４８５
(72)発明者 ウィリアム ティー. チュウ
アメリカ合衆国, カリフォルニア ９５０１４, カッパーチノ, レイク スプリング クリーク １１５５１
(72)発明者 ウェン－チョウ ビンセント ワン
アメリカ合衆国, カリフォルニア ９５０１３, カッパーチノ, エドミントン ドライブ １８４５７
(72)発明者 マイケル ジー. リー
アメリカ合衆国, カリフォルニア ９５１１８, サン ホセ, デシン ドライブ ４４２１
(72)発明者 ソロモン アイ. ベイリン
アメリカ合衆国, カリフォルニア ９４０７０, サン カルロス, クラブ ドライブ ８３

審査官 桑原 清

(56)参考文献 特開平０５－１７５３５３（ＪＰ, Ａ）
特開平０４－２１１１９１（ＪＰ, Ａ）
特表昭６３－５０３２６１（ＪＰ, Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
H01G 4/33
H01G 4/38
H01L 21/822
H01L 27/04
H05K 1/16
H05K 3/46