



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 17.01.80 (21) 2871238/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.09.81. Бюллетень № 35

Дата опубликования описания 23.09.81

(11) 866751

(51) М. Кл.<sup>3</sup>

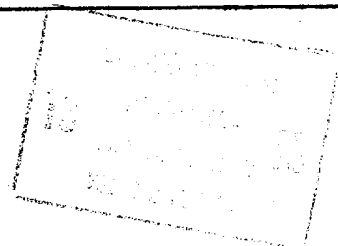
H 03 K 23/02

(53) УДК 621.374.  
.4(088.8)

(72) Автор  
изобретения

С. В. Стрижак

(71) Заявитель



(54) ДЕЛИТЕЛЬ ЧАСТОТЫ СЛЕДОВАНИЯ ИМПУЛЬСОВ  
НА 2,5

1

Изобретение относится к импульсной технике и может быть использовано в системах автоматического управления.

Известен делитель частоты на 2,5, содержащий триггеры памяти, коммутационные триггеры и элементы И-НЕ [1].

Наиболее близким по технической сущности к предлагаемому изобретению является делитель частоты на 2,5, содержащий триггеры и элементы И-НЕ [2].

Недостаток известных устройств - низкая надежность.

Цель изобретения - повышение надежности устройства.

Для достижения поставленной цели в делитель частоты следования импульсов на 2,5, содержащий элемент И-НЕ и триггер, введены элемент 2И-2ИЛИ-НЕ и делитель частоты на 3 на 1-К триггерах, вход которого соединен с выходом элемента 2И-2ИЛИ-НЕ, а инверсный выход - со счетным входом триггера, прямой и инверсный выходы которого подключены соответственно к первому и второму входам элемента 2И-2ИЛИ-НЕ, третий вход которого непосредственно, а четвертый через элемент И-НЕ соединен с входной шиной.

2

На чертеже представлена структурная схема устройства.

Устройство содержит делитель 1 частоты на 3 на 1-К триггерах 2-1 и 2-2, триггер 3, элемент 2И-2ИЛИ-НЕ 4, элемент И-НЕ 5.

Устройство работает следующим образом.

В зависимости от состояния триггера 3 на вход делителя 1 поступает либо прямой, либо инвертированный входной сигнал, следовательно, делитель 1 изменяет свое состояние либо по заднему, либо по переднему фронту входного импульса.

Если в исходном состоянии 1-К триггеры 2-1, 2-2 и триггер 3 находятся в состоянии логического нуля, то по переднему фронту импульса входного сигнала 1-К триггер 2-1 изменит свое состояние на логическую единицу и на выходе устройства появится логическая единица. По переднему фронту второго импульса входного сигнала изменяют состояние все триггеры, и вследствие того, что триггер 3 примет состояние логической единицы, следующее изменение состояния делителя 1 произойдет по заднему фронту импульса входного сигнала.

