

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4109951号
(P4109951)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int.Cl.		F I			
G O 1 R	31/319	(2006.01)	G O 1 R	31/28	R
G 1 1 C	11/401	(2006.01)	G 1 1 C	11/34	3 7 1 A
G 1 1 C	29/56	(2006.01)	G 1 1 C	29/00	6 5 1 Z

請求項の数 17 (全 15 頁)

(21) 出願番号	特願2002-289283 (P2002-289283)	(73) 特許権者	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22) 出願日	平成14年10月1日(2002.10.1)	(74) 代理人	100104156 弁理士 龍華 明裕
(65) 公開番号	特開2004-125573 (P2004-125573A)	(72) 発明者	佐藤 新哉 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
(43) 公開日	平成16年4月22日(2004.4.22)	(72) 発明者	須藤 訓 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内
審査請求日	平成17年7月5日(2005.7.5)	(72) 発明者	土井 優 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

最終頁に続く

(54) 【発明の名称】 マルチストローブ装置、試験装置、及び調整方法

(57) 【特許請求の範囲】

【請求項1】

複数のストローブを有するマルチストローブを生成するマルチストローブ装置であって、

前記複数のストローブのそれぞれが生成されるべき複数のタイミングで、調整用信号を順次発生するクロック発生器と、

ストローブ信号を受け取り、受け取ったストローブ信号を所定の時間遅延させ、それぞれ前記ストローブとして順次出力する、縦続接続された複数の可変遅延回路を有し、前記複数のストローブを生成するストローブ生成回路と、

それぞれの前記調整用信号に基づいて、対応する前記可変遅延回路における遅延時間を順次調整して、前記ストローブ生成回路が、前記ストローブのそれぞれを発生するタイミングを調整する調整部と

を備えることを特徴とするマルチストローブ装置。

【請求項2】

前記クロック発生器は、前記ストローブ信号と同期して前記調整用信号を発生することを特徴とする請求項1に記載のマルチストローブ装置。

【請求項3】

それぞれが前記可変遅延回路のいずれかに対応して設けられ、対応する前記可変遅延回路が出力した前記ストローブのタイミングと、前記調整用信号のタイミングとを比較する複数のタイミング比較器を更に備え、

前記調整部は、それぞれの前記可変遅延回路における遅延時間を、対応する前記タイミング比較器における比較結果に基づいて調整することを特徴とする請求項 2 に記載のマルチストロープ装置。

【請求項 4】

前記調整部は、遅延時間を調整するべき前記可変遅延回路における遅延時間を変化させ、調整するべき前記可変遅延回路が出力する前記ストロープのタイミングと、前記調整用信号のタイミングとが略一致したと前記タイミング比較器が判定する遅延時間に、調整するべき前記可変遅延回路の遅延時間を設定することを特徴とする請求項 3 に記載のマルチストロープ装置。

【請求項 5】

前記可変遅延回路は、前記調整部が変化させるそれぞれの遅延時間毎に前記ストロープを複数回出力し、

前記クロック発生器は、調整される前記可変遅延回路が前記ストロープを出力するべきタイミングにおいて値が変化する前記調整用信号を複数回発生し、

前記タイミング比較器は、前記複数回出力された前記ストロープを用いて、前記調整用信号の値を検出し、

前記調整部は、前記調整用信号における変化前の値と変化後の値を、前記タイミング比較器が検出する回数が、略同一回数となる前記遅延時間に前記可変遅延回路の遅延時間を設定することを特徴とする請求項 4 に記載のマルチストロープ装置。

【請求項 6】

前記調整部は、

前記複数のタイミング比較器における比較結果のうち、調整するべき前記可変遅延回路に対応する前記比較器の比較結果を選択する比較結果選択回路と、

前記比較結果選択回路が選択した前記比較結果において、前記調整用信号における変化前の値と変化後の値を検出した回数を計数するフェイルカウンタとを有することを特徴とする請求項 5 に記載のマルチストロープ装置。

【請求項 7】

それぞれが前記複数の可変遅延回路のいずれかに対応して設けられ、前記調整用信号に対応する前記可変遅延回路のオフセット遅延量だけ遅延させて、対応する前記タイミング比較器に供給する、縦続接続された複数の遅延素子を更に備えることを特徴とする請求項 3 に記載のマルチストロープ装置。

【請求項 8】

前記遅延素子のそれぞれは、対応する前記可変遅延回路と略同一の特性を有し、最小の遅延を生成する遅延経路における遅延量が、対応する前記可変遅延回路の最小の遅延を生成する遅延経路における遅延量と略同一の調整用可変遅延回路であって、前記遅延素子は、前記調整用可変遅延回路の最小の遅延を生成する遅延経路を用いて、前記調整用信号を前記オフセット遅延量だけ遅延させることを特徴とする請求項 7 に記載のマルチストロープ装置。

【請求項 9】

前記クロック発生器は、

前記調整用信号を所望の遅延量だけ遅延させて出力する調整信号生成可変遅延回路と、前記調整信号生成可変遅延回路における遅延量を制御するためのリニアライズメモリとを有することを特徴とする請求項 1 に記載のマルチストロープ装置。

【請求項 10】

電子デバイスを試験する試験装置であって、

前記電子デバイスを試験するための試験パターンを生成するパターン発生器と、

前記試験パターンを整形し、前記電子デバイスに供給する波形整形器と、

前記試験パターンに応じて、前記電子デバイスが出力する出力信号に基づいて、前記電子デバイスの良否を判定する判定器とを備え、

10

20

30

40

50

前記判定器は、前記出力信号の値を検出するための複数のストローブを有するマルチストローブを生成するマルチストローブ装置を有し、

前記マルチストローブ装置は、

前記複数のストローブのそれぞれが生成されるべき複数のタイミングで、調整用信号を順次発生するクロック発生器と、

ストローブ信号を受け取り、受け取ったストローブ信号を所定の時間遅延させ、それぞれ前記ストローブとして順次出力する、縦続接続された複数の可変遅延回路を有し、前記複数のストローブを生成するストローブ生成回路と、

それぞれの前記調整用信号に基づいて、対応する前記可変遅延回路における遅延時間を順次調整して、前記ストローブ生成回路が、前記ストローブのそれぞれを発生するタイミングを調整する調整部と

を含むことを特徴とする試験装置。

【請求項 11】

前記クロック発生器は、前記ストローブ信号と同期して前記調整用信号を発生することを特徴とする請求項 10 に記載の試験装置。

【請求項 12】

それぞれが前記可変遅延回路のいずれかに対応して設けられ、対応する前記可変遅延回路が出力した前記ストローブのタイミングと、前記調整用信号のタイミングとを比較する複数のタイミング比較器を更に備え、

前記調整部は、それぞれの前記可変遅延回路における遅延時間を、対応する前記タイミング比較器における比較結果に基づいて調整することを特徴とする請求項 11 に記載の試験装置。

【請求項 13】

前記調整部は、遅延時間を調整するべき前記可変遅延回路における遅延時間を変化させ、調整するべき前記可変遅延回路が出力する前記ストローブのタイミングと、前記調整用信号のタイミングとが略一致したと前記タイミング比較器が判定する遅延時間に、調整するべき前記可変遅延回路の遅延時間を設定することを特徴とする請求項 12 に記載の試験装置。

【請求項 14】

複数のストローブを有するマルチストローブの、それぞれのストローブを生成するタイミングを調整する調整方法であって、

前記複数のストローブのそれぞれのストローブが生成されるべき複数のタイミングで、調整用信号を順次発生する調整用信号発生段階と、

ストローブ信号を受け取り、受け取ったストローブ信号を所定の時間遅延させ、それぞれ前記ストローブとして順次出力する、縦続接続された複数の可変遅延回路を用い、前記複数のストローブを生成するストローブ発生段階と、

それぞれの前記調整用信号に基づいて、対応する前記可変遅延回路における遅延時間を順次調整して、前記ストローブ発生段階において、前記ストローブのそれぞれを発生するタイミングを調整する調整段階と

を備えることを特徴とする調整方法。

【請求項 15】

前記調整用信号発生段階において、前記ストローブ信号と同期して前記調整用信号を発生することを特徴とする請求項 14 に記載の調整方法。

【請求項 16】

それぞれが前記可変遅延回路のいずれかに対応して設けられた複数のタイミング比較器を用いて、それぞれの前記可変遅延回路が出力した前記ストローブのタイミングと、前記調整用信号のタイミングとを比較するタイミング比較段階を更に備え、

前記調整段階において、それぞれの前記可変遅延回路における遅延時間を、対応する前記タイミング比較器における比較結果に基づいて調整することを特徴とする請求項 15 に記載の調整方法。

10

20

30

40

50

【請求項 17】

前記調整段階において、遅延時間を調整するべき前記可変遅延回路における遅延時間を
変化させ、調整するべき前記可変遅延回路が出力する前記ストローブのタイミングと、前
記調整用信号のタイミングとが略一致したと前記タイミング比較器が判定する遅延時間に
、調整するべき前記可変遅延回路の遅延時間を設定することを特徴とする請求項 16 に記
載の調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のストローブを有するマルチストローブを生成するマルチストローブ装置
 10、電子デバイスを試験する試験装置、及びマルチストローブのそれぞれのストローブの発
 生タイミングを調整する調整方法に関する。特に本発明は、それぞれのストローブの発生
 タイミングを制御するマルチストローブ装置に関する。

【0002】

【従来の技術】

従来、被測定信号の値の変化点等を検出する場合、1本のストローブを被測定信号のサイ
 クル毎に遅延させて出力し、それぞれのストローブにおける被測定信号の値を検出し、値
 の変化点を検出している。この手法は、例えばメモリのセットアップ/ホールド試験等
 20において、データ信号とDQS信号の値の変化点等を検出するために用いられている。

【0003】

例えばDDR-SDRAM(Double Data Rate-SDRAM)のように、クロック(DQS)の
 立ち上がり又は立ち下がり同期してデータ信号を出力するダブルデータレート型のデバ
 イスは、所定の出力データ幅毎にクロックを追従させて出力している。これにより、デー
 タの受け渡しにおける、セットアップ/ホールドのタイミング条件を緩和している。この
 ようなデバイスは、データのセットアップ/ホールドを誤り無く行うために、データ信号
 とクロックとの間に、所定のセットアップタイム及びホールドタイムを有する必要がある
 。

【0004】

従来は、データ信号の値とクロックの値とを、1本のストローブによりそれぞれ検出し、
 それぞれの値の変化点を検出している。そして、検出したそれぞれの変化点が、所定のセ
 ットアップタイム及びホールドタイムを満たしているか否かにより、被試験デバイスの良
 否を判定している。
 30

【0005】

【発明が解決しようとする課題】

しかし、1本のストローブで、データ信号及びDQSの各サイクル毎に値を検出している
 ため、デバイスの電源変動、熱変動等の様々な要因により、データ信号、DQSにジッタ
 が生じた場合、精度よく試験を行うことができない。また、1本のストローブでデータ信
 号及びDQSを走査するため、試験に時間がかかっていた。

【0006】

そこで本発明は、上記の課題を解決することのできるマルチストローブ装置、試験装置、
 及び調整方法を提供することを目的とする。この目的は、特許請求の範囲における独立項
 に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例
 を規定する。
 40

【0007】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の形態においては、複数のストローブを有する
 マルチストローブを生成するマルチストローブ装置であって、複数のストローブのそれぞ
 れが生成されるべきタイミングで、調整用信号を発生可能なクロック発生器と、複数のス
 トローブを生成するストローブ生成回路と、調整用信号に基づいて、ストローブ生成回路
 が、ストローブのそれぞれを発生するタイミングを調整する調整部とを備えることを特徴
 50

とするマルチストローブ装置を提供する。

【0008】

クロック発生器は、複数のストローブが生成されるべき複数のタイミングで順次調整用信号を発生し、調整部は、複数のタイミングで生成されたそれぞれの調整用信号に基づいて、ストローブ生成回路が、対応するストローブを生成するタイミングを調整してよい。

【0009】

ストローブ生成回路は、ストローブ信号を受け取り、受け取ったストローブ信号を所定の時間遅延させ、それぞれストローブとして順次出力する、縦続接続された複数の可変遅延回路を有し、調整部は、それぞれの調整用信号に基づいて、対応する可変遅延回路における遅延時間を順次調整してよい。

10

【0010】

また、クロック発生器は、ストローブ信号と同期して調整用信号を発生することが好ましい。また、マルチストローブ装置は、それぞれが可変遅延回路のいずれかに対応して設けられ、対応する可変遅延回路が出力したストローブのタイミングと、調整用信号のタイミングとを比較する複数のタイミング比較器を更に備え、調整部は、それぞれの可変遅延回路における遅延時間を、対応するタイミング比較器における比較結果に基づいて調整してよい。

【0011】

調整部は、遅延時間を調整するべき可変遅延回路における遅延時間を変化させ、調整するべき可変遅延回路が出力するストローブのタイミングと、調整用信号のタイミングとが略一致したとタイミング比較器が判定する遅延時間に、調整するべき可変遅延回路の遅延時間を設定してよい。

20

【0012】

可変遅延回路は、調整部が変化させるそれぞれの遅延時間毎にストローブを複数回出力し、ドライバコンパレータは、調整される可変遅延回路がストローブを出力するべきタイミングにおいて値が変化する調整用信号を複数回発生し、タイミング比較器は、複数回出力されたストローブを用いて、調整用信号の値を検出し、調整部は、調整用信号における変化前の値と変化後の値を、タイミング比較器が検出する回数が、略同一回数となる遅延時間に可変遅延回路の遅延時間を設定してよい。

【0013】

調整部は、複数のタイミング比較器における比較結果のうち、調整するべき可変遅延回路に対応するタイミング比較器の比較結果を選択する比較結果選択回路と、比較結果選択回路が選択した比較結果において、調整用信号における変化前の値と変化後の値を検出した回数を計数するフェイルカウンタとを有してよい。

30

【0014】

それぞれが複数の可変遅延回路のいずれかに対応して設けられ、調整用信号を対応する可変遅延回路のオフセット遅延量だけ遅延させて、対応するタイミング比較器に供給する、縦続接続された複数の遅延素子を更に備えてよい。遅延素子のそれぞれは、対応する可変遅延回路と略同一の特性を有し、最小の遅延を生成する遅延経路における遅延量が、対応する可変遅延回路の最小の遅延を生成する遅延経路における遅延量と略同一の調整用可変遅延回路であって、遅延素子は、調整用可変遅延回路の最小の遅延を生成する遅延経路を用いて、調整用信号をオフセット遅延量だけ遅延させることが好ましい。

40

【0015】

クロック発生器は、調整用信号を所望の遅延量だけ遅延させて出力する調整信号生成可変遅延回路と、調整信号生成可変遅延回路における遅延量を制御するためのリニアライズメモリとを有してよい。

【0016】

本発明の第2の形態においては、電子デバイスを試験する試験装置であって、電子デバイスを試験するための試験パターンを生成するパターン発生器と、試験パターンを成形し、電子デバイスに供給する波形整形器と、試験パターンに応じて、電子デバイスが出力する

50

出力信号に基づいて、電子デバイスの良否を判定する判定器とを備え、判定器は、出力信号の値を検出するための複数のストロープを有するマルチストロープを生成するマルチストロープ装置を有し、マルチストロープ装置は、複数のストロープのそれぞれのストロープが生成されるべきタイミングで、調整用信号を発生可能なクロック発生器と、複数のストロープを生成するストロープ生成回路と、調整用信号に基づいて、ストロープ生成回路が、ストロープのそれぞれを発生するタイミングを調整する調整部とを含むことを特徴とする試験装置を提供する。

【0017】

本発明の第3の形態においては、複数のストロープを有するマルチストロープの、それぞれのストロープを生成するタイミングを調整する調整方法であって、複数のストロープのそれぞれのストロープが生成されるべきタイミングで、調整用信号を発生する調整用信号発生段階と、複数のストロープを生成するストロープ発生段階と、調整用信号に基づいて、ストロープ発生段階において、ストロープのそれぞれを発生するタイミングを調整する調整段階とを備えることを特徴とするマルチストロープ調整方法を提供する。

10

【0018】

尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又、発明となりうる。

【0019】

【発明の実施の形態】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

20

【0020】

図1は、本発明の実施形態に係る試験装置100の構成の一例を示す。試験装置100は、複数のストロープを有するマルチストロープを用いて、電子デバイス200の出力信号の値を検出することにより、電子デバイス200を試験する。

【0021】

試験装置100は、周期発生器10、パターン発生器12、波形整形器14、クロック発生器70、ドライバコンパレータ20、及び判定器16を備える。周期発生器10は、試験装置100を動作させるためのタイミング信号を生成する。例えば、周期発生器10は、パターン発生器12から、電子デバイス200に試験パターンを供給するタイミングを示すテストセット信号を受け取り、電子デバイス200に試験パターンを供給するタイミングを示す信号を、波形整形器14に供給する。また、試験装置100の動作を同期させる基準クロックを生成し、試験装置100の各構成要素に供給する。

30

【0022】

パターン発生器12は、電子デバイス200を試験するための試験パターンを生成し、波形整形器14に供給する。波形整形器14及びクロック発生器70は、受け取った試験パターンを整形し、周期発生器10から受け取った信号に応じて、整形した試験パターンをドライバコンパレータ20を介して電子デバイス200に供給する。

【0023】

判定器16は、与えられた試験パターンに応じて電子デバイス200が出力する出力信号に基づいて、電子デバイス200の良否を判定する。判定器16は、複数のストロープを有するマルチストロープを生成し、生成したマルチストロープにより電子デバイス200の出力信号の値を検出するマルチストロープ装置30と、マルチストロープ装置30が検出した出力信号の値に基づいて、電子デバイス200の良否を判定する論理比較器34とを有する。論理比較器34には、パターン発生器12から電子デバイス200が出力するべき期待値信号が供給され、当該期待値信号と、出力信号の値とを比較することにより、電子デバイス200の良否を判定する。

40

【0024】

また、クロック発生器70は、マルチストロープ装置30にマルチストロープを生成させ

50

るためのストローク信号を供給してよい。この場合、周期発生器 70 は、クロック発生器 70 にタイミング信号を供給し、クロック発生器 70 は、受け取ったタイミング信号に基づいて、ストローク信号をマルチストローク装置 30 に供給する。

【0025】

また、電子デバイス 200 は、例えば DDR - SDRAM であって、判定器 16 は、出力信号として DDR - SDRAM のデータ信号、及びデータ信号に同期して出力されるクロック信号である DQS を受け取ってよい。この場合、判定器 16 は、受け取ったデータ信号及び DQS に基づいて、電子デバイス 200 のセットアップ/ホールド試験を行い、電子デバイス 200 の良否を判定してよい。

【0026】

図 2 は、DDR - SDRAM のセットアップ試験の一例を説明する図である。本例において、試験装置 100 は、DQS の値とデータ信号 (DQ) の値とをそれぞれマルチストロークにより検出し、電子デバイス 200 のセットアップ試験を行う。DDR - SDRAM は、DQ と DQS の立ち上がりエッジを略一致させて出力させるが、試験装置 100 は、DQ の値を検出するマルチストロークの発生タイミングを、DQS の値を検出するマルチストロークの発生タイミングに対して、予め定められたオフセット量だけずらし、それぞれの値を検出する。例えば、試験装置 100 は、DDR - SDRAM の実使用時に用いられるメモリコントローラが、DQ に対して DQS をずらす量だけ DQ 側のマルチストロークの発生タイミングをずらしてよい。

【0027】

試験装置 100 は、検出した DQS の値の変化点において、DDR - SDRAM が所定の値の DQ を出力しているか否かに基づいて、DDR - SDRAM の良否を判定する。図 2 (a) 及び図 2 (b) は、DQ 及び DQS のタイミングチャートの一例を示す。図 2 (a) に示した例においては、DQS の値の変化点において、DQ が所定の値を示すため、試験装置 100 は、DDR - SDRAM を良品と判定する。また、図 2 (b) に示した例においては、DQS の値の変化点において、DQ が所定の値を示さないため、試験装置 100 は、DDR - SDRAM を不良品と判定する。

【0028】

本例における試験装置 100 は、DQS 及び DQ のそれぞれについて、マルチストロークを用いて値の変化点を検出する。つまり、マルチストロークのいずれのストロークにおいて、DQS 及び DQ の値の変化点を検出したかを判定し、DQS 及び DQ の値の変化点を検出したストロークのそれぞれの位置に基づいて、DDR - SDRAM の良否を判定する。

【0029】

本例における試験装置 100 によれば、DQ 及び DQS の 1 サイクルに対して、複数のストロークを有するマルチストロークによって値を検出するため、DQ 及び DQS の遅延時間がサイクル毎にばらついた場合であっても、精度よく試験を行うことができる。また、DDR - SDRAM のホールド試験についても、同様に行うことができる。

【0030】

図 3 は、クロック発生器 70 及びドライバコンパレータ 20 の構成の一例を示す。クロック発生器 70 は、波形整形器 14 から、試験パターンに応じたセット信号及びリセット信号を受け取り、セット信号及びリセット信号に基づいて試験パターンの立ち上がりエッジ及び立ち下がりエッジを生成する。

【0031】

クロック発生器 70 は、セット信号を遅延させる可変遅延回路 22 a、リセット信号を遅延させる可変遅延回路 22 b、可変遅延回路 22 a における遅延時間を制御するためのリニアライズメモリ 24 a、可変遅延回路 22 b における遅延時間を制御するためのリニアライズメモリ 24 b、セットリセットラッチ 26 を有する。

【0032】

リニアライズメモリ 24 a 及びリニアライズメモリ 24 b は、電子デバイス 200 に与え

10

20

30

40

50

るべき試験パターンに応じて、対応する可変遅延回路 22 における遅延時間を制御する。それぞれのリニアライズメモリ 24 には、遅延設定値に応じて可変遅延回路 22 を制御するための制御情報が格納され、当該制御情報は、対応する可変遅延回路 22 の特性に応じて、予めキャリブレーションされている。これにより可変遅延回路 22 における遅延時間を精度よく制御することができる。

【 0033 】

セトリセットラッチ 26 は、それぞれの可変遅延回路 22 が遅延させたセット信号及びリセット信号に基づいて、電子デバイス 200 に供給する試験パターンの立ち上がりエッジ及び立ち下がりエッジを生成し、ドライバコンパレータ 20 のドライバ 28 を介して電子デバイス 200 に供給する。ドライバコンパレータ 20 のコンパレータ 32 は、電子デバイス 200 が出力する出力信号と所定の値とを比較し、比較結果をマルチストローク装置 30 に供給する。ここで、出力信号は、前述した DQS 及び DQ であってよい。

10

【 0034 】

マルチストローク装置 30 は、マルチストロークによりコンパレータ 32 における比較結果を検出し、検出した比較結果を論理比較器 34 に供給する。

【 0035 】

図 4 は、マルチストローク装置 30 の構成の一例を示す。マルチストローク装置 30 は、複数のストロークを生成するストローク生成回路 40 と、ドライバコンパレータ 20 における比較結果を、マルチストロークにより検出するタイミング比較回路 60 と、ストローク生成回路 40 がストロークのそれぞれを発生するタイミングを調整する調整部 50 とを有する。ストローク生成回路 40 には、ストロークを生成するためのストローク信号が与えられる。当該ストローク信号は、例えばクロック発生器 70 が生成してよい。

20

【 0036 】

ストローク生成回路 40 は、縦続接続された複数の可変遅延回路 46 を有する。また、タイミング比較回路 60 は、縦続接続された複数の遅延素子 42、及び複数のタイミング比較器 44 を有する。複数の可変遅延回路 46 は、ストローク信号を受け取り、受け取ったストローク信号を所定の時間遅延させ、それぞれストロークとして順次出力し、マルチストロークを生成する。複数の遅延素子 42 は、電子デバイス 200 の出力信号をタイミング比較器 44 に供給する。また、複数のタイミング比較器 44 は、それぞれが可変遅延回路 46 のいずれかに対応して設けられ、対応する可変遅延回路 46 が出力したストロークと、電子デバイス 200 の出力信号とを受け取り、受け取ったストロークにより当該出力信号の値を検出する。

30

【 0037 】

複数の遅延素子 42 は、それぞれが複数の可変遅延回路 46 のいずれかに対応して設けられ、コンパレータ 32 の比較結果を受け取り、受け取った比較結果を所定の時間順次遅延させ、それぞれ対応するタイミング比較器 44 に供給する。それぞれの遅延素子 42 は、受け取った比較結果を対応する可変遅延回路 46 のオフセット遅延量だけ遅延させる。

【 0038 】

ここで、オフセット遅延量とは、可変遅延回路において最小の遅延量を生成する経路を選択した場合において生じる遅延量である。例えば、オフセット遅延量は、可変遅延回路において信号を遅延させない経路を選択した場合において生じる遅延量を指す。つまり、オフセット遅延量は、可変遅延回路 46 における遅延設定値と遅延時間との誤差を示す。遅延素子 42 によって、受け取った信号を対応する可変遅延回路 46 のオフセット遅延量だけ遅延させてタイミング比較器 44 に供給することにより、可変遅延回路 46 における遅延時間の誤差を低減することができる。

40

【 0039 】

それぞれの遅延素子 42 は、対応する可変遅延回路 46 と略同一の特性を有し、それぞれの最小の遅延を生成する遅延経路の遅延量が、対応する可変遅延回路 46 の最小の遅延を生成する遅延経路の遅延量と略同一である調整用可変遅延回路であって、遅延素子 46 は、調整用可変遅延回路の最小の遅延を生成する遅延経路を用いて、受け取った信号を対応

50

する可変遅延回路 4 6 のオフセット遅延量だけ遅延させる。

【 0 0 4 0 】

例えば、遅延素子 4 2 は、対応する可変遅延回路 4 6 と同一の材料及び同一のプロセスにより形成される。遅延素子 4 2 として、対応する可変遅延回路 4 6 と同一の特性を有する調整用可変遅延回路を用いることにより、可変遅延回路 4 6 におけるオフセット遅延量と同一の遅延量を精度よく生成することができる。また、温度変化等により可変遅延回路 4 6 におけるオフセット遅延量が変動した場合であっても、同一の特性を有する遅延素子 4 2 を用いることにより、当該変動を吸収することができる。

【 0 0 4 1 】

タイミング比較器 4 4 は、それぞれ対応する可変遅延回路 4 6 から受け取ったストロークのタイミングにおける、遅延素子 4 2 が出力する信号の値を検出し、検出した値を調整部 5 0 を介して論理比較器 3 4 に供給する。論理比較器 3 4 は、タイミング比較器 4 4 から受け取った値と、パターン発生器 1 2 が生成する期待値信号とを比較する。図 1 に関連して説明した判定器 1 6 は、論理比較器 3 4 における比較結果に基づいて、電子デバイス 2 0 0 の良否を判定する。

10

【 0 0 4 2 】

以上の動作により、試験装置 1 0 0 は、電子デバイス 2 0 0 の出力信号の値を、マルチストロークにより検出し、電子デバイス 2 0 0 の良否を判定する。次に、マルチストローク装置 3 0 における、複数のストロークの発生タイミングの調整について説明する。

【 0 0 4 3 】

マルチストローク装置 3 0 における複数のストロークの発生タイミングを調整する場合、クロック発生器 7 0 は、複数のストロークのそれぞれのストロークが生成されるべきタイミングで値が変化する調整用信号を出力する。つまり、クロック発生器 7 0 は、それぞれの可変遅延回路 4 6 における遅延量を設定するための、調整用信号を出力する。この場合、パターン発生器 1 2 は、調整用信号を生成するための信号を出力する。クロック発生器 7 0 は、マルチストローク装置 3 0 に与えられるストローク信号と同期して調整用信号を発生する。

20

【 0 0 4 4 】

クロック発生器 7 0 は、前述したように予めキャリブレーションされたりニアライズメモリ 2 4、及び可変遅延回路 2 2 (調整信号生成可変遅延回路)を用いて調整用信号を生成するため、所望のタイミングで精度よく値が変化する調整用信号を生成することができる。まず、クロック発生器 7 0 は、縦続接続された可変遅延回路 4 6 のうち、初段の可変遅延回路 4 6 - 1 における遅延量を設定するための調整用信号を出力する。つまり、可変遅延回路 4 6 - 1 において設定されるべき遅延量に応じたタイミングで値が変化する調整用信号を出力する。調整用信号は、複数の遅延素子 4 2 により、可変遅延回路 4 6 のオフセット遅延量と略同一の遅延量で遅延され、タイミング比較器 4 4 に供給される。

30

【 0 0 4 5 】

タイミング比較器 4 4 - 1 は、可変遅延回路 4 6 - 1 が出力するストロークを用いて調整用信号の値を検出することにより、調整用信号の値の変化点のタイミングと、ストロークのタイミングとの比較を行う。調整部 5 0 は、タイミング比較器 4 4 - 1 における比較結果に基づいて、可変遅延回路 4 6 - 1 の遅延時間を設定する。

40

【 0 0 4 6 】

クロック発生器 7 0 は、複数のストロークが生成されるべき複数のタイミングで順次調整用信号を発生する。調整部 5 0 は、複数のタイミングで生成されたそれぞれの調整用信号に基づいて、同様に全ての可変遅延回路 4 6 の遅延時間を初段側の可変遅延回路 4 6 から順次設定することにより、ストローク生成回路 4 0 が、それぞれのストロークを生成するタイミングを調整する。

【 0 0 4 7 】

調整部 5 0 は、比較結果選択回路 5 2、フェイルカウンタ 5 6、及び調整手段 5 8 を有する。比較結果選択回路 5 2 は、複数のタイミング比較器 4 4 の比較結果から、遅延時間を

50

調整すべき可変遅延回路 46 に対応するタイミング比較器 44 の比較結果を選択する。調整部 50 は、選択された比較結果に基づいて、調整すべき可変遅延回路 46 が出力するストロープのタイミングと、調整用信号の値の変化点のタイミングとが一致するように、可変遅延回路 46 の遅延時間を調整する。

【 0048 】

例えば、調整部 50 は、調整すべき可変遅延回路 46 の遅延時間を順に変化させ、調整すべき可変遅延回路 46 が出力するストロープのタイミングと、調整用信号のタイミングとが略一致したとタイミング比較器 44 が判定する遅延時間に、調整すべき可変遅延回路 46 の遅延時間を設定する。例えば、調整手段 58 が可変遅延回路 46 の遅延時間を順に変化させる。また、クロック発生器 70 は、調整部 50 が可変遅延回路 46 の遅延時間を

10

【 0049 】

また、クロック発生器 70 は、調整手段 58 が調整すべき可変遅延回路 46 の遅延時間を変化させる毎に、調整用信号を複数回出力してもよい。この場合、可変遅延回路 46 は、調整用信号に応じて複数回ストロープを出力し、タイミング比較器 44 は、それぞれのストロープにより対応する調整用信号の値をそれぞれ検出する。比較結果選択回路 52 は、選択した複数の比較結果をフェイルカウンタ 56 に供給する。フェイルカウンタ 56 は、受け取った比較結果に基づいて、調整用信号における変化前の値を検出した回数と、変化後の値を検出した回数の両方又はいずれかを計数する。

【 0050 】

調整手段 58 は、フェイルカウンタ 56 の計数結果に基づいて、調整すべき可変遅延回路 46 における遅延時間を設定する。例えば、調整手段 58 は、調整用信号における変化前の値を検出した回数と、変化後の値を検出した回数とが略同一となる遅延時間に、調整すべき可変遅延回路 46 の遅延時間を設定する。また、調整手段 58 は、調整用信号における変化前の値を検出した回数、又は変化後の値を検出した回数が、調整すべき可変遅延回路 46 がストロープを出力した回数の略半分となるように、調整すべき可変遅延回路 46 の遅延時間を設定してもよい。また、調整手段 58 は、変化させた遅延時間のうち、調整用信号における変化前の値を検出した回数と、変化後の値を検出した回数との差が最も小さい遅延時間に、調整すべき可変遅延回路 46 の遅延時間を設定してもよい。

20

【 0051 】

また、調整手段 58 は、調整すべき可変遅延回路 46 における遅延時間を、例えば昇順又は降順に変化させて、それぞれの遅延時間に対応する計数結果に基づいて調整すべき可変遅延回路 46 の遅延時間を設定する。また、他の例においては、調整手段 58 は、調整すべき可変遅延回路 46 における遅延時間を、例えば二分探索法等に基づいて変化させ、最適な遅延時間を検出してもよい。

30

【 0052 】

以上説明した遅延時間の設定を、全ての可変遅延回路 46 に対して初段側から順に行うことにより、マルチストロープにおけるそれぞれのストロープ間隔を、所望の間隔に精度よく設定することができる。また、試験装置 100 は、電子デバイス 200 の試験を行う場合に用いる、ドライバコンパレータ 20、遅延素子 42、タイミング比較器 44 を含む出力信号伝達経路を用いて可変遅延回路 46 の遅延時間を調整する。このため、出力信号伝達経路の特性によって生じる、出力信号とマルチストロープとのタイミング誤差の影響をも、電子デバイス 200 の試験において低減することができる。例えば、タイミング比較器 44 における応答特性による影響を低減することができる。また、マルチストロープ装置 30 は、クロック発生器 70 と同様の機能及び構成を有するクロック発生器を、更に有してもよい。この場合、調整用信号はマルチストロープ装置 30 が有するクロック発生器が生成する。

40

【 0053 】

図 5 は、それぞれの可変遅延回路 46 が出力するストロープのタイミング調整を説明する図である。本例においては、調整用信号は、それぞれの可変遅延回路 46 がストロープを

50

出力するべきタイミングで、0から1に値が変化する信号である。まず、図5(a)に示すように、初段の可変遅延回路46-1の遅延時間を変化させ、可変遅延回路46-1が出力するストローブ1のタイミング調整を行う。

【0054】

ストローブ1のタイミング調整においては、図4において説明したように、タイミング比較器44-1がストローブ1における調整用信号の値を複数回検出する。ここで、タイミング比較器44-1の比較結果において、変化前の値である0を検出した回数と、変化後の値である1を検出した回数とが略同一となるように、可変遅延回路46-1の遅延時間を設定する。

【0055】

次に、クロック発生器70は、ストローブ2が生成されるべきタイミングで値が変化する調整用信号を生成する。調整部50は、図5(b)に示すように、ストローブ2のタイミング調整を同様に言い、以下、全てのストローブに対しタイミング調整を同様に言い。例えば、全てのストローブ間隔が T_1 となるようにタイミング調整を行う。

【0056】

図6は、本発明の実施形態に係るマルチストローブのタイミング調整方法の一例を示すフローチャートである。当該調整方法は、図1から図5に関連して説明したマルチストローブ装置30と同様の方法で、マルチストローブ装置30が生成するマルチストローブのそれぞれのストローブのタイミングを調整する。

【0057】

まず、調整用信号発生段階S300で、複数のストローブのそれぞれのストローブが生成されるべきタイミングで、調整用信号を発生し、出力する。S300は、図3に関連して説明したクロック発生器70及びドライバコンパレータ20を用いて行ってよい。

【0058】

次に、ストローブ発生段階S302で、複数のストローブを有するマルチストローブを生成する。S302は、図4に関連して説明したストローブ生成回路40を用いて行ってよい。

【0059】

次に、遅延時間変化段階S304で、調整するべき可変遅延回路46の遅延時間を変化させ、調整するべきストローブの発生タイミングを変化させる。S304は、図4に関連して説明した調整部50を用いて行ってよい。

【0060】

次に、値検出段階S306で、発生タイミングを変化させたそれぞれのストローブにおける調整用信号の値を検出する。S306においては、前述したようにそれぞれの発生タイミングにおいて調整用信号の値を複数回検出してもよい。S306は、図4に関連して説明したタイミング比較器44を用いて行ってよい。

【0061】

次に、遅延量設定段階S308で、S306において検出した値に基づいて、調整するべき可変遅延回路46の遅延量を設定する。S308は、図4に関連して説明した調整部50を用いて行ってよい。

【0062】

次に、判定段階S310で、全ての可変遅延回路46の遅延量を設定したかを判定する。全ての可変遅延回路46の遅延量を設定した場合、処理を終了する。また、全ての可変遅延回路46の遅延量を設定していない場合、次に調整するべき可変遅延回路に応じて、調整用信号の遅延量を設定し、S300~S310の処理を繰り返す。本調整方法によれば、マルチストローブのそれぞれのストローブの発生タイミングを精度よく調整することができる。

【0063】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更または改良を加えることができ

10

20

30

40

50

る。そのような変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【 0 0 6 4 】

【発明の効果】

上記説明から明らかなように、本発明によれば、それぞれのストロークのタイミングを精度よく制御したマルチストロークを生成することができる。このため、電子デバイスを精度よく試験することができる。

【図面の簡単な説明】

【図 1】 本発明の実施形態に係る試験装置 100 の構成の一例を示す図である。

【図 2】 DDR - SDRAM のセットアップ試験の一例を説明する図である。図 2 (a) は、DQS と DQ のタイミングチャートの一例を示し、図 2 (b) は、DQS と DQ のタイミングチャートの他の例を示す。

10

【図 3】 クロック発生器 70 及びドライバコンパレータ 20 の構成の一例を示す図である。

【図 4】 マルチストローク装置 30 及びタイミング比較回路 60 の構成の一例を示す図である。

【図 5】 それぞれの可変遅延回路 46 が出力するストロークのタイミング調整を説明する図である。図 5 (a) は、ストローク 1 のタイミング調整を示す図であり、図 5 (b) は、ストローク 2 のタイミング調整を示す図である。

【図 6】 本発明の実施形態に係るマルチストロークのタイミング調整方法の一例を示すフローチャートである。

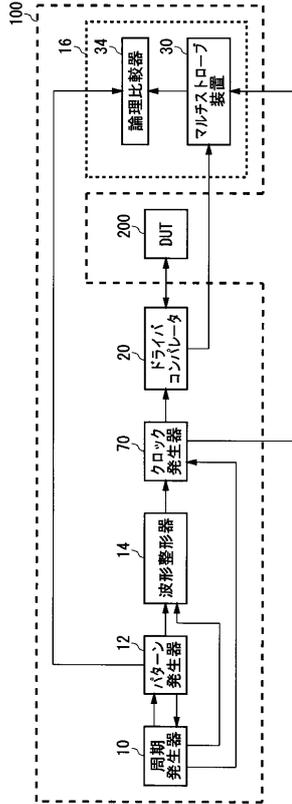
20

【符号の説明】

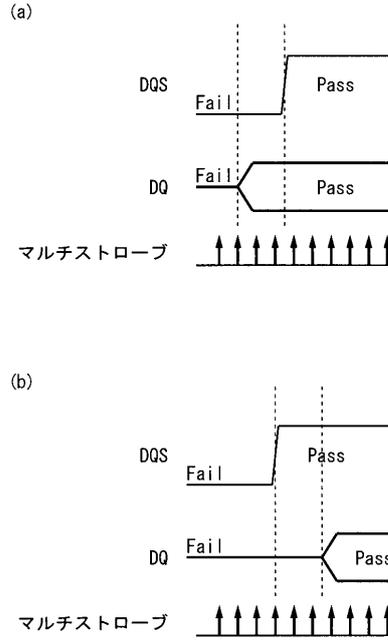
10・・・周期発生器、12・・・パターン発生器、14・・・波形整形器、16・・・判定器、20・・・ドライバコンパレータ、22・・・可変遅延回路、24・・・リニアライズメモリ、26・・・セットリセットラッチ、28・・・ドライバ、30・・・マルチストローク装置、32・・・コンパレータ、34・・・論理比較器、40・・・ストローク生成回路、42・・・遅延素子、44・・・比較器、46・・・可変遅延回路、50・・・調整部、52・・・比較結果選択回路、56・・・フェイルカウンタ、58・・・調整手段、60・・・タイミング比較回路、70・・・クロック発生器、100・・・試験装置、200・・・電子デバイス

30

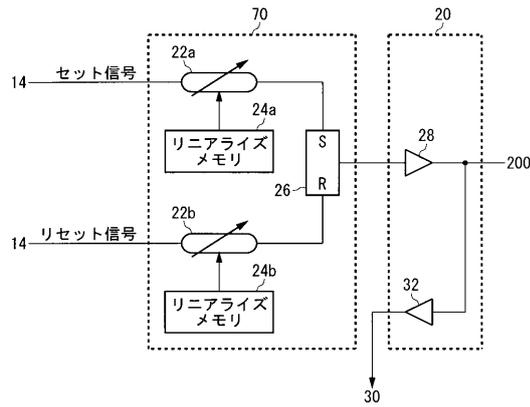
【図1】



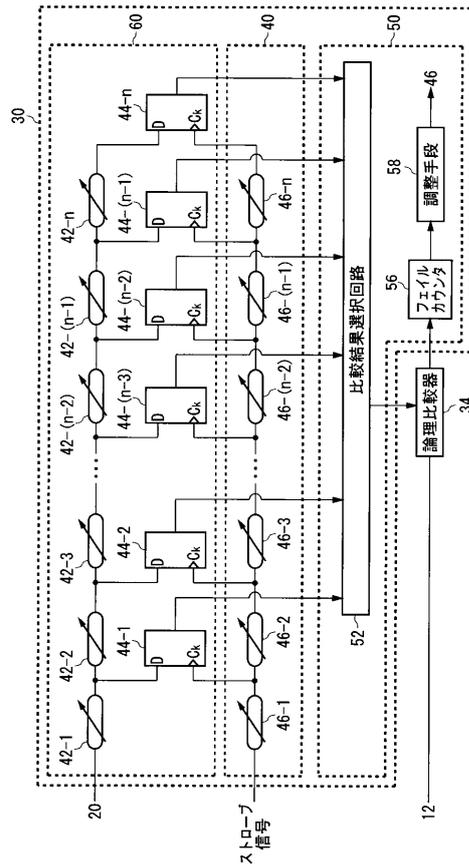
【図2】



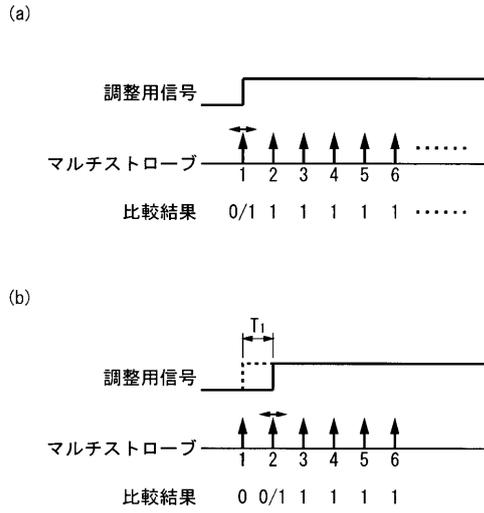
【図3】



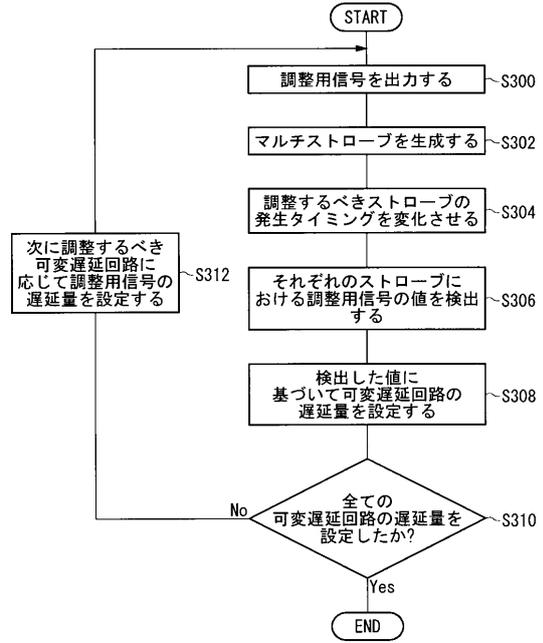
【図4】



【図5】



【図6】



フロントページの続き

審査官 藤原 伸二

- (56)参考文献 特開平10-073645(JP,A)
特開2002-196049(JP,A)
特開2001-027660(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G01R 31/28-31/3193
G11C 11/401
G11C 29/56
H03K 3/64-3/86