

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2007 年 4 月 12 日 (12.04.2007)

PCT

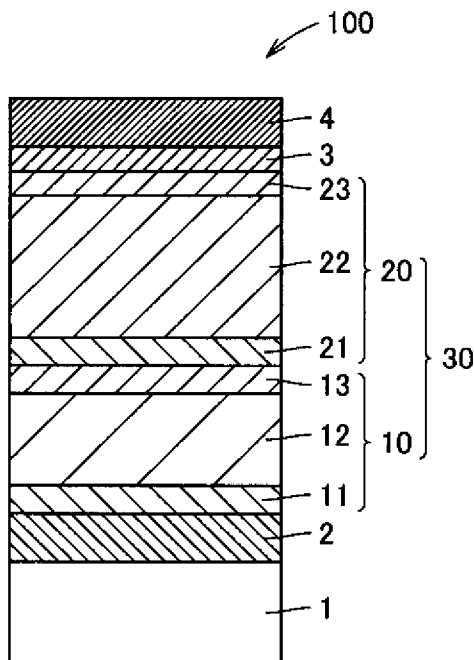
(10) 国際公開番号  
WO 2007/040183 A1

- (51) 国際特許分類:  
H01L 31/04 (2006.01) H01L 21/205 (2006.01)  
C23C 16/24 (2006.01)
- (21) 国際出願番号: PCT/JP2006/319510
- (22) 国際出願日: 2006 年 9 月 29 日 (29.09.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2005-290191 2005 年 10 月 3 日 (03.10.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 岸本 克史 (KISHI-MOTO, Katsushi).
- (74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー 22 階 深見特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SILICON-BASED THIN FILM PHOTOELECTRIC CONVERTER, AND METHOD AND APPARATUS FOR MANUFACTURING SAME

(54) 発明の名称: シリコン系薄膜光電変換装置、その製造方法およびその製造装置



(57) Abstract: Disclosed is a method for manufacturing a silicon-based thin film photoelectric converter which is characterized in that a multilayer body (30) of double pin structure is formed by sequentially forming, on a transparent conductive film (2) formed on a substrate (1), a first p-type semiconductor layer (11), an i-type amorphous silicon-based photoelectric conversion layer (12), a first n-type semiconductor layer (13), a second p-type semiconductor layer (21), an i-type microcrystalline silicon-based photoelectric conversion layer (22), and a second n-type semiconductor layer (23) in the same plasma CVD chamber, and the first p-type semiconductor layer (11), the i-type amorphous silicon-based photoelectric conversion layer (12) and the first n-type semiconductor layer (13) are formed at a film-forming pressure in the plasma CVD chamber of 200-3000 Pa and a power density per unit electrode area of 0.01-0.3 W/cm<sup>2</sup>. By this method, a silicon-based thin film photoelectric converter having good quality and high photoelectric conversion efficiency can be highly efficiently manufactured at low cost by using a simple production apparatus.

(57) 要約: 本シリコン系薄膜光電変換装置の製造方法は、基板 (1) 上に形成された透明導電膜 (2) 上に、第 1 の p 型半導体層 (11)、i 型非晶質シリコン系光電変換層 (12)、第 1 の n 型半導体層 (13)、第 2 の p 型半導体層 (21)、i 型微結晶シリコン系光電変換層 (22) および第 2 の n 型半導体層 (23) を、同一のプラズマ CVD 成膜室内で、順次形成して二重 pin 構造積

層体 (30) を形成し、第 1 の p 型半導体層 (11)、i 型非晶質シリコン系光電変換層 (12) および第 1 の n 型半導体層 (13) は、プラズマ CVD 成膜室における成膜圧力が 200 Pa 以上 3000 Pa 以下および電極単位面積当たりの電力密度が 0.01 W/cm<sup>2</sup> 以上 0.3 W/cm<sup>2</sup> 以下で形成されることを特徴とする。これにより、良好な品質を有し、光電変換効率の高いシリコン系薄膜光電変換装置を、簡易な製造装置を用いて低コストでかつ高効率で製造することができる。

WO 2007/040183 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

### シリコン系薄膜光電変換装置、その製造方法およびその製造装置 技術分野

[0001] 本発明は、良好な性能を有するシリコン系薄膜光電変換装置、その製造方法およびその製造装置に関し、特に、生産コストおよび生産効率が飛躍的に改善したシリコン系薄膜光電変換装置、その製造方法およびその製造装置に関するものである。なお、本願において、「多結晶」、「微結晶」および「結晶質」の用語は、部分的に非晶質状態を含むものを意味するものとする。

### 背景技術

[0002] 近年、たとえば、多結晶シリコンまたは微結晶シリコンのような結晶質シリコンを含む薄膜を利用した太陽電池の開発および生産量の拡大が世界的に注目されている。この太陽電池の大きな特徴は、大面積の安価な基板上に、プラズマCVD装置またはスパッタ装置のような成膜装置を用いて、半導体膜または金属電極膜を積層させ、その後、レーザパターニングなどの手法を用いて、同一基板上に作製した太陽電池セルを分離接続させることにより、太陽電池の低コスト化と高性能化を両立させることができる点である。しかしながら、そのような製造工程においては、デバイス作製の基幹装置であるCVD装置に代表される製造装置の高コスト化による太陽電池の製造コストの高まりが、大規模な普及に対する障壁のひとつとなっている。

[0003] 従来から、太陽電池の生産装置としては、複数の成膜室(チャンバとも呼ばれる、以下同じ)を直線状に連結したインライン方式、または中央に中間室を設け、その周りに複数の成膜室を配置するマルチチャンバ方式が採用されている。しかし、インライン方式では、基板搬送の動線が直線状であるため、部分的にメンテナンスの必要が生じた場合でも、装置全体を停止させなければならない。たとえば、最もメンテナンスが必要とされるi型シリコン光電変換層の形成を行なう成膜室を複数含んでいるため、i型シリコン光電変換層の形成を行なう1つの成膜室にメンテナンスが必要となった場合でも、生産ライン全体が停止させられるという難点がある。

[0004] 一方、マルチチャンバ方式は、成膜されるべき基板が中間室を経由して各成膜室

に移動させられる方式であり、それぞれの成膜室と中間室との間に気密を維持し得る可動仕切りが設けられているため、ある1つの成膜室に不都合が生じた場合でも、他の成膜室は使用可能であり、生産が全体的に停止させられるということはない。しかし、このマルチチャンバ方式の生産装置では、中間室を介した基板の動線が複数あり、中間室の機械的な構造が複雑になることは避けられない。たとえば、中間室と各成膜室との間の気密性を維持しつつ基板を移動させる機構が複雑であって高価になる。また、中間室の周りに配置される成膜室の数が空間的に制限されるという問題もある。

[0005] このような問題点を鑑みて、p型半導体層、i型微結晶シリコン系光電変換層およびn型半導体層が、同一のプラズマCVD成膜室内で順に引続いて形成され、かつp型半導体層は、成膜室内の圧力が667Pa (5Torr)以上の条件で形成されることを特徴とするシリコン系薄膜光電変換装置の製造方法が提案されている(たとえば特開平2000-252495号公報(特許文献1)を参照)。この方法によれば、良好な性能および品質を有する光電変換装置を簡易な装置により低コストかつ高効率で製造できるとある。

[0006] しかしながら、この製造方法では、目標とする生産性向上を求めて、この方法で同一成膜室内で繰り返し、p型半導体層、i型シリコン系光電変換層およびn型半導体層(以下、「pin層」ともいう。また、このp型層、i型層およびn型層がこの順に配列された構造を「pin構造」ともいう。)の形成を行なうことにより、プラズマCVD成膜室のカソード上および／または室内面上に形成された残留膜におけるn型層中のn型ドーパントが、次のp型半導体層およびi型シリコン系光電変換層を形成する初期の段階において、n型ドーパントがp型半導体層およびi型シリコン系光電変換層に混入する事態が避けられないという問題がある。

[0007] すなわち、プラズマCVD成膜室内において、まずp型半導体層を形成する際に成膜室のカソード上および／または室内面上にp型層が形成され、次にi型シリコン系光電変換層を形成する際に上記p型層上にi型層が形成され、次にn型半導体層を形成する際に上記i型層上にn型層が形成される。こうしてプラズマCVD成膜室のカソード上および／または室内面上に、残留膜としてp型層、i型層およびn型層の積層

膜が形成される。かかる残留膜におけるn型層中のn型ドーパント(n型不純物原子ともいう、以下同じ)が、次のp型半導体層およびi型シリコン系光電変換層を形成する初期の段階において、n型ドーパントがp半導体層およびi型シリコン系光電変換層に混入するという問題が生じるのである。

[0008] ここで、p型半導体層に対するn型ドーパントの影響としては、n型ドーパントがp型ドーパント(p型不純物原子ともいう、以下同じ)の働きを弱めるため、太陽電池を作製する上で必要なp型半導体層の空間電荷の確保ができなくなる。これにより、従来の良好なp型半導体層の製造条件を用いた場合においても、開放電圧や極性因子の低下といった太陽電池の諸パラメータに悪影響を及ぼす。また、n型ドーパントのi型シリコン系光電変換層への影響としては、残留膜中のn型ドーパントのi型シリコン系光電変換層中への拡散が、i型シリコン系光電変換層中の再結合準位を増加させ、内部電界を弱めることにより、太陽電池の短波長感度の大幅な低下をもたらすことも知られている(たとえば特開平2000-243993号公報(特許文献2)を参照)。

[0009] また、pin層が複数積層されたシリコン系光電変換装置を製造する方法については、非晶質光電変換層をインライン式CVD装置で作製した後、微結晶シリコン系光電変換層を別のCVD装置で製造するという提案もされている(たとえば特開平2000-252496号公報(特許文献3)を参照)。これは、非晶質光電変換層を同一の成膜室で成膜すると特性低下を起こすことが知られていることと、装置タクトが相容れない非晶質光電変換層と微結晶シリコン系光電変換層を別のCVD装置で製造することでラインの効率化を図る目的である。また、インライン方式のCVD装置で問題になるダウンタイムの減少する対策にもなる。

[0010] しかし、上記の製造方法では、いずれも複雑な製造装置およびメンテナンスを必要とするため、良好な特性を有する光電変換装置を簡易な製造装置を用いて低コストおよび高効率に製造できる方法の開発が求められていた。

特許文献1:特開平2000-252495号公報

特許文献2:特開平2000-243993号公報

特許文献3:特開平2000-252496号公報

発明の開示

### 発明が解決しようとする課題

- [0011] 本発明は、良好な品質を有し光電変換効率の高いシリコン系薄膜光電変換装置を、簡易な製造装置を用いて低コストでかつ高効率で製造する方法、製造装置ならびにその製造方法および製造装置により製造された良好な特性を有するシリコン系薄膜光電変換装置を提供することを目的とする。さらに、繰り返して同一のプラズマCVD成膜室を用いて、シリコン系薄膜光電変換装置を歩留まりよく製造できる製造方法、製造装置ならびにその製造方法および製造装置により製造された良好な特性を有するシリコン系薄膜光電変換装置を提供することも目的とする。

### 課題を解決するための手段

- [0012] 本発明は、基板上に形成された透明導電膜上に、第1のp型半導体層、i型非晶質シリコン系光電変換層、第1のn型半導体層、第2のp型半導体層、i型微結晶シリコン系光電変換層および第2のn型半導体層を、同一のプラズマCVD成膜室内で、順次形成して二重pin構造積層体を形成し、第1のp型半導体層、i型非晶質シリコン系光電変換層および第1のn型半導体層は、プラズマCVD成膜室における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成されることを特徴とするシリコン系薄膜光電変換装置の製造方法である。
- [0013] 本発明にかかるシリコン系薄膜光電変換装置の製造方法において、二重pin構造積層体を形成した後に、二重pin構造積層体を含むシリコン系薄膜光電変換装置をプラズマCVD成膜室から搬出し、プラズマCVD成膜室のカソード上および／または室内面上の残留膜を除去することができる。
- [0014] また、本発明にかかるシリコン系薄膜光電変換装置の製造方法は、上記の製造方法により形成された二重pin構造積層体の第2のn型半導体層上に、さらに、p型半導体層、i型結晶質シリコン系光電変換層およびn型半導体層から構成される結晶質pin構造積層体を少なくとも1つ積層することができる。
- [0015] また、本発明は、基板上に形成された透明性導電膜と、二重pin構造積層体とを含むシリコン系薄膜光電変換装置であって、二重pin構造積層体は、透明性導電膜上に順次形成されている第1のp型半導体層、i型非晶質シリコン系光電変換層、第1の

n型半導体層、第2のp型半導体層、i型微結晶シリコン系光電変換層および第2のn型半導体層から構成され、第1のn型半導体層および第2のp型半導体層は、それぞれ不純物窒素原子濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以下、かつ、不純物酸素原子濃度が $1 \times 10^{20} \text{cm}^{-3}$ 以下であることを特徴とするシリコン系薄膜光電変換装置である。

[0016] また、本発明は、基板上に形成された透明性導電膜と、二重pin構造積層体とを含むシリコン系薄膜光電変換装置であって、二重pin構造積層体は、透明性導電膜上に順次形成されている第1のp型半導体層、i型非晶質シリコン系光電変換層、第1のn型半導体層、第2のp型半導体層、i型微結晶シリコン系光電変換層および第2のn型半導体層から構成され、第1のn型半導体層の導電型決定不純物原子濃度が $3 \times 10^{19} \text{cm}^{-3}$ 以下であり、第2のp型半導体層の導電型決定不純物原子濃度が $5 \times 10^{19} \text{cm}^{-3}$ 以下であることを特徴とするシリコン系薄膜光電変換装置である。

[0017] また、本発明は、基板上に形成された透明導電膜上に、p型半導体層、i型非晶質シリコン系光電変換層およびn型半導体層を、同一のプラズマCVD成膜室内で、順次形成し、p型半導体層、i型非晶質シリコン系光電変換層およびn型半導体層は、プラズマCVD成膜室における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01 \text{W}/\text{cm}^2$ 以上 $0.3 \text{W}/\text{cm}^2$ 以下で形成されるシリコン系薄膜光電変換装置の製造方法である。

[0018] 本発明にかかるシリコン系薄膜光電変換装置の製造方法において、非晶質pin構造積層体を形成した後に、非晶質pin構造積層体を含むシリコン系薄膜光電変換装置をプラズマCVD成膜室から搬出し、プラズマCVD成膜室のカソード上および／または室内面上の残留膜を除去することができる。

[0019] また、本発明は、基板上に形成された透明導電膜上に、第1のp型半導体層、第1のi型非晶質シリコン系光電変換層、第1のn型半導体層、第2のp型半導体層、第2のi型非晶質シリコン系光電変換層および第2のn型半導体層を、同一のプラズマCVD成膜室内で、順次形成して二重pin構造積層体を形成し、第1のp型半導体層、第1のi型非晶質シリコン系光電変換層、第1のn型半導体層、第2のp型半導体層、第2のi型非晶質シリコン系光電変換層および第2のn型半導体層は、プラズマCVD成膜室における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電

力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成されることを特徴とするシリコン系薄膜光電変換装置の製造方法である。

[0020] 本発明にかかるシリコン系薄膜光電変換装置の製造方法において、二重pin構造積層体を形成した後に、二重pin構造積層体を含むシリコン系薄膜光電変換装置をプラズマCVD成膜室から搬出し、プラズマCVD成膜室のカソード上および／または室内面上の残留膜を除去することができる。

[0021] また、本発明は、上記の製造方法により製造されたシリコン系薄膜光電変換装置である。

[0022] また、本発明は、上記の製造方法に用いられるシリコン系薄膜光電変換装置の製造装置であって、シリコン系薄膜光電変換装置の製造装置は、内部にカソードおよびアノードが配置されているプラズマCVD成膜室と、プラズマCVD成膜室内のガス圧力を調整するガス圧力調整部と、カソードに電力を供給する電力供給部とを含み、カソードとアノードの距離は3mm以上20mm以下であり、ガス圧力調整部はCVD成膜室内のガス圧力を200Pa以上3000Pa以下の範囲で制御でき、電力供給部はカソードの単位面積当たりの電力密度を $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の範囲で制御できるシリコン系薄膜光電変換装置の製造装置である。

### 発明の効果

[0023] 本発明によれば、同一のプラズマCVD成膜室を利用して、1以上のpin構造積層体を有する薄膜の形成が可能となり、良好な品質を有し光電変換効率の高いシリコン系薄膜光電変換装置を簡易な製造装置を用いて低コストでかつ高効率で製造する方法、製造装置ならびにその製造方法および製造装置により製造された良好な特性を有するシリコン系薄膜光電変換装置を提供することができる。

### 図面の簡単な説明

[0024] [図1]本発明にかかるシリコン系薄膜光電変換装置の一つの実施形態を示す概略断面図である。

[図2]本発明において用いられるプラズマCVD装置の概略図である。

[図3]本発明にかかるシリコン系薄膜光電変換装置の他の実施形態を示す概略断面図である。

[図4]本発明にかかるシリコン系薄膜光電変換装置の製造方法の一実施形態を概略的に示すフローチャートである。

[図5]本発明にかかるシリコン系薄膜光電変換装置のさらに他の実施形態を示す概略断面図である。

[図6]本発明にかかるシリコン系薄膜光電変換装置のさらに他の実施形態を示す概略断面図である。

[図7]本発明にかかるシリコン系薄膜光電変換装置の製造装置の一つの実施形態を示す概略断面図である。

[図8]実施例1において繰り返し作製された積層型シリコン系薄膜光電変換装置の形成回数と光電変換効率の関係を示す図である。

[図9]実施例2において繰り返し作製された積層型シリコン系薄膜光電変換装置の形成回数と光電変換効率の関係を示す図である。

[図10]実施例3において繰り返し作製されたシリコン系薄膜光電変換装置の形成回数と光電変換効率の関係を示す図である。

[図11]実施例4において繰り返し作製された積層型シリコン系薄膜光電変換装置の形成回数と光電変換効率の関係を示す図である。

## 符号の説明

- [0025] 1 基板、2 透明導電膜、3 導電膜、4 金属電極、10, 50 非晶質pin構造積層体、11, 21, 41 p型半導体層、12, 52 i型非晶質シリコン系光電変換層、13, 23, 43 n型半導体層、20 微結晶pin構造積層体、22 i型微結晶シリコン系光電変換層、30, 60 二重pin構造積層体、40 結晶質pin構造積層体、42 i型結晶質シリコン系光電変換層、100, 300, 500, 600 シリコン系薄膜光電変換装置、200 プラズマCVD装置、201 電力供給部、205 インピーダンス整合回路、206a, 206b 電力供給線、208 電力出力部、210 加熱室、211 ガス圧力調整部、213 ガス導入管、213v, 217v 圧力調整バルブ、216 ガス排出装置、217 ガス排出管、220 成膜室、221 室内面、222 カソード、223 アノード、230 取出し室。

## 発明を実施するための最良の形態

- [0026] (実施形態1)

本発明のシリコン系薄膜光電変換装置の製造方法の一つの実施形態は、図1および図2を参照して、基板1上に透明導電膜2を形成する工程と、透明導電膜2上に第1のp型半導体層11、i型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、i型微結晶シリコン系光電変換層22および第2のn型半導体層23を順次連続して形成して二重pin構造積層体30を形成する工程とを含み、二重pin構造積層体30を形成する工程は同一のプラズマCVD成膜室220内で行い、第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13は、プラズマCVD成膜室における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成されることを特徴とする。

[0027] すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法では、図1および図2を参照して、基板1上に形成された透明導電膜2上に第1のp型半導体層11、i型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、i型微結晶シリコン系光電変換層22および第2のn型半導体層23を、同一のプラズマCVD成膜室220内で、順次連続して形成して二重pin構造積層体30を形成する。ここで、第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13は、プラズマCVD成膜室における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成される。なお、本実施形態では、同一のプラズマCVD成膜室220内のカソード222とアノード223間の距離は、3mm以上20mm以下の範囲であることが好ましく、また、固定されていることが好ましい。

[0028] 従来、i型非晶質シリコン系光電変換層12を有する非晶質pin構造積層体10とi型微結晶シリコン系光電変換層22を有する微結晶pin構造積層体20の二重pin構造積層体30を有する光電変換装置(このように、二重pin構造積層体を有するシリコン系薄膜光電変換装置を積層型シリコン系薄膜光電変換装置ともいう、以下同じ)を形成する場合、それぞれのpin構造積層体は、別のプラズマCVD成膜室で形成されることが通常である。i型微結晶シリコン系光電変換層22を形成するプラズマCVD成膜室では、良質な膜を形成するために、カソードとアノードの距離を小さく設定する。す

なわち、カソードとアノードの距離はたとえば3mmから20mm、好ましくは5mmから15mm、さらに好ましくは7mmから12mmとし、プラズマCVD成膜室内の圧力を高圧力条件として膜を形成することが必要である。一方、i型非晶質シリコン系光電変換層12を形成するプラズマCVD成膜室では、カソードとアノードの距離をより大きく設定することが通常であった。カソードとアノードの距離を小さく設定すると、その距離のカソード面内不均一性が、カソードとアノード上の基板と間の電界強度のカソード面内分布により大きく影響するためであり、また、i型非晶質シリコン系光電変換層12を形成する場合は、i型微結晶シリコン系光電変換層22を形成する場合と比較して、プラズマCVD成膜室内に導入する原料ガスがより放電し易いガス組成であり、カソードとアノードの距離の自由度が大きいからである。

[0029] 本実施形態のように、i型非晶質シリコン系光電変換層12を有するpin構造積層体およびi型微結晶シリコン系光電変換層22を有するpin構造積層体を同一のプラズマCVD成膜室220内で形成するためには、良質なi型微結晶シリコン系光電変換層22を形成するために、カソード222とアノード223間の距離が小さく設定された電極構造とする必要があり、これと同一の電極構造でi型非晶質シリコン系光電変換層12を形成することとなる。

[0030] カソード222とアノード223間の距離が小さくなった場合に、プラズマCVD成膜室内の膜形成時の圧力を高くして放電を発生し易くすることは、パッシェンの法則から容易に想到しうるものである。しかし、本発明では、i型非晶質シリコン系光電変換層12を有する非晶質pin構造積層体10の形成条件を、通常の場合と比較して、成膜圧力を高く設定し、カソード222の単位面積当たりの電力密度を小さく設定することにより、従来では考えられなかった不純物の混入または拡散を低減する効果を利用して、同一のプラズマCVD成膜室220内で二重pin構造積層体30を繰り返し形成した場合でも、光電変換効率の高い積層型シリコン系薄膜光電変換装置100を製造することができる。

[0031] 本実施形態においては、成膜圧力200Pa以上3000Pa以下、かつ、電極単位面積当たりの電力密度 $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の条件下で、第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13を順

次連続して形成することによって、同一のプラズマCVD成膜室で非晶質pin構造積層体10(p型層、i型層およびn型層がこの順に形成されi型層が非晶質である積層体をいう、以下同じ)を形成することができる。ここで、本実施形態およびその他の実施形態のいずれにおいても、pin構造積層体の形成の際にカソードに電力を供給することから、電極単位面積当たりの電力密度とは、カソードの電極単位面積当たりの電力密度を意味する。

[0032] このような条件で第1のn型半導体層13が形成される場合は、第1のn型半導体層13および成膜室内の残留膜中のn型不純物原子は他の層への拡散がしにくく、第2のp型半導体層21およびi型微結晶シリコン系光電変換層22に影響を及ぼさない。

[0033] 第1のn型半導体層13は、非晶質半導体または結晶質半導体のどちらでも良いが、結晶質半導体とすることが望ましい。結晶質半導体に含まれる結晶部分はn型不純物原子のドーピング効率が高いため、第1のn型半導体層13が結晶部分を含むことにより、n型不純物原子濃度を大きくすることなく所望の導電率を得ることができる。したがって、第1のn型半導体層13中のn型不純物原子濃度を低くでき、他の層への拡散を低減することができる。

[0034] また、上記のような非晶質pin構造積層体10の形成条件により得られる第1のp型半導体層11およびi型非晶質シリコン系光電変換層12は、二重pin構造積層体を繰り返し形成する場合においても、前の第2のn型半導体層23の形成の際にプラズマCVD成膜室内に形成された残留膜のn型不純物原子の影響も受けにくい。

[0035] 成膜圧力200Pa以上の形成条件は、非晶質シリコン系半導体層を形成する従来の条件(たとえば、100Paから120Pa程度)より高い圧力条件である。第1のp型半導体層11およびi型非晶質シリコン系光電変換層12を高い成膜圧力で形成することにより、それらの層を形成する前からカソード222上および／または室内面221上に付着している第2のn型半導体層23から放出されるn型不純物原子の平均自由行程(プラズマCVD成膜室内を移動できる距離)を低下させ、形成される第1のp型半導体層11およびi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子の量を低減することができる。また、成膜圧力3000Pa以下の形成条件で第1のp型半導体層11およびi型非晶質シリコン系光電変換層12を形成することにより、薄膜光電

変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0036] また、第1のp型半導体層11およびi型非晶質シリコン系光電変換層12を電極単位面積当たりの電力密度 $0.3\text{W}/\text{cm}^2$ 以下の低電力密度で形成することにより、カソード222に衝突するプラズマ中の電子およびイオンが有するエネルギーを低減することができる。n型不純物原子は、カソード222に付着した第2のn型半導体層23からプラズマ中の電子およびイオンにより叩き出されるため、これらが有するエネルギーを低減することにより、形成される第1のp型半導体層11およびi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子の量を低減することができる。また、電力密度 $0.01\text{W}/\text{cm}^2$ 以上の形成条件で第1のp型半導体層11およびi型非晶質シリコン系光電変換層12を形成することにより、薄膜光電変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0037] この結果、プラズマCVD成膜室のカソード上および／または室内面上に形成された残留膜を除去する工程を経ることなく連続して次の基板1上の透明導電膜2上に上記二重pin構造積層体30を形成させて次の積層型シリコン系薄膜光電変換装置100を製造することができる。

[0038] さらに、i型非晶質シリコン系光電変換層12を上記形成条件により形成することにより、第1のp型半導体層11形成の際にカソード222上および／または室内面221上に付着したp型半導体層中のp型不純物原子がi型非晶質シリコン系光電変換層12中に混入する量は低減される。

[0039] なお、上記の各pin構造積層体において、p型層、i型層、n型層の順に形成することにより、n型層、i型層、p型層の順に形成する場合に比べて、光電変換層であるi型層への不純物原子による影響が少なくなる。これは、n型不純物原子(たとえばリン原子)の方が、p型不純物原子(たとえばボロン原子)よりも、i型層への混入による影響が大きいため、i型層形成後にn型層を形成する方が、i型層形成後にp型層を形成するよりも、i型層への影響が少なくことによると考えられる。

[0040] 本実施形態においては、図1を参照して、第1のp型半導体層11の厚さは、i型非晶質シリコン系光電変換層12に十分な内部電界を与える点で、2nm以上が好ましく、5nm以上がより好ましい。また、第1のp型半導体層11の厚さは、非活性層の入射側

の光吸収量を抑えることが必要である点で、50nm以下が好ましく、30nm以下がより好ましい。i型非晶質シリコン系光電変換層12の厚さは、非晶質の薄膜光電変換層として十分な機能を発揮させる点で、 $0.1\mu\text{m}$ 以上が好ましい。また、i型非晶質シリコン系光電変換層12の厚さは十分な内部電界が必要である点で、 $0.5\mu\text{m}$ 以下が好ましく、 $0.4\mu\text{m}$ 以下がより好ましい。第1のn型半導体層13の厚さは、i型非晶質シリコン系光電変換層12に十分な内部電界を与える点で、2nm以上が好ましく、5nm以上がより好ましい。また、第1のn型半導体層13の厚さは、後述する残留膜のエッチング工程の際にi型非晶質シリコン系光電変換層中に拡散する可能性のある残留膜中のn型不純物原子の量を減らし、n型不純物原子を含む残留膜を除去する操作が容易になる点で、50nm以下が好ましく、30nm以下がより好ましい。

[0041] また、図1を参照して、第2のp型半導体層21の厚さは、i型微結晶シリコン系光電変換層22に十分な内部電界を与える点で、2nm以上が好ましく、5nm以上がより好ましい。また、第2のp型半導体層21の厚さは、非活性層の入射側の光吸収量を抑えることが必要である点で、50nm以下が好ましく、30nm以下がより好ましい。i型微結晶シリコン系光電変換層22の厚さは、微結晶を含むシリコン系薄膜光電変換層として十分な機能を発揮させる点で、 $0.5\mu\text{m}$ 以上が好ましく、 $1\mu\text{m}$ 以上がより好ましい。また、i型微結晶シリコン系光電変換層22の厚さは、装置の生産性を確保することが必要である点で、 $20\mu\text{m}$ 以下が好ましく、 $15\mu\text{m}$ 以下がより好ましい。第2のn型半導体層23の厚さは、i型微結晶シリコン系光電変換層22に十分な内部電界を与える点で、2nm以上が好ましく、5nm以上がより好ましい。また、第2のn型半導体層23の厚さは、非活性層の光吸収量を抑えることが必要である点で、50nm以下が好ましく、30nm以下がより好ましい。

[0042] 第1のp型半導体層11は、非晶質シリコン系半導体または結晶質シリコン系半導体とし、成膜圧力が200Pa以上3000Pa以下、好ましくは300Pa以上2000Pa以下、さらに好ましくは400Pa以上1500Pa以下の条件で形成される。また、この第1のp型半導体層11は、電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下、好ましくは $0.015\text{W}/\text{cm}^2$ 以上 $0.2\text{W}/\text{cm}^2$ 以下、さらに好ましくは $0.02\text{W}/\text{cm}^2$ 以上 $0.15\text{W}/\text{cm}^2$ 以下の条件で形成される。また、基板1の下地温度は250

℃以下であることが好ましい。ここで、基板の下地温度とは、その基板が載置されている下地の温度をいい、その基板の温度とほぼ等しい。本実施形態においては、基板1は通常アノード223に載置されており、この場合はアノードの温度を意味する。また、プラズマCVD成膜室内に導入する原料ガスは、シラン系ガスと、水素ガスを含有する希釈ガスとを含むことが好ましい。また、原料ガスには、第1のp型半導体層11における光吸収量を減少させる目的でメタンやトリメチルジボランなどが含まれていてもよい。これによって、次に形成されるi型非晶質シリコン系光電変換層にp型不純物原子の影響を与えないp型半導体層を形成することができる。また、この第1のp型半導体層11の導電型を決定する不純物原子(以下、導電型決定不純物原子という)は、特に制限はないが、ドーピング効果が高く、汎用性があるとの点から、ボロン原子またはアルミニウム原子であることが好ましい。

[0043] i型非晶質シリコン系光電変換層12は、成膜圧力が200Pa以上3000Pa以下、好ましくは300Pa以上2000Pa以下、さらに好ましくは400Pa以上1500Pa以下の条件で形成される。また、このi型非晶質シリコン系光電変換層12は、電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下、好ましくは $0.015\text{W}/\text{cm}^2$ 以上 $0.2\text{W}/\text{cm}^2$ 以下、さらに好ましくは $0.02\text{W}/\text{cm}^2$ 以上 $0.15\text{W}/\text{cm}^2$ 以下の条件で形成される。また、基板1の下地温度は250℃以下であることが好ましい。また、プラズマCVD成膜室内に導入する原料ガスにおいては、シラン系ガスに対する希釈ガスの流量は、5倍以上が好ましく、また、20倍以下が好ましく、15倍以下がより好ましい。このようにして、良好な膜質の非晶質i型光電変換層を形成することができる。

[0044] 第1のn型半導体層13は、非晶質シリコン系半導体または結晶質シリコン系半導体とし、成膜圧力が200Pa以上3000Pa以下、好ましくは300Pa以上2000Pa以下、さらに好ましくは400Pa以上1500Pa以下の条件で形成される。また、この第1のn型半導体層13は、電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下、好ましくは $0.015\text{W}/\text{cm}^2$ 以上 $0.2\text{W}/\text{cm}^2$ 以下、さらに好ましくは $0.02\text{W}/\text{cm}^2$ 以上 $0.15\text{W}/\text{cm}^2$ 以下の条件で形成される。また、基板1の下地温度は250℃以下であることが好ましい。これにより、i型非晶質シリコン系光電変換層12と後に

形成される第2のp型半導体層21、i型微結晶シリコン系光電変換層22および第2のn型半導体層23から形成されている微結晶pin構造積層体20(p型層、i型層およびn型層がこの順に形成されi型層が微結晶である積層体をいう、以下同じ)に、n型不純物原子の影響を与えない第1のn型半導体層13を形成することができる。

[0045] また、第1のn型半導体層13は、同一のプラズマCVD成膜室を利用して、繰り返しpin構造を有する薄膜の形成が可能となるため、その不純物窒素原子濃度を $1 \times 10^{19} \text{cm}^{-3}$ 以下、その不純物酸素原子濃度を $1 \times 10^{20} \text{cm}^{-3}$ 以下とすることができる。これにより、中間に余分な再結合層を挿入することなく第1のn型半導体層13と第2のp型半導体層21の間で良好なオーミック接合が得られる。

[0046] また、第1のn型半導体層13の導電型決定不純物原子は、特に制限はないが、ドーピング効率がよく、汎用性があるとの点から、リン原子であることが好ましい。さらに、原料ガス中のシリコン原子に対するリン原子の含有量は、十分なドーピング効果が得られる点で、好ましくは0.05原子%以上より好ましくは0.1原子%以上であり、膜質の悪化を避けるという点から、好ましくは3原子%以下でありより好ましくは1原子%以下である。ここで、原子%とは、シリコン原子の原子数に対する、ドーピング原子の原子数の割合を百分率で表したものをいう。これによって、第1のn型半導体層の導電型決定不純物原子濃度を $3 \times 10^{19} \text{cm}^{-3}$ 以下とすることができる。

[0047] 第2のp型半導体層21は、一般的な形成条件(たとえば特開2000-243993号公報などに記載)で形成すれば良く、たとえば成膜圧力が600Paから3000Pa程度、電極単位面積あたりの電力密度が $0.05 \text{W}/\text{cm}^2$ から $0.3 \text{W}/\text{cm}^2$ 程度の範囲で形成したp型微結晶シリコン層とすることができる。

[0048] 第2のp型半導体層21は、たとえば、導電型決定不純物原子としてボロン原子が0.01原子%以上5原子%以下ドーピングされたp型非晶質もしくは微結晶のシリコン薄膜などとすることができる。第2のp型半導体層21は、基板1の下地温度が $250^\circ\text{C}$ 以下であり、プラズマCVD成膜室内に導入する原料ガスが、シラン系ガスと、水素ガスを含む希釈ガスとを含む条件で形成されることが好ましい。また、原料ガスには、第2のp型半導体層21における吸収量を減少させる目的で、メタンやトリメチルジボランなどが含まれていてもよい。基板1の下地温度を、好ましくは $250^\circ\text{C}$ 以下とすることに

より、i型非晶質シリコン系光電変換層12に影響を与えることなく、第2のp型半導体層21を形成することができる。

[0049] また、第2のp型半導体層21は、同一のプラズマCVD成膜室を利用して、繰り返しpin構造を有する薄膜の形成が可能となるため、その不純物窒素原子濃度を $1 \times 10^{19} \text{cm}^{-3}$ 以下、その不純物酸素原子濃度を $1 \times 10^{20} \text{cm}^{-3}$ 以下とすることができる。これにより、中間にたとえば再結合層を挿入することなく第1のn型半導体層13と第2のp型半導体層21の間に良好なオーミック接合が得られる。

[0050] また、第2のp型半導体層21の導電型決定不純物原子は、特に制限はないが、ドーピング効率が高く、汎用性があるとの点から、ボロン原子またはアルミニウム原子などが好ましい。これによって、第2のp型半導体層21の導電型決定不純物濃度を $5 \times 10^{19} \text{cm}^{-3}$ 以下とでき、中間に余分な再結合層を挿入することなく第1のn型半導体層13と第2のp型半導体層21の間に良好なオーミック接合が得られる。

[0051] i型微結晶シリコン系光電変換層22は一般的な形成条件(たとえば特開2000-243993号公報などに記載)で形成すれば良く、たとえば成膜圧力が600Paから3000Pa程度、電極単位面積あたりの電力密度が $0.05 \text{W/cm}^2$ から $0.3 \text{W/cm}^2$ 程度の範囲で形成したi型微結晶シリコン層とすることができる。

[0052] i型微結晶シリコン系光電変換層22は、基板1の下地温度を好ましくは $250^\circ\text{C}$ 以下とすることにより、i型非晶質シリコン系光電変換層12に影響を与えることなく形成できる。また、プラズマCVD成膜室内に導入する原料ガスにおいては、シラン系ガスに対する希釈ガスの流量は、30倍以上が好ましく、また、100倍以下が好ましく、80倍以下がより好ましい。このようにして、ラマン分光法により測定される $480 \text{nm}^{-1}$ におけるピークに対する $520 \text{nm}^{-1}$ におけるピークのピーク強度比 $I_{520}/I_{480}$ が5以上10以下であるi型微結晶シリコン系光電変換層22が得られる。かかるi型微結晶シリコン系光電変換層22においては十分な結晶化率を得ることができ、後述する成膜室のカソード上および/または室内面上に形成された残留膜の除去(クリーニングともいう、以下同じ)処理を行なった後も、再現性よくi型シリコン系光電変換層を形成することができる。

[0053] 第2のn型半導体層23は、一般的な形成条件(たとえば特開2000-243993号公

報などに記載)で形成すれば良く、たとえば成膜圧力600Paから3000Pa程度、電極単位面積あたりの電力密度 $0.05\text{W}/\text{cm}^2$ から $0.3\text{W}/\text{cm}^2$ 程度の範囲で形成したn型微結晶シリコン層とすることができる。

[0054] 第2のn型半導体層23は、基板1の下地温度を好ましくは $250^{\circ}\text{C}$ 以下とすることにより、i型非晶質シリコン系光電変換層に影響を与えることなく形成できる。ここで、第2のn型半導体層23の導電型決定不純物原子には特に制限はないが、ドーピング効率が良く、汎用性があるとの点からリン原子が好ましい。また、原料ガス中のシリコン原子に対するリン原子の含有量は、十分なドーピング効果が得られる点で、好ましくは0.1原子%以上より好ましくは0.3原子%以上であり、膜質の悪化を避けるという点から、好ましくは5原子%以下より好ましくは3原子%以下である。

[0055] このようにして、同一のプラズマCVD成膜室内で、非晶質pin構造積層体10(すなわち、第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13)および微結晶pin構造積層体20(すなわち、第2のp型半導体層21、i型微結晶シリコン系光電変換層22および第2のn型半導体層23)を連続して形成することにより、高い光電変換効率を有する積層型シリコン系薄膜光電変換装置を低コストでかつ効率よく製造することができる。

[0056] (実施形態2)

本発明のシリコン系薄膜光電変換装置の製造方法の他の実施形態は、図1および図2を参照して、上記実施形態1において、二重pin構造積層体を形成する工程の後に、この二重pin構造積層体を含むシリコン系薄膜光電変換装置100をプラズマCVD成膜室220から搬出する工程と、プラズマCVD成膜室220のカソード222上および/または室内面221上の残留膜を除去する工程とを含む。すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法は、二重pin構造積層体30を形成した後に、二重pin構造積層体30を含むシリコン系薄膜光電変換装置100をプラズマCVD成膜室220から搬出し、プラズマCVD成膜室220のカソード222上および/または室内面221上の残留膜を除去することを特徴とする。

[0057] 実施形態1に示すように同一のプラズマCVD成膜室内で二重pin構造積層体を形成した後、この二重pin構造積層体を含むシリコン系薄膜光電変換装置100を搬出

した後、上記プラズマCVD成膜室のカソード上および／または室内面上に形成された残留膜を除去することによって、良好な品質および性能を有する積層型シリコン系薄膜光電変換装置100を、同一のプラズマCVD成膜室内で繰り返し製造することができる。

[0058] 実施形態1に示すように同一のプラズマCVD成膜室220内で二重pin構造積層体を形成することにより、ひとつの積層型シリコン系薄膜光電変換装置を形成した後、本実施形態に示すようなプラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去する工程を経ることなく、同一のプラズマCVD成膜室220内で次の二重pin構造積層体を形成することにより、次の積層型シリコン系薄膜光電変換装置を形成することもできる。

[0059] しかし、プラズマCVD成膜室220における残留膜による汚染を防止する点から、ひとつの積層型シリコン系薄膜光電変換装置100の形成後、次の基板1の透明導電膜2上に引き続き次の積層型シリコン系薄膜光電変換装置100の非晶質pin構造積層体10を形成するよりも、非晶質pin構造積層体10を形成する前に、プラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を完全に除去して、残存膜中の第2のn型層中の不純物原子(n型ドーパント)による次の積層型シリコン系薄膜光電変換装置100の非晶質pin構造積層体10への拡散による影響を完全に除去することが好ましい。これにより、引き続き、再現性よく、良好な品質および性能を有する積層型シリコン系薄膜光電変換装置を形成することができる。

[0060] すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法は、次工程において予定されているpin構造積層体の形成時における、プラズマCVD成膜室220の残留膜中のp型層およびn型層の不純物原子(p型不純物原子およびn型不純物原子)によるpin構造積層体への影響を除去するための工程としてプラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去する工程を有することを特徴とする。かかる工程により、シングルチャンバ方式で複数の光電変換装置を連続して製造しても、残留膜中の不純物原子による影響を除去することができ、pin構造積層体中の第1のp型半導体層およびi型非晶質シリコン系薄膜光電変換層中へのn型不純物原子の混入を大幅に抑制できる。このため、良好な品質および

性能を有するpin構造積層体を繰返し形成できるようになり、シングルチャンバ方式を用いて二重pin構造積層体を含む積層型シリコン系薄膜光電変換装置を製造することが可能となり、インライン方式やマルチチャンバ方式、またそれぞれをくみ合わせた製造設備よりも設備を簡略化し、低コスト化を図ることができる。

[0061] 本実施形態において、残留膜を除去する工程は、水素ガスと、不活性ガスと、フッ素系のクリーニングガスとからなる群より選ばれる少なくとも1種のガスをプラズマ化したガスプラズマ分解により行なうことができる。このような残留膜の除去工程により、pin構造積層体を繰返し形成して再現性よく積層型シリコン系薄膜光電変換装置を製造することができる。水素ガスと、不活性ガスと、フッ素系のクリーニングガスのいずれのガスを用いても、残留膜のエッチング操作を好ましく行なうことができるが、残留膜のエッチング速度が比較的速い点で、3フッ化窒素ガスをプラズマ化して得られる3フッ化窒素ガスプラズマを用いることが好ましい。ここで、不活性ガスとしては、個々のエッチング条件によっても異なるが、一般的には、アルゴンガスが好ましい。

[0062] また、本実施形態の残留膜を除去する工程において、プラズマCVD成膜室のカソード上および／または室内面上の残留膜全体を除去することができる。ただし、残留膜中の最下層（最もカソードに近い層をいう、以下同じ）に位置するp型層中の不純物原子の影響を避けるため若干のオーバーエッチングもしくはアンダーエッチングが必要になる。

[0063] オーバーエッチングの場合、上記二重pin構造積層体を1回形成する際に形成される残留膜を、その膜厚および膜厚の5%～10%程度の深さまでオーバーエッチングする。こうすることで、残留膜中の不純物原子の影響を除去することができる。しかし、プラズマCVD成膜室のカソード上に形成した残留膜についてこのようなオーバーエッチングを繰り返すと、放電を安定化させる目的で成膜されているカソード上のプリデポ膜（予備堆積膜、以下同じ）が徐々にエッチングされて、カソードの金属表面が現れてくる。これが原因となり、次の二重pin構造積層体の形成初期の数十nm程度の厚さの部分に大きな影響を与えることがある。

[0064] 上記問題点を解決するため、上記二重pin構造積層体を1回形成する際に形成される残留膜のカソードに近い部分を残すアンダーエッチングを選択する場合がある。

このアンダーエッチングは、残留膜の表面層からカソードおよび／または室内面に最も近い位置にある第1のn層までと、好ましくはi型層の厚さ方向に10nm以上の深さまでとをエッチング除去することにより行なう。エッチング除去するi型層の深さが厚さ方向に10nm未満であると、i型層中に拡散している第1のn型層中の不純物原子(n型ドーパント)の影響を完全に除去するのが困難になる。また、本エッチング除去は、i型層の厚さの90%以下の範囲までの深さが好ましく、i層の厚さの80%以下の範囲までの深さがより好ましい。i型層の厚さの90%より深くエッチングしようとする、i型層の下地に存在するp型層中の不純物原子(p型ドーパント)の影響も出始め、次工程で形成するp層のドーピング量が最適値よりずれる恐れがある。したがって、好ましくは、n層とともにi層をその厚さの80%程度の深さまでエッチングすることにより、残留膜中の不純物原子の影響が完全に除去される。このように残留膜の除去工程が終了した後のプラズマCVD成膜室に、次の基板が搬入されて繰り返して二重pin構造積層体が形成されて、二重pin構造積層体を含む次の積層型シリコン系薄膜光電変換装置が製造される。

[0065] 上記アンダーエッチングの工程を含めながら、二重pin構造積層体の形成工程を複数回繰り返すと、カソードにエッチングされていない残留膜が、二重pin構造積層体の形成の回数分積層される。このまま積層型シリコン系薄膜光電変換装置の製造を継続していくと、積層された残留膜が内部応力によりカソード表面から剥離し、pin構造積層体中に数 $\mu$ m径の粉末として取り込まれることがあり、この粉末は上下の電極を短絡させる点欠陥を作り、光電変換装置の製品歩留まりを30%以下にまで極端に低下させる。

[0066] そこで、光電変換装置を作製した後、残留膜がカソードから剥離しているときは、カソード上の残留膜をすべて除去することが好ましい。また、残留膜がカソードから剥離していなくても、残留膜の剥離が起こる前に、上記の点欠陥の発生を未然に防止し、光電変換装置の製造における歩留まりを高く維持することがより好ましい。残留膜の剥離の程度は、成膜条件や膜付着時の電極の表面状態によって大きく変動するが、プラズマCVD成膜室内でシリコン系薄膜を作製する場合には、一般的に、カソード上に形成された残留膜の積算膜厚が10 $\mu$ m以上1000 $\mu$ m以下であるときに、

残留膜の剥離が生じやすい。したがって、カソード上の残留膜の積算膜厚が、好ましくは $10\mu\text{m}$ 以上 $800\mu\text{m}$ 以下であるときに、また、より好ましくは $300\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であるときに、カソード上に積層された残留膜をすべて除去することが望ましい。

[0067] カソード上に積層された残留膜を除去する工程は、水素ガス、不活性ガス、フッ素系のクリーニングガスまたはこれらのガスを任意の割合で含む混合ガスをプラズマ化したガスプラズマにより行なうことができるが、残留膜のエッチング速度が比較的速い点で、3フッ化窒素などのフッ素系のクリーニングガスを用いることが好ましい。たとえば、エッチングガスとして、10体積%～30体積%の3フッ化窒素ガスと90体積%～70体積%のアルゴンガスとの混合ガスを導入し、300pa以下の圧力でプラズマ放電することにより、 $10\text{nm/s}$ 以上のエッチング速度が得られる。このようなカソードのクリーニング後、カソード表面を安定化させるため、カソード表面上にシリコン膜の予備堆積(プリデポ)を行ない、再びpin構造積層体の形成工程を継続することができる。

[0068] 特に、カソード上に形成された残留膜をオーバーエッチングする工程においては、カソード表面安定化のために金属表面上に形成されている下地膜を完全に除去しないように留意する必要がある。下地膜が完全除去された場合には、二重pin構造積層体における第1のp型半導体層の形成条件が不安定になる可能性があるので、再度、下地膜の予備堆積を行うことが好ましい。

[0069] (実施形態3)

本発明のシリコン系薄膜光電変換装置の製造方法のさらに他の実施形態は、図3を参照して、上記実施形態1または実施形態2の製造方法により形成された二重pin構造積層体30の第2のn型半導体層23上に、さらに、p型半導体層41、i型結晶質シリコン系光電変換層42およびn型半導体層43から構成される結晶質pin構造積層体40を少なくとも1つ積層することを特徴とする。

[0070] すなわち、本実施形態のシリコン系薄膜光電変換装置は、図3を参照して、積層型シリコン系薄膜光電変換装置300であって、基板1側から非晶質pin構造積層体10、微結晶pin構造積層体20および1つ以上の結晶質pin構造積層体40(p型層、i型結晶質層、n型層から形成されるpin構造積層体をいう、以下同じ)から構成される3

つ以上のpin構造積層体が積層された構造を有し、光源からの光吸収の効率がより高まることにより、光電変換効率がさらに高くなる。光の吸収効率を高める点から、i型結晶質シリコン系光電変換層42中の各結晶の径は、i型微結晶シリコン系光電変換層22中の各結晶の径より大きいほうが好ましい。また、p型半導体層41およびn型半導体層43は、それぞれ実施形態1の第1のp型半導体層11および第1のn型半導体層13と同じである。

[0071] (実施形態4)

実施形態2の製造方法により製造されるシリコン系薄膜光電変換装置についてさらに具体的に説明する。本実施形態のシリコン系薄膜光電変換装置は、積層型シリコン薄膜光電変換装置であって、図1を参照して、透明な基板1上に、透明導電膜2、非晶質pin構造積層体10を構成する第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13、微結晶pin構造積層体20を構成する第2のp型半導体層21、i型微結晶シリコン系光電変換層22および第2のn型半導体層23、導電膜3ならびに金属電極4が順に形成されているタンデム型シリコン系薄膜光電変換装置である。

[0072] 本実施形態のシリコン系薄膜光電変換装置は、図1、図2および図4を参照して、以下のようにして製造される。なお、図2を参照して、本光電変換装置の製造に用いられるプラズマCVD装置200は、加熱室210、成膜室220および取出し室230を備え、各室間を基板1が矢印の方向に搬送される。

[0073] まず、ガラスなどからなる透明な基板1上に、透明導電膜2が形成される。透明導電膜2は、光を透過し導電性を有するものであれば特に制限はなく、たとえば、 $\text{SnO}_2$ 、ITO（インジウム錫酸化物、以下同じ）、ZnOなどの透明導電性酸化膜などが好ましく形成される。

[0074] 次に、ステップ（以下、ステップをSと略す。）1において、透明導電膜2が形成された基板1をプラズマCVD装置200の加熱室210に搬入する。次いで、S2において、加熱室210で基板温度が成膜温度に達するまで一定時間加熱保持される。次いで、S3において、透明導電膜2が形成された成膜温度に達した基板1を成膜室220に搬入する。

- [0075] 続いて、S4において、同一の成膜室220内で、基板1の透明導電膜2上に、非晶質pin構造積層体10を構成する第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13、微結晶pin構造積層体20を構成する第2のp型半導体層21、i型微結晶シリコン系光電変換層22および第2n型半導体層23が連続して形成されて、二重pin構造積層体を含む光電変換装置が形成される。
- [0076] 成膜室220内では、まず透明導電膜2上に、第1のp型半導体層11がプラズマCVD法により形成される。この第1のp型半導体層11は、成膜圧力が200Pa以上3000Pa以下かつ電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成される。また、基板1の下地温度は $250^\circ\text{C}$ 以下が好ましい。成膜室220内に導入する原料ガスは、シラン系ガスと、水素ガスを含有する希釈ガスとを含むことが好ましい。また、原料ガスは、光吸収量を減少させる目的でメタンやトリメチルジボランなどが含まれていてもよい。基板の下地温度を、好ましくは $250^\circ\text{C}$ 以下とすることにより、次に形成されるi型非晶質シリコン系光電変換層12に影響を与えることなく第1のp型半導体層11が形成される。また、後述する残留膜のエッチング工程後でも、再現性良く、第1のp型半導体層11を形成することができる。この第1のp型半導体層11の導電型決定不純物原子は、ボロン原子またはアルミニウム原子など好ましく選択される。
- [0077] i型非晶質シリコン系光電変換層12は、成膜圧力が200Pa以上3000Pa以下かつ電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成される。また、基板1の下地温度は $250^\circ\text{C}$ 以下が好ましい。また、成膜室220内に導入する原料ガスは、シラン系ガスに対する希釈ガスの流量を、好ましくは5倍以上とし、また、シラン系ガスに対する希釈ガスの流量を、好ましくは20倍以下、より好ましくは15倍以下とする。かかる条件を選択することにより、良好な膜質のi型非晶質シリコン系光電変換層12が形成される。
- [0078] 第1のn型半導体層13は、成膜圧力が200Pa以上3000Pa以下かつ電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成される。基板1の下地温度は $250^\circ\text{C}$ 以下が好ましい。かかる条件を選択することにより、非晶質pin構造積層体10および微結晶pin構造積層体20に影響を与えることなく良好な膜質の

第1のn型半導体層13が形成される。第1のn型半導体層13の導電型決定不純物原子としてはリンを選択することができる。ここで、十分なドーピング効果が得られる点で、原料ガス中のシリコン原子に対するリン原子の含有量は好ましくは0.05原子%以上より好ましくは0.1原子%以上であり、膜質の悪化を避ける点から、好ましくは3原子%以下さらに好ましくは1原子%以下である。これによって、第1のn型半導体層の導電型決定不純物濃度を $3 \times 10^{19} \text{cm}^{-3}$ 以下とすることができる。

[0079] 第2のp型半導体層21は、一般的な形成条件で形成すれば良く、たとえば成膜圧力が600Paから3000Pa程度、電極単位面積あたりの電力密度が $0.05 \text{W}/\text{cm}^2$ から $0.3 \text{W}/\text{cm}^2$ 程度の範囲で形成したp型微結晶シリコン層とすることができる。

[0080] 第2のp型半導体層21は、基板1の下地温度が $250^\circ\text{C}$ 以下で、厚さ2nm以上50nm以下の範囲となるように形成されるのが好ましい。また、成膜室220内に導入される原料ガスの主成分は、たとえば、シランガスなどのシラン系ガスと、たとえば水素ガスなどからなる希釈ガスであり、シラン系ガスに対する希釈ガスの流量を100倍以上とし、ドーピングガスとしてジボランが用いることが好ましい。

[0081] また、この第2のp型半導体層21は、たとえば、導電型決定不純物原子としてボロン原子が0.01原子%以上5原子%以下ドーピングされたp型非晶質もしくは微結晶のシリコン薄膜などとすることができる。しかし、第2のp型半導体層21についてのこれらの条件は限定的なものではなく、不純物原子として、たとえば、アルミニウム原子なども用いることができる。また、第2のp型半導体層21が、非晶質および微結晶のシリコンカーバイドまたは非晶質のシリコンゲルマニウムなどの合金材料からなる層で形成されていてもよい。また、第2のp型半導体層21の厚さは、2nm以上50nm以下の範囲内で設定することが好ましい。また、第2のp型半導体層21は、多結晶のシリコン系薄膜または合金系薄膜であってもよく、また異なる複数の薄膜の積層とすることもできる。

[0082] i型微結晶シリコン系光電変換層22は、一般的な形成条件で形成すれば良く、たとえば成膜圧力が600Paから3000Pa程度、電極単位面積あたりの電力密度が $0.05 \text{W}/\text{cm}^2$ から $0.3 \text{W}/\text{cm}^2$ 程度の範囲で形成したi型微結晶シリコン層とすることができる。

- [0083] i型微結晶シリコン系光電変換層22は、 $0.5\mu\text{m}$ 以上 $20\mu\text{m}$ 以下の厚さで形成されることが好ましい。このi型微結晶シリコン系光電変換層22は、基板1の下地温度が $250^{\circ}\text{C}$ 以下、シラン系ガスに対する希釈ガスの流量が30倍以上100倍以下で形成されることが好ましい。また、こうして得られるi型微結晶シリコン系光電変換層22は、ラマン分光法により測定される $480\text{nm}^{-1}$ におけるピークに対する $520\text{nm}^{-1}$ におけるピークのピーク強度比 $I_{520}/I_{480}$ が5以上10以下であることが好ましい。また、i型微結晶シリコン系光電変換層として、i型微結晶シリコン薄膜または微量の不純物を含む弱p型もしくは弱n型で、光電変換機能を十分に備えている微結晶シリコン薄膜が用いられてもよい。さらに、i型微結晶シリコン系光電変換層22は、上記微結晶シリコン薄膜に限定されず、合金材料であるシリコンカーバイドまたはシリコンゲルマニウムなどの薄膜が用いられてもよい。
- [0084] 第2のn型半導体層23は、一般的な形成条件で形成すれば良く、たとえば成膜圧力が $600\text{Pa}$ から $3000\text{Pa}$ 程度、電極単位面積あたりの電力密度が $0.05\text{W}/\text{cm}^2$ から $0.3\text{W}/\text{cm}^2$ 程度の範囲で形成したn型微結晶シリコン層とすることができる。
- [0085] 第2のn型半導体層23は、基板1の下地温度が $250^{\circ}\text{C}$ 以下で、厚さ $2\text{nm}$ 以上 $50\text{nm}$ 以下の範囲となるように形成されるのが好ましい。また、第2のn型半導体層23は、たとえば、導電型決定不純物原子としてリン原子が0.1原子%以上5原子%以下ドーピングされたp型非晶質もしくは微結晶のシリコン薄膜などとすることができる。しかし、n型半導体層に関するこれらの条件は、限定的なものではなく、第2のn型半導体層23が微結晶のシリコンカーバイドまたはシリコンゲルマニウムなどの合金材料で形成されていてもよい。
- [0086] 次に、図1、図2および図4を参照して、S5において、上記の二重pin構造積層体を含む光電変換装置を成膜室220から取出し室230に搬出した後、S6において、成膜室220内のカソード上の残留膜の剥離などの異常の有無を確認する。剥離などの異常がある場合には(S6において、YESの場合)、S7において、カソード222上の残留膜をオーバーエッチングにより全部除去し、S8に示すカソード表面の安定化(たとえば、プリデポ膜の形成など)を行なうことが望ましい。一方、カソード222上の残留膜に異常がない場合には(S6において、NOの場合)、S9において、成膜室220の

カソード222上および／または室内面221上の残留膜をエッチング（アンダーエッチングまたはオーバーエッチング）し、最後のn型半導体層の形成時に成膜室220のカソード222上および／または室内面221上に形成された残留膜中の不純物原子（n型ドーパント）による影響を除去する。ここで、残留膜の除去は、水素ガス、不活性ガス、フッ素系のクリーニングガスまたはこれらの任意の混合ガスをプラズマ化したガスプラズマにより行なうことができる。

[0087] 残留膜を除去する工程は、通常カソード222上に形成された残留膜全体を除去する工程をとる。ただし、残留膜のエッチング工程において最後に残るp型層の不純物原子（p型ドーパント）の影響を避けるため若干のオーバーエッチもしくはアンダーエッチングが必要になる。オーバーエッチングの場合、上記二重pin構造積層体を1回形成する際に形成される残留膜を、その膜厚および膜厚の5%～10%程度の深さまでオーバーエッチングする。こうすることで、残留膜中の不純物原子の影響を除去することができる。ただし、このようなオーバーエッチングを繰り返すと、放電を安定化させる目的で成膜しているカソード上のプリデポ膜が徐々にエッチングされるため、カソードの金属表面が現れてくる。これが原因となり、次の二重pin構造積層体の形成初期の数十nm程度の厚さの部分に大きな影響を与えることがある。

[0088] 上記問題点を解決するため、上記二重pin構造積層体を1回形成する際に形成される残留膜のカソードに近い部分を残すアンダーエッチングを選択する場合がある。このアンダーエッチングは、残留膜の表面層からカソードおよび／または室内面に最も近い位置にある第1のn層までと、好ましくは非晶質i型層の厚さ方向に10nm以上の深さまでとをエッチング除去することにより行なう。エッチング除去する非晶質i型層の深さが厚さ方向に10nm未満であると、i型層中に拡散している第1のn型層中の不純物原子（n型ドーパント）の影響を完全に除去するのが困難になる。また、本エッチング除去は、i型層の厚さの90%以下の範囲までの深さが好ましく、i層の厚さの80%以下の範囲までの深さがより好ましい。i型層の厚さの90%より深くエッチングしようとする、i型層の下地に存在するp型層中の不純物原子（p型ドーパント）の影響も出始め、次工程で形成するp層のドーピング量が最適値よりずれる恐れがある。したがって、好ましくは、n層とともにi層をその厚さの80%程度の深さまでエッチング除去す

ることにより、残留膜中の不純物原子の影響が完全に除去される。このように残留膜の除去工程が終了した後のプラズマCVD成膜室に、次の基板が搬入されて繰り返して二重pin構造積層体が形成されて、二重pin構造積層体を含む次の積層型シリコン系薄膜光電変換装置が製造される。

[0089] 上記アンダーエッチングの工程を含めながら、二重pin構造積層体の形成工程を複数回繰り返すと、カソード222上にエッチングされていない残留膜が、二重pin構造積層体の形成の回数分積層される。このまま、処理を継続していくと、積層された残留膜が内部応力によりカソード表面から剥離し、pin構造積層体中に数 $\mu\text{m}$ 径の粉末として取り込まれることがあり、この粉末は上下の電極を短絡させる点欠陥を作り、光電変換装置の製品歩留まりを30%以下にまで極端に低下させる。そこで、光電変換装置を作製した後、残留膜がカソード222から剥離しているときは、カソード222上の残留膜をすべて除去することが好ましい。また、残留膜がカソード222から剥離していなくても、残留膜の剥離が起こる前に、上記の点欠陥の発生を未然に防止し、光電変換装置の製造における歩留まりを高く維持することがより好ましい。残留膜の剥離の程度は、成膜条件や膜付着時の電極の表面状態によって大きく変動するが、プラズマCVD成膜室内でシリコン系薄膜を作製する場合には、一般的に、カソード222上に形成された残留膜の積算膜厚が $10\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下であるときに、残留膜の剥離が生じやすい。したがって、カソード222上の残留膜の積算膜厚が、好ましくは $10\mu\text{m}$ 以上 $800\mu\text{m}$ 以下であるときに、また、より好ましくは $300\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であるときに、カソード上に積層された残留膜をすべて除去することが望ましい。

[0090] カソード222上に積層された残留膜を除去する工程は、水素ガス、不活性ガス、フッ素系のクリーニングガスまたはこれらのガスを任意の割合で含む混合ガスをプラズマ化したガスプラズマにより行なうことができるが、残留膜のエッチング速度が比較的速い点で、3フッ化窒素などのフッ素系のクリーニングガスを用いることが好ましい。たとえば、エッチングガスとして、10体積%～30体積%の3フッ化窒素ガスと90体積%～70体積%のアルゴンガスとの混合ガスを導入し、300pa以下の圧力でプラズマ放電することにより、 $10\text{nm/s}$ 以上のエッチング速度が得られる。このようなカソード22

2のクリーニング後、カソード表面を安定化させるため、カソード表面上にシリコン膜の予備堆積(プリデポ)を行ない、再びpin構造積層体の形成工程を継続することができる。

[0091] 次に、図1を参照して、上記のようにして二重pin構造積層体30を形成した後、二重pin構造積層体30の第2のn型半導体層23上に、たとえば、ZnOなどからなる導電膜3を形成し、次いで、導電膜3上に、たとえば、Al、Agなどからなる金属電極4が形成される。導電膜3および金属電極4によって裏面電極部が構成され、光電変換装置が完成する。

[0092] 上記のように、本実施形態の光電変換装置は、シングルチャンバ方式で製造できるため、インライン方式またはマルチチャンバ方式よりも製造設備を簡略化することができる。また、プラズマCVD装置においては、成膜室を開放することなく、長期にわたって装置稼動が可能となるため製造の際のタクトタイムを大幅に短縮でき、製造コストを下げることができる。

[0093] (実施形態5)

本発明のシリコン系薄膜光電変換装置の一つの実施形態は、図1を参照して、基板1上に形成された透明性導電膜2と、二重pin構造積層体30とを含む積層型シリコン系薄膜光電変換装置100であって、二重pin構造積層体30は、透明性導電膜2上に順次形成されている第1のp型半導体層11、i型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、i型微結晶シリコン系光電変換層22および第2のn型半導体層23から構成され、第1のn型半導体層13および第2のp型半導体層21は、それぞれ不純物窒素原子濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以下、かつ、不純物酸素原子濃度が $1 \times 10^{20} \text{cm}^{-3}$ 以下であることを特徴とする。実施形態1から実施形態4までに示した製造方法を用いることにより、第1のn型半導体層13および第2のp型半導体層21は、それぞれ不純物窒素原子濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以下、かつ、不純物酸素原子濃度が $1 \times 10^{20} \text{cm}^{-3}$ 以下である光電変換効率の高い積層型シリコン系薄膜光電変換装置が得られる。

[0094] (実施形態6)

本発明のシリコン系薄膜光電変換装置の他の実施形態は、図1を参照して、基板1

上に形成された透明性導電膜2と、二重pin構造積層体30とを含む積層型シリコン系薄膜光電変換装置100であって、二重pin構造積層体30は、透明性導電膜2上に順次形成されている第1のp型半導体層11、i型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、i型微結晶シリコン系光電変換層22および第2のn型半導体層23から構成され、第1のn型半導体層13の導電型決定不純物原子濃度が $3 \times 10^{19} \text{cm}^{-3}$ 以下であり、第2のp型半導体層21の導電型決定不純物原子濃度が $5 \times 10^{19} \text{cm}^{-3}$ 以下であることを特徴とする。第1のn型半導体層13および第2のp型半導体層21の導電型決定不純物原子濃度を上記の濃度以下とすることにより、実施形態1から実施形態4までの製造方法において、第1のn型半導体層13の導電型決定不純物原子の他の層(第1のn型半導体層13以外の層)への混入、第2のp型半導体層21の導電型決定不純物原子の他の層(第2のp型半導体層21以外の層)への混入が効果的に抑制され、光電変換効率の高い積層型シリコン系薄膜光電変換装置が得られる。

[0095] (実施形態7)

本発明のシリコン系薄膜光電変換装置の製造方法のさらに他の実施形態は、図2および図5を参照して、基板1上に形成された透明導電膜2上に、p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13を、同一のプラズマCVD成膜室222内で、順次連続して形成して非晶質pin構造積層体10を形成する工程を含み、p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13は、プラズマCVD成膜室222における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01 \text{W}/\text{cm}^2$ 以上 $0.3 \text{W}/\text{cm}^2$ 以下で形成されることを特徴とする。

[0096] すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法では、図2および図5を参照して、基板1上に形成された透明導電膜2上に、p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13を、同一のプラズマCVD成膜室222内で、順次連続して形成して非晶質pin構造積層体10を形成する。ここで、p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13は、プラズマCVD成膜室222における成膜圧力が200Pa以上3000Pa以下および電極

単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成される。なお、本実施形態では、図2に示すようにカソード222とアノード223間の距離が固定された同一のプラズマCVD成膜室220内で非晶質pin構造積層体10が連続して形成される。

[0097] 同一のプラズマCVD成膜室222内で、図5に示す本実施形態の製造方法における基板1上に形成された透明導電膜2上にp型半導体層11、i型非晶質光電変換層12およびn型半導体層13を順次連続して形成してpin構造積層体10を形成する工程は、図1における実施形態1の製造方法における基板1上に形成された透明導電膜2上に第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13を順次連続して形成して非晶質pin構造積層体10を形成するまでの工程と同じである。すなわち、図5に示す本実施形態のシリコン系薄膜光電変換装置における非晶質pin構造積層体10(p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13)は、図1に示す実施形態1のシリコン系薄膜光電変換装置における非晶質pin構造積層体10(第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13)と同じである。したがって、本実施形態の製造方法の非晶質pin構造積層体10の形成においては、実施形態1の製造方法における非晶質pin構造積層体10の形成と同様に、以下の特徴を有する。

[0098] すなわち、本実施形態においては、i型非晶質シリコン系光電変換層12を有する非晶質pin構造積層体10を同一のプラズマCVD成膜室220内で形成する従来の形成条件(たとえば、 $100\text{Pa}$ から $120\text{Pa}$ 程度)と比較して、p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13の成膜圧力を高く設定し、カソード222の電力密度を小さく設定することにより、従来では考えられなかったp型半導体層11およびi型非晶質シリコン系光電変換層12へのn型不純物の混入を低減する効果を利用して、同一のプラズマCVD成膜室220内で非晶質pin構造積層体10を連続して形成した場合でも、光電変換効率の高いシリコン系薄膜光電変換装置を製造することができる。

[0099] また、本実施形態においては、実施形態1と同様の条件、すなわち、プラズマCVD成膜室220内のカソード222とアノード223間の距離を $3\text{mm}$ から $20\text{mm}$ 、好ましくは

5mmから15mm、さらに好ましくは7mmから12mmとし、成膜圧力が200Pa以上3000Pa以下、かつ、電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の条件下で、p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13を順次連続して形成することによって、同一のプラズマCVD成膜室20で非晶質pin構造積層体10を形成することができる。

[0100] 非晶質pin構造積層体10を形成し、基板1を取り出した後に、次の基板上に非晶質pin構造積層体10を繰り返し形成する場合にも、上記のような形成条件により得られるp型半導体層11およびi型非晶質シリコン系光電変換層12は、その前のn型半導体層13の形成の際にプラズマCVD成膜室220内に形成された残留膜のn型不純物原子の影響を受けにくい。

[0101] 成膜圧力200Pa以上の形成条件は、非晶質シリコン系半導体層を形成する従来の条件(100Paから120Pa程度)より高い圧力条件である。p型半導体層11およびi型非晶質シリコン系光電変換層12を高い成膜圧力で形成することにより、それらの層を形成する前からプラズマCVD成膜室220のカソード222上および／または室内面221上に付着しているn型半導体層から放出されるn型不純物の平均自由行程(プラズマCVD成膜室内を移動できる距離)を低下させ、形成されるp型半導体層11およびi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子の量を低減することができる。また、成膜圧力3000Pa以下の形成条件でp型半導体層11およびi型非晶質シリコン系光電変換層12を形成することにより、薄膜光電変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0102] また、p型半導体層11およびi型非晶質シリコン系光電変換層12を電極単位面積当たりの電力密度 $0.3\text{W}/\text{cm}^2$ 以下の低電力密度で形成することにより、カソード222に衝突するプラズマ中の電子およびイオンが有するエネルギーを低減することができる。n型不純物原子は、カソード222に付着したn型半導体層からプラズマ中の電子およびイオンにより叩き出されるため、これらが有するエネルギーを低減することにより、形成されるp型半導体層11およびi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子の量を低減することができる。また、電力密度 $0.01\text{W}/\text{cm}^2$ 以上の形成条件でp型半導体層11およびi型非晶質シリコン系光電変換層12を形

成することにより、薄膜光電変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0103] この結果、プラズマCVD成膜室220のカソード222上および／または室内面221上に形成された残留膜を除去する工程を経ることなく連続して次の基板1上の透明導電膜2上に非晶質pin構造積層体10を形成させて次のシリコン系薄膜光電変換装置を製造することができる。

[0104] さらに、i型非晶質シリコン系光電変換層12を上記形成条件により形成することにより、p型半導体層11形成の際にカソード222上および／または室内面221上に付着したp型半導体層11中のp型不純物原子がi型非晶質シリコン系光電変換層12中に混入する量は低減される。

[0105] なお、上記の非晶質pin構造積層体10において、p型層、i型層、n型層の順に形成することにより、n型層、i型層、p型層の順に形成する場合に比べて、光電変換層であるi型層への不純物原子による影響が少なくなる。これは、n型不純物原子（たとえばリン原子）の方が、p型不純物原子（たとえばボロン原子）よりも、i型層への混入による影響が大きいいため、i型層形成後にn型層を形成する方が、i型層形成後にp型層を形成するよりも、i型層への影響が少なくことによると考えられる。

[0106] 本実施形態のp型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13の厚さ、形成条件および導電型決定不純物濃度は、それぞれ実施形態1の第1のp型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13と同様である。

[0107] すなわち、p型半導体層11は、非晶質シリコン系半導体または結晶質シリコン系半導体とし、成膜圧力が200Pa以上3000Pa以下、好ましくは300Pa以上2000Pa以下、さらに好ましくは400Pa以上1500Pa以下の条件で形成される。また、このp型半導体層11は、電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下、好ましくは $0.015\text{W}/\text{cm}^2$ 以上 $0.2\text{W}/\text{cm}^2$ 以下、さらに好ましくは $0.02\text{W}/\text{cm}^2$ 以上 $0.15\text{W}/\text{cm}^2$ 以下の条件で形成される。

[0108] また、i型非晶質シリコン系光電変換層12は、成膜圧力が200Pa以上3000Pa以下、好ましくは300Pa以上2000Pa以下、さらに好ましくは400Pa以上1500Pa以下

の条件で形成される。また、このi型非晶質シリコン系光電変換層12は、電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下、好ましくは $0.015\text{W}/\text{cm}^2$ 以上 $0.2\text{W}/\text{cm}^2$ 以下、さらに好ましくは $0.02\text{W}/\text{cm}^2$ 以上 $0.15\text{W}/\text{cm}^2$ 以下の条件で形成される。

[0109] さらに、n型半導体層13は、基板1の下地温度を好ましくは $250^\circ\text{C}$ 以下とすることにより、i型非晶質シリコン系光電変換層12に影響を与えることなく形成できる。ここで、n型半導体層13の導電型決定不純物原子には特に制限はないが、ドーピング効率が高く、汎用性があるとの点からリン原子が好ましい。また、原料ガス中のシリコン原子に対するリン原子の含有量は、十分なドーピング効果が得られる点で、好ましくは0.1原子%以上より好ましくは0.3原子%以上であり、膜質の悪化を避けるという点から、好ましくは5原子%以下より好ましくは3原子%以下である。

[0110] このようにして、同一のプラズマCVD成膜室220内で、非晶質pin構造積層体10(すなわち、p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13)を繰り返し形成することができるため、高い光電変換効率を有するシリコン系薄膜光電変換装置500を低コストでかつ効率よく製造することができる。

[0111] また、n型半導体層13は、非晶質シリコン系半導体または結晶質シリコン系半導体とし、成膜圧力が $200\text{Pa}$ 以上 $3000\text{Pa}$ 以下、好ましくは $300\text{Pa}$ 以上 $2000\text{Pa}$ 以下、さらに好ましくは $400\text{Pa}$ 以上 $1500\text{Pa}$ 以下の条件で形成されることが望ましい。また、このn型半導体層13は、電極単位面積あたりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下、好ましくは $0.015\text{W}/\text{cm}^2$ 以上 $0.2\text{W}/\text{cm}^2$ 以下、さらに好ましくは $0.02\text{W}/\text{cm}^2$ 以上 $0.15\text{W}/\text{cm}^2$ 以下の条件で形成されることが望ましい。

[0112] n型半導体層13は、非晶質半導体または結晶質半導体のどちらでも良いが、結晶質半導体とすることが望ましい。結晶質半導体に含まれる結晶部分はn型不純物原子のドーピング効率が高いため、n型半導体層13が結晶部分を含むことにより、n型不純物原子濃度を大きくすることなく所望の導電率を得ることができる。したがって、n型半導体層13中のn型不純物原子濃度を低くでき、他の層への拡散を低減することができる。すなわち、引き続き別の基板1に非晶質pin構造積層体10を形成する場合に、次のp型半導体層11およびi型非晶質シリコン系光電変換層12を形成する前

からプラズマCVD成膜室220内のカソード222上および／または室内面221上に付着しているn型半導体層のn型不純物原子濃度が低いため、形成されるp型半導体層11およびi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子の量を低減することができる。このようにして、高い光電変換効率を有するシリコン系薄膜光電変換装置500を繰り返し製造することができる。

[0113] (実施形態8)

本発明のシリコン系薄膜光電変換装置の製造方法の他の実施形態は、上記実施形態7において、非晶質pin構造積層体10を形成する工程の後に、この非晶質pin構造積層体10を含むシリコン系薄膜光電変換装置500をプラズマCVD成膜室220から搬出する工程と、プラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去する工程とを含むものである。すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法は、非晶質pin構造積層体10を形成した後に、非晶質pin構造積層体10を含むシリコン系薄膜光電変換装置500をプラズマCVD成膜室220から搬出し、プラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去することを特徴とする。

[0114] 実施形態7に示すように同一のプラズマCVD成膜室220内で非晶質pin構造積層体10を形成した後、この非晶質pin構造積層体10を含むシリコン系薄膜光電変換装置500を搬出した後、上記プラズマCVD成膜室220のカソード222上および／または室内面221上に形成された残留膜を除去することによって、良好な品質および性能を有するシリコン系薄膜光電変換装置500を、同一のプラズマCVD成膜室220内で繰り返し製造することができる。

[0115] 実施形態7に示す方法によりプラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去する工程を経ることなく、同一のプラズマCVD成膜室220内で非晶質pin構造積層体10を形成することにより、次のシリコン系薄膜光電変換装置500を形成することもできる。

[0116] しかし、プラズマCVD成膜室220における残留膜による汚染を防止する点から、ひとつのシリコン系薄膜光電変換装置500の形成後、引き続き次の基板1の透明導電膜2上に次のシリコン系薄膜光電変換装置500の非晶質pin構造積層体10を形成

するよりも、非晶質pin構造積層体10を形成する前に、プラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を完全に除去して、残存膜中のn型層中の不純物原子(n型ドーパント)による次のシリコン系薄膜光電変換装置500の非晶質pin構造積層体10への拡散による影響を完全に除去することが好ましい。これにより、引き続き、再現性よく、良好な品質および性能を有するシリコン系薄膜光電変換装置500を形成することができる。

[0117] すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法は、次工程において予定されているpin構造積層体の形成時における、プラズマCVD成膜室220の残留膜中のp型層およびn型層の不純物原子(p型不純物原子およびn型不純物原子)によるpin構造積層体への影響を除去するための工程としてプラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去する工程をさらに有することを特徴とする。かかる工程により、シングルチャンバ方式で複数の光電変換装置を連続して製造しても、残留膜中の不純物原子による影響を除去することができ、pin構造積層体中のp型半導体層およびi型非晶質シリコン系薄膜光電変換層中へのn型不純物原子の混入を大幅に低減できる。このため、良好な品質および性能を有するpin構造積層体を繰返し形成できるようになり、シングルチャンバ方式を用いてシリコン系薄膜光電変換装置を製造することが可能となり、インライン方式やマルチチャンバ方式、またそれぞれをくみ合わせた製造設備よりも設備を簡略化し、低コスト化を図ることができる。本実施形態の残留膜を除去する工程において使用されるクリーニングガスは、実施形態2と同様である。

[0118] (実施形態9)

本発明のシリコン系薄膜光電変換装置の製造方法のさらに他の実施形態は、図2および図6を参照して、基板1上に形成された透明導電膜2上に、第1のp型半導体層11、第1のi型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、第2のi型非晶質シリコン系光電変換層52および第2のn型半導体層23を、同一のプラズマCVD成膜室220内で、順次形成して二重pin構造積層体60を形成する工程を含み、第1のp型半導体層11、第1のi型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、第2のi型非晶質シリコン

系光電変換層52および第2のn型半導体層23は、プラズマCVD成膜室220における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成されることを特徴とする。

[0119] すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法では、図2および図6を参照して、基板1上に形成された透明導電膜2上に、第1のp型半導体層11、第1のi型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、第2のi型非晶質シリコン系光電変換層52および第2のn型半導体層23を、同一のプラズマCVD成膜室220内で、順次形成して二重pin構造積層体60を形成する。ここで、第1のp型半導体層11、第1のi型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、第2のi型非晶質シリコン系光電変換層52および第2のn型半導体層23は、プラズマCVD成膜室220における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成される。なお、本実施形態では、図2に示すようなカソード222とアノード223間の距離が固定された同一のプラズマCVD成膜室220内で二重pin構造積層体60が繰り返し形成される。

[0120] 同一のプラズマCVD成膜室220内で、図6に示す本実施形態の製造方法における基板1上に形成された透明導電膜2上に第1のp型半導体層11、第1のi型非晶質光電変換層12および第1のn型半導体層13を順次連続して形成して非晶質pin構造積層体10を形成する工程は、図1における実施形態1の製造方法における基板1上に形成された透明導電膜2上に第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13を順次連続して形成して非晶質pin構造積層体10を形成するまでの工程、および図5における実施形態7の製造方法における基板1上に形成された透明導電膜2上にp型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13を順次連続して形成して非晶質pin構造積層体10を形成する工程と同じである。

[0121] すなわち、図6に示す本実施形態のシリコン系薄膜光電変換装置600における非晶質pin構造積層体10(第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第2のn型半導体層13)は、図1に示す実施形態1のシリコン系薄膜光電変

換装置100における非晶質pin構造積層体10(第1のp型半導体層11、i型非晶質シリコン系光電変換層12および第1のn型半導体層13)、および図5に示す実施形態7のシリコン系薄膜光電変換装置500における非晶質pin構造積層体10(p型半導体層11、i型非晶質シリコン系光電変換層12およびn型半導体層13)と同じである。

[0122] また、本実施形態においては、実施形態1および7と同様の条件、すなわち、プラズマCVD成膜室220内のカソード222とアノード223間の距離を、3mmから20mm、好ましくは5mmから15mm、さらに好ましくは7mmから12mmとし、成膜圧力が200Pa以上3000Pa以下、かつ、電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の条件下で、第1のp型半導体層11、第1のi型非晶質シリコン系光電変換層12、第1のn型半導体層13、第2のp型半導体層21、第2のi型非晶質シリコン系光電変換層52および第2のn型半導体層23を順次連続して形成することによって、同一のプラズマCVD成膜室220で二重pin構造積層体60を形成することができる。

[0123] すなわち、この二重pin構造積層体60は、実施形態7に記載した非晶質pin構造積層体10を同様の形成条件で繰り返し二回形成したものであり、第1の非晶質pin構造積層体10と第2の非晶質pin構造積層体50から構成される。したがって、非晶質pin構造積層体52を構成する第1のn型半導体層13、第2のp型半導体層21、第2のi型非晶質シリコン系光電変換層52および第2のn型半導体層23は、それぞれ、非晶質pin構造積層体10を構成する第1のp型半導体層11、第1のi型非晶質シリコン系光電変換層12、第1のn型半導体層13と同じである。ただし、直列接続される二つの非晶質pin構造積層体10、50から出力される電流の整合を取るために、第2のi型非晶質シリコン系光電変換層52の厚みは、第1のi型非晶質シリコン系光電変換層12の厚みよりも大きく設定される。一般的に、第1のi型非晶質シリコン系光電変換層12の厚みは数十nm程度であり、第2のi型非晶質シリコン系光電変換層52の厚みは200から400nm程度である。

[0124] 本実施形態においては、成膜圧力200Pa以上3000Pa以下、かつ、電極単位面積当たりの電力密度 $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の条件下で、第1のp型

半導体層11および第1のi型非晶質シリコン系光電変換層12を順次連続して形成することによって、第2の非晶質pin構造積層体50を形成した後に、基板1を交換して、その後の基板に第1の非晶質pin構造積層体10を繰り返し形成する場合に、上記のような形成条件により得られる第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層12は、その前の第2のn型半導体層23の形成の際にプラズマCVD成膜室220内に形成された残留膜のn型不純物原子の影響を受けにくい。

[0125] 成膜圧力200Pa以上の形成条件は、非晶質シリコン系半導体層を形成する一般的な条件より高い圧力条件である。第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層12を高い成膜圧力で形成することにより、それらの層を形成する前からプラズマCVD成膜室220のカソード222上および／または室内面221上に付着している第2のn型半導体層23から放出されるn型不純物原子の平均自由行程（プラズマCVD成膜室内を移動できる距離）を低下させ、形成される第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子の量を低減することができる。また、成膜圧力3000Pa以下の形成条件で第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層12を形成することにより、薄膜光電変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0126] さらに、第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層12を電極単位面積当たりの電力密度 $0.3\text{W}/\text{cm}^2$ 以下の低電力密度で形成することにより、カソード222に衝突するプラズマ中の電子およびイオンが有するエネルギーを低減することができる。n型不純物原子は、カソード222に付着した第2のn型半導体層23からプラズマ中の電子およびイオンにより叩き出されるため、これらが有するエネルギーを低減することにより、形成される第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層51内に取り込まれるn型不純物原子の量を低減することができる。また、電力密度 $0.01\text{W}/\text{cm}^2$ 以上の形成条件で第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層12を形成することにより、薄膜光電変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0127] この結果、プラズマCVD成膜室220のカソード222上および／または室内面221

上に形成された第2のn型半導体23の残留膜を除去する工程を経ることなく連続して次の基板1上の透明導電膜2上に2重pin構造積層体60を形成させて次の積層型シリコン系薄膜光電変換装置600を製造することができる。

[0128] さらに、第1のi型非晶質シリコン系光電変換層12を上記条件により形成することにより、第1のp型半導体層11形成の際にカソード222上および／または室内面221上に付着している第1のp型半導体層11中のp型不純物原子が第1のi型非晶質シリコン系光電変換層12中に混入する量を低減することができる。すなわち、第1のp型半導体層11中のp型不純物が第1のi型非晶質シリコン系光電変換層12中に与える影響を低減することができる。

[0129] 第1のn型半導体層13は、非晶質半導体又は結晶質半導体のどちらでも良いが、結晶質半導体とすることが望ましい。結晶質半導体に含まれる結晶部分はn型不純物原子のドーピング効率が高いため、n型半導体層が結晶部分を含むことにより、n型不純物原子濃度を大きくすることなく所望の導電率を得ることができる。したがって、第1のn型半導体層13のn型不純物濃度を低くでき、他の層への拡散を低減することができる。すなわち、第1のn型半導体層13の形成後に、引き続き第2の非晶質pin構造積層体52を形成する場合に、第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52を形成する前からプラズマCVD成膜室220内のカソード222上および／または室内面221上に付着している第1のn型半導体層13のn型不純物原子濃度が低いため、形成される第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52内に取り込まれるn型不純物原子の量を低減することができる。

[0130] また、本実施形態においては、成膜圧力200Pa以上3000Pa以下、かつ、電極単位面積当たりの電力密度 $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の条件下で、第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52を順次連続して形成する。このような形成条件で、第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52を形成すると、第1のn型半導体層13の形成の際にプラズマCVD成膜室220内に形成された残留膜のn型不純物原子の影響を受けにくい。

[0131] 成膜圧力200Pa以上の形成条件は、非晶質シリコン系半導体層を形成する一般

的な条件より高い圧力条件である。第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52を高い成膜圧力で形成することにより、それらの層を形成する前からプラズマCVD成膜室220のカソード222上および／または室内面221上に付着している第1のn型半導体層13から放出されるn型不純物の平均自由行程(プラズマCVD成膜室内を移動できる距離)を低下させ、形成される第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52内に取り込まれるn型不純物原子の量を低減することができる。また、成膜圧力3000Pa以下の形成条件で第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52を形成することにより、薄膜光電変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0132] また、第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52を電極単位面積当たりの電力密度 $0.3\text{W}/\text{cm}^2$ 以下の低電力密度で形成することにより、カソード222に衝突するプラズマ中の電子およびイオンが有するエネルギーを低減することができる。n型不純物原子は、カソード222に付着した第1のn型半導体層13からプラズマ中の電子およびイオンにより叩き出されるため、これらが有するエネルギーを低減することにより、形成される第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52内に取り込まれるn型不純物原子の量を低減することができる。また、電力密度 $0.01\text{W}/\text{cm}^2$ 以上の形成条件で第2のp型半導体層21および第2のi型非晶質シリコン系光電変換層52を形成することにより、薄膜光電変換装置用として良好な膜質のシリコン系半導体薄膜を成膜することができる。

[0133] さらに、第2のi型非晶質シリコン系光電変換層52を上記形成条件により形成することにより、第2のp型半導体層21形成の際にカソード222上および／または室内面221上に付着した第2のp型半導体層21中のp型不純物原子が第2のi型非晶質シリコン系光電変換層52中に混入する量を低減することができる。

[0134] 第2のn型半導体層23は、非晶質半導体又は結晶質半導体のどちらでも良いが、結晶質半導体とすることが望ましい。結晶質半導体に含まれる結晶部分はn型不純物原子のドーピング効率が高いため、n型半導体層が結晶部分を含むことにより、n型不純物原子濃度を大きくすることなく所望の導電率を得ることができる。したがって

、第2のn型半導体層23中のn型不純物濃度を低くでき、他の層への拡散を低減することができる。すなわち、引き続き別の基板1に二重pin構造積層体60を形成する場合に、次の第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層12を形成する前からプラズマCVD成膜室220内のカソード222上および／または室内面221上に付着している第2のn型半導体層23のn型不純物原子濃度が低いいため、形成される第1のp型半導体層11および第1のi型非晶質シリコン系光電変換層12内に取り込まれるn型不純物原子の量を低減することができる。このようにして、高い光電変換効率を有する積層型シリコン系薄膜光電変換装置600を繰り返し製造することができる。

[0135] (実施形態10)

本発明のシリコン系薄膜光電変換装置の製造方法のさらに他の実施形態は、上記実施形態9において、二重pin構造積層体60を形成する工程の後に、この二重pin構造積層体60を含むシリコン系薄膜光電変換装置600をプラズマCVD成膜室220から搬出する工程と、プラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去する工程とを含むものである。すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法は、二重pin構造積層体60を形成した後に、この二重pin構造積層体60を含むシリコン系薄膜光電変換装置600をプラズマCVD成膜室220から搬出し、プラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去することを特徴とする。

[0136] 実施形態9に示すように同一のプラズマCVD成膜室220内で二重pin構造積層体60を形成した後、この二重pin構造積層体60を含むシリコン系薄膜光電変換装置600を搬出した後、上記プラズマCVD成膜室220のカソード222上および／または室内面221上に形成された残留膜を除去することによって、良好な品質および性能を有する積層型シリコン系薄膜光電変換装置600を、同一のプラズマCVD成膜室220内で繰り返し製造することができる。

[0137] 実施形態9に示す方法によりプラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去する工程を経ることなく、同一のプラズマCVD成膜室220内で二重pin構造積層体60を形成することにより、次の積層型シリコン系

薄膜光電変換装置600を形成することもできる。

[0138] しかし、プラズマCVD成膜室220における残留膜による汚染を防止する点から、ひとつの積層型シリコン系薄膜光電変換装置600の形成後、次の基板1の透明導電膜2上に引き続き次の積層型シリコン系薄膜光電変換装置600の二重pin構造積層体60を形成するよりも、二重pin構造積層体60を形成する前に、プラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を完全に除去して、残存膜中のn型層中の不純物原子(n型ドーパント)による次の積層型シリコン系薄膜光電変換装置600の非晶質pin構造積層体60への拡散による影響を完全に除去することが好ましい。これにより、引き続き、再現性よく、良好な品質および性能を有する積層型シリコン系薄膜光電変換装置600を形成することができる。

[0139] すなわち、本実施形態のシリコン系薄膜光電変換装置の製造方法は、次工程において予定されている二重pin構造積層体60の形成時における、プラズマCVD成膜室220の残留膜中のp型層およびn型層の不純物原子(p型不純物原子およびn型不純物原子)による二重pin構造積層体60への影響を除去するための工程としてプラズマCVD成膜室220のカソード222上および／または室内面221上の残留膜を除去する工程をさらに有することを特徴とする。かかる工程により、シングルチャンバ方式で複数の光電変換装置を連続して製造しても、残留膜中の不純物原子による影響を除去することができ、二重pin構造積層体60中の第1および第2のp型半導体層11, 21ならびに第1および第2のi型非晶質シリコン系薄膜光電変換層12, 52中へのn型不純物原子の混入を大幅に低減できる。このため、良好な品質および性能を有する二重pin構造積層体を繰返し形成できるようになり、シングルチャンバ方式を用いて積層型シリコン系薄膜光電変換装置を製造することが可能となり、インライン方式やマルチチャンバ方式、またそれぞれをくみ合わせた製造設備よりも設備を簡略化し、低コスト化を図ることができる。本実施形態の残留膜を除去する工程において使用されるクリーニングガスは、実施形態2および実施形態8と同様である。

[0140] (実施形態11)

本発明にかかるシリコン系薄膜光電変換装置の製造装置の一つの実施形態は、図7を参照して、実施形態1(図1を参照)、実施形態7(図5を参照)または実施形態(図

6を参照)などの製造方法に用いられるシリコン系薄膜光電変換装置の製造装置であって、このシリコン系薄膜光電変換装置の製造装置は、内部にカソード222およびアノード223が配置されているプラズマCVD成膜室220と、プラズマCVD成膜室220内のガス圧力を調整するガス圧力調整部211と、カソード222に電力を供給する電力供給部201とを含み、カソード222とアノード223の距離は3mm以上20mm以下であり、ガス圧力調整部211はCVD成膜室220内のガス圧力を200Pa以上3000Pa以下の範囲で制御でき、電力供給部201はカソードの単位面積当たりの電力密度を $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の範囲で制御できる装置である。なお、図7において、矢印G1はプラズマCVD成膜室220に導入されるガスの流れを、矢印G2はプラズマCVD成膜室220から排出されるガスの流れを示す。

[0141] たとえば、本実施形態のシリコン系薄膜光電変換装置の製造装置は、図7を参照して、密閉可能なプラズマCVD成膜室220内に、カソード222およびアノード223が平行に対向するように設置された平行平板型の電極構造を有するプラズマCVD法による半導体層製造装置である。ここで、カソード222とアノード223の電極間距離は、3mmから20mm、好ましくは5mmから15mm、さらに好ましくは7mmから12mmである。カソード222とアノード223の両電極は、両電極間の距離が一定または可変となるように固定されている。電極間距離の精度を高め、装置を小型化できる観点から、両電極間の距離は一定に固定されていることが好ましい。

[0142] プラズマCVD成膜室220には、ガス圧力調整部211を構成する、圧力調整バルブ213vが設けられたガス導入管213、圧力調整バルブ217vが設けられたガス排出管217、およびガス排出装置216(ガス排出ポンプなど)が配設されている。

[0143] ガス導入管213を通じて、希釈ガス、原料ガス、ドーピングガスなどがプラズマCVD成膜室220に導入される。希釈ガスとしては水素ガスを含むガス、原料ガスとしてはシラン系ガス、メタンガス、ゲルマンガスなど、p型不純物原子ドーピングガスとしては、p型不純物原子をドーピングするためのジボランガスなど、n型不純物原子をドーピングするためのホスフィンガスなどが使用される。

[0144] また、ガス排出装置216により、プラズマCVD成膜室220内のガスがガス排出管217を通じて排出される。ここで、圧力調整バルブ213v、216vおよびガス排出装置2

16を調節することにより、プラズマCVD成膜室220内のガス圧力を調節することができる。ここで、ガス排出装置216は、プラズマCVD成膜室220内のガス圧力を $1.0 \times 10^{-4}$ Pa程度のバックグラウンド圧力に高真空排気できるものであってもよいが、装置の簡易化、低コスト化およびスループット向上の観点から0.1Pa程度のバックグラウンド圧力とする排気能力を有するものが望ましい。

[0145] 本実施形態の製造装置は、プラズマCVD成膜室220内のガス圧力を200Pa以上3000Pa以下、好ましくは300Pa以上2000Pa以下、さらに好ましくは400Pa以上1500Pa以下の範囲で制御できるガス圧力調整部201を含むため、不純物原子の混入が少ないpin構造積層体を形成することができ、高い変換効率を有するシリコン系薄膜光電変換装置を低コストで効率よく製造することができる。

[0146] また、プラズマCVD成膜室220の外部には、電力供給部201を構成する、電力出力部208、インピーダンス整合回路205、および電力出力部208で発生した電力をインピーダンス回路205を経由してカソード222に供給する電力供給線206a、206bが配設されている。ここで、電力供給線206aは電力出力部208とインピーダンス回路205の一端に接続され、電力供給線206bはインピーダンス回路205の他端とカソード222に接続されている。

[0147] 電力出力部208は、CW(連続波形)交流出力あるいはパルス変調(オンオフ制御)された交流出力のいずれを出力するものであっても良い。電力出力部208から出力される交流電力の周波数は、13.56MHzが一般的であるが、これに限られるものではなく、数kHzからVHF帯、さらにマイクロ波帯の周波数を使用してもよい。

[0148] 一方、アノード223は電氣的に接地されており、アノード223上には、透明導電膜が形成された基板1が載置される。基板1は、カソード222上に載置されても良いが、プラズマ中のイオンダメージによる膜質低下を低減するためアノード223上に設置されることが一般的である。カソード222には、電力出力部208から、電力導入線206a、インピーダンス整合回路205および電力導入線206bを通じて電力が供給される。

[0149] 本実施形態の製造装置は、カソード222の電極単位面積あたりの電力密度が $0.01 \text{ W/cm}^2$ 以上 $0.3 \text{ W/cm}^2$ 以下、好ましくは $0.015 \text{ W/cm}^2$ 以上 $0.2 \text{ W/cm}^2$ 以下、さらに好ましくは $0.02 \text{ W/cm}^2$ 以上 $0.15 \text{ W/cm}^2$ 以下の範囲で制御できる電

力供給部201を含むため、不純物原子の混入が少ないpin構造積層体を形成することができ、高い変換効率を有するシリコン系薄膜光電変換装置を低コストで効率よく製造することができる。

## 実施例

### [0150] (実施例1)

本実施例は、図1に示す二重pin構造積層体30(非晶質pin構造積層体10および微結晶pin構造積層体20)を図2に示す同一のプラズマCVD成膜室220内で繰り返し形成して積層型シリコン系薄膜光電変換装置を繰り返し製造するものである。

[0151] 厚さ4mmのガラスからなる基板1上に形成された厚さ $1\mu\text{m}$ の $\text{SnO}_2$ 膜からなる透明導電膜2上に、第1のp型半導体層11としての厚さ10nmの非晶質シリコン層(ボロン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ )、i型非晶質シリコン系光電変換層12として厚さ $0.5\mu\text{m}$ の非晶質シリコン層、第1のn型半導体層13として厚さ30nmの非晶質シリコン層(リン原子濃度 $2\times 10^{19}\text{cm}^{-3}$ 、窒素原子濃度 $1\times 10^{18}\text{cm}^{-3}$ 、酸素原子濃度 $5\times 10^{19}\text{cm}^{-3}$ )、第2のp型半導体層21として厚さ30nmの微結晶シリコン層(ボロン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ 、窒素原子濃度 $1\times 10^{18}\text{cm}^{-3}$ 、酸素原子濃度 $5\times 10^{19}\text{cm}^{-3}$ )、i型微結晶シリコン系光電変換層22として厚さ $3\mu\text{m}$ の微結晶シリコン層および第2のn型半導体層23として厚さ30nmの微結晶シリコン層(リン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ )を形成する。その後、導電膜3として厚さ $0.05\mu\text{m}$ のZnO層、金属電極として厚さ $0.1\mu\text{m}$ のAg電極を形成する。

[0152] まず、凹凸形状を有する $\text{SnO}_2$ 膜(透明導電膜2)が形成されたガラス基板1上に、第1のp型半導体層11として厚さ10nmの非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が $0.05\text{W}/\text{cm}^2$ の条件で形成した。

[0153] 次に、第1のp型半導体層11上に、i型非晶質シリコン系光電変換層12として厚さ $0.5\mu\text{m}$ の非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が $0.07\text{W}/\text{cm}^2$ の条件で形成した。

[0154] 次に、i型非晶質シリコン系光電変換層12上に、第1のn型半導体層13として厚さ30nmの非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード

電極単位面積当たりの電力密度が $0.05\text{W}/\text{cm}^2$ の条件で形成した。

[0155] 次に、第1のn型半導体層13上に、第2のp型半導体層21として厚さ30nmの微結晶シリコン層を、プラズマCVD成膜室220内の圧力が800Pa、カソード電極単位面積当たりの電力密度が $0.08\text{W}/\text{cm}^2$ の条件で形成した。

[0156] 次に、第2のp型半導体層21上に、i型微結晶シリコン系光電変換層22として厚さ $3\mu\text{m}$ の微結晶シリコン層を、プラズマCVD成膜室220内の圧力が800Pa、カソード電極単位面積当たりの電力密度が $0.10\text{W}/\text{cm}^2$ の条件で形成した。

[0157] 次に、i型微結晶シリコン系光電変換層22上に、第2のn型半導体層23として厚さ30nmの微結晶シリコン層を、プラズマCVD成膜室220内の圧力が800Pa、カソード電極単位面積当たりの電力密度が $0.08\text{W}/\text{cm}^2$ の条件で形成した。

[0158] その後、スパッタ法により、導電膜3として厚さ $0.05\mu\text{m}$ のZnO層、金属電極として厚さ $0.1\mu\text{m}$ のAg電極を形成し、積層型シリコン薄膜光電変換装置であるタンデム型シリコン薄膜光電変換装置を製造した。

[0159] 得られたタンデム型シリコン薄膜光電変換装置について、光電変換効率を測定したところ、13.6%であった。

[0160] その後、同一のプラズマCVD成膜室220内で、上記と同様の条件で第2回目の二重pin構造積層体30を形成し、同様の方法により積層型シリコン薄膜光電変換装置を製造した。得られた第2回目の積層型シリコン薄膜光電変換装置について光電変換効率を測定したところ13.5%であった。このようにして、順次第10回目まで、10個のタンデム型シリコン薄膜光電変換装置を製造した。第3回目、第4回目、第5回目、第6回目、第7回目、第8回目、第9回目および第10回目のタンデム型シリコン薄膜光電変換装置の光電変換効率は、それぞれ13.4%、13.5%、13.4%、13.6%、13.6%、13.4%、13.5%および、13.6%であった。その結果を図8に示した。

[0161] 図8からも明らかなとおり、第1回目から第10回目までタンデム型光電変換装置の光電変換効率に大きな変化は見られず、良好な特性の積層型シリコン薄膜光電変換装置を安定して製造することができた。

[0162] (実施例2)

図4に示すS1～S5に従って、図2に示すプラズマCVD装置200の同一の成膜室

220内で、図1に示す二重pin構造積層体30(非晶質pin構造積層体10および微結晶pin構造積層体20)を連続して(繰り返し)形成して積層型シリコン薄膜光電変換装置であるタンデム型シリコン系光電変換装置を得た。

[0163] ここで、本実施例におけるタンデム型光電変換装置は、基板1としては厚さ4mmのガラス基板を用いて、基板1上に、順次、透明導電膜2として厚さ $1\mu\text{m}$ の $\text{SnO}_2$ 膜、第1のp型半導体層11としての厚さ10nmの非晶質シリコン層(ボロン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ )、i型非晶質シリコン系光電変換層12として厚さ $0.5\mu\text{m}$ の非晶質シリコン層、第1のn型半導体層13として厚さ30nmの非晶質シリコン層(リン原子濃度 $2\times 10^{19}\text{cm}^{-3}$ 、窒素原子濃度 $1\times 10^{18}\text{cm}^{-3}$ 、酸素原子濃度 $5\times 10^{19}\text{cm}^{-3}$ )、第2のp型半導体層21として厚さ30nmの微結晶シリコン層(ボロン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ 、窒素原子濃度 $1\times 10^{18}\text{cm}^{-3}$ 、酸素原子濃度 $5\times 10^{19}\text{cm}^{-3}$ )、i型微結晶シリコン系光電変換層22として厚さ $3\mu\text{m}$ の微結晶シリコン層、第2のn型半導体層23として厚さ30nmの微結晶シリコン層(リン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ )、導電膜3として厚さ $0.05\mu\text{m}$ のZnO層、金属電極として厚さ $0.1\mu\text{m}$ のAg電極が形成されている。

[0164] 得られたタンデム型光電変換装置について、光電変換効率を測定したところ、13.5%であった。その後、成膜室220に形成された残留膜を、その表面層から成膜室のカソードおよび室内面に最も近いi型層の厚さの90%の深さまでアンダーエッチングにより除去した後、上記と同様の条件で第2回目の二重pin構造積層体30を含むタンデム型光電変換装置を形成した。得られた第2回目のタンデム型光電変換装置について光電変換効率を測定したところ13.4%であった。このようにして、順次第10回目まで、10個のタンデム型光電変換装置を得た。ここで、第3回目、第4回目、第5回目、第6回目、第7回目、第8回目、第9回目および第10回目のタンデム型光電変換装置の光電変換効率は、それぞれ13.5%、13.5%、13.4%、13.5%、13.5%、13.5%、13.4%および、13.5%であった。結果を図9に示した。

[0165] 図9からも明らかなとおり、第1回目から第10回目までタンデム型光電変換装置の光電変換効率はほぼ一定であった。すなわち、形成回数が10回目になっても、顕著な特性の変化は現れなかった。また、歩留まりは、いずれの形成回数においても100%であり、良好であった。

[0166] 本実施例の結果により、二重pin構造積層体30を同一のプラズマ成膜室220において繰り返し形成する場合に、二重pin構造積層体30を形成後、成膜室220に形成された残留膜をエッチングし、その後二重pin構造積層体30を形成しても、その二重pin構造積層体30を含むタンデム型(積層型)光電変換装置の特性は低下することなく、良好な歩留まりが得られることが分かった。エッチングを実施しても歩留まりを低下させることがないので、装置のメンテナンス頻度を低減することができる。

[0167] (実施例3)

本実施例は、図5に示す非晶質pin構造積層体10を図2に示す同一のプラズマCVD成膜室220内で形成したシリコン系薄膜光電変換装置を繰り返し製造するものである。

[0168] 厚さ4mmのガラスからなる基板1上に形成された厚さ $1\mu\text{m}$ の $\text{SnO}_2$ 膜からなる透明導電膜2上に、p型半導体層11としての厚さ10nmの非晶質シリコン層(ボロン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ )、i型非晶質シリコン系光電変換層12として厚さ $0.3\mu\text{m}$ の非晶質シリコン層、n型半導体層13として厚さ30nmの非晶質シリコン層(リン原子濃度 $2\times 10^{19}\text{cm}^{-3}$ 、窒素原子濃度 $1\times 10^{18}\text{cm}^{-3}$ 、酸素原子濃度 $5\times 10^{19}\text{cm}^{-3}$ )を形成する。その後、導電膜3として厚さ $0.05\mu\text{m}$ のZnO層、金属電極として厚さ $0.1\mu\text{m}$ のAg電極を形成する。

[0169] まず、凹凸形状を有する $\text{SnO}_2$ 膜(透明導電膜2)が形成されたガラス基板1上に、p型半導体層11として厚さ10nmの非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が $0.05\text{W}/\text{cm}^2$ の条件で形成した。

[0170] 次に、p型半導体層11上に、i型非晶質シリコン系光電変換層12として厚さ $0.3\mu\text{m}$ の非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が $0.07\text{W}/\text{cm}^2$ の条件で形成した。

[0171] 次に、i型非晶質シリコン系光電変換層12上に、n型半導体層13として厚さ30nmの非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が $0.05\text{W}/\text{cm}^2$ の条件で形成した。

[0172] その後、スパッタ法により、導電膜3として厚さ $0.05\mu\text{m}$ のZnO層、金属電極として

厚さ $0.1\mu\text{m}$ のAg電極を形成し、積層型シリコン薄膜光電変換装置を製造した。

[0173] 得られた積層型シリコン薄膜光電変換装置について、光電変換効率を測定したところ、9.9%であった。

[0174] その後、同一のプラズマCVD成膜室220内で、上記と同様の条件で第2回目の非晶質pin構造積層体10を形成し、同様の方法によりシリコン薄膜光電変換装置を製造した。得られた第2回目のシリコン薄膜光電変換装置について光電変換効率を測定したところ10.0%であった。このようにして、順次第10回目まで、10個のシリコン薄膜光電変換装置を製造した。第3回目、第4回目、第5回目、第6回目、第7回目、第8回目、第9回目および第10回目のシリコン薄膜光電変換装置の光電変換効率は、それぞれ10.1%、10.0%、10.0%、10.1%、10.0%、9.9%、9.9%および、10.1%であった。その結果を図10に示した。

[0175] 図10からも明らかなとおり、第1回目から第10回目までシリコン薄膜光電変換装置の光電変換効率に大きな変化は見られず、良好な特性のシリコン薄膜光電変換装置を安定して製造することができた。

[0176] (実施例4)

本実施例は、図6に示す二重pin構造積層体60(第1の非晶質pin構造積層体10および第2の非晶質pin構造積層体50)を図2に示す同一のプラズマCVD成膜室220内で形成した積層型シリコン系薄膜光電変換装置を繰り返し製造するものである。

[0177] 厚さ4mmのガラスからなる基板1上に形成された厚さ $1\mu\text{m}$ の $\text{SnO}_2$ 膜からなる透明導電膜2上に、第1のp型半導体層11として厚さ10nmの非晶質シリコン層(ボロン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ )、第1のi型非晶質シリコン系光電変換層12として厚さ $0.07\mu\text{m}$ の非晶質シリコン層、第1のn型半導体層13として厚さ30nmの非晶質シリコン層(リン原子濃度 $2\times 10^{19}\text{cm}^{-3}$ 、窒素原子濃度 $1\times 10^{18}\text{cm}^{-3}$ 、酸素原子濃度 $5\times 10^{19}\text{cm}^{-3}$ )を形成して第1の非晶質pin構造積層体53とし、次に、第2のp型半導体層21として厚さ10nmの非晶質シリコン層(ボロン原子濃度 $3\times 10^{19}\text{cm}^{-3}$ )、第2のi型非晶質シリコン系光電変換層52として厚さ $0.3\mu\text{m}$ の非晶質シリコン層、第2のn型半導体層23として厚さ30nmの非晶質シリコン層(リン原子濃度 $2\times 10^{19}\text{cm}^{-3}$ 、窒素原子濃度 $1$

$\times 10^{18} \text{ cm}^{-3}$ 、酸素原子濃度  $5 \times 10^{19} \text{ cm}^{-3}$ ) を形成して第2の非晶質pin構造積層体54とする。その後、導電膜3として厚さ  $0.05 \mu\text{m}$  のZnO層、金属電極4として厚さ  $0.1 \mu\text{m}$  のAg電極を形成する。

- [0178] まず、凹凸形状を有するSnO<sub>2</sub>膜(透明導電膜2)が形成されたガラス基板1上に、第1のp型半導体層11として厚さ10nmの非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が  $0.05 \text{ W/cm}^2$  の条件で形成した。
- [0179] 次に、第1のp型半導体層11上に、第1のi型非晶質シリコン系光電変換層12として厚さ  $0.07 \mu\text{m}$  の非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が  $0.07 \text{ W/cm}^2$  の条件で形成した。
- [0180] 次に、第1のi型非晶質シリコン系光電変換層12上に、第1のn型半導体層13として厚さ30nmの非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が  $0.05 \text{ W/cm}^2$  の条件で形成した。
- [0181] 次に、第1のn型半導体層13上に、第2のp型半導体層21として厚さ10nmの非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が  $0.05 \text{ W/cm}^2$  の条件で形成した。
- [0182] 次に、第2のp型半導体層21上に、第2のi型非晶質シリコン系光電変換層52として厚さ  $0.3 \mu\text{m}$  の非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が  $0.07 \text{ W/cm}^2$  の条件で形成した。
- [0183] 次に、第2のi型非晶質シリコン系光電変換層52上に、第2のn型半導体層23として厚さ30nmの非晶質シリコン層を、プラズマCVD成膜室220内の圧力が500Pa、カソード電極単位面積当たりの電力密度が  $0.05 \text{ W/cm}^2$  の条件で形成した。以上により、二重pin構造積層体30を形成された。
- [0184] その後、スパッタ法により、導電膜3として厚さ  $0.05 \mu\text{m}$  のZnO層、金属電極4として厚さ  $0.1 \mu\text{m}$  のAg電極を形成し、積層型シリコン薄膜光電変換装置であるタンデム型シリコン薄膜光電変換装置を製造した。
- [0185] 得られたタンデム型シリコン薄膜光電変換装置について、光電変換効率を測定したところ、10.9%であった。

[0186] その後、同一のプラズマCVD成膜室220内で、上記と同様の条件で第2回目の二重pin構造積層体60を形成し、同様の方法により積層型シリコン薄膜光電変換装置を製造した。得られた第2回目のタンデム型シリコン薄膜光電変換装置について光電変換効率を測定したところ11.0%であった。このようにして、順次第10回目まで、10個の積層型シリコン薄膜光電変換装置を製造した。第3回目、第4回目、第5回目、第6回目、第7回目、第8回目、第9回目および第10回目のタンデム型シリコン薄膜光電変換装置の光電変換効率は、それぞれ10.9%、10.9%、11.1%、11.0%、10.9%、11.0%、11.0%および11.0%であった。その結果を図11に示した。

[0187] 図11からも明らかなとおり、第1回目から第10回目までタンデム型光電変換装置の光電変換効率に大きな変化は見られず、良好な特性の積層型シリコン薄膜光電変換装置を安定して製造することができた。

[0188] 今回開示された実施の形態および実施例はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

#### 産業上の利用可能性

[0189] 本発明によれば、良好な性能を有するシリコン系薄膜光電変換装置を、簡易に、低コストで、効率よく製造することができる。

## 請求の範囲

- [1] 基板(1)上に透明導電膜(2)を形成する工程と、前記透明導電膜(2)上に第1のp型半導体層(11)、i型非晶質シリコン系光電変換層(12)、第1のn型半導体層(13)、第2のp型半導体層(21)、i型微結晶シリコン系光電変換層(22)および第2のn型半導体層(23)を順次形成して二重pin構造積層体(30)を形成する工程とを含み、前記二重pin構造積層体(30)を形成する工程は同一のプラズマCVD成膜室(220)内で行い、
- 前記第1のp型半導体層(11)、前記i型非晶質シリコン系光電変換層(12)および前記第1のn型半導体層(13)は、前記プラズマCVD成膜室(220)における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成されることを特徴とする積層型シリコン系薄膜光電変換装置の製造方法。
- [2] 基板(1)上に形成された透明導電膜(2)上に、第1のp型半導体層(11)、i型非晶質シリコン系光電変換層(12)、第1のn型半導体層(13)、第2のp型半導体層(21)、i型微結晶シリコン系光電変換層(22)および第2のn型半導体層(23)を、同一のプラズマCVD成膜室(220)内で、順次形成して二重pin構造積層体(30)を形成し、
- 前記第1のp型半導体層(11)、前記i型非晶質シリコン系光電変換層(12)および前記第1のn型半導体層(13)は、前記プラズマCVD成膜室(220)における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成されることを特徴とする積層型シリコン系薄膜光電変換装置の製造方法。
- [3] 前記第1のp型半導体層(11)の厚さは2nm以上50nm以下であり、前記i型非晶質シリコン系光電変換層(12)の厚さは $0.1\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下であり、前記第1のn型半導体層(13)の厚さは2nm以上50nm以下であることを特徴とする請求項1または請求項2に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [4] 前記第2のp型半導体層(21)の厚さは2nm以上50nm以下であり、前記i型微結晶シリコン系光電変換層(22)の厚さは $0.5\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であり、前記第2の

n型半導体層(23)の厚さは2nm以上50nm以下であることを特徴とする請求項1または請求項2に記載の積層型シリコン系薄膜光電変換装置の製造方法。

- [5] 前記第2のp型半導体層(23)は、前記基板(1)の下地温度が250℃以下であり、前記プラズマCVD成膜室(220)内に導入する原料ガスが、シラン系ガスと水素ガスを含有する希釈ガスとを含み、前記シラン系ガスに対する前記希釈ガスの流量が100倍以上の条件で形成されることを特徴とする請求項1または請求項2に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [6] 前記第1のp型半導体層(11)および前記第2のp型半導体層(21)の導電型決定不純物原子は、ボロン原子またはアルミニウム原子であることを特徴とする請求項1または請求項2に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [7] 前記i型微結晶シリコン系光電変換層(22)は、前記基板(1)の下地温度が250℃以下であり、前記プラズマCVD成膜室に導入する原料ガスがシラン系ガスと希釈ガスとを含み、シラン系ガスに対する希釈ガスの流量が30倍以上100倍以下の条件で形成され、ラマン分光法により測定される $480\text{nm}^{-1}$ におけるピークに対する $520\text{nm}^{-1}$ におけるピークのピーク強度比 $I_{520}/I_{480}$ が5以上10以下であることを特徴とする請求項1または請求項2に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [8] 前記第1のn型半導体層(13)および前記第2のn型半導体層(23)の導電型決定不純物原子は、リン原子であることを特徴とする請求項1または請求項2に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [9] 前記第2のn型半導体層(23)は、前記基板(1)の下地温度が250℃以下であり、前記プラズマCVD成膜室(220)に導入する原料ガス中のシリコン原子に対するリン原子の含有率が0.1原子%以上5原子%以下の条件で形成されることを特徴とする請求項1または請求項2に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [10] 前記二重pin構造積層体(30)を形成した後に、前記二重pin構造積層体(30)を含む積層型シリコン系薄膜光電変換装置(100)を前記プラズマCVD成膜室(220)から搬出し、前記プラズマCVD成膜室(220)のカソード(222)上および／または室内面(221)上の残留膜を除去することを特徴とする請求項1または請求項2に記載の積層型シリコン系薄膜光電変換装置の製造方法。

- [11] 前記残留膜の除去は、水素ガスと、不活性ガスと、フッ素系のクリーニングガスとからなる群より選ばれる少なくとも1種のガスをプラズマ化したガスプラズマによって行われることを特徴とする請求項10に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [12] 前記残留膜の除去は、前記残留膜の表面層から前記カソード(222)および／または前記室内面(221)に最も近い位置にある第1のn型層までをエッチング除去し、前記残留膜の前記カソード(222)および／または前記室内面(221)に最も近い位置にあるi型層を、厚さ方向に10nm以上前記i型層の厚さ全体の90%以下の範囲の深さでエッチング除去することによって行なわれることを特徴とする請求項10に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [13] 前記カソード上の前記残留膜の除去は、前記プラズマCVD成膜室(220)の前記カソード(222)上の前記残留膜の積算膜厚が10  $\mu$  m以上1000  $\mu$  m以下であるときに、水素ガス、不活性ガスおよびフッ素系クリーニングガスからなる群より選ばれる少なくとも1種のガスをプラズマ化したガスプラズマによって行なわれることを特徴とする請求項10に記載の積層型シリコン系薄膜光電変換装置の製造方法。
- [14] 請求項1または請求項2に記載の製造方法により形成された二重pin構造積層体(30)の第2のn型半導体層(23)上に、さらに、p型半導体層(41)、i型結晶質シリコン系光電変換層(42)およびn型半導体層(43)から構成される結晶質pin構造積層体(40)を少なくとも1つ積層することを特徴とする積層型シリコン系薄膜光電変換装置の製造方法。
- [15] 請求項1または請求項2の製造方法により製造された積層型シリコン系薄膜光電変換装置。
- [16] 基板(1)上に形成された透明性導電膜(2)と、二重pin構造積層体(30)とを含む積層型シリコン系薄膜光電変換装置(100)であって、  
前記二重pin構造積層体(30)は、前記透明性導電膜(2)上に順次形成されている第1のp型半導体層(11)、i型非晶質シリコン系光電変換層(12)、第1のn型半導体層(13)、第2のp型半導体層(21)、i型微結晶シリコン系光電変換層(22)および第2のn型半導体層(23)から構成され、

前記第1のn型半導体層(13)および前記第2のp型半導体層(21)は、それぞれ不純物窒素原子濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以下、かつ、不純物酸素原子濃度が $1 \times 10^{20} \text{cm}^{-3}$ 以下であることを特徴とする積層型シリコン系薄膜光電変換装置。

- [17] 基板(1)上に形成された透明性導電膜(2)と、二重pin構造積層体(30)とを含む積層型シリコン系薄膜光電変換装置(100)であって、

前記二重pin構造積層体(30)は、前記透明性導電膜(2)上に順次形成されている第1のp型半導体層(11)、i型非晶質シリコン系光電変換層(12)、第1のn型半導体層(13)、第2のp型半導体層(21)、i型微結晶シリコン系光電変換層(22)および第2のn型半導体層(23)から構成され、

前記第1のn型半導体層(13)の導電型決定不純物原子濃度が $3 \times 10^{19} \text{cm}^{-3}$ 以下であり、前記第2のp型半導体層(21)の導電型決定不純物原子濃度が $5 \times 10^{19} \text{cm}^{-3}$ 以下であることを特徴とする積層型シリコン系薄膜光電変換装置。

- [18] 基板(1)上に形成された透明導電膜(2)上に、第1のp型半導体層(11)、i型非晶質シリコン系光電変換層(12)、第1のn型半導体層(13)、第2のp型半導体層(21)、i型微結晶シリコン系光電変換層(22)および第2のn型半導体層(23)を、同一のプラズマCVD成膜室(220)内で、順次形成して二重pin構造積層体(30)を形成する積層型シリコン系薄膜光電変換装置の製造方法に用いられる製造装置であって、

前記製造装置は、内部にカソード(222)およびアノード(223)が配置されているプラズマCVD成膜室(220)と、前記プラズマCVD成膜室内(220)のガス圧力を調整するガス圧力調整部(211)と、前記カソードに電力を供給する電力供給部(201)とを含み、

前記カソード(222)と前記アノード(223)の距離は3mm以上20mm以下であり、

前記第1のp型半導体層(11)、前記i型非晶質シリコン系光電変換層(12)および前記第1のn型半導体層(13)の形成において、前記ガス圧力調整部(211)は前記CVD成膜室(220)内のガス圧力を200Pa以上3000Pa以下の範囲で制御でき、前記電力供給部(201)は前記カソード(222)の単位面積当たりの電力密度を $0.01 \text{W}/\text{cm}^2$ 以上 $0.3 \text{W}/\text{cm}^2$ 以下の範囲で制御できる積層型シリコン系薄膜光電変換装置の製造装置。

- [19] 基板(1)上に形成された透明導電膜(2)上に、p型半導体層(11)、i型非晶質シリコン系光電変換層(12)およびn型半導体層(13)を、同一のプラズマCVD成膜室内(220)で、順次連続して形成して非晶質pin構造積層体(10)を形成し、
- 前記p型半導体層(11)、前記i型非晶質シリコン系光電変換層(12)および前記n型半導体層(13)は、前記プラズマCVD成膜室(220)における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成されることを特徴とするシリコン系薄膜光電変換装置の製造方法。
- [20] 前記非晶質pin構造積層体(10)を形成した後に、前記非晶質pin構造積層体(10)を含むシリコン系薄膜光電変換装置(500)を前記プラズマCVD成膜室(220)から搬出し、前記プラズマCVD成膜室(220)のカソード(222)上および／または室内面(221)上の残留膜を除去する請求項19に記載のシリコン系薄膜光電変換装置の製造方法。
- [21] 請求項19の製造方法により製造されたシリコン系薄膜光電変換装置。
- [22] 基板(1)上に形成された透明導電膜(2)上に、p型半導体層(11)、i型非晶質シリコン系光電変換層(12)およびn型半導体層(13)を、同一のプラズマCVD成膜室内(220)で、順次連続して形成して非晶質pin構造積層体(10)を形成するシリコン系薄膜光電変換装置の製造方法に用いられる製造装置であって、
- 前記製造装置は、内部にカソード(222)およびアノード(223)が配置されているプラズマCVD成膜室(220)と、前記プラズマCVD成膜室(220)内のガス圧力を調整するガス圧力調整部(211)と、前記カソード(222)に電力を供給する電力供給部(201)とを含み、
- 前記カソード(222)と前記アノード(223)の距離は3mm以上20mm以下であり、
- 前記p型半導体層(11)、前記i型非晶質シリコン系光電変換層(12)および前記n型半導体層(13)の形成において、
- 前記ガス圧力調整部(211)は前記CVD成膜室(220)内のガス圧力を200Pa以上3000Pa以下の範囲で制御でき、前記電力供給部(201)は前記カソード(222)の単位面積当たりの電力密度を $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の範囲で制

御できるシリコン系薄膜光電変換装置の製造装置。

- [23] 基板(1)上に形成された透明導電膜(2)上に、第1のp型半導体層(11)、第1のi型非晶質シリコン系光電変換層(12)、第1のn型半導体層(13)、第2のp型半導体層(21)、第2のi型非晶質シリコン系光電変換層(52)および第2のn型半導体層(23)を、同一のプラズマCVD成膜室(220)内で、順次形成して二重pin構造積層体(60)を形成し、

前記第1のp型半導体層(11)、前記第1のi型非晶質シリコン系光電変換層(12)、前記第1のn型半導体層(13)、前記第2のp型半導体層(21)、前記第2のi型非晶質シリコン系光電変換層(52)および前記第2のn型半導体層(23)は、前記プラズマCVD成膜室(220)における成膜圧力が200Pa以上3000Pa以下および電極単位面積当たりの電力密度が $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下で形成されることを特徴とする積層型シリコン系薄膜光電変換装置の製造方法。

- [24] 前記二重pin構造積層体(60)を形成した後に、前記二重pin構造積層体(60)を含む積層型シリコン系薄膜光電変換装置(600)を前記プラズマCVD成膜室(220)から搬出し、前記プラズマCVD成膜室(220)のカソード(222)上および／または室内面(221)上の残留膜を除去する請求項23に記載の積層型シリコン系薄膜光電変換装置の製造方法。

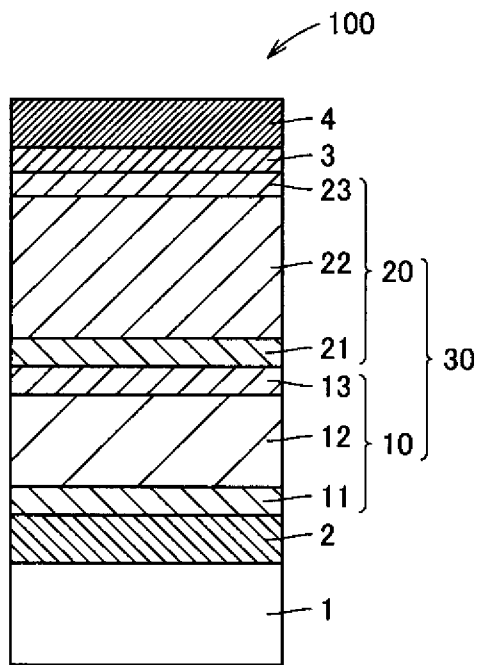
- [25] 請求項23の製造方法により製造された積層型シリコン系薄膜光電変換装置。

- [26] 基板(1)上に形成された透明導電膜(2)上に、第1のp型半導体層(11)、第1のi型非晶質シリコン系光電変換層(12)、第1のn型半導体層(13)、第2のp型半導体層(21)、第2のi型非晶質シリコン系光電変換層(52)および第2のn型半導体層(23)を、同一のプラズマCVD成膜室(220)内で、順次形成して二重pin構造積層体(60)を形成する積層型シリコン系薄膜光電変換装置の製造方法に用いられる製造装置であって、

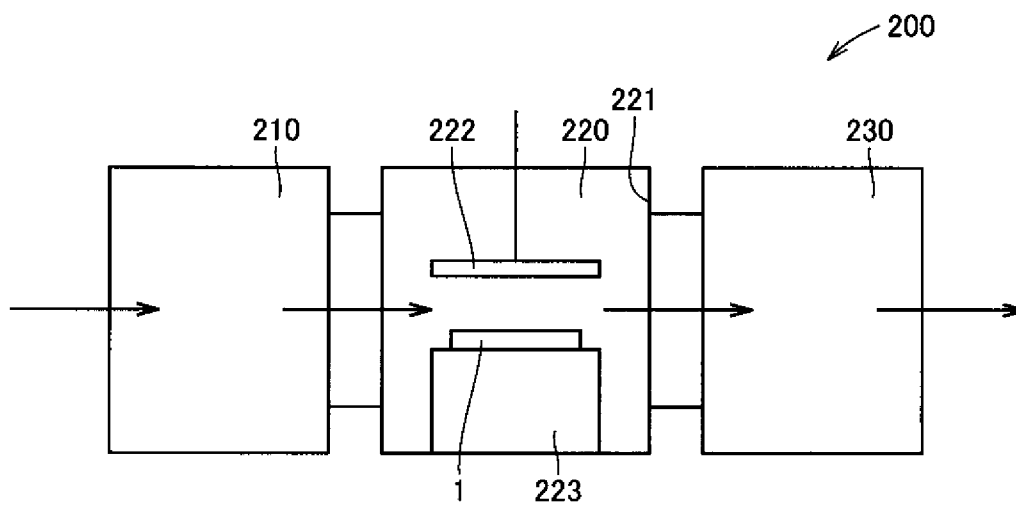
前記製造装置は、内部にカソード(222)およびアノード(223)が配置されているプラズマCVD成膜室(220)と、前記プラズマCVD成膜室(220)内のガス圧力を調整するガス圧力調整部(211)と、前記カソード(222)に電力を供給する電力供給部(201)とを含み、

前記カソード(222)と前記アノード(223)の距離は3mm以上20mm以下であり、  
前記第1のp型半導体層(11)、前記第1のi型非晶質シリコン系光電変換層(12)、  
前記第1のn型半導体層(13)、前記第2のp型半導体層(21)、前記第2のi型非晶  
質シリコン系光電変換層(52)および前記第2のn型半導体層(23)の形成において  
、前記ガス圧力調整部(211)は前記CVD成膜室(220)内のガス圧力を200Pa以  
上3000Pa以下の範囲で制御でき、前記電力供給部(201)は前記カソード(222)  
の単位面積当たりの電力密度を $0.01\text{W}/\text{cm}^2$ 以上 $0.3\text{W}/\text{cm}^2$ 以下の範囲で制  
御できる積層型シリコン系薄膜光電変換装置の製造装置。

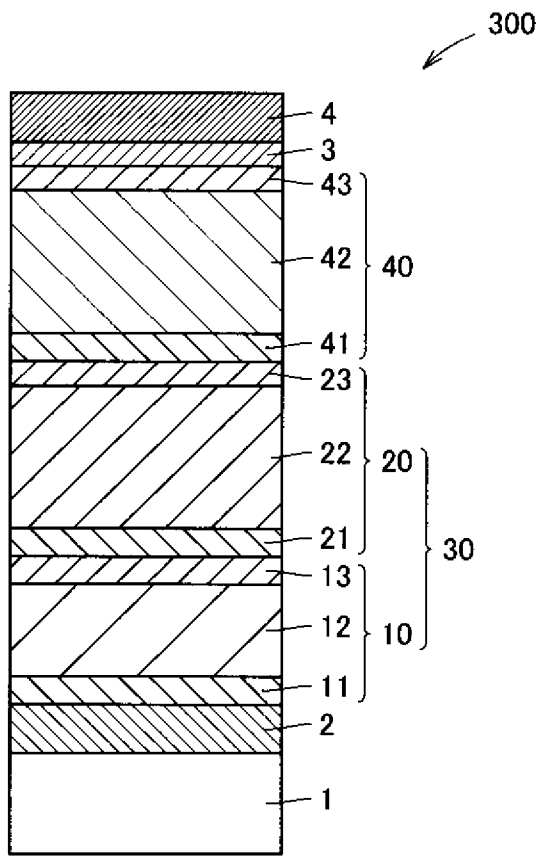
[図1]



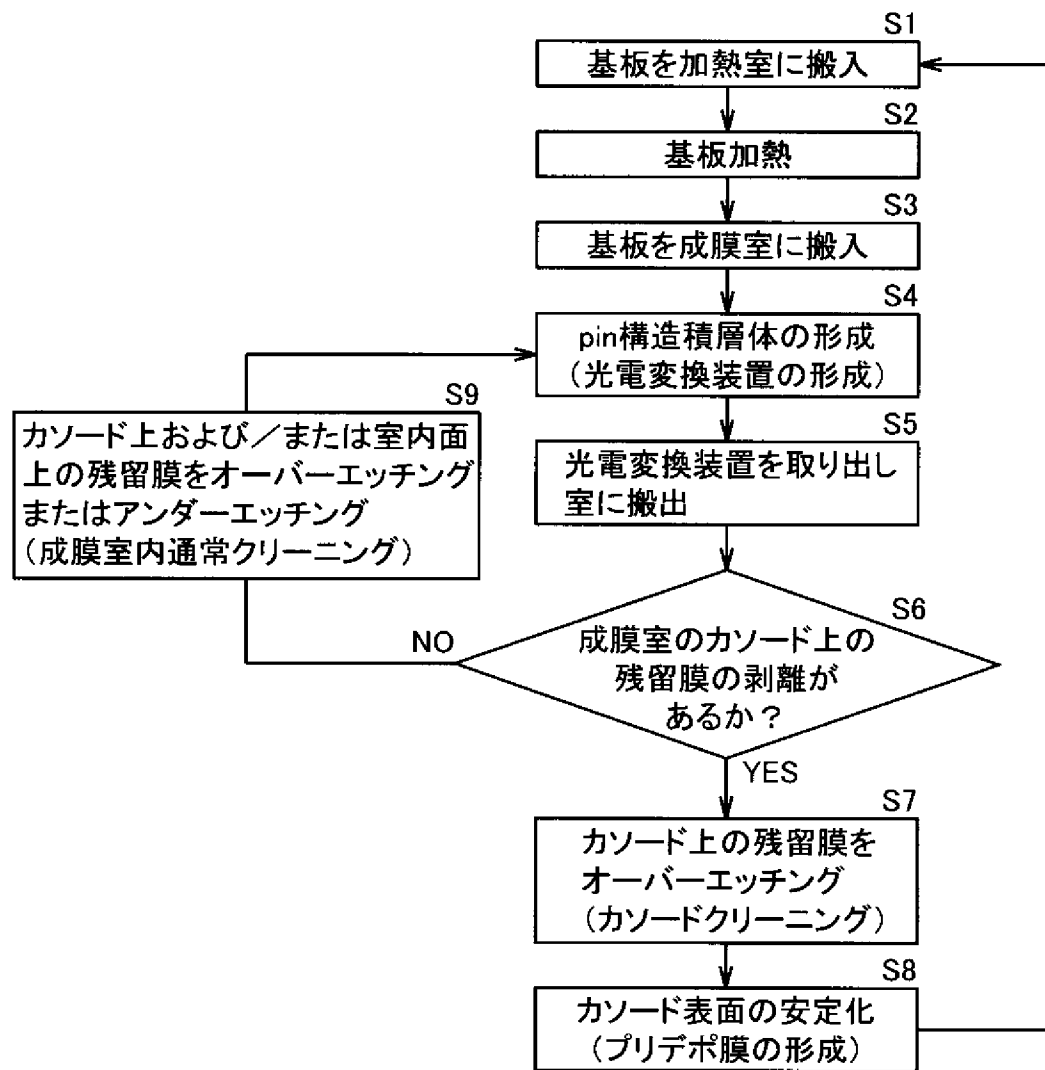
[図2]



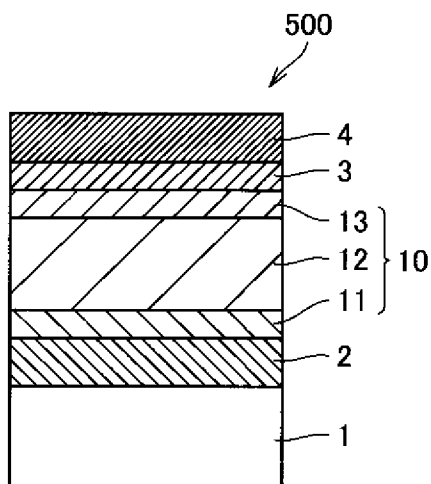
[図3]



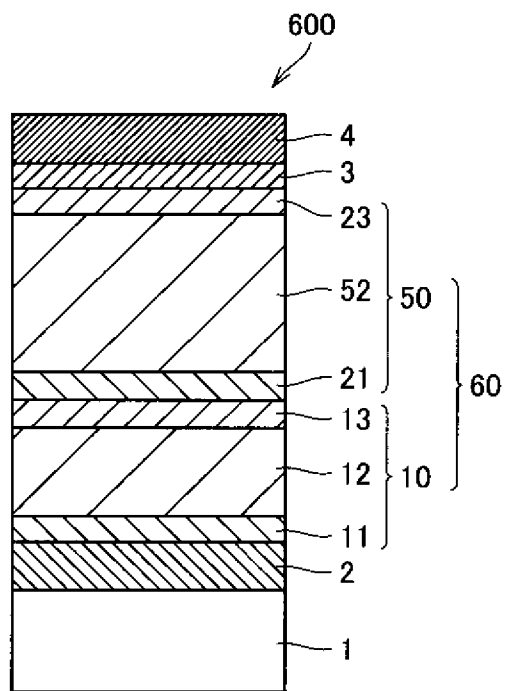
[図4]



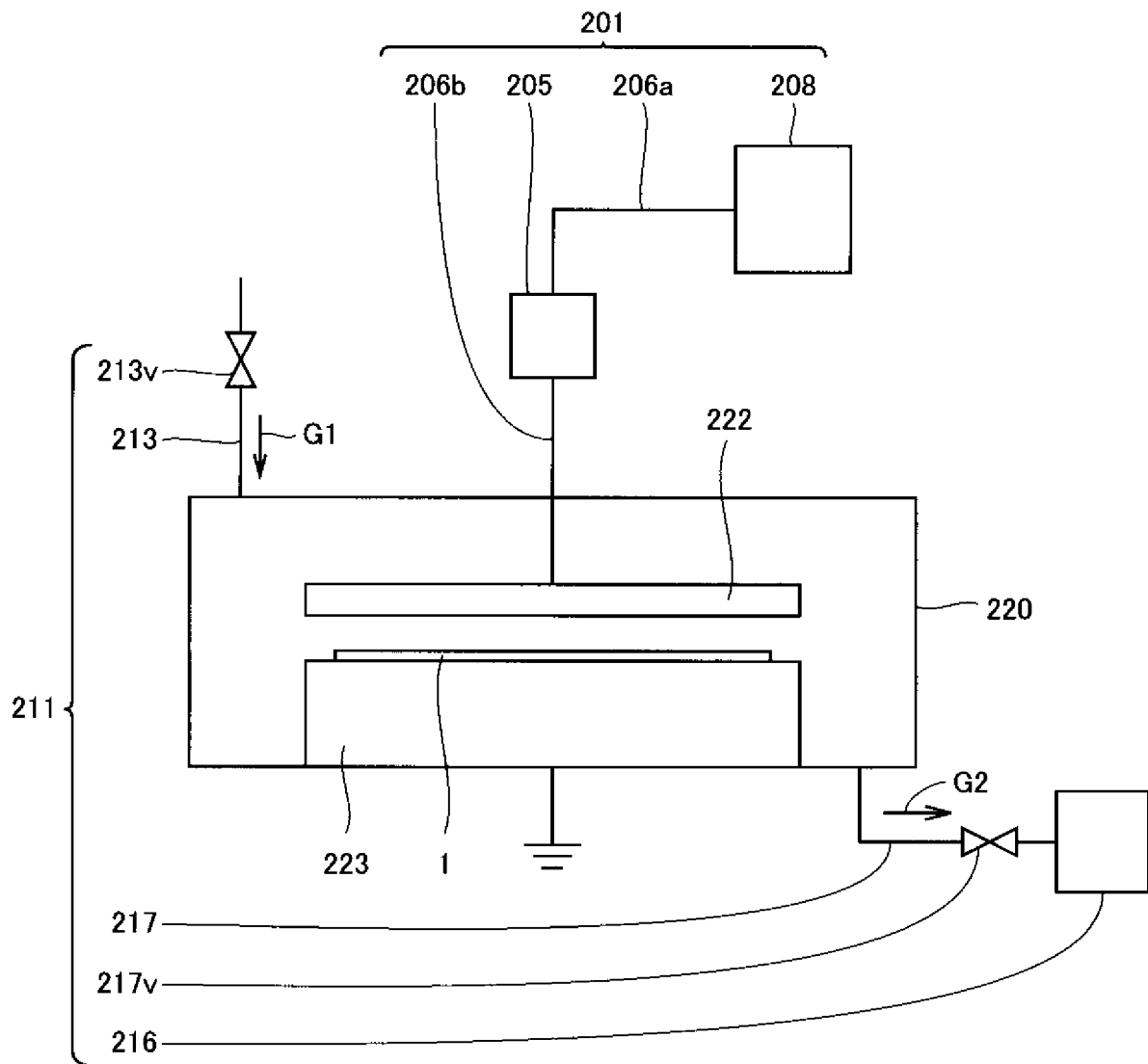
[図5]



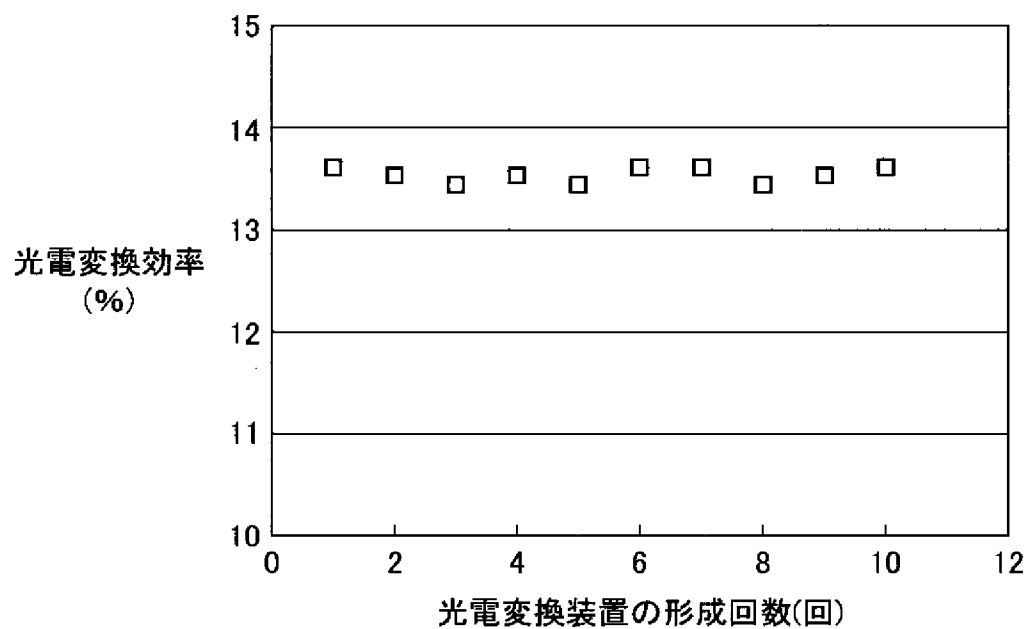
[図6]



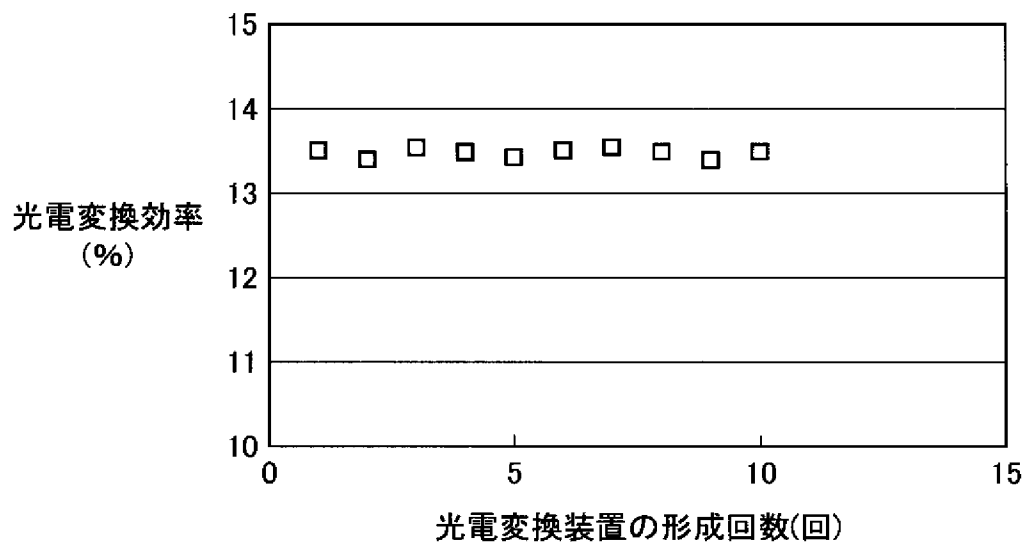
[図7]



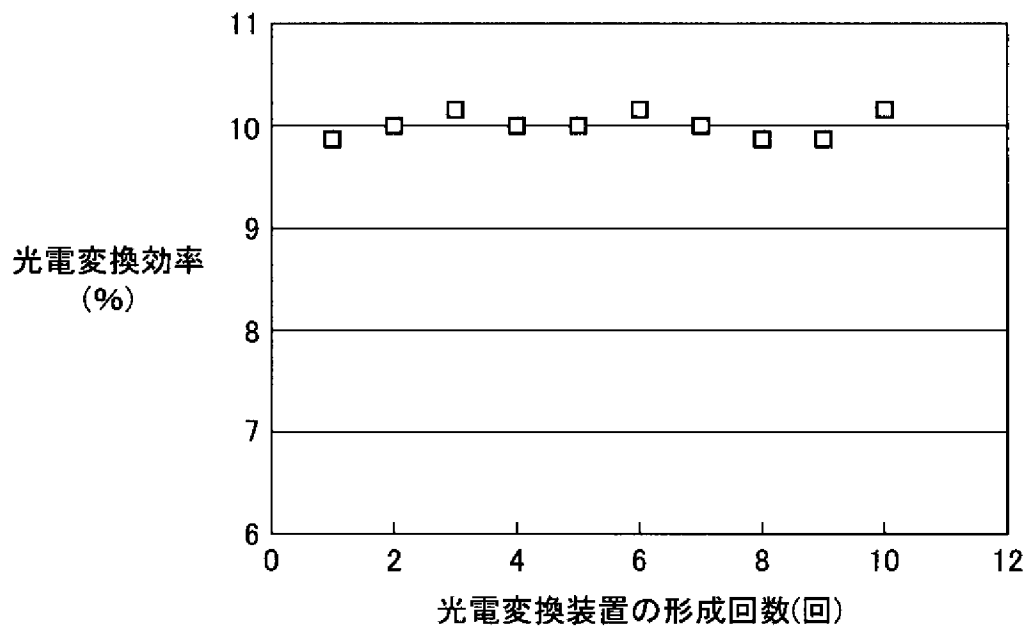
[図8]



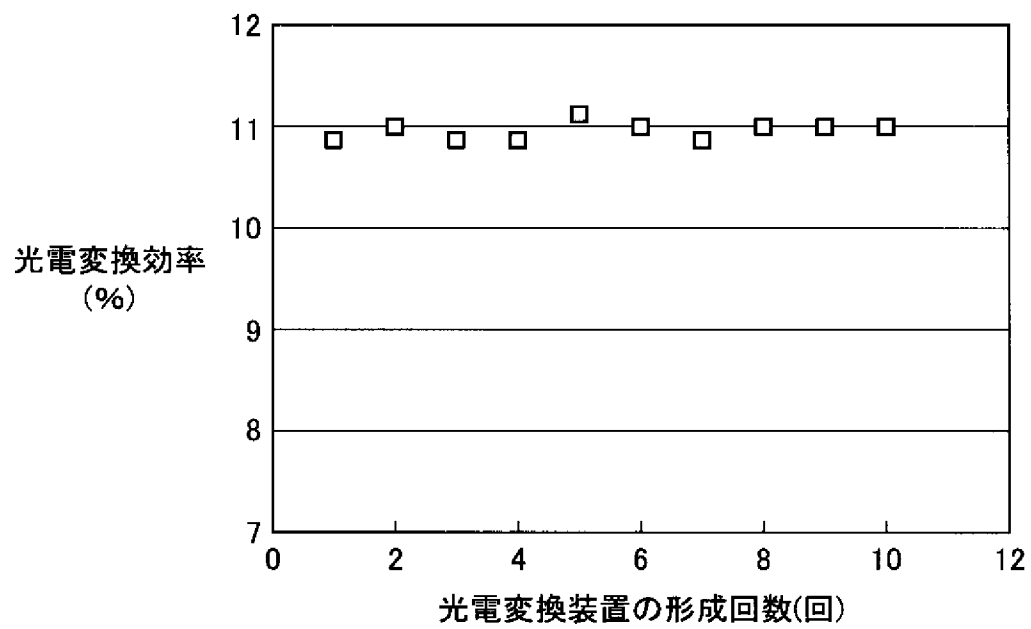
[図9]



[図10]



[図11]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/319510

## A. CLASSIFICATION OF SUBJECT MATTER

H01L31/04(2006.01) i, C23C16/24(2006.01) i, H01L21/205(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/04, C23C16/24, H01L21/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2006 |
| Kokai Jitsuyo Shinan Koho | 1971-2006 | Toroku Jitsuyo Shinan Koho | 1994-2006 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                               | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2000-252495 A (Kaneka Corp.),<br>14 September, 2000 (14.09.00),<br>Full text; all drawings<br>& EP 1032052 A1 & US 6200825 B1 | 1-10, 14-26           |
| Y         | JP 2005-123466 A (Sharp Corp.),<br>12 May, 2005 (12.05.05),<br>Full text; all drawings<br>(Family: none)                         | 11-13                 |
| A         | JP 2004-289091 A (Canon Inc.),<br>14 October, 2004 (14.10.04),<br>Full text; all drawings<br>(Family: none)                      | 1-26                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
18 October, 2006 (18.10.06)

Date of mailing of the international search report  
31 October, 2006 (31.10.06)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# **INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/319510

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                 | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 2003-197536 A (Sharp Corp.),<br>11 July, 2003 (11.07.03),<br>Full text; all drawings<br>(Family: none)                          | 1-26                  |
| A         | JP 7-230960 A (Sharp Corp.),<br>29 August, 1995 (29.08.95),<br>Full text; all drawings<br>& EP 659905 A1 & US 5487786 A            | 1-26                  |
| A         | JP 2002-175993 A (Sharp Corp.),<br>21 June, 2002 (21.06.02),<br>Full text; all drawings<br>(Family: none)                          | 1-26                  |
| A         | JP 2004-128110 A (Fuji Electric Holdings Co.,<br>Ltd.),<br>22 April, 2004 (22.04.04),<br>Full text; all drawings<br>(Family: none) | 1-26                  |
| A         | JP 2003-68659 A (Sharp Corp.),<br>07 March, 2003 (07.03.03),<br>Full text; all drawings<br>(Family: none)                          | 1-26                  |
| A         | JP 2002-47568 A (Agilent Technologies Inc.),<br>15 February, 2002 (15.02.02),<br>Full text; all drawings<br>(Family: none)         | 1-26                  |

|                                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                   |                                                        |             |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------|--------------------------------------------------------|-------------|
| A. 発明の属する分野の分類（国際特許分類（I P C））<br>Int.Cl. H01L31/04(2006.01)i, C23C16/24(2006.01)i, H01L21/205(2006.01)i                                                                                                                                                                                                                                                                                                                                    |                                                                                   |                                                        |             |
| B. 調査を行った分野<br>調査を行った最小限資料（国際特許分類（I P C））<br>Int.Cl. H01L31/04, C23C16/24, H01L21/205                                                                                                                                                                                                                                                                                                                                                      |                                                                                   |                                                        |             |
| 最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1 9 2 2 - 1 9 9 6 年<br>日本国公開実用新案公報 1 9 7 1 - 2 0 0 6 年<br>日本国実用新案登録公報 1 9 9 6 - 2 0 0 6 年<br>日本国登録実用新案公報 1 9 9 4 - 2 0 0 6 年                                                                                                                                                                                                                                                                       |                                                                                   |                                                        |             |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）                                                                                                                                                                                                                                                                                                                                                                                                     |                                                                                   |                                                        |             |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                            |                                                                                   |                                                        |             |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                            | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                 | 関連する<br>請求の範囲の番号                                       |             |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                          | JP 2000-252495 A(鐘淵化学工業株式会社)2000.09.14, 全文, 全図<br>& EP 1032052 A1 & US 6200825 B1 | 1-10, 14-26                                            |             |
| Y                                                                                                                                                                                                                                                                                                                                                                                                                                          | JP 2005-123466 A(シャープ株式会社)2005.05.12, 全文, 全図<br>(ファミリーなし)                         | 11-13                                                  |             |
| A                                                                                                                                                                                                                                                                                                                                                                                                                                          | JP 2004-289091 A(キヤノン株式会社)2004.10.14, 全文, 全図<br>(ファミリーなし)                         | 1-26                                                   |             |
| <input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。                                                                                                                                                                                                                                                                                                                                        |                                                                                   |                                                        |             |
| * 引用文献のカテゴリー<br>「A」特に関連のある文献ではなく、一般的技術水準を示すもの<br>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>「O」口頭による開示、使用、展示等に言及する文献<br>「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献<br>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>「&」同一パテントファミリー文献 |                                                                                   |                                                        |             |
| 国際調査を完了した日<br>1 8 . 1 0 . 2 0 0 6                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                                   | 国際調査報告の発送日<br>3 1 . 1 0 . 2 0 0 6                      |             |
| 国際調査機関の名称及びあて先<br>日本国特許庁（I S A / J P）<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号                                                                                                                                                                                                                                                                                                                                                                 |                                                                                   | 特許庁審査官（権限のある職員）<br>道祖土 新吾<br>電話番号 03-3581-1101 内線 3255 | 2 K 9 8 1 4 |

| C (続き) . 関連すると認められる文献 |                                                                              |                  |
|-----------------------|------------------------------------------------------------------------------|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                            | 関連する<br>請求の範囲の番号 |
| A                     | JP 2003-197536 A(シャープ株式会社)2003. 07. 11, 全文, 全図<br>(ファミリーなし)                  | 1-26             |
| A                     | JP 7-230960 A(シャープ株式会社)1995. 08. 29, 全文, 全図<br>& EP 659905 A1 & US 5487786 A | 1-26             |
| A                     | JP 2002-175993 A(シャープ株式会社)2002. 06. 21, 全文, 全図<br>(ファミリーなし)                  | 1-26             |
| A                     | JP 2004-128110 A(富士電機ホールディングス株式会社)2004. 04. 22<br>全文, 全図 (ファミリーなし)           | 1-26             |
| A                     | JP 2003-68659 A(シャープ株式会社)2003. 03. 07, 全文, 全図<br>(ファミリーなし)                   | 1-26             |
| A                     | JP 2002-47568 A(アジレント・テクノロジーズ・インク)2002. 02. 15<br>全文, 全図 (ファミリーなし)           | 1-26             |