



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I529805 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：098132321

(22)申請日：中華民國 98 (2009) 年 09 月 24 日

(51)Int. Cl. : *H01L21/3205 (2006.01)**B23K26/00 (2014.01)**H01L21/265 (2006.01)**H01L21/84 (2006.01)*

(30)優先權：2008/09/29 日本

2008-251335

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：倉田求 KURATA, MOTOMU (JP)；笹川慎也 SASAGAWA, SHINYA (JP)；村岡大
河 MURAOKA, TAIGA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2007/0020947A1

US 2007/0281172A1

US 2008/0200010A1

審查人員：陳聖

申請專利範圍項數：25 項 圖式數：16 共 91 頁

(54)名稱

半導體基板的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR SUBSTRATE

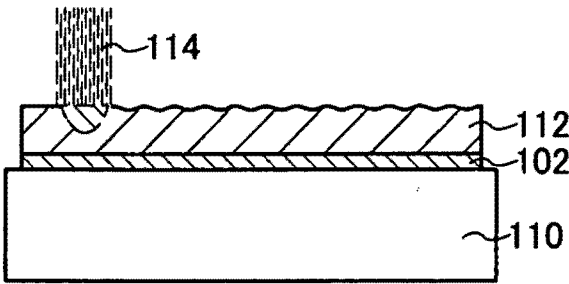
(57)摘要

形成絕緣膜於半導體基板之上，且藉由以加速的離子穿過該絕緣膜來照射該半導體基板，而形成脆化區於該半導體基板之中的步驟；設置該半導體基板的表面與基底基板的表面彼此互相相對，且接合該絕緣膜的表面至該基底基板的表面之步驟；在將該絕緣膜的表面與該基底基板的表面相互接合之後，藉由執行熱處理以造成沿著該脆化區的分離，以形成半導體層於該基底基板之上，而該絕緣膜被插入於其間的步驟；執行蝕刻處理於該半導體層之上的步驟；以雷射光束來照射接受該蝕刻處理之該半導體層的步驟；以及以電漿來照射以該雷射光束所照射之該半導體層的步驟。

A step of forming an insulating film over a semiconductor substrate and forming an embrittled region in the semiconductor substrate by irradiating the semiconductor substrate with accelerated ions through the insulating film; a step of disposing a surface of the semiconductor substrate and a surface of a base substrate opposite to each other and bonding the surface of the insulating film to the surface of the base substrate; a step of forming a semiconductor layer over the base substrate with the insulating film interposed therebetween by causing separation along the embrittled region by performing heat treatment after the surface of the insulating film and the surface of the base substrate are bonded to each other; a step of performing etching treatment on the semiconductor layer; a step of irradiating the semiconductor layer subjected to the etching treatment with a laser beam; and a step of irradiating the semiconductor layer irradiated with the laser beam with plasma.

指定代表圖：

第2C圖



符號簡單說明：

102 . . . 絕緣膜

110 . . . 基底基板

112 . . . 單晶半導體層

114 . . . 雷射光束

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98132321

※申請日：98年09月24日

※IPC分類：

H01L 21/320 (2006.01)

B23K 26/00 (2006.01)

H01L 21/46 (2006.01)

H01L 21/84 (2006.01)

一、發明名稱：(中文／英文)

半導體基板的製造方法

Method for manufacturing semiconductor substrate

二、中文發明摘要：

形成絕緣膜於半導體基板之上，且藉由以加速的離子穿過該絕緣膜來照射該半導體基板，而形成脆化區於該半導體基板之中的步驟；設置該半導體基板的表面與基底基板的表面彼此互相相對，且接合該絕緣膜的表面至該基底基板的表面之步驟；在將該絕緣膜的表面與該基底基板的表面相互接合之後，藉由執行熱處理以造成沿著該脆化區的分離，以形成半導體層於該基底基板之上，而該絕緣膜被插入於其間的步驟；執行蝕刻處理於該半導體層之上的步驟；以雷射光束來照射接受該蝕刻處理之該半導體層的步驟；以及以電漿來照射以該雷射光束所照射之該半導體層的步驟。

三、英文發明摘要：

A step of forming an insulating film over a semiconductor substrate and forming an embrittled region in the semiconductor substrate by irradiating the semiconductor substrate with accelerated ions through the insulating film; a step of disposing a surface of the semiconductor substrate and a surface of a base substrate opposite to each other and bonding the surface of the insulating film to the surface of the base substrate; a step of forming a semiconductor layer over the base substrate with the insulating film interposed therebetween by causing separation along the embrittled region by performing heat treatment after the surface of the insulating film and the surface of the base substrate are bonded to each other; a step of performing etching treatment on the semiconductor layer; a step of irradiating the semiconductor layer subjected to the etching treatment with a laser beam; and a step of irradiating the semiconductor layer irradiated with the laser beam with plasma.

四、指定代表圖：

(一)、本案指定代表圖為：第(2C)圖。

(二)、本代表圖之元件代表符號簡單說明：

102：絕緣膜

110：基底基板

112：單晶半導體層

114：雷射光束

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明有關具有其中單相半導體層係設置於絕緣表面上的所謂矽在絕緣物上（SOI）結構之 SOI 基板的製造方法，以及具有 SOI 結構之半導體裝置的製造方法。

【先前技術】

已發展出其中使用具有薄的單晶半導體層於絕緣表面上之所謂矽在絕緣物上（在下文中亦稱為“SOI”）的半導體基板以取代藉由微薄切片單晶半導體晶棒所製造之矽晶圓的積體電路；做為具有降低的寄生電容於電晶體的汲極與基板之間以及具有改善的半導體積體電路性能之積體電路，使用 SOI 基板之積體電路已引起注意。

做為 SOI 基板的製造方法，氫離子佈植分離法係已知的（例如，請參閱專利文獻 1）。該氫離子佈植分離法係其中，將氫離子佈植至矽晶圓之內以形成脆化區於距離表面之預定深度處，且將其中形成脆化區之矽晶圓接合至另一矽晶圓；其次，執行熱處理以造成沿著脆化區之分離，以致使薄的矽層形成於另一矽晶圓之上；進一步地，需執行熱處理於氧化氛圍之中，形成氧化物膜於矽層之上，去除該矽膜，且執行熱處理於 1000℃ 至 1300℃，以便增加接合強度的方法。

此外，已提出有藉由 Smart Cut（註冊商標）法之用以形成單晶矽層於玻璃基板所製成的基底基板之上的方法

（例如，請參閱專利文獻 2）。

由於用以形成脆化區的離子照射步驟以及分離步驟，以此方式所形成的矽層會在其中晶體缺陷將留在矽層的表面上及矽層之中的狀態中，且該表面的平坦度會大大地劣化；此外，若分離並未平滑地沿著脆化區而執行時，則會發生諸如矽層之粗糙的表面、厚度上的變化、及微小裂痕的產生之問題於該處。

矽層之晶體缺陷的去除可藉由加熱於 1000℃ 或更高的溫度以達成；然而，此一高溫處理無法使用於附著至具有 700℃ 或更低之應變點的玻璃基板之矽層的晶體缺陷之去除；因而，如專利文獻 3 中所揭示地，已嘗試以雷射光束照射矽層而使矽層再結晶，使得矽層之晶體品質改善（請參閱專利文獻 3）。

[引例表]

[專利文獻 1] 日本公開專利申請案第 2000-124092 號

[專利文獻 2] 日本公開專利申請案第 2002-170942 號

[專利文獻 3] 日本公開專利申請案第 2005-252244 號

【發明內容】

然而，由分離所造成的晶體缺陷或損壞會在分離單晶矽基板之後保留於矽層的表面上；爲了要去除此一狀態中之單晶矽層的晶體缺陷，係執行雷射照射；然而，已存在有其中晶體缺陷或損壞係自矽層的表面而引入至單晶矽層之內的問題。進一步地，亦已存在有其中當矽層熔化及再

結晶時，不均勻會發生於矽層之表面的問題。

鑑於該等問題，本發明之目的在於提供 SOI 基板的製造方法，其中可改善固定至基底基板之單晶半導體層的平坦度，且可改善其之晶體度，即使當使用諸如玻璃基板之具有低的熱阻且可能彎曲之基板以做為基底基板時亦然。此外，本發明之另一目的在於提供使用此一 SOI 基板之半導體裝置的製造方法。

在依據本發明之 SOI 基板的製造方法中，使附著至基底基板之單晶半導體層的表面接受蝕刻處理，單晶半導體層的表面係以雷射光束照射，以及使單晶半導體層的表面接受電漿處理。本發明之特定的結構係描述如下。

一實施例包含以下步驟：形成絕緣膜於半導體基板之上；以加速的離子穿過絕緣膜來照射半導體基板，而形成脆化區於半導體基板之中；設置半導體基板的表面與基底基板的表面彼此互相相對，且接合絕緣膜的表面至基底基板的表面；在將絕緣膜的表面與基底基板的表面相互接合之後，執行熱處理以造成沿著脆化區的分離，以形成半導體層於基底基板之上，而絕緣膜被插入於其間；執行蝕刻處理於半導體層之上；以雷射光束來照射接受蝕刻處理之半導體層；以及以電漿來照射以雷射光束所照射之半導體層。

一實施例包含以下步驟：形成絕緣膜於半導體基板之上；以加速的離子穿過絕緣膜來照射半導體基板，而形成脆化區於半導體基板之中；設置半導體基板的表面與基底

基板的表面彼此互相相對，且接合絕緣膜的表面至基底基板的表面；在將絕緣膜的表面與基底基板的表面相互接合之後，執行熱處理以造成沿著脆化區的分離，以形成半導體層於基底基板之上，而絕緣膜被插入於其間；執行第一蝕刻處理於半導體層之上；以雷射光束來照射接受第一蝕刻處理之半導體層；執行第二蝕刻處理於以雷射光束所照射之半導體層上；以及以電漿來照射接受第二蝕刻處理之半導體層。

在此說明書中，“單晶”意指，其中當聚焦某一晶軸時，該晶軸的方向係以取樣之任一部分中的相同方向而定向，且不具有晶粒邊界於晶體之間的晶體。注意的是，在此說明書之中，單晶包含其中晶軸的方向係均一的，且如上述地不具有晶粒邊界，即使當其包含晶體缺陷或懸浮鍵時亦然之晶體。進一步地，“單晶半導體層之再單晶化”意指的是，具有單晶結構的半導體層透過與單晶結構不同的狀態（例如，液相狀態）以再獲得單晶結構。此外，亦可說的是，“單晶半導體層之再單晶化”意指使單晶半導體層再晶體化，以形成單晶半導體層。

在此說明書中，脆化區係單晶半導體基板之變弱的區域，其係藉由以離子束來照射單晶半導體基板而形成，以致使晶體缺陷由離子所形成。此脆化區係藉由熱處理之裂痕或其類似物的產生而畫分，使得單晶半導體層可自單晶半導體基板分離。

在此說明書中之“半導體裝置”大致地意指可藉由使用

半導體特徵以操作之裝置；且顯示裝置，半導體裝置，及電子裝置均包含於半導體裝置之中。

此外，在此說明書中之“顯示裝置”包含液晶顯示裝置及發光裝置。液晶顯示裝置包含液晶元件，以及發光裝置包含發光元件；在其範疇中，發光元件包含其之光亮度係由雷流或電壓所控制的元件，且特定地，包含無機電激發光（EL）元件、有機 EL 元件、及其類似物。

藉由應用本發明，可降低晶體缺陷且可改善平坦度，即使當使用具有低的熱阻之支撐基板時亦然；進一步地，藉由使用此一 SOI 基板，可製造出具有優異特徵之半導體裝置。

【實施方式】

將參照圖式來敘述本發明之實施例於下文。注意的是，本發明並未受限於以下的說明，且由熟習於本項技藝之該等人士所易於瞭解的是，本發明之模式及細節可以以各式各樣的方式來加以修正，而不會背離本發明的目的及範疇；因此，本發明不應被解讀成為受限於下文之實施例的說明。注意的是，在下文所述之本發明的結構中，指示相同部分及具有相似功能之部分的參考符號係共用於不同的圖式中，且其之重複說明將予以省略。

（實施例 1）

在此實施例中，將參照圖式來敘述 SOI 基板的製造方

法。特定地，將敘述其中以絕緣層插入其間而將單晶半導體層形成於基底基板之上，以及改善單晶半導體層之平坦度的步驟。

首先，預備單晶半導體基板 100 及基底基板 110（請參閱第 1A-1 及 1B 圖）。

做為單晶半導體基板 100，可使用商售的半導體基板；例如，可使用利用第 4 族的元素所形成之諸如單晶矽基板、單晶鍺基板、或單晶矽鍺基板的單晶半導體基板。選擇性地，可使用由鎵、砷、銦磷化物、或其類似物所形成之化合物半導體基板。典型地，商售的矽基板係直徑 5 吋（125 毫米）、直徑 6 吋（150 毫米）、直徑 8 吋（200 毫米）、直徑 12 吋（300 毫米）、及直徑 16 吋（400 毫米），且其之大致形狀係圓形。注意的是，單晶半導體基板 100 的形狀並未受限於圓形，且亦可使用例如被處理成為矩形或其類似形狀之單晶半導體基板。進一步地，單晶半導體基板 100 可由紫式長晶（CZ）法或浮帶（FZ）法所形成；在下文所給定的說明中，將敘述其中使用由 CZ 法所形成之單晶半導體基板以做為單晶半導體基板 100 的情況。

可使用利用絕緣物所形成之基板以做為基底基板 110，其之特定實例係如下：使用於電子產業中之各式各樣的玻璃基板，例如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、及鋇硼矽酸鹽玻璃之基板；石英基板；陶質物基板；及藍寶石基板。選擇性地，亦可使用單晶半導體基板（例如，單晶矽

基板或其類似物) 做為基底基板 110。在此實施例中，將敘述使用玻璃基板的情況；當使用可以以大的尺寸形成且係不昂貴的玻璃基板做為基底基板 110 時，可達成成本降低。

其次，將絕緣膜 102 形成於單晶半導體基板 100 之上（請參閱第 1A-2 圖）。做為絕緣膜 102，可形成諸如氧化矽膜、氮氧化矽膜、氮化矽膜、或氧化氮化矽膜之單層的絕緣層，或其之堆疊層；該等膜可藉由熱氧化法、CVD 法、濺鍍法、或其類似方法以形成。

在此說明書中，氮氧化矽包含比氮更多的氧，且在其中使用拉塞福反向散射光譜測量術（RBS）及氬順向散射法（HFS）以執行測量於該處情況中，氮化矽較佳地包含濃度範圍分別自 50 至 70 原子百分比、0.5 至 15 原子百分比、25 至 35 原子百分比、及 0.1 至 10 原子百分比的氧、氮、矽、及氬。此外，氧化氮化矽包含比氧更多的氮，且在其中使用 RBS 及 HFS 以執行測量於該處的情況中，氧化氮化矽較佳地包含濃度範圍分別自 5 至 30 原子百分比、20 至 55 原子百分比、25 至 35 原子百分比、及 10 至 30 原子百分比的氧、氮、矽、及氬。注意的是，氮、氧、矽、及氬的百分比落在上文所給定的範圍之內，其中在氮氧化矽或氧化氮化矽中所包含之原子的總數係定義成為 100 原子百分比於該處。

接著，單晶半導體基板係以離子穿過絕緣膜來予以照射，而形成脆化區 104 於單晶半導體基板 100 之中（請參

閱第 1A-3 圖）。該脆化區 104 可藉由以具有動能之氬離子或其類似物來照射單晶半導體基板 100 而形成。

然後，單晶半導體基板 100 及基底基板 110 係以絕緣膜 102 插入於其間而相互附著（亦稱為“接合”）（請參閱第 1C 圖）；之後，執行熱處理以造成沿著脆化區之分離（劈開），使得單晶半導體層 112 係以絕緣膜 102 插入於其間而設置於基底基板 110 之上（請參閱第 1D 圖）。注意的是，熱處理係較佳地以小於或等於基底基板 110 之應變點的溫度而執行。

藉由執行熱處理，形成於脆化區 104 中的微孔隙之中的內部壓力會由於溫度中之增加而增加；由於壓力中之增加，單晶半導體基板 100 會沿著脆化區 104 而分離。因為絕緣膜 102 係接合至基底基板 110，所以自單晶半導體基板 100 所分離之單晶半導體層 112 係形成於基底基板 110 之上。

大致地，在劈開之後，晶體缺陷及其類似物會由於脆化區 104 的形成及沿著該脆化區的分離而產生於基底基板 110 上所形成之單晶半導體層 112 的表面層部分之中，且平坦度會劣化（請參閱第 2A 圖）。進一步地，天然氧化物膜 113 係形成於單晶半導體層 112 的表面層部分之上，污染物係附著至天然氧化物膜 113 的表面；因此，將形成於單晶半導體層 112 的表面上之天然氧化物膜 113，殘留在單晶半導體層 112 的表面層部分之中的晶體缺陷，及其類似物予以去除（請參閱第 2B 圖）。

天然氧化物膜 113，殘留在單晶半導體層 112 的表面層部分之中的晶體缺陷，及其類似物係由蝕刻處理所去除。該蝕刻處理係藉由乾蝕刻或濕蝕刻，或其之組合而執行；選擇性地，可執行諸如 CMP 之研磨處理以取代蝕刻處理。注意的是，此蝕刻處理亦稱為第一蝕刻處理。

做為天然氧化物膜 113 及單晶半導體層 112 的蝕刻方法，例如可使用反應性離子蝕刻（RIE）法、電感耦合式電漿（ICP）蝕刻法、電子迴旋加速器共振（ECR）蝕刻法、平行板（電容耦合式）蝕刻法、磁控管電漿蝕刻法、雙頻電漿蝕刻法、螺旋波電漿蝕刻法、或其類似方法。蝕刻可藉由使用例如，諸如 Cl_2 、 BCl_3 、或 SiCl_4 之氯基氣體；諸如 CHF_3 、 CF_4 、 C_4F_8 、 C_2F_6 、 NF_3 、或氟化硫之氟基氣體；或諸如 HBr 之溴基氣體做為蝕刻氣體以執行。進一步地，可使用諸如 He 、 Ar 、或 Xe 之惰性氣體、 O_2 氣體、或 H_2 氣體。蝕刻處理可以以複數個步驟而執行；因為在單晶半導體層 112 中之缺陷的大小或深度會根據所添加之離子的能量或劑量之總計而定，所以可根據蝕刻處理前之單晶半導體層 112 的厚度及表面粗糙度以適當地設定將由蝕刻處理所去除之單晶半導體層 112 的蝕刻厚度。

在上述的方式中，單晶半導體層 112 之晶體缺陷及其類似物的去除，以及單晶半導體層 112 之平坦化可藉由將形成於基底基板 110 上之單晶半導體層 112 的表面層部分去除，以達成。

接著，將去除表面層部分之單晶半導體層 112 以雷射

光束 114 來照射（請參閱第 2C 圖）。由於用以形成脆化區 104 之離子照射步驟，在單晶半導體層 112 的內部會產生有晶體缺陷，以雷射光束 114 之照射係自單晶半導體層 112 的分離表面側或基底基板 110 側執行，以便熔化單晶半導體層 112，使得可獲得晶體度及平坦度中的改善。該單晶半導體層 112 係藉由以雷射光束 114 之照射而部分地熔化或全部地熔化。

較佳的是，單晶半導體層 112 係藉由以雷射光束 114 之照射而部分地熔化。藉由單晶半導體層的部分熔化，晶體成長會進行自未熔化的固相部分；因而，可檢修晶體缺陷而不會降低晶體度。注意的是，在此說明書中，“部分熔化”意指的是，一部分（例如，上方層部分）之單晶半導體層係熔化成為液相狀態，但另一部分（例如，下方層部分）則不熔化，且保留在固相狀態之中；相反地，“全部熔化”意指的是，單晶半導體層係熔化成為液相狀態，直至其之下方界面的附近處為止。

單晶半導體層 112 係以雷射光束 114 來掃描，且同時，單晶半導體層 112 係部分地熔化，以致使晶體成長進行自未熔化的固相部分；因而，可降低單晶半導體層 112 中的晶體缺陷，且可改善晶體度。並未熔化的部分係單晶，且晶體取向係對取的；因此，晶粒邊界並不形成，且單晶半導體層 112 在以雷射光束 114 照射之後可成為不具有晶粒邊界的單晶半導體層。此外，熔化的區域係藉由固體化以再結晶，且形成鄰接於熔化的區域而並未熔化的單晶半

導體，及具有對齊之取向的單晶半導體；因此，在其中使用其之主要表面的平面取向係（100）之單晶矽以做為單晶半導體基板 100 的情況中，單晶半導體層 112 的主要表面之平面取向係（100），以及其係藉由以雷射光束 114 之照射熔化且再結晶之單晶半導體層 112 的主要表面之平面取向係（100）。進一步地，可執行 RTA 或閃光燈照射以取代具備雷射光束 114 之照射。

在此一方式中，於去除單晶半導體層之分離表面的表面層部分之後，藉由以雷射光束 114 之照射，可防止將晶體缺陷、污染物、及其類似物引入至單晶半導體層之內；進一步地，藉由天然氧化物膜的去除，可防止由於以雷射光束 114 之照射所造成的表面粗糙。

其次，執行電漿處理以供單晶半導體層 112 的平坦化之用（請參閱第 2D 圖）。

此處，執行於處理表面（在此，單晶半導體層 112）上之電漿處理係藉由引入惰性氣體（諸如 Ar 氣體）至真空狀態中的腔之內，且施加偏壓以產生電漿狀態而執行。電子和 Ar 陽離子係存在於電漿之中，且 Ar 陽離子係以陰極方向而加速（至單晶半導體層 112 側）；所加速之 Ar 陽離子與單晶半導體層 112 的表面碰撞，以致將單晶半導體層 112 的表面濺鍍蝕刻。此時，係優先地濺鍍蝕刻單晶半導體層 112 之表面的突出部分，以致可改善單晶半導體層 112 之表面的平坦度；進一步地，在單晶半導體層 112 的表面上之諸如有機物質的雜質可由加速的 Ar 陽離子所

去除。選擇性地，除了惰性氣體之外，電漿處理亦可藉由引入反應性氣體（諸如 O_2 氣體及 N_2 氣體）至真空狀態中的腔之內，且施加偏壓至處理表面以產生電漿狀態而執行。在引入反應性氣體的情況中，可檢修由於執行於單晶半導體層 112 的表面上之濺鍍蝕刻所產生的缺陷。

在此實施例中，電漿處理係使用氬氣而由電感耦合式電漿（ICP）法所執行，第 5 圖係電漿處理設備之簡化的結構圖。多重螺旋線圈 602 係設置於腔 600 之上方部分中的石英板 601 之上，且以匹配盒 603 插入於其間而連接至 RF 電源 604；進一步地，在面向多重螺旋線圈 602 之基板 610（此處，在基底基板上所形成之單晶半導體層 112）側的下方電極 605 係連接至 RF 電源 606，當施加 RF 電流至基板 610 上之多重螺旋線圈 602 時，RF 電流 J 會以方向 θ 流過多重螺旋線圈 602，以致使磁場 B 以方向 Z 而產生。注意的是，在公式中， μ_0 表示磁化率。

$$\mu_0 J = \text{rot} B$$

感應場 E 係由法拉第之電磁感應定律而產生於方向 θ 中。

$$-\frac{\partial B}{\partial t} = \text{rot} E$$

電子係以比感應場 E 而加速於方向 θ 中，且與氣體的分子碰撞，以致使電漿產生。因為磁場 B 幾乎不產生於基板 610 側，所以可獲得其中具有高密度之電漿以片狀形式散佈於電極之間的電漿區。陽離子係以施加至基板 610 側之偏壓而加速，且與基板 610 碰撞。

在此方式中，可降低單晶半導體層之表面上的平均表面粗糙度（Ra）以及最大的峰至谷高度（P-V）。

注意的是，電漿處理可在具有 100W 至 3000W 的 ICP 功率、0.1Pa 至 5.0 Pa 的壓力、5sccm 至 300sccm 的氣體流率、及 75W 至 300W 的 RF 偏壓之條件下，使用 Ar 氣體以特定地執行；更特定地，電漿處理可在具有 500W（ $0.11\text{W}/\text{cm}^2$ ）的 ICP 功率、1.35 Pa 的壓力、100sccm 的氣體流率、及 100W（ $0.61\text{W}/\text{cm}^2$ ）的 RF 偏壓之條件下執行。

在此，可執行偏薄步驟以降低單晶半導體層 112 的厚度（請參閱第 2D 圖）。藉由執行偏薄步驟，單晶半導體層 112 可具有最佳的厚度以供稍後將被形成的半導體元件之用。進一步地，即使由於電漿處理而對單晶半導體層 112 造成電漿損壞，該電漿損壞亦可藉由偏薄步驟而去除。單晶半導體層 112 的偏薄可以以與第一蝕刻處理之方式相似的方式執行（請參閱第 2B 圖），例如在其中單晶半導體層 112 係由矽而形成於該處的情況中，單晶半導體層 112 的厚度可藉由使用 SF_6 及 O_2 做為處理氣體之乾蝕刻以降低；藉由此蝕刻，較佳地，將單晶半導體層偏薄至大於或等於 5 奈米且小於或等於 100 奈米的厚度，更佳地，大於或等於 5 奈米且小於或等於 50 奈米的厚度。注意的是，此蝕刻處理亦稱為第二蝕刻處理。

在偏薄處理之後，較佳地，執行 500°C 至 700°C （包含 500°C 及 700°C ）之熱處理於單晶半導體層 112 之上。

藉由該熱處理，可消除並未由具有雷射光束 114 的照射所去除之單晶半導體層 112 的晶體缺陷，且可降低單晶半導體層 112 的畸變。該熱處理可使用快速熱退火（RTA）設備、電阻加熱爐，或微波加熱設備以執行；做為 RTA 設備，可使用氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備；例如，當使用電阻加熱爐時，可執行熱處理於 550℃，4 小時。

透過上述步驟，可製造出 SOI 基板。

透過上述步驟，可製造出其中單晶半導體層 112 係以絕緣膜 102 插入其間而設置於基底基板 110 之上的 SOI 基板。藉由使用此實施例中所描述之製造方法，可提供具有單晶半導體層 112 之半導體基板，而該單晶半導體層 112 具有降低之晶體缺陷及有利的平坦度。藉由使用此 SOI 基板，可形成具有優異特徵的半導體元件。

注意的是，其中在該處之電漿處理係執行於雷射照射之後的情況係描述於第 2A 至 2F 圖之中；然而，本發明並未受限於此，例如亦可使用第 3A 至 3F 圖中所示的方法。

第 3A 至 3F 圖顯示其中在該處之偏薄步驟（第二蝕刻處理）係執行於雷射照射之後，以及電漿處理係執行於偏薄步驟之後的情況。

第 3A 圖顯示單晶半導體層 112 於基底基板 110 之上，該單晶半導體層 112 係分離自單晶半導體基板 100 且形成於基底基板 110 之上。如第 3B 圖中所示地，蝕刻處理係執行於單晶半導體層 112 之上，以及如第 3C 圖中所示

地，接受蝕刻處理的單晶半導體層 112 係以雷射光束來照射。第 3B 及 3C 圖中所示的步驟可以以與第 2B 及 2C 圖中所示之步驟相似的方式而執行；因此，其之詳細說明將予以省略。

其次，執行偏薄步驟於單晶半導體層 112 之上（請參閱第 3D 圖），且然後，執行熱處理於接受偏薄步驟的單晶半導體層 112 之上（請參閱第 3E 圖）。進一步地，可將熱處理執行於接受電漿處理的單晶半導體層 112 之上（請參閱第 3F 圖），該熱處理可以以與第 2F 圖中所示之熱處理相似的方式而執行。在第 3D 圖中所示的偏薄步驟可以以與第 2E 圖中所示之偏薄步驟相似的方式而執行，在第 3E 圖中所示的電漿處理可以以與第 2D 圖中所示之電漿處理相似的方式而執行，以及第 3F 圖中所示之熱處理可以以與第 2F 圖中所示之熱處理相似的方式而執行；因此，將省略其之說明。

電漿處理係執行於偏薄步驟之後，以致使存在於單晶半導體層 112 中之不平坦可平坦化；進一步地，即使電漿損壞係由於電漿處理而造成，該電漿損壞亦可藉由執行於電漿處理之後的熱處理而予以檢修。

在此方式中，藉由施加本發明，可降低單晶半導體層的晶體缺陷，且可改善平坦度，即使當使用具有低的熱阻之支撐基板時亦然。

注意的是，此實施例中所述之結構可以與此說明書的其他實施例中所述之結構適當地結合。

(實施例 2)

在此實施例中，將參照附圖以詳細敘述單晶半導體基板 100 及基底基板 110 的接合。

首先，預備單晶半導體基板 100（請參閱第 4A-1 圖）；鑑於污染物之去除，較佳的是，事先以硫酸/過氧化氫混合物（SPM）、氫氧化銨/過氧化氫混合物（APM）、氫氟酸/過氧化氫混合物（HPM）、稀釋的氫氟酸（DHF）、或其類似物來適當地清潔單晶半導體基板 100。稀釋的氫氟酸及臭氧水可交變地放出以供清潔之用。

其次，形成氧化物膜 105 於單晶半導體基板 100 的表面上（請參閱第 4A-2 圖）。做為氧化物膜 105，例如可使用單層之氧化矽膜、氮氧化矽膜、或其類似物，或其之堆疊層；該等膜可由熱氧化物法、CVD 法、濺鍍法、或其類似方法以形成。進一步地，在其中氧化物膜 105 係藉由 CVD 法而形成於該處的情況中，就生產率的觀點，較佳的是，使用利用諸如四氧乙基矽（縮寫：TEOS）（化學式： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）之有機甲矽烷所形成的氧化矽膜，以做為氧化物膜 105。

在此實施例模式中，係使單晶半導體基板 100 接受熱氧化處理以形成氧化物膜 105（此處， SiO_x 膜）（請參閱第 4A-2 圖）。較佳地，該熱氧化處理係執行於添加鹵素的氧化氛圍之中。

例如，使單晶半導體基板 100 在其中引入氯（Cl）的

氧化氛圍中接受氧化處理，藉以形成氧化物膜；在此情況中，氧化物膜 105 包含氯原子。

包含於氧化物膜 105 中的氯原子會形成畸變；因而，可改善對進入至氧化物膜 105 之內的水分之吸收，且可增加擴散速率。也就是說，當水分存在於氧化物膜 105 的表面上時，則存在於氧化物膜 105 的表面上之水分可被立即吸收且擴散至氧化物膜 105 之內。

做為熱氧化處理的實例，可將熱氧化執行於 900°C 至 1500°C （較佳地， 1000°C ）之溫度的氧化氛圍之內，該氧化氛圍包含相對於氧之 0.5 體積百分比至 10 體積百分比（較佳地，2 體積百分比）的比例之氯化氫（HCl）；處理時間可設定為 0.1 至 6 小時，較佳地，0.5 至 1 小時；且將被形成之氧化物膜的厚度係設定為 10 奈米至 1000 奈米（較佳地，50 奈米至 300 奈米），例如 100 奈米。

在此實施例之中，包含於氧化物膜 105 中之氯原子的濃度係控制於 1×10^{17} 原子/立方公分至 1×10^{21} 原子/立方公分，在氧化物膜 105 中之氯原子的包含係藉由俘獲其係非本徵雜質之重金屬（諸如 Fe、Cr、Ni、Mo、及其類似物）而有效以防止單晶半導體基板 100 的污染。

藉由 HCl 氧化或其類似方法之在氧化物膜 105 中之諸如氯的鹵素之包含可在給予反效果於單晶半導體基板 100 上的雜質（例如，諸如 Na 之移動離子）上執行吸雜；也就是說，藉由在形成氧化物膜 105 之後所執行的熱處理，可將包含於單晶半導體基板中之雜質分離出至氧化物膜

105，且藉由與鹵素（例如，氯）反應而捕獲。因而，可將氧化物膜 105 中所浮獲的雜質固定，且防止污染單晶半導體基板 100；此外，當氧化物膜 105 接合至玻璃基板時，氧化物膜 105 亦可作用成為用以固定玻璃中所包含之諸如 Na 之雜質的膜。

特定地，當半導體基板的清潔不足時或當半導體基板係重複地再使用時，藉由 HCl 氧化或其類似方法之在氧化物膜 105 中之諸如氯的鹵素之包含係有效以去除半導體基板的污染。

進一步地，將包含於氧化物膜 105 中之鹵素原子並未受限於氯原子，氧化物膜 105 可包含氟原子。單晶半導體基板 100 的表面可在浸漬單晶半導體基板 100 的表面至 DHF 溶液之後，藉由熱氧化處理於氧化氮圍中而以氟來加以氧化，或可藉由熱氧化處理於添加 NF_3 之氧化氮圍中而以氟來加以氧化。

接著，單晶半導體基板 100 係以具有動能的離子來照射，而形成具有損壞的晶體結構的脆化區 104 於單晶半導體基板 100 中之預定深度處（請參閱第 4A-3 圖）。如第 4A-3 圖中所描繪地，藉由以加速之離子 103 穿過氧化物膜 105 來照射單晶半導體基板 100，可將離子 103 添加至距離單晶半導體基板 100 之表面的預定深度處，藉以可形成脆化區 104。離子 103 係如下地獲得：將源氣體激勵以產生該源氣體的電漿；以及自該源氣體之電漿提取離子，且然後，予以加速。

其中形成脆化區 104 於該處的區域之深度可藉由離子 103 的動能、質量、電荷、及入射角以調整，動能可藉由加速電壓、劑量、或其類似者以調整，該脆化區 104 係形成於相等於或實質相等於離子 103 之平均穿透深度的深度；因此，分離自單晶半導體基板 100 之單晶半導體層的厚度係由離子 103 的平均穿透深度所決定。形成該脆化區 104 的深度係調整使得此單晶半導體層的厚度大於或等於 10 奈米且小於或等於 500 奈米，較佳地，大於或等於 50 奈米且小於或等於 200 奈米。

離子摻雜設備的主要組件係如下：其中放置處理物體的腔；用以產生所欲之離子的離子源；以及用於離子的加速以供伴隨該處之照射用的加速機制。離子源包含氣體供應裝置，用以供應源氣體，以產生所欲的離子種類；電極，用以激勵源氣體以產生電漿；及其類似物。做為用以產生電漿的電極，係使用燈絲電極、電容耦合式高頻放電電極、或其類似物。加速機制包含諸如提取電極、加速電極、減速電極、及接地電極；電源，用以供應電力至該等電極；及其類似物。包含於加速機制中之該等電極係設置有複數個開口或狹縫，透過該等電極，可使產生自離子源之離子加速。注意的是，離子摻雜設備的組件並未受限於上述的組件，且視需要的機制亦可予以設置。

在此實施例中，氫係以離子摻雜設備而添加至單晶半導體基板 100。含氫之氣體係供應做為電漿源氣體，例如可供應 H_2 。氫氣體被激勵以產生電漿；包含於電漿中的

離子被加速而無需質量分離；以及單晶半導體基板 100 係以加速的離子而照射。

在離子摻雜設備中， H_3^+ 對產生自氫氣體的離子種類（ H^+ 、 H_2^+ 、及 H_3^+ ）之總數的百分比係設定為 50%或更高；較佳地， H_3^+ 的百分比係設定為 80%或更高。因為離子摻雜設備並不包含質量分離，所以一種（ H_3^+ ）對複數種之產生於電漿中的離子種類之百分比較佳地係 50%或更高，更佳地係 80%或更高；藉由以具有相同質量之離子來照射，可以以濃縮的方式將離子添加至單晶半導體基板 100 中之相同的深度。

爲了要形成脆化區 104 於淺區域之中，用於離子 103 的加速電壓需變低。具有電漿中之 H_3^+ 的百分比之增加，可將原子的氫（H）有效率地添加至單晶半導體基板 100；因為 H_3^+ 離子的質量係比 H^+ 離子的質量更大三倍，所以當添加一氫原子至相同的深度時，用於 H_3^+ 離子的加速電壓可比 H^+ 離子的加速電壓更高三倍。當用於離子的加速電壓可予以增加時，則可縮短用於離子照射處理之消耗時間，且可改善生產率及輸質量。

因為離子摻雜設備並非昂貴，且針對大面積處理中之使用係優異，所以藉由使用此離子摻雜設備而以 H_3^+ 來照射，可獲得諸如半導體特徵的改善、面積的增加、成本的降低、及生產效率的改善之大的功效。進一步地，在其中使用離子摻雜設備於該處的情況中，亦可將重金屬與 H_3^+ 一起引入；雖然如此，但藉由以離子穿過包含氫原子的氧

化物膜 105 而照射，可防止單晶半導體基板 100 如上述地由於該等重金屬而被污染。

注意的是，以加速之離子 103 來照射單晶半導體基板 100 的步驟亦可以離子佈植設備來予以執行。離子佈植設備係質量分離設備，放置在腔中之處理物體係藉由該設備而以一離子種類來照射，該離子種類具有在質量分離由激勵源氣體成為電漿所產生的複數種離子種類之後的特定質量。因此，在使用離子佈植設備的情況中，使藉由激勵氫氣體及 PH_3 而產生的 H^+ 離子及 H_2^+ 離子接受質量分離，且使 H^+ 離子或 H_2^+ 離子加速，以照射單晶半導體基板 100。

其次，預備基底基板 110（請參閱第 4B-1 圖）。做為基底基板 110，係使用由絕緣物所製成之基板，其之特定實例係如下：使用於電子產業中之各式各樣的玻璃基板，例如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、及鋇硼矽酸鹽之基板；石英基板；陶質物基板；及藍寶石基板。在此實施例中，將敘述其中使用玻璃基板的情況；當使用可以以大的尺寸形成且係不昂貴的玻璃基板以做為基底基板 110 時，可達成成本降低。

在使用基底基板 110 之前，較佳的是，事先清潔該基底基板 110 的表面。特定地，使基底基板 110 接受使用氫氟酸/過氧化氫混合物（HPM）、硫酸/過氧化氫混合物（SPM）、氫氧化銨/過氧化氫混合物（APM）、稀釋的氫氟酸（DHF）、或其類似物之超音波清潔；例如，較佳的是，使基底基板 110 的表面接受使用氫氟酸/過氧化氫混合

物之超音波清潔。藉由此清潔處理，可使基底基板 110 的表面平坦化且可去除殘留的研磨劑粒子。

接著，形成含氮層 111（例如，諸如氮化矽膜（ SiN_x ）或氧化氮化矽膜（ SiN_xO_y ）（ $x>y$ ）之包含氮的絕緣膜）於基底基板 110 的表面上（請參閱第 4B-2 圖）。

在此實施例中，含氮層 111 作用為接合至設置在單晶半導體基板 100 上之氧化物膜 105 的層（接合層）；此外，當稍後將具有單晶結構的單晶半導體層設置於基底基板之上時，該含氮層 111 亦作用為阻障層，用以防止基底基板中所包含之諸如 Na（鈉）的雜質擴散至單晶半導體層之內。

因為含氮層 111 作用成為接合層，所以較佳的是，含氮層 111 具有平滑表面，以便抑制不良的接合。特定地，較佳的是，含氮層 111 係形成為具有具備 0.5 奈米或更小的平均表面粗糙度（Ra）及 0.60 奈米或更小的均方根表面粗糙度（Rms），更佳地，0.35 奈米或更小的平均表面粗糙度及 0.45 奈米或更小的均方根表面粗糙度之表面。較佳地，厚度係在 10 奈米至 200 奈米的範圍中，包含 10 奈米及 200 奈米；更佳地，在 50 奈米至 100 奈米的範圍中，包含 50 奈米及 100 奈米。

接著，將單晶半導體基板 100 的表面與基底基板 110 的表面互相相對地設置，以及將氧化物膜 105 的表面與含氮層 111 的表面相互地接合（請參閱第 4C 圖）。

此處，在將單晶半導體基板 100 與基底基板 110 以氧

氧化物膜 105 及含氮層 111 插入其間而相互接觸地設置之後，施加大約 $1\text{N}/\text{cm}^2$ 至 $500\text{N}/\text{cm}^2$ ，較佳地， $1\text{N}/\text{cm}^2$ 至 $20\text{N}/\text{cm}^2$ 的壓力至一部分的單晶半導體基板 100。從其中施加壓力於該處的部分，氧化物膜 105 及含氮層 111 開始相互接合，且自發性接合會發生，並擴展至整個區域。此接合步驟係由凡得瓦爾力（van der Waals force）或氫鍵合的作用所執行，且可執行於室溫而無需熱處理；因此，可使用諸如玻璃基板之具有低熱阻的基板，以做為基底基板 110。

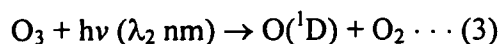
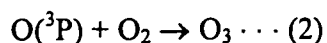
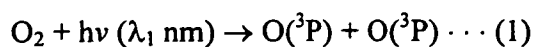
注意的是，在將單晶半導體基板 100 與基底基板 110 相互接合之前，較佳地，使形成於單晶半導體基板 100 上之氧化物膜 105 及形成於基底基板 110 上之含氮層 111 的其中至少之一者接受表面處理。

做為表面處理，可執行電漿處理、臭氧處理、百萬週波超音波清潔法、或二流體清潔法（用以噴灑諸如具有諸如氮之載氣的純水或含氫水之功能水的方法）、或其之組合方法。尤其，在執行電漿處理於氧化物膜 105 之表面及含氮層 111 之表面的其中至少之一者之後，可執行臭氧處理、百萬週波超音波清潔法、或二流體清潔法、或其類似方法於單晶半導體基板 100 及基底基板 110 之上，使得處理表面上之諸如有機物質之灰塵可予以去除，且該等表面可變成親水性；因而，可改善氧化物膜 105 與含氮層 111 之間的接合強度。在此，電漿處理係使用惰性氣體（例如，氬（Ar）氣體）及/或反應性氣體（例如，氧氣（ O_2 ）

或氮氣（ N_2 ）而藉由 RIE 法、ICP 法、或氛圍壓力電漿以執行。

此處，將敘述臭氧處理的實例。例如，臭氧處理可在含氧的氛圍中藉由具有紫外（UV）線之照射而執行於處理物體的表面上；其中具有紫外線之照射係執行於含氧氛圍中的臭氧處理亦稱為 UV 臭氧處理、紫外線臭氧處理、或其類似處理。在含氧之氛圍中，照射係以具有小於 200 奈米之波長的紫外光及具有大於或等於 200 奈米之波長的紫外線之紫外光而執行，使得可產生臭氧，且可由該臭氧來產生單重線氧；該照射可以以在紫外線中具有小於 180 奈米之波長的紫外光而執行，使得可產生臭氧，且亦可由該臭氧來產單重線氧。

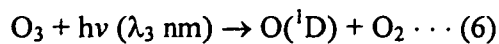
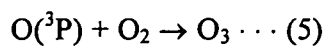
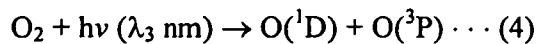
將敘述其中藉由在含氧氛圍中以具有小於 200 奈米之波長的紫外光及具有大於或等於 200 奈米之波長的紫外光來執行照射而發生之反應的實例。



在上述反應式（1）之中，照射係在含氧（ O_2 ）氛圍中以具有小於 200 奈米之波長（ λ_1 奈米）的紫外光（ $h\nu$ ）而執行，以產生基態中之氧原子（ $O(^3P)$ ）；接著，在反應式（2）之中，在基態中之氧原子（ $O(^3P)$ ）與氧（ O_2 ）相互反應，而產生臭氧（ O_3 ）；然後，在反應式（3）之

中，在含所產生之臭氧（ O_3 ）的氛圍中以具有大於或等於 200 奈米之波長（ λ_2 奈米）的紫外光來執行照射，而產生激勵狀態中之單重線氧 $O(^1D)$ 。在含氧之氛圍中，照射係以具有小於 200 奈米之波長的紫外線之紫外光而執行，以產生臭氧，且同時，照射係以具有大於或等於 200 奈米之波長的紫外線之紫外光而執行，以藉由分解臭氧來產生單重線氧。例如，如上述之臭氧處理可藉由以低壓汞燈（ $\lambda_1=185$ 奈米， $\lambda_2=254$ 奈米）之光的照射而執行於含氧之氛圍中。

此外，將敘述其中藉由在含氧氛圍中以具有小於 180 奈米之波長的紫外光來執行照射而產生之反應的實例。



在上述反應式（4）之中，照射係在含氧（ O_2 ）氛圍中以具有小於 180 奈米之波長（ λ_3 奈米）的紫外光而執行，以產生激勵狀態中之單重線氧 $O(^1D)$ 及基態中之氧原子（ $O(^3P)$ ）；接著，在反應式（5）之中，在基態中之氧原子（ $O(^3P)$ ）與氧（ O_2 ）相互反應，而產生臭氧（ O_3 ）；在反應式（6）之中，在含所產生之臭氧（ O_3 ）的氛圍中以具有小於 180 奈米之波長（ λ_3 奈米）的紫外光來執行照射，而產生激勵狀態中之單重線氧及氧。在含氧之氛圍中，照射係以具有小於 180 奈米之波長的紫外線之紫外光而

執行，以產生臭氧及藉由分解臭氧及氧來產生單重線氧。例如，如上述之臭氧處理可藉由以 Xe 準分子 UV 燈（ $\lambda_3=172$ 奈米）之光的照射而執行於含氧之氛圍中。

附著至處理物體之表面的有機物質之化學鍵合係由具有小於 200 奈米之波長的紫外光所切開，使得其之化學鍵合被切開之附著至處理物體之表面的有機物質或有機物質可藉由以臭氧或由臭氧所產生之單重線氧的氧化分解而去除。藉由執行如上述之臭氧處理，可增加處理物體之表面的親水性及純度，且可有利地執行接合。

在含氧的氛圍中，臭氧係藉由以紫外線來執行照射而產生。臭氧係有效以去除附著至處理物體的表面之有機物質；此外，單重線氧亦與臭氧一樣有效或更有效以去除附著至處理物體的表面之有機物質。臭氧及單重線氧係活性狀態中之氧的實例，且亦統稱為活性氧。如伴隨上述反應式及其類似者所描述地，因為存在有其中臭氧係以產生單重線氧而產生或單重線氧係由臭氧而產生於該處的反應，所以在此，為便利起見，將包含其中單重線氧所促成之反應的該等反應統稱為臭氧處理。

此外，在將氧化物膜 105 接合至含氮層 111 之後，較佳地係執行熱處理以增加結合強度，此熱處理係執行於其中不會裂痕於脆化區 104 之中的溫度，例如在大於或等於室溫且小於 400℃ 之範圍中的溫度。氧化物膜 105 可在加熱於上述範圍內之溫度的期間接合至含氮層 111。該熱處理可使用擴散爐，諸如電阻加熱爐之加熱爐，快速熱退火

(RTA) 設備，微波加熱設備，或其類似物以執行。

一般而言，當熱處理係在氧化物膜 105 與含氮層 111 之接合的同時或之後執行時，在接合介面之脫水反應會進行，且接合介面會相互靠近；因此，接合會由於氫鍵合及共價鍵合的形成之強化而增強。爲了要促進脫水反應，透過脫水反應而產生於接合介面處的水分應藉由高溫之熱處理來加以去除；也就是說，當在接合之後的熱處理係執行於低溫時，透過脫水反應而產生於接合介面處的水分無法有效地去除；因此，脫水反應並不會增進，且難以有效率地改善接合強度。

相反地，在其中使用包含氫原子或其類似物之氧化物膜於該處以做爲氧化物膜 105 的情況中，該氧化物膜 105 可吸收及擴散水分；因此，即使當接合後之熱處理係執行於低溫時，可將透過脫水反應而產生於接合介面的水分吸收且擴散至氧化物膜 105 之內，並可有效率地增進脫水反應。在此情況中，即使當使用諸如玻璃基板之低熱阻基板以做爲基底基板 110 時，可充分地改善氧化物膜 105 與含氮層 111 之間的接合強度。進一步地，藉由施加偏壓以執行電漿處理，可將水分有效地吸收且擴散至氧化物膜 105 之內；從而，可改善氧化物膜 105 與含氮層 111 之間的接合強度，即使當熱處理係執行於低溫時亦然。

其次，執行熱處理以造成沿著脆化區 104 之分離（劈開），使得單晶半導體層 112 係以氧化物膜 105 及含氮層 111 插入其間而設置於基底基板 110 之上（請參閱第 4D

圖) 。

藉由執行熱處理，形成於脆化區 104 中的微孔隙之中的內部壓力會由於溫度中之增加而增加；由於壓力中之增加，形成於脆化區 104 中的微孔隙之體積會改變，且裂痕會產生於脆化區 104 之中，使得單晶半導體基板 100 沿者脆化區 104 而劈開。因為氧化物膜 105 係接合至基底基板 110，所以自單晶半導體基板 100 所分離之單晶半導體層 112 會形成於基底基板 110 之上。此熱處理係執行於小於或等於基底基板 110 之應變點的溫度處。

此熱處理可使用擴散爐、諸如電阻加熱爐之加熱爐、快速熱退火（RTA）設備、微波加熱設備、或其類似物以執行，例如在其中使用 RTA 的情況，熱處理可執行於大於或等於 550℃ 且小於或等於 730℃ 之加熱溫度，大於或等於 0.5 分鐘且小於或等於 60 分鐘。

注意的是，藉由執行第 1D 圖之不執行用以增加基底基板 110 與氧化物膜 105 間的接合強度之上述熱處理的熱處理，可將用以增加氧化物膜 105 與含氮層 111 間的接合強度之熱處理步驟與用以造成沿著脆化區 104 的分離之熱處理步驟同時執行。

透過上述步驟，可製造出其中單晶半導體層 112 係以氧化物膜 105 及含氮層 111 插入其間而設置於基底基板 110 之上的 SOI 基板。藉由使用此實施例中所描述的製造方法，即使當使用含氮層 111 以做為接合層時，亦可改善基底基板 110 與單晶半導體層 112 之間的接合強度，且可

改善可靠度；因而，可形成其中可抑制雜質擴散至形成於基底基板 110 上的單晶半導體層 112 之內，以及可使基底基板 110 與單晶半導體層 112 強力地相互附著的 SOI 基板。

此外，藉由設置含氮層於基底基板側以及形成包含諸如氯之鹵素的氧化物膜於半導體基板側，可使製造方法簡化，且可抑制雜質元素在半導體基板接合至基底基板之前進入至半導體基板之內。進一步地，藉由形成包含諸如氯之鹵素的氧化物膜以做為設置於半導體基板側之接合層，接合強度可藉由有效率地促進脫水反應而改善，即使當在接合之後的熱處理係執行於低溫時亦然。

之後，如實施例 1 中所描述地，執行第一蝕刻處理、雷射照射、電漿處理、第二蝕刻處理、及熱處理。該等處理可以以與第 2A 至 2F 圖或第 3A 至 3F 圖中所示之該等方式相似的方式而執行。

注意的是，在此實施例中，將敘述其中氧化物膜 105 係形成於單晶半導體基板 100 上，以及含氮層 111 係形成於基底基板 110 之上的情況；然而，本發明並未受限於此。例如，氧化物膜 105 和含氮層可以以此順序而堆疊於單晶半導體基板 100 之上，且形成於氧化物膜 105 上之含氮層的表面與基底基板 110 的表面可相互接合。在此情況中，含氮層可在脆化區 104 的形成之前設置，或可在脆化區 104 的形成之後設置；選擇性地，氧化物膜（例如，氧化矽）可形成於含氮層之上，且氧化物膜 105 的表面與基底

基板 110 的表面可相互接合。

進一步地，若來自基底基板 110 之進入至單晶半導體層 112 之內的雜質並非問題時，則設置於單晶半導體基板 100 上之氧化物膜 105 的表面與基底基板 110 的表面可相互接合，而無需提供含氮層 111 於基底基板 110 之上。

注意的是，在此實施例中所描述的結構可以與此說明書之其他實施例中所描述的結構適當地結合。

（實施例 3）

在此實施例中，將參照第 6A 至 6E 圖及第 7A 至 7C 圖來敘述 n 通道薄膜電晶體及 p 通道薄膜電晶體的製造方法，以做為用於以高產能來製造具有高性能及高可靠的半導體元件之半導體裝置的製造方法之實例。藉由複數個薄膜電晶體（TFT）之結合，可製造出各式各樣的半導體裝置。注意的是，針對與實施例 1 及 2 中之該等組件相同或具有相似功能的組件之重複說明將予以省略。

在第 6A 圖之中，絕緣膜 102 及單晶半導體層 112 係形成於基底基板 110 之上。注意的是，在此，係使用其中半導體基板具有第 2D 圖中所示之結構的實例；然而，亦可使用具有此說明書中所述之另一結構的半導體基板。

使單晶半導體層 112 分離自單晶半導體基板 100。如實施例 1 中所述地，單晶半導體層 112 係在蝕刻後以雷射光束來照射，且然後，使接受電漿蝕刻，以致可降低單晶半導體層 112 中的晶體缺陷，且可改善單晶半導體層 112

之表面的平坦性。

單晶半導體層 112 係依據半導體元件而蝕刻成為島狀，以形成分離之單晶半導體層 121 及 122（請參閱第 6B 圖）。

注意的是，在蝕刻單晶半導體層 112 之前，較佳地，將諸如硼、鋁、或銻之雜質元素或諸如磷或砷之雜質元素添加至單晶半導體層 112，以控制 TFT 的臨限電壓；例如，諸如硼、鋁、或銻之雜質元素係添加至其中 n 通道 TFT 將被形成於該處的區域，以及諸如磷或砷之雜質元素係添加至其中 p 通道 TFT 將被形成於該處的區域。

去除單晶半導體層之上的氧化物膜，且形成絕緣層 123 以覆蓋單晶半導體層 121 及 122。在此實施例中之單晶半導體層 121 及 122 具有高的平坦性；因而，即使形成於單晶半導體層 121 及 122 上之閘極絕緣層係薄的閘極絕緣層，該閘極絕緣層亦可以以有利的作用範圍來覆蓋單晶半導體層 121 及 122。因此，可防止由於閘極絕緣層之覆蓋缺陷所導致的特徵缺陷，且可高產能地製造出具有高可靠度的半導體裝置。

閘極絕緣層 123 可使用氧化矽以形成，或可以以氧化矽及氮化矽的堆疊結構而形成。該閘極絕緣層 123 可藉由電漿 CVD 法或低壓 CVD 法以沉積絕緣膜而形成，或可藉由電漿處理之固相氧化法或固相氮化法以形成，此係因為由電漿處理之單晶半導體層的氧化或氮化所形成的閘極絕緣層係密質的，以及具有高的耐壓且具有優異的可靠度。

進一步地，做為閘極絕緣層 123，可使用諸如氧化銻、氧化鉛、氧化鈦、或氧化鉬之高電介質常數材料。當使用高電介質常數材料於閘極絕緣層 123 時，可降低閘極漏電流。

閘極電極層 124 及閘極電極層 125 係形成於閘極絕緣層 123 之上（請參閱第 6C 圖）。閘極電極層 124 及 125 可藉由濺鍍法、蒸鍍法、CVD 法、或其類似方法以形成；該等閘極電極層 124 及 125 可使用選擇自鈮（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、及銱（Nd）之元素，或包含上述元素以做為主要成分的合金材料或化合物材料以形成。選擇性地，做為閘極電極層 124 及 125，可使用由摻雜有諸如磷之雜質元素的多晶矽所代表的半導體層，或 AgPdCu 合金。

在依據本發明之 SOI 基板中，係將單晶半導體層的表面平坦化；因而，可形成具有高的耐壓之閘極絕緣層。

形成覆蓋單晶半導體層 122 之罩幕 126，藉由使用該罩幕 126 及閘極電極層 124 以做為罩幕，可添加給予 n 型導電性之雜質元素 127 以形成第一 n 型雜質區 128a 及 128b（請參閱第 6D 圖）。在此實施例中，係使用磷化氫（ PH_3 ）以做為包含雜質元素之摻雜氣體。在此，給予 n 型導電性之雜質元素係添加使得第一 n 型雜質區 128a 及 128b 包含濃度約 1×10^{17} 至 5×10^{18} /立方公分之給予 n 型導電性的雜質元素。在此實施例中，係使用磷（P）以做為給予 n 型導電性的雜質元素。

接著，在將罩幕 126 去除之後，形成覆蓋單晶半導體層 121 之罩幕 130，藉由使用該罩幕 130 及閘極電極層 125 以做為罩幕，可添加給予 p 型導電性之雜質元素 131 以形成第一 p 型雜質區 132a 及 132b（請參閱第 6E 圖）。在此實施例中，係使用硼（B）以做為雜質元素；因而，將乙硼烷（ B_2H_6 ）或其類似物使用做為包含雜質元素之摻雜氣體。

在將罩幕 130 去除之後，將具有側壁結構的側壁絕緣層 134a 至 134d 形成於閘極電極層 124 及 125 的側表面之上，以及形成閘極絕緣層 135a 及 135b（請參閱第 7A 圖）。具有側壁結構之側壁絕緣層 134a 及 134d 可以以如下之自行對齊方式而形成於閘極電極層 124 及 125 的側表面之上：形成覆蓋閘極電極層 124 及 125 的絕緣層；且然後，藉由反應性離子蝕刻（RIE）法之各向異性蝕刻來加以處理。在此，並無特殊的限制於絕緣層上，且較佳地，該絕緣層係具有有利的步階覆蓋性之氧化矽的層，其係由四氧乙基矽（TEOS）、甲矽烷、或其類似物與氧、氧化亞氮、或其類似物的反應所形成。該絕緣層可藉由熱 CVD 法、電漿 CVD 法、氛圍壓力 CVD 法、偏壓 ECRCVD 法、濺鍍法、或其類似方法以形成，該等閘極絕緣層 135a 及 135b 可藉由以閘極電極層 124 及 125 及側壁絕緣層 134a 至 134d 用作罩幕來蝕刻閘極絕緣層 123 而形成。

在此實施例之中，於蝕刻該絕緣層中，係將閘極電極層上之絕緣層去除以暴露閘極電極層；然而，可形成側壁

絕緣層 134a 至 134d 以具有絕緣層保留於閘極電極層上之此一形狀。此外，保護膜可在稍後步驟中形成於閘極電極層之上；藉由以此方式來保護閘極電極層，可在當執行蝕刻時，防止閘極電極層的膜降低。進一步地，在形成矽化物於源極區及汲極區之中的情況中，因為在矽化物的形成中所形成的金屬膜並未與閘極電極層接觸，所以即使當金屬膜係使用可能會與閘極電極層的材料起反應之材料以形成時，亦可防止化學反應、擴散、或類似者之中的缺陷。該蝕刻法可為乾蝕刻法或濕蝕刻法，且各式各樣的蝕刻方法均可予以使用；在此實施例中，係使用乾蝕刻法。做為蝕刻氣體，可適當地使用由 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 、或其類似物所代表之氯基氣體，由 CF_4 、 SF_6 、 NF_3 、或其類似物所代表之氟基氣體，或 O_2 。

其次，形成覆蓋單晶半導體層 122 之罩幕 136，藉由使用該罩幕 136、閘極電極層 124、及側壁絕緣層 134a 及 134b 以做為罩幕，可添加給予 n 型導電性之雜質元素 137，以形成第二 n 型雜質區 138a 及 138b。在此實施例中，係使用 PH_3 以做為包含雜質元素之摻雜氣體。在此，給予 n 型導電性之雜質元素係添加使第二 n 型雜質區 138a 及 138b 包含濃度約 5×10^{19} 至 5×10^{20} /立方公分之給予 n 型導電性的雜質元素；此外，通道形成區 129 係形成於單晶半導體層 121 之中（請參閱第 7B 圖）。

第二 n 型雜質區 138a 及 138b 係高濃度 n 型雜質區，且用作源極及汲極；相反地，第一 n 型雜質區 128a 及

128b 係低濃度雜質區，且用作微摻雜汲極（LDD）區，因為第一 n 型雜質區 128a 及 128b 係形成於 Loff 區之中且並未覆蓋以閘極電極層 124，所以可獲得降低截止電流之功效。因而，可製造出具有更高的可靠度及更低的功率消耗之半導體裝置。

將罩幕 136 去除，且爲了要激活雜質元素，可執行熱處理、具備強光之照射、或具備雷射光束之照射。在該激活的同時，可檢修電漿對閘極絕緣層之損壞，及電漿對閘極絕緣層與單晶半導體層之間的介面之損壞。

隨後，形成覆蓋閘極電極層及閘極絕緣層之層間絕緣層。在此實施例中，係使用包含氫以用作保護膜之絕緣膜 139 和絕緣膜 140 的多層結構，該絕緣膜 139 和絕緣膜 140 可係由濺鍍法或電漿 CVD 法所形成之氮化矽膜、氧化氮化矽膜、氮氧化矽膜、或氧化矽膜；選擇性地，可使用單層結構，或使用利用包含矽之不同絕緣膜的三或更多層之多層結構。

再者，可執行其中熱處理係在氮氛圍中執行於 300℃ 至 550℃，1 至 12 小時，以使單晶半導體層氮化的步驟；較佳地，執行該步驟於 400℃ 至 500℃。此步驟係藉由其係層間絕緣層之絕緣膜 140 中所包含的氫以終止單晶半導體層之懸浮鍵的步驟。在此實施例中，熱處理係執行於 410℃，1 小時。

絕緣膜 139 和絕緣膜 140 可藉由選擇氮化鋁（AlN）、氮氧化鋁（AlON），包含氮比氧更多之氧化氮化鋁（

AlNO) 、氧化鋁、似鑽石碳 (DLN) 、含氮之碳 (CN) 、或包含無機絕緣材料之其他物質的材料，以交變地形成。此外，亦可使用矽氧烷樹脂、矽氧烷樹脂對應於包含 Si-O-Si 鍵之樹脂。矽氧烷具有由矽 (Si) 和氧 (O) 的鍵所形成之骨架結構；做為替代基，可使用至少包含氫之有機基 (例如，烷基或芳基) ；選擇性地，可使用氟基以做為替代基；進一步地，亦可使用至少包含氫之有機基以及氟基做為替代基；此外，亦可使用諸如聚醯亞胺、丙烯酸、聚醯胺、聚醯胺亞胺、阻體、苯并環丁烯、或聚矽氮烷之有機絕緣材料，亦可使用由塗層法所形成之具有有利的平坦性之塗層膜。

絕緣膜 139 和絕緣膜 140 可藉由使用浸漬法、噴塗法、手術刀法、滾塗法、簾塗法、刀塗法、CVD 法、蒸鍍法、或其類似方法以形成；該絕緣膜 139 和絕緣膜 140 可由滴注法以形成。在使用滴注法的情況中，可節省材料溶液；選擇性地，可使用例如印刷法 (諸如網印法、平版印刷法、或其類似方法之形成圖案的方法) 之與滴注法相似之能轉移或繪製圖案的方法。

接著，到達單晶半導體層之接觸孔 (開口) 係使用由阻體所形成的罩幕以形成於絕緣膜 139 和絕緣膜 140 之中，蝕刻可根據所使用之材料間的蝕刻選擇性而僅執行一次或執行複數次。絕緣膜 139 及絕緣膜 140 係由蝕刻法以部分地去除，而形成到達其係源極區及汲極區之第二 n 型雜質區 138a 及 138b 以及第二 p 型雜質區 132a 及 132b 的開

口。針對蝕刻法，可使用濕蝕刻法、乾蝕刻法、或二者，可使用諸如氫氟化銨及氟化銨之混合溶液的氫氟酸基溶液以做為濕蝕刻法的蝕刻劑。做為蝕刻氣體，可適當地使用由 Cl_2 、 BCl_3 、 SiCl_4 、 CCl_4 、或其類似物所代表之氯基氣體；由 CF_4 、 SF_6 、 NF_3 、或其類似物所代表之氟基氣體；或 O_2 。進一步地，可將惰性氣體添加至蝕刻氣體；做為將被添加的惰性元素，可使用選擇自 He、Ne、Ar、Kr、及 Xe 之元素的其中之一者或複數者。

形成導電膜以便覆蓋開口，且將導電膜蝕刻以形成用作電性連接至部分之源極區及汲極區的源極及汲極電極層之導電層 141a、141b、142a、及 142b。該等導電層可藉由 PVD 法、CVD 法、蒸鍍法、或其類似方法以形成導電膜，且然後，將導電膜蝕刻成為所欲形狀而形成；選擇性地，該等導電層可藉由滴注法、印刷法、電解電鍍法、或其類似方法以選擇性地形成導電層於預定的位置中而形成；此外，可使用回流法或鑲嵌法。做為導電層的材料，可使用諸如 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、或 Ba 之金屬；或 Si 或 Ge；或其合金或氮化物。進一步地，可使用其之多層結構。

透過上述步驟，可製造出具有包含 n 通道薄膜電晶體及 p 通道薄膜電晶體之 CMOS 結構的半導體裝置（請參閱第 7C 圖）。雖然並未顯示於圖式中，但因為 CMOS 結構係形成於此實施例中，所以 n 通道薄膜電晶體與 p 通道薄

膜電晶體係相互電性連接。

薄膜電晶體的結構並未受限於此實施例，可使用其中形成一通道形成區的單閘極結構，其中形成二通道形成區的雙閘極結構，以及其中形成三通道形成區的三重閘極結構。

在使用依據本發明之 SOI 基板的半導體裝置中，係使單晶半導體層的表面平坦化；因此，可降低單晶半導體層與閘極絕緣層間的介面處之局部化的層次密度。進一步地，可降低單晶半導體層之中的晶體缺陷；因而，可改善半導體元件的電性特徵。如上述地，高的性能及高度可靠之半導體裝置可藉由使用具有具備降低的晶體缺陷及高的平坦度之半導體基板，而高產能地製造出。

在此方式中，薄膜電晶體可藉由使用半導體基板以製造，施加本發明之 SOI 基板的單晶半導體層具有降低之晶體缺陷、與閘極絕緣層 135a 及 135b 之降低的介面狀態密度、以及平坦的表面；因而，具有諸如低的驅動電壓、高的電子場效應遷移率、及低的子臨限值之優異特徵的薄膜電晶體可使用該 SOI 基板以形成。再者，具有小的特徵變化於電晶體之間的高性能電晶體可在一基板之上形成；換言之，藉由使用依據本發明之 SOI 基板，可抑制做為電晶體特徵之諸如臨限電壓或遷移率的重要特徵值的不一致性，以及可獲得諸如高的場效應遷移率之高的性能。

因此，具有高的添加值之半導體裝置可藉由使用依據本發明之半導體基板以形成諸如 TFT 之各式各樣的半導體

元件，而製造出。

（實施例 4）

雖然 TFT 的製造方法係描述於實施例 3 之中，但具有高的添加值之半導體裝置可藉由伴隨 TFT 以形成諸如電容器及電阻器之各式各樣的半導體元件而製造出。將參照圖式來敘述半導體裝置的特定模式於下文。

首先，將敘述微處理器以做為半導體裝置之實例。第 8 圖係方塊圖，其顯示微處理器 500 之結構的實例。

微處理器 500 具有算術邏輯單元（亦稱為“ALU”）501，ALU 控制器 502，指令解碼器 503，中斷控制器 504，時序控制器 505，暫存器 506，暫存器控制器 507，匯流排介面（BUS I/F）508，唯讀記憶體 509，以及記憶體介面 510。

透過匯流排介面 508 而輸入至微處理器 500 的指令係輸入至指令解碼器 503，而解碼於該處之中，且然後，輸入至 ALU 控制器 502，中斷控制器 504，暫存器控制器 507，及時序控制器 505。ALU 控制器 502，中斷控制器 504，暫存器控制器 507，及時序控制器 505 根據解碼之指令以執行各式各樣的控制。

ALU 控制器 502 產生用以控制 ALU 501 之操作的信號；中斷控制器 504 係當微處理器 500 正在執行程式時，處理來自外部輸入/輸出裝置或週邊電路之中斷請求的電路，且中斷控制器 504 根據中斷請求的優先序或遮罩狀態

以處理中斷請求；暫存器控制器 507 產生暫存器 506 的地址，且依據微處理器 500 的狀態以自暫存器 506 讀取資料及寫入資料至暫存器 506；以及時序控制器 505 產生用以控制 ALU 501，ALU 控制器 502，指令解碼器 503，中斷控制器 504，及暫存器控制器 507 之操作時序的信號，例如時序控制器 505 係設置有內部時脈產生器，用以根據參考時脈信號 CLK1 而產生內部時脈信號 CLK2，如第 8 圖中所示地，內部時脈信號 CLK2 係輸入至其他電路。

其次，將敘述具有算術功能以及無接點資料傳輸及接收功能之半導體裝置的實例。第 9 圖係方塊圖，其顯示此半導體裝置之結構的實例。第 9 圖中所示的半導體裝置可稱為電腦，其操作以藉由無線通訊而傳送資料至外部裝置且自外部裝置接收資料（在下文中，此電腦係稱為“RFCPU”）。

如第 9 圖中所示地，RFCPU（射頻中央處理單元）511 具有類比電路部 512 及數位電路部 513。該類比電路部 512 具有具備諧振電容器之諧振電路 514，整流器電路 515，定電壓電路 516，重設電路 517，振盪器電路 518，解調器電路 519，調變器電路 520，及電源管理電路 530。該數位電路部 513 具有 RF 介面 521，控制暫存器 522，時脈控制器 523，CPU 介面 524，中央處理單元 525，隨機存取記憶體 526，及僅讀記憶體 527。

RFCPU 511 係大略地如下文所述。諧振電路 514 根據天線 528 所接收之信號以產生感應的電動勢，感應的電動

勢係透過整流器電路 515 而儲存於電容器部 529 之中，電容器部 529 係較佳地以諸如陶質電容器或電性雙層電容器而形成，該電容器部 529 無需一定要形成於包含於 RFCPU 511 中之基板上，而是可當作分離組件地結合於 RFCPU 511 之中。

重設電路 517 產生用以重設及初始化該數位電路部 513 的信號，例如該重設電路 517 以延遲來產生在電源供應電壓升高之後上升的信號，以做為重設信號；振盪器電路 518 改變時脈信號的頻率及責務比，以回應於由定電壓電路 516 所產生的控制信號；解調器電路 519 係將接收之信號解調的電路；以及調變器電路 520 係調變將被傳送之資料的電路。

例如，解調器電路 519 係以低通濾波器而形成，且根據振幅的變化以將所接收之振幅調變（ASK）信號二進化。爲了要變化振幅調變（ASK）的傳輸信號及傳送該信號，調變器電路 520 藉由改變諧振電路 514 的諧振點而改變通訊信號的振幅。

時序控制器 523 依據電源供應電壓或中央處理單元 525 的消耗電流以產生用以改變時脈信號之頻率及責務比的控制信號。該電源供應電壓係由電源管理電路 530 所監測。

由天線 528 所輸入至 RFCPU 511 的信號係由解調器電路 519 所解調，且然後，由 RF 介面 521 分解成為控制命令、資料、及其類似物。控制命令係儲存於控制暫存器

522 之中，控制命令包含儲存於僅讀記憶體 527 中之資料的讀取、至隨機存取記憶體 526 之資料的寫入、對中央處理單元 525 的算術指令，及其類似者。

中央處理單元 525 經由 CPU 介面 524 以存取僅讀記憶體 527、隨機存取記憶體 526、及控制暫存器 522，該 CPU 介面 524 作用以根據中央處理單元 525 所請求之位址來產生用於僅讀記憶體 527、隨機存取記憶體 526、及控制暫存器 522 之任一者的存取信號。

做為中央處理單元 525 之算術方法，可使用其中僅讀記憶體 527 儲存操作系統（OS）且程式係讀取及執行於起始操作時之方法；選擇性地，可使用其中設置專用的算術電路且使用硬體以執行算術處理的方法。在其中使用硬體及軟體二者的方法中，部分之算術處理係由專用的算術電路所執行，以及其他部分之算術處理係由中央處理單元 525 使用程式以執行。

在此 RFCPU 中，積體電路係使用具有降低之晶體缺陷及一致的晶體取向之單晶半導體層 112 以形成；因此，可增加處理速度，且可降低功率消耗。從而，即使當使供應電力之電容器部 529 小型化時，亦可確保長時間的操作。

（實施例 5）

在此實施例中，將參照第 10A 及 10B 圖以及第 11A 及 11B 圖以敘述使用依據本發明之半導體基板的顯示裝置

第 10A 及 10B 圖係用以描繪液晶顯示裝置的圖式，第 10A 圖係液晶顯示裝置之像素的平面視圖，以及第 10B 圖係沿著切開線 J-K 所取得之第 10A 圖的橫剖面視圖。

如第 10A 圖中所示地，像素包含單晶半導體層 320，與單晶半導體層 320 交錯之掃描線 322，與掃描線 322 交錯之信號線 323，像素電極 324，以及電性連接像素電極 324 至單晶半導體層 320 之電極 328。該單晶半導體層 320 係由包含於依據本發明之 SOI 基板中的單晶半導體層所形成之層；如實施例 1 中所描述地，照射係在執行蝕刻處理之後以雷射光束來執行，且然後，執行電漿處理，使得可降低單晶半導體層 112 之中的晶體缺陷，以及可改善單晶半導體層 112 之表面的平坦度。單晶半導體層 320 係包含於像素的 TFT（薄膜電晶體）325 之中。

做為半導體基板，可使用實施例 1 及 2 之任一者中所描述的 SOI 基板。如第 10B 圖中所示地，單晶半導體層 320 係堆疊於基底基板 110 之上，而絕緣膜 102 插入於其間；做為基底基板 110，可使用玻璃基板。TFT 325 的單晶半導體層 320 係藉由蝕刻法而元件隔離 SOI 基板的單晶半導體層以形成；在該單晶半導體層 320 中，係形成通道形成區 340 及添加雜質元素的 n 型高濃度雜質區 341。TFT 325 的閘極電極係包含於掃描線 322 之中，以及源極電極及汲極電極的其中之一者係包含於信號線 323 之中。

信號線 323、像素電極 324、及電極 328 係設置於層

間絕緣膜 327 之上，柱狀間隔物 329 係形成於層間絕緣膜 327 之上，取向膜 330 係形成以覆蓋信號線 323、像素電極 324、電極 328、及柱狀間隔物 329。在相對基板 322 之上，形成相對電極 333 及覆蓋該相對電極 333 的取向膜 334。柱狀間隔物 329 係形成以維持基底基板 110 與相對基板 332 之間的空間；在由柱狀間隔物 329 所形成的空間之中，係形成液晶層 335。在具有高濃度雜質區 341 的信號線 323 與電極 328 間之連接部分處，由於接觸孔的形成，所以存在有形成於層間絕緣膜 327 之中的步階；因此，在該等連接部分中之液晶層 335 中的液晶取向易於變成無序，因而，將柱狀間隔物 329 形成於該等步階部分之中以防止液晶的取向無序。

在由依據本發明之半導體基板的製造方法所形成的 SOI 基板中，可降低晶體缺陷且可改善表面平坦性；因此，可形成具有很小特徵變化於電晶體之間的高性能電晶體於一基板之上。因而，藉由使用依據本發明之 SOI 基板以製造液晶顯示裝置，可使電晶體之間的特徵變化變小。

其次，將參照第 11A 及 11B 圖來敘述電激發顯示裝置（在下文中將稱為“EL 顯示裝置”），第 11A 圖係 EL 顯示裝置之像素的平面視圖，以及第 11B 圖係沿著切開線 J-K 所取得之第 11A 圖橫剖面視圖。

如第 11A 圖中所描繪地，像素包含其係電晶體之選擇電晶體 401 及顯示控制電晶體 402，掃描線 405，信號線 406，電流供應線 407，以及像素電極 408。各個像素係設

置有發光元件，該發光元件具有其中包含電激發光材料之層（EL 層）係插入於一對電極之間的結構，該發光元件之該等電極的其中之一者係像素電極 408。在半導體膜 403 之中，係形成選擇電晶體 401 的通道形成區、源極區、及汲極區；在半導體膜 404 之中，係形成顯示控制電晶體 402 的通道形成區；源極區；及汲極區。該等半導體膜 403 及 404 係由設置在基底基板上之單晶半導體層 302 所形成。

在選擇電晶體 401 中，閘極電極係包含於掃描線 405 之中，源極電極及汲極電極的其中之一者係包含於信號線 406 之中，且另一者係形成為電極 410。在顯示控制電晶體 402 中，閘極電極 412 係電性連接至電極 411，源極電極及汲極電極的其中之一者係形成為電性連接至像素電極 408 的電極 413，且另一者係包含於電流供應線 407 之中。

顯示控制電晶體 402 係 p 通道 TFT；如第 11B 圖中所示，通道形成區 451 及 p 型高濃度雜質區 452 係形成於半導體膜 404 之中。注意的是，做為半導體基板，可使用實施例 1 及 2 之任一者中所製造的半導體基板。

層間絕緣膜 427 係形成以覆蓋顯示控制電晶體 402 的閘極電極 412；在該層間絕緣膜 427 之上，係形成信號線 406、電流供應線 407、電極 411 及 413、及其類似物；此外，電性連接至電極 413 的像素電極 408 係形成於層間絕緣膜 427 之上。像素電極 408 的週邊部分係由絕緣隔板層

428 所包圍，EL 層 429 係形成於像素電極 408 之上，以及相對電極 430 係形成於 EL 層 429 之上。相對基板 431 係設置成為加強板，且相對基板 431 係以樹脂層 432 而固定至基底基板 110。

EL 顯示裝置的灰階係由其中發光元件的光亮度係藉由電流的數量以控制於該處的電流驅動方法，或其中光亮度係藉由電壓的數量以控制於該處的電壓驅動方法。電流驅動方法難以使用於當電晶體具有自像素至像素之大大變化的特徵；爲了要使用電流驅動方法，需要校正電路以校正特徵變化。然而，在由依據本發明之 SOI 基板的製造方法所形成的 SOI 基板中，可降低晶體缺陷且可改善表面平坦性；因此，可形成具有很小的特徵變化於電晶體之間的高性能電晶體於一基板之上。因而，藉由使用依據本發明之 SOI 基板以製造 EL 顯示裝置，可消除像素間之選擇電晶體 401 及顯示控制電晶體 402 的特徵變化；因此，可使用電流驅動方法。

（實施例 6）

依據本發明之 SOI 基板係使用以製造諸如電晶體之半導體裝置，且各式各樣的電子裝置可使用該半導體裝置而製造出；因爲設置於依據本發明之 SOI 基板中的單晶半導體層具有降低之晶體缺陷且具有改善的平坦性，所以藉由使用此單晶半導體層做為活性層，可製造出具有改善的電性特徵之半導體元件。此外，因爲單晶半導體層具有降低

之晶體缺陷，所以可減少與閘極絕緣層的介面處之局部的層次密度；進一步地，因為該單晶半導體層具有高的平坦度，所以可形成具有高的耐壓之薄的閘極絕緣層於單晶半導體層之上，因此，可獲得所製造出的半導體元件之遷移率的改變、 S 值的改善、及短通道效應的抑制。換言之，藉由使用依據本發明之 SOI 基板，可製造出具有高的電流驅動能力之高度可靠的半導體元件；因而，可以以高輸貫量及高品質來製造出最終產物之電子裝置。各式各樣種類之半導體裝置可使用該半導體元件以製造出；在此實施例中，將參照圖式來敘述特定的實例。注意的是，在此實施例之中，相同的參考符號表示與上述實施例中相同之部件，且其詳細說明將予以省略。

第 12A 圖顯示其包含底盤 901、支撐基座 902、顯示部 903、揚聲器 904、視頻輸入端子 905、及其類似物之顯示裝置。此顯示裝置係使用由另一實施例中所描述之製造方法所形成的電晶體所製造出，該另一實施例中所描述之製造方法係用於驅動器 IC、顯示部 903、及其類似物。注意的是，該顯示裝置意指液晶顯示裝置、發光顯示裝置、及其類似物，且可包含用於例如電腦、電視接收、及廣告顯示之所有的資訊顯示裝置；特定地，可給定顯示器、頭戴式顯示器、反射型投影器、及其類似物。

第 12B 圖顯示其包含底盤 911、顯示部 912、鍵盤 913、外部連接埠 914、指向裝置 915、及其類似物之電腦。依據本發明所形成的電晶體不僅可應用至顯示部 912 中

之像素部分，而且可應用至諸如用於顯示的驅動器 IC、主體內部之 CPU、或記憶體。

第 12C 圖顯示蜂巢式電話，其係攜帶式資訊處理終端機的典型實例。此蜂巢式電話包含底盤 921、顯示部 922、操作鍵 923、及其類似物。使用依據本發明之 SOI 基板所形成的電晶體不僅可應用至顯示部 922 中之像素部分或感測器部 924，而且可應用至用於顯示的驅動器 IC、記憶體、聲頻處理電路、及其類似物。感測器部 924 包含光學感測器元件；藉由光學感測器元件，顯示部 922 之光亮度可根據感測器部 924 所獲得的光亮度以控制，且操作鍵 923 之亮度亦可根據感測器部 924 所獲得的光亮度以控制，因而，可抑制蜂巢式電話的功率消耗。

除了上述的蜂巢式電話之外，依據本發明所形成之半導體材料可使用於諸如 PDA（個人數位助理或攜帶式資訊處理終端機）、數位相機、小型遊戲機、或攜帶式聲頻重放裝置；例如，本發明之半導體材料可使用以形成諸如 CPU 之功能性電路、記憶體、或應用至感測器或至該等電子器具之顯示器的像素部分或驅動器 IC。

第 12D 及 12E 圖顯示數位相機；注意的是，第 12E 圖顯示第 12D 圖中所示之數位相機的背面，此數位相機包含底盤 931、顯示部 932、鏡頭 933、操作鍵 934、快門鈕 935、及其類似物。依據本發明所形成之電晶體可應用至顯示部 932 中之像素部分，用以驅動顯示部 932 之驅動器 IC、記憶體、及其類似物。

第 12F 圖顯示數位攝影機，此數位攝影機包含主體 941、顯示部 942、底盤 943、外部連接埠 944、遙控接收部 945、影像接收部 946、電池 947、聲頻輸入部 948、操作鍵 949、目鏡部 950、及其類似物。依據本發明所形成之電晶體可應用至顯示部 942 中之像素部分，用以驅動顯示部 942 之驅動器 IC，記憶體，數位輸入處理裝置，及其類似物。

此外，本發明可應用至導航系統、聲頻重放裝置、設置有記錄媒體之影像再生裝置、及其類似物。依據本發明所形成之電晶體可應用至該等裝置的顯示部中之像素部分，用以控制顯示部之驅動器 IC，記憶體，數位輸入處理裝置，感測器部，及其類似物。

第 13A 至 13C 圖顯示應用本發明之蜂巢式電話的另一實例，第 13A 圖係正面視圖，第 13B 圖係背面視圖，以及第 13C 圖係其中二底盤滑動之正面視圖。蜂巢式電話 700 係所謂智慧型電話，其具有蜂巢式電話及攜帶式資訊終端機二者之功能，且結合電腦，及可處理除了語音傳呼之外的各式各樣之資料處理。

蜂巢式電話 700 具有底盤 701 及底盤 702。底盤 701 包含顯示部 703、揚聲器 704、微音器 705、操作鍵 706、指向裝置 707、相機鏡頭 708、外部連接端子 709、耳機端子 710、及其類似物，底盤 702 包含鍵盤 711、外部記憶體 712、背面相機 713、閃光燈 714、及其類似物。此外，天線係結合於底盤 701 之中。使用依據本發明之 SOI 基板

所形成的半導體元件可應用至顯示部 703 中之像素部分，用以驅動顯示部 703 之驅動器 IC，記憶體，聲頻處理電路，及其類似物。進一步地，藉由施加第 10A 及 10B 圖中所示之液晶顯示裝置以及第 11A 及 11B 圖中所示之 EL 顯示裝置至顯示部 703，顯示部可具有很小的顯示不均勻性以及具有優異的影像品質。

進一步地，除了上述結構之外，蜂巢式電話 700 可結合無接點 IC 晶片、小的記憶體裝置、或其類似物。

相互重疊的底盤 701 及 702（請參閱第 13A 圖）可滑動，且滑動變成如第 13C 圖中所示地展開。因為顯示部 703 及相機鏡頭 708 係設置於同一平面中，所以可將智慧型電話使用成為語音電話；進一步地，靜像及動像可使用顯示部 703 做為取景器而以背面相機 713 及閃光燈 714 來拍攝。

藉由揚聲器 704 及微音器 705 的使用，可將蜂巢式電話 700 使用聲頻記錄裝置（記錄裝置）或聲頻重放裝置。進一步地，藉由操作鍵 706 的使用，可做成傳呼及接收來電、輸入諸如電子郵件或類似物之簡單資訊、渦捲顯示在顯示部上的螢幕、移動例如用以選擇將被顯示於顯示部上之資訊的游標、及其類似者。

若需處理諸如其中智慧型電話係使用於文件處理或使用做為攜帶式資訊終端機之情況的許多資訊時，鍵盤 711 的使用係便利的。進一步地，相互重疊的底盤 701 及底盤 702 可滑動（請參閱第 13A 圖）而變成如第 13C 圖中所示

地展開。在使用智慧型電話做為攜帶式資訊終端機的情況，可以以鍵盤 711 及指向裝置 707 來執行平穩的操作；AC 轉接器及諸如 USB 電纜之各式各樣類型的電纜可連接至外部連接端子 709，且充電及與個人電腦之資料通訊亦係可行的；進一步地，可藉由插入記錄媒體至外部記憶體槽 712 之內，以儲存及移動大量的資料。

在底盤 702 的背面中（請參閱第 13B 圖），係設置背面相機 713 及閃光燈 714，且靜像及動像可使用顯示部 703 做為取景器以拍攝。

進一步地，除了上述功能及結構之外，智慧型電話可具有紅外線通訊功能、USB 埠、接收一分段之電視廣播、無接點 IC 晶片、耳機插孔、或其類似物。

如上述，依依據本發明所製造之半導體裝置的應用範圍係極為廣泛，且使用依據本發明之半導體基板所製造的半導體裝置可使用於各式各樣之領域中的電子裝置。

[實例 1]

在此實例中，將敘述當使單晶半導體層的表面接受電漿處理時之表面特徵中的改變。

將敘述此實例中所使用的取樣。首先，氧化物膜係藉由以包含氫氯酸之氣體來氧化單晶矽基板的表面而形成，該單晶矽基板以氫離子穿過氧化物膜而照射，以便形成脆化區於單晶矽基板之中；其次，將添加氫離子而形成脆化區之單晶矽基板的表面接合至玻璃基板，且執行熱處理，

以致使分離沿著脆化區而發生。透過上述步驟，單晶矽層係以氧化物膜插入其間而形成於玻璃基板之上；在此方式中，可預備其中單晶矽層係以氧化物膜插入其間而形成於玻璃基板之上的各個取樣之複數個取樣（取樣 A 至 F）。

然後，使取樣 A 至 F 各接受乾蝕刻，以便去除單晶矽層的表面層部分。該乾蝕刻係藉由 ICP 蝕刻法而在具有 1000W 的 ICP 功率，50W 之供應至下方電極的功率，1.5Pa 之反應壓力，及 100sccm 之氬氣的條件之下執行。

接著，使取樣 A 及取樣 B 各接受使用三氟化氮氣體之乾蝕刻，以便去除形成於單晶矽層之上的天然氧化物膜。該乾蝕刻係藉由 ICP 蝕刻法而在具有 500W 的 ICP 功率（ $0.71\text{W}/\text{cm}^2$ ），0W 之 RF 偏壓，1.0Pa 的反應壓力，及 50sccm 之三氟化氮氣體的條件之下執行；處理時間係設定為 10 秒。然後，以雷射光束來照射取樣 A 及取樣 B 之各者中的單晶矽層。

此外，在以雷射光束照射以後，使取樣 B 的單晶矽層接受電漿處理。電漿處理係藉由在具有 500W 的 ICP 功率（ $0.11\text{W}/\text{cm}^2$ ），100W 之 RF 偏壓（ $0.61\text{W}/\text{cm}^2$ ），1.35Pa 的壓力，及 100sccm 之氬氣流率的條件下之 ICP 法，而使用由 TOKYO Electron Limited 所製造的設備（ME-500，ICP 電漿乾蝕刻設備）以執行；處理時間係設定為 240 秒。

其次，使取樣 C 及取樣 D 各接受乾蝕刻，以便去除形成於單晶矽層之上的天然氧化物膜。該乾蝕刻係藉由 ICP

蝕刻法而在具有 500W 的 ICP 功率 ($0.11\text{W}/\text{cm}^2$)，100W 之 RF 偏壓 ($0.61\text{W}/\text{cm}^2$)，1.35Pa 的反應壓力，及 100ccm 之氬氣的條件之下執行；處理時間係設定為 240 秒。然後，以雷射光束來照射取樣 C 及取樣 D 之各者中的單晶矽層。

進一步地，在以雷射光束照射之後，使取樣 D 的單晶矽層接受電漿處理，該電漿處理係在與取樣 B 之該等條件相似的條件之下執行。

然後，濕蝕刻係使用 100 倍稀釋的氫氟酸來執行，以便去除形成於單晶矽層之上的天然氧化物膜；之後，以雷射光束來照射取樣 F 及取樣 D 之各者中的單晶矽層。

此外，在以雷射光束照射之後，使取樣 F 的單晶矽層接受電漿處理，該電漿處理係在與取樣 B 之該等條件相似的條件下執行。

接著，測量取樣 A 至 F 的單晶矽層之表面粗糙度；在此實例中，針對該等矽層之表面粗糙度的測量，係使用原子力顯微鏡 (AFM)。因而，可測量出該等矽層之平均表面粗糙度 (Ra) 以及最大峰至谷高度 (P-V)。

在此實例中，平均表面粗糙度 (Ra) 係藉由展開由 JIS B 0601 : 2001 (ISO 4287 : 1997) 所界定之中心線平均表面粗糙度 Ra 成為三維，以便能施加 Ra 至測量表面而獲得；該 Ra 可表示成為自參考表面至特定表面之偏差的絕對值之平均值，且可藉由下式以獲得。

$$R_a = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(X,Y) - Z_0| dXdY$$

注意的是，測量表面係由所有測量資料所顯示的表面，且由下式所表示。

$$Z = F(X,Y)$$

特定表面係粗糙度測量之物體的表面，且係由座標（ X_1, Y_1 ）、（ X_1, Y_2 ）、（ X_2, Y_1 ）、及（ X_2, Y_2 ）所代表之四點所包圍的矩形區域。當特定表面係理想地扁平時，特定表面的面積係由 S_0 所表示。注意的是， S_0 係由下式所獲得。

$$S_0 = (X_2 - X_1) \cdot (Y_2 - Y_1)$$

均方根表面粗糙度（RMS）係以與 R_a 相似之方式，藉由展開橫剖面曲線的 RMS 成為三維，以便能應用橫剖面曲線的 RMS 至測量表面而獲得；該 RMS 可表示成為自參考表面至特定表面之偏差的平方之平均值的平方根，且可藉由下式以獲得。

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X,Y) dXdY$$

當 Z_0 係特定表面之高度的平均值時，參考表面係由 $Z = Z_0$ 所代表的平面表面，該參考表面係與 XY 平面平行。注意的是， Z_0 可由下式所獲得。

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X,Y) - Z_0\}^2 dXdY}$$

最大峰至谷高度（P-V）可表示成爲特定表面處之最高峰值 Z_{max} 的高度與最低谷值 Z_{min} 的高度之差值，且可由下式所獲得。

$$P-V = Z_{max} - Z_{min}$$

此處所使用之峰值及谷值係藉由展開由 JIS B 0601 : 2001 (ISO 4287 : 1997) 所界定之“峰值”及“谷值”成爲三維所獲得。該峰值可表示成爲特定表面處的最高點，以及該谷值可表示成爲特定表面處的最低點。

將敘述此實例中之平均表面粗糙度（Ra）及最大峰至谷高度（P-V）的測量條件如下。

- 原子力顯微鏡（AFM）：由 Seiko Instruments Inc. 所製造之掃描探針顯微鏡 SPI3800N/SPA500

- 測量模式：動態力模式（DFM）

- 懸臂：SI-DF40（由矽所製成，42N/m 的彈性常數，250kHz 至 390kHz 的諧振頻率，以及探針尖端 $R \leq 10$ 奈米）

- 掃描速度：1.0Hz

- 測量面積：10 微米 × 10 微米

- 測量之點：256 點 × 256 點

注意的是，DFM 意指其中取樣的表面形狀係測量於其中懸臂諧振於給定的頻率（指定於懸臂的頻率），且同時，探針與取樣間的距離係控制使得懸臂的振動幅度保持常數於該處的狀態中的測量模式。在 DFM 之中，懸臂並不碰觸取樣的表面；因此，測量不會改變取樣表面的原始形狀，且不會損壞該表面。

在上述條件之下，執行單晶矽層的表面粗糙度之測量於取樣 A 至 F 之上，且獲得該等單晶矽層之三維表面的影像。顧及所獲得之測量影像的基板橫剖面之曲率，將該等影像的所有資料以所附軟體之最小平方法來擬合用於一維平面，且隨後藉由用以校正二次曲線之二次梯度校正法，以執行一維梯度校正，用以校正梯度於該平面中；之後，以所附之軟體來分析表面粗糙度，使得可計算出各個平均表面粗糙度（Ra）及最大峰至谷高度（P-V）。

第 1 表及 14 圖顯示所計算出之平均表面粗糙度（Ra）及最大峰至谷高度（P-V）。

第 1 表

	平均表面粗糙度 Ra (奈米)	最大峰至谷高度 P-V (奈米)
取樣 A	3.0	83.2
取樣 B	1.7	25.7
取樣 C	2.9	35.8
取樣 D	1.2	26.1
取樣 E	2.3	32.4
取樣 F	1.3	14.1

如第 1 表及第 14 圖中所示地，在使用 NF₃ 氣體的乾

蝕刻之後，以雷射光束所照射之取樣 A 的最大峰至谷高度（P-V）係 83.2 奈米；相對地，在以雷射光束照射之後，接受使用 Ar 氣體的電漿處理之取樣 B 的最大峰至谷高度（P-V）係降低至 25.7 奈米。其他的結果係當取樣 C 與取樣 D 相比較時，接受電漿處理之取樣 D 的平均表面粗糙度及最大峰至谷高度二者均比取樣 C 之該等者更低，且當取樣 E 與取樣 F 相比較時，接受電漿處理之取樣 F 的平均表面粗糙度及最大峰至谷高度二者均比取樣 E 之該等者更低。

其次，第 15A 及 15B 圖係取樣 C 及取樣 D 之掃描式電子顯微鏡（SEM）影像。第 15A 圖係取樣 C 在以雷射光束照射單晶半導體層之後的 SEM 影像；在第 15A 圖之中，所發現的是，突出物會產生於單晶半導體層的表面上。第 15B 圖係取樣 D 在以雷射光束照射單晶半導體層且執行 Ar 電漿處理之後的相片；所發現的是，在單晶半導體層的表面上之突出物減少。

從上述結果可確認的是，平均表面粗糙度及最大峰至谷高度可在以雷射光束照射之後，藉由執行電漿處理而降低。

[實例 2]

在此實例中，將敘述在以雷射光束照射單晶半導體層之後，當電漿處理係執行於不同的時間週期時之表面特徵中的改變。

首先，氧化物膜係藉由以包含氫氟酸之氣體來氧化單晶矽基板的表面而形成，該單晶矽基板係以氫離子穿過氧化物膜而照射，以便形成脆化區於單晶矽基板之中；接著，將添加氫離子而形成脆化區之單晶矽基板的表面接合至玻璃基板，且執行熱處理，以致使分離沿著脆化區而發生。透過上述步驟，單晶矽層係以氧化物膜插入其間而形成於玻璃基板之上；在此方式中，可預備其中單晶矽層係以氧化物膜插入其間而形成於玻璃基板之上的各個取樣之複數個取樣。

然後，使該複數個取樣之各者的單晶矽層接受乾蝕刻，以便去除單晶矽層的表面層部分。該乾蝕刻係藉由 ICP 蝕刻法而在具有 150W 的 ICP 功率，40W 之 RF 偏壓，1.0Pa 之反應壓力，及 100sccm 之氬氣的條件之下執行。

其次，使該複數個取樣接受乾蝕刻，且然後，以雷射光束照射。在以雷射光束照射之後，執行電漿處理；電漿處理係藉由在具有 500W 的 ICP 功率（ $0.11\text{W}/\text{cm}^2$ ），100W 之 RF 偏壓（ $0.61\text{W}/\text{cm}^2$ ），1.35Pa 的壓力，及 100sccm 的氬氣流率的條件下之 ICP 法，而使用由 Tokyo Electron Limited 所製造的設備（ME-500，ICP 電漿乾蝕刻設備）以執行；處理時間係設定為 2 分鐘、3 分鐘、及 4 分鐘。未接受電漿處理的取樣係取樣 G，接受電漿處理 2 分鐘的取樣係取樣 H，接受電漿處理 3 分鐘之取樣係取樣 I，以及接受電漿處理 4 分鐘之取樣係取樣 J。

接著，測量取樣 G 至 J 之單晶矽層的表面粗糙度，該

表面粗糙度的測量係以與實例 1 中之測量方式相似的方式來執行；然後，計算平均表面粗糙度（Ra）及最大峰至谷高度（P-V），在此實例中之平均表面粗糙度（Ra）及最大峰至谷高度（P-V）的計算方法係與實例 1 中之計算方法相似。

第 2 表及第 16 圖顯示所計算出之平均表面粗糙度 Ra 及所計算出之最大峰至谷高度 P-V。

第 2 表

	平均表面粗糙度 Ra (奈米)	最大峰至谷高度 P-V (奈米)
取樣 G	2.2	105.3
取樣 H	1.6	47.8
取樣 I	1.6	24.7
取樣 J	1.4	42.1

如第 2 表及第 16 圖中所示地，在乾蝕刻後以雷射光束照射之取樣 G 的最大峰至谷高度（P-V）係 105.3 奈米；相對地，接受使用 Ar 氣體之電漿處理 4 分鐘的取樣 J 之最大峰至谷高度（P-V）係降低至 42.1 奈米。此外，取樣 G 之平均表面粗糙度 Ra 係 2.2 奈米；相對地，取樣 J 之平均表面粗糙度係下降至 1.4 奈米。

此申請案係根據 2008 年 9 月 29 日在日本專利局所申請之日本專利申請案序號 2008-251335，該申請案之全部內容係結合於本文以供參考之用。

【圖式簡單說明】

在附圖中：

第 1A-1 至 1A-3、1B、1C、及 1D 圖係描繪依據本發明之 SOI 基板的製造方法之實例的圖式；

第 2A 至 2F 圖係描繪依據本發明之 SOI 基板的製造方法之實例的圖式；

第 3A 至 3F 圖係描繪依據本發明之 SOI 基板的製造方法之實例的圖式；

第 4A-1 至 4A-3、4B-1 及 4B-2、4C、以及 4D 圖係描繪依據本發明之 SOI 基板的製造方法之實例的圖式；

第 5 圖係描繪依據本發明之 SOI 基板的製造方法中之電漿處理的實例之圖式；

第 6A 至 6E 圖係描繪依據本發明之使用 SOI 基板的半導體裝置之實例之圖式；

第 7A 至 7C 圖係描繪依據本發明之使用 SOI 基板的半導體裝置之實例之圖式；

第 8 圖係描繪依據本發明之使用 SOI 基板所獲得的微處理器之結構的方塊圖；

第 9 圖係依據本發明之使用 SOI 基板所獲得的 RFCPU 之結構的方塊圖；

第 10A 圖係液晶顯示裝置之像素的平面視圖，及第 10B 圖係沿著第 10A 圖中之線 J-K 所取得的橫剖面視圖；

第 11A 圖係電激發光顯示裝置之像素的平面視圖，及第 11B 圖係沿著第 11A 圖中之線 J-K 所取得的橫剖面視圖；

第 12A 至 12F 圖各顯示其中使用依據本發明之 SOI 基

板的電子裝置；

第 13A 至 13C 圖顯示其中使用依據本發明之 SOI 基板的蜂巢式電話；

第 14 圖係顯示單晶矽層之表面粗糙度的測量結果之圖形；

第 15A 及 15B 圖各係表面之 SEM 影像；以及

第 16 圖係顯示單晶矽層之表面粗糙度的測量結果之圖形。

【主要元件符號說明】

100：單晶半導體基板

110：基底基板

102、139、140：絕緣膜

104：脆化區

112、121、122、320：單晶半導體層

113：天然氧化物膜

114：雷射光束

601：石英板

602：多重螺旋線圈

603：匹配盒

604、606：RF 電源

605：下方電極

610：基板

105：氧化物膜

- 103：離子
- 111：含氮層
- 123：閘極絕緣層
- 124、125：閘極電極層
- 126、130、136：罩幕
- 127、131、137：雜質元素
- 128a、128b：第一 n 型雜質區
- 132a、132b：第一 p 型雜質區
- 134a~134d：側壁絕緣層
- 135a、135b：閘極絕緣層
- 138a、138b：第二 n 型雜質區
- 129、340、451：通道形成區
- 141a、141b、142a、142b：導線層
- 500：微處理器
- 501：算術邏輯單元（ALU）
- 502：ALU 控制器
- 503：指令解碼器
- 504：中斷控制器
- 505：時序控制器
- 506：暫存器
- 507：暫存器控制器
- 508：匯流排介面（匯流排 I/F）
- 509：僅讀記憶體
- 510：記憶體介面

511：射頻中央處理單元（RFCPU）

512：類比電路部

513：數位電路部

514：諧振電路

515：整流器電路

516：定電壓電路

517：重設電路

518：振盪器電路

519：解調器電路

520：調變器電路

530：電源管理電路

521：RF 介面

522：控制暫存器

523：時脈控制器

524：CPU 介面

525：中央處理單元

526：隨機存取記憶體

527：僅讀記憶體

528：天線

529：電容器部

322、405：掃描線

323、406：信號線

324、408：像素電極

328、411、413：電極

- 325：薄膜電晶體（TFT）
- 341：n型高濃度雜質區
- 327、427：層間絕緣膜
- 329：柱狀間隔物
- 330、334：取向膜
- 332、431：相對基板
- 333、430：相對電極
- 335：液晶層
- 401：選擇電晶體
- 402：顯示控制電晶體
- 407：電流供應線
- 403、404：半導體膜
- 412：閘極電極
- 428：絕緣隔板層
- 429：EL（電激發光）層
- 432：樹脂層
- 901、911、921、931、943、701、702：底盤
- 902：支撐底座
- 903、912、922、932、942、703：顯示部
- 904：揚聲器部
- 905：視頻輸入端子
- 913：鍵盤
- 914、944：外部連接埠
- 915、707：指向裝置

923、934、949、706：操作鍵

924：感測器部

933：鏡頭

935：快門鈕

941：主體

945：遙控接收部

946：影像接收部

947：電池

948：聲頻輸入部

950：目鏡部

700：蜂巢式電話

704：揚聲器

705：微音器

708：相機鏡頭

709：外部連接端子

710：耳機端子

711：鍵盤

712：外部記憶體槽

713：背面相機

714：閃光燈

七、申請專利範圍：

1. 一種 SOI(矽在絕緣物上)基板的製造方法，包含：
形成絕緣膜於半導體基板之上；

以加速的離子穿過該絕緣膜來照射該半導體基板，而形成脆化區於該半導體基板之中；

設置該半導體基板的表面與基底基板的表面彼此互相相對，且接合該絕緣膜的表面至該基底基板的該表面；

在將該絕緣膜的該表面與該基底基板的該表面相互接合之後，以熱處理造成沿著該脆化區的分離，以形成一半導體層於該基底基板之上，而該絕緣膜被插入於其間；

執行蝕刻處理於該半導體層之上；

以雷射光束來照射接受該蝕刻處理之該半導體層；以及

以使用惰性氣體的電漿來照射以該雷射光束所照射之該半導體層。

2. 如申請專利範圍第 1 項之 SOI(矽在絕緣物上)基板的製造方法，其中該電漿處理係由電感耦合式電漿法所執行。

3. 如申請專利範圍第 1 項之 SOI(矽在絕緣物上)基板的製造方法，其中係使用玻璃基板以做為該基底基板。

4. 如申請專利範圍第 1 項之 SOI(矽在絕緣物上)基板的製造方法，其中該離子照射係使用離子摻雜設備以執行。

5. 如申請專利範圍第 4 項之 SOI(矽在絕緣物上)基

板的製造方法，其中使用於該半導體基板之該離子照射的離子之主要成分係 H_3^+ 離子。

6. 如申請專利範圍第 1 項之 SOI（矽在絕緣物上）基板的製造方法，其中該熱處理係以小於或等於該基底基板之應變點的溫度執行。

7. 一種 SOI（矽在絕緣物上）基板的製造方法，包含：
形成絕緣膜於半導體基板之上；

以加速的離子穿過該絕緣膜來照射該半導體基板，而形成脆化區於該半導體基板之中；

設置該半導體基板的表面與基底基板的表面彼此互相相對，且接合該絕緣膜的表面至該基底基板的該表面；

在將該絕緣膜的該表面與該基底基板的該表面相互接合之後，以熱處理造成沿著該脆化區的分離，以形成半導體層於該基底基板之上，而該絕緣膜被插入於其間；

執行第一蝕刻處理於該半導體層之上；

以雷射光束來照射接受該第一蝕刻處理之該半導體層；

執行第二蝕刻處理於以該雷射光束所照射之該半導體層上；

以電漿來照射接受該第二蝕刻處理之該半導體層；以及

蝕刻以該電漿照射的該半導體層以形成具有島狀的分離之單晶半導體層。

8. 如申請專利範圍第 7 項之 SOI（矽在絕緣物上）基

板的製造方法，其中該電漿處理係由電感耦合式電漿法所執行。

9. 如申請專利範圍第 7 項之 SOI（矽在絕緣物上）基板的製造方法，其中係使用玻璃基板以做為該基底基板。

10. 如申請專利範圍第 7 項之 SOI（矽在絕緣物上）基板的製造方法，其中該離子照射係使用離子摻雜設備以執行。

11. 如申請專利範圍第 10 項之 SOI（矽在絕緣物上）基板的製造方法，其中使用於該半導體基板之該離子照射的離子之主要成分係 H_3^+ 離子。

12. 如申請專利範圍第 7 項之 SOI（矽在絕緣物上）基板的製造方法，其中該熱處理係以小於或等於該基底基板之應變點的溫度執行。

13. 一種 SOI（矽在絕緣物上）基板的製造方法，包含：

形成第一絕緣膜於半導體基板之上；

以加速的離子穿過該第一絕緣膜來照射該半導體基板，而形成脆化區於該半導體基板之中；

形成第二絕緣膜於基底基板之上；

設置該半導體基板上之該第一絕緣膜與該基底基板上之該第二絕緣膜彼此互相相對，且接合該第一絕緣膜的表面至該第二絕緣膜的表面；

在將該第一絕緣膜的該表面與該第二絕緣膜的該表面相互接合之後，以熱處理造成沿著該脆化區的分離，以形

成半導體層於該基底基板之上，而該第一絕緣膜及該第二絕緣膜被插入於其間；

執行蝕刻處理於該半導體層之上；

以雷射光束來照射接受該蝕刻處理之該半導體層；以及

以使用惰性氣體的電漿來照射以該雷射光束所照射之該半導體層。

14. 如申請專利範圍第 13 項之 SOI（矽在絕緣物上）基板的製造方法，其中該電漿處理係由電感耦合式電漿法所執行。

15. 如申請專利範圍第 13 項之 SOI（矽在絕緣物上）基板的製造方法，其中係使用玻璃基板以做為該基底基板。

16. 如申請專利範圍第 13 項之 SOI（矽在絕緣物上）基板的製造方法，其中該離子照射係使用離子摻雜設備以執行。

17. 如申請專利範圍第 16 項之 SOI（矽在絕緣物上）基板的製造方法，其中使用於該半導體基板之該離子照射的離子之主要成分係 H_3^+ 離子。

18. 如申請專利範圍第 13 項之 SOI（矽在絕緣物上）基板的製造方法，其中該熱處理係以小於或等於該基底基板之應變點的溫度執行。

19. 一種 SOI（矽在絕緣物上）基板的製造方法，包含：

形成第一絕緣膜於半導體基板之上；

以加速的離子穿過該第一絕緣膜來照射該半導體基板，而形成脆化區於該半導體基板之中；

形成第二絕緣膜於基底基板之上；

設置該半導體基板上之該第一絕緣膜與該基底基板上之該第二絕緣膜彼此互相相對，且接合該第一絕緣膜的表面至該第二絕緣膜的表面；

在將該第一絕緣膜的該表面與該第二絕緣膜的該表面相互接合之後，以熱處理造成沿著該脆化區的分離，以形成半導體層於該基底基板之上，而該第一絕緣膜及該第二絕緣膜被插入於其間；

執行第一蝕刻處理於該半導體層之上；

以雷射光束來照射接受該第一蝕刻處理之該半導體層；

執行第二蝕刻處理於以該雷射光束所照射之該半導體層上，以去除該半導體層的部分；以及

以電漿來照射接受該第二蝕刻處理之該半導體層。

20. 如申請專利範圍第 19 項之 SOI（矽在絕緣物上）基板的製造方法，其中該電漿處理係由電感耦合式電漿法所執行。

21. 如申請專利範圍第 19 項之 SOI（矽在絕緣物上）基板的製造方法，其中係使用玻璃基板以做為該基底基板。

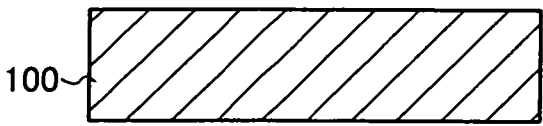
22. 如申請專利範圍第 19 項之 SOI（矽在絕緣物上）基板的製造方法，其中該離子照射係使用離子摻雜設備以執行。

23. 如申請專利範圍第 22 項之 SOI (矽在絕緣物上) 基板的製造方法，其中使用於該半導體基板之該離子照射的離子之主要成分係 H_3^+ 離子。

24. 如申請專利範圍第 19 項之 SOI (矽在絕緣物上) 基板的製造方法，其中該熱處理係以小於或等於該基底基板之應變點的溫度執行。

25. 如申請專利範圍第 1 或 13 項之 SOI (矽在絕緣物上) 基板的製造方法，其中該惰性氣體是氬氣。

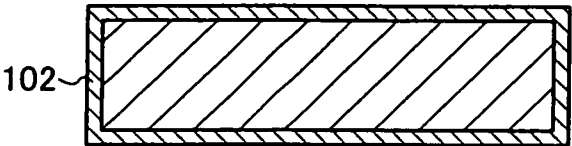
第1A-1圖



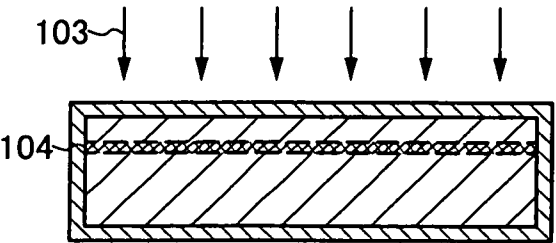
第1B圖



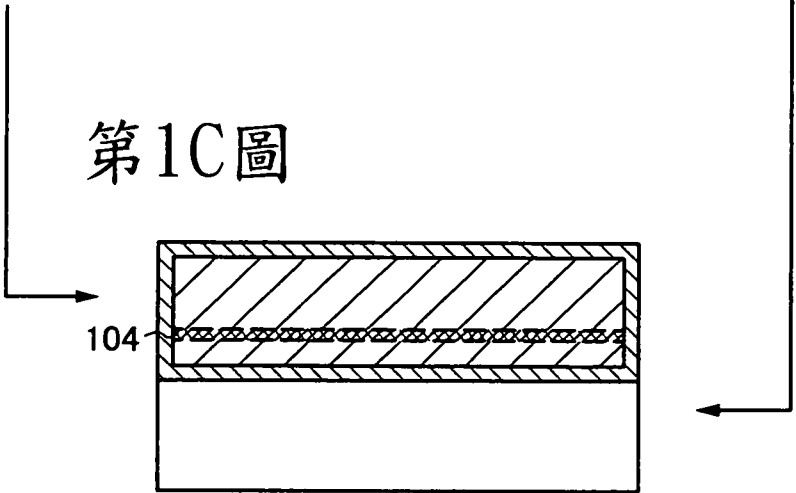
第1A-2圖



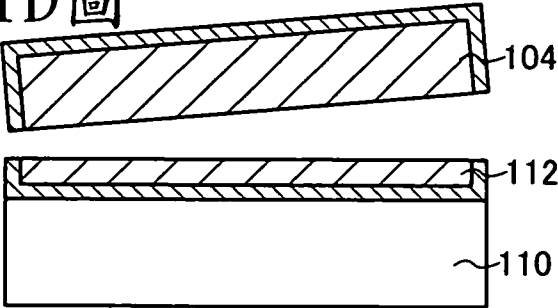
第1A-3圖



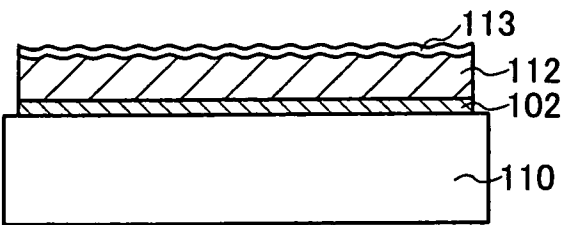
第1C圖



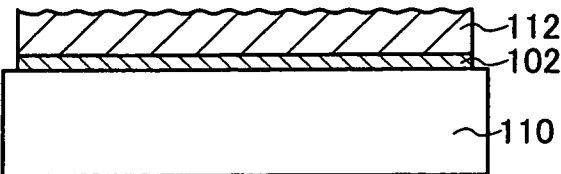
第1D圖



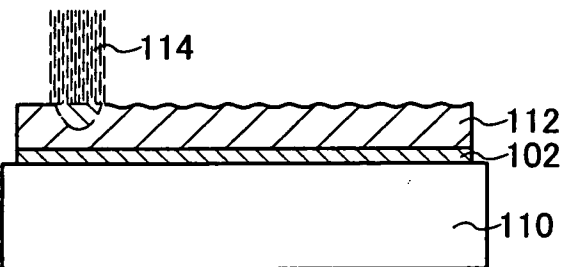
第2A圖



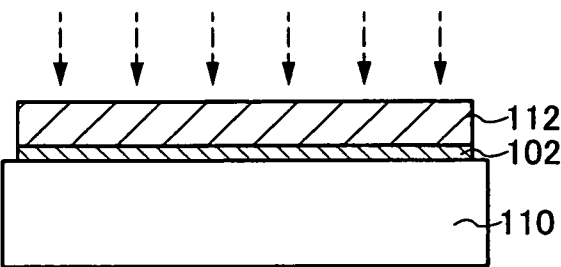
第2B圖



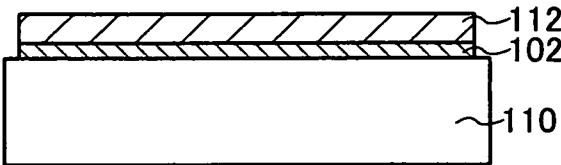
第2C圖



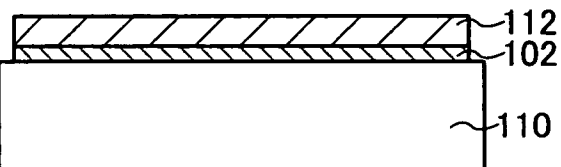
第2D圖



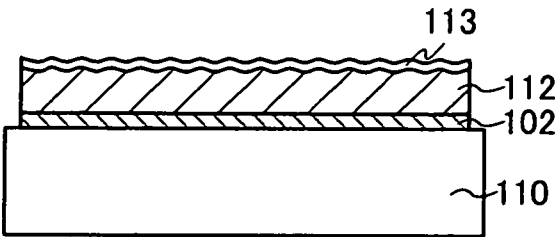
第2E圖



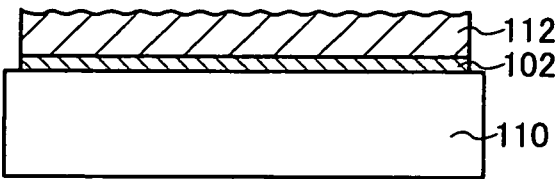
第2F圖



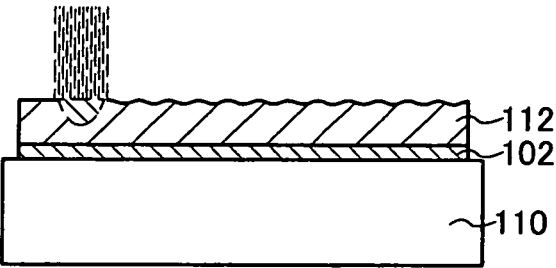
第3A圖



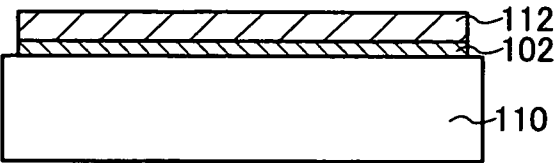
第3B圖



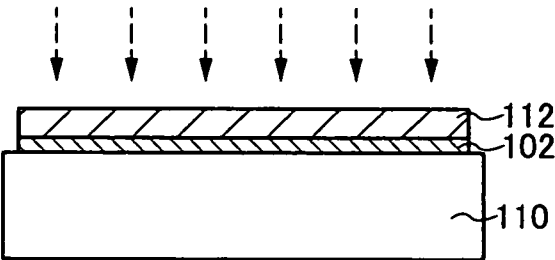
第3C圖



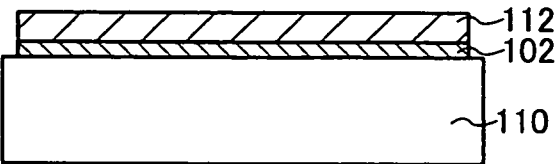
第3D圖



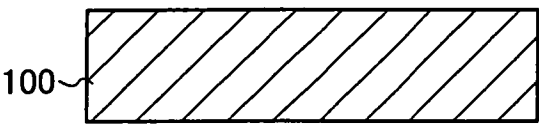
第3E圖



第3F圖



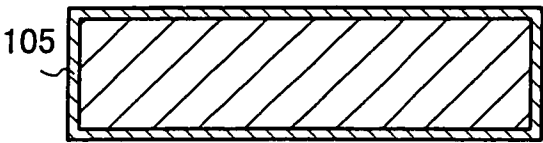
第4A-1圖



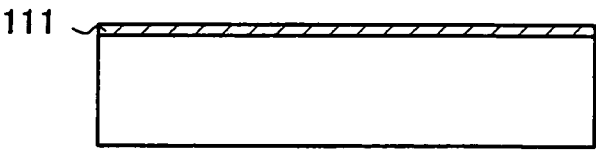
第4B-1圖



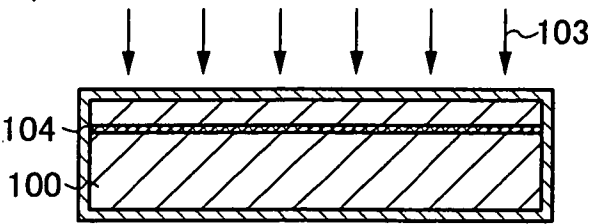
第4A-2圖



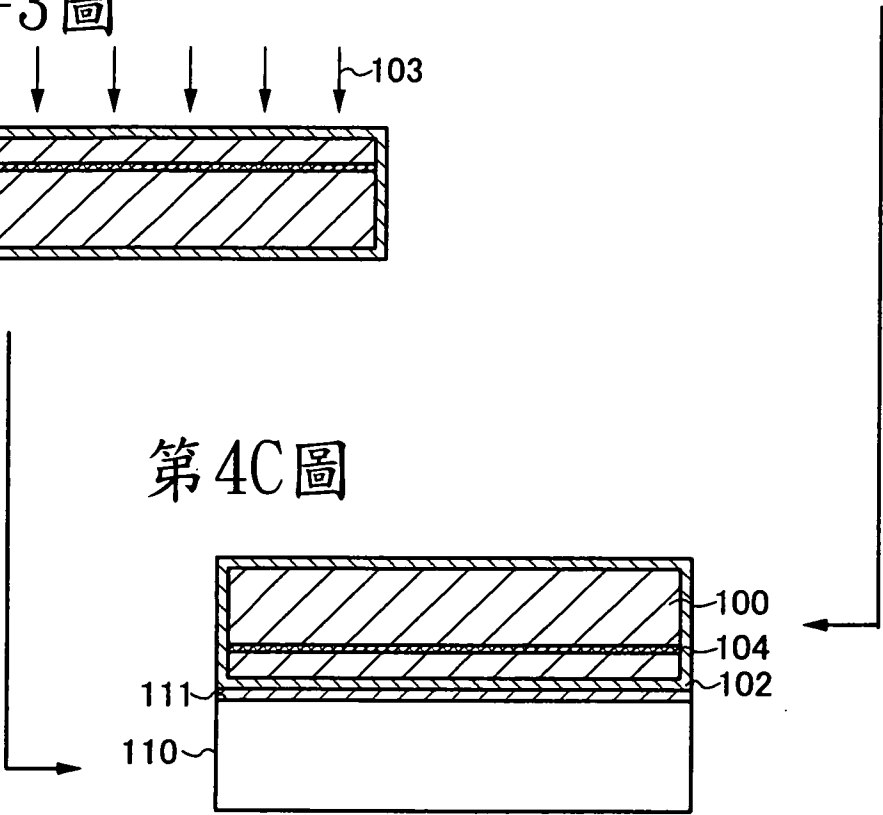
第4B-2圖



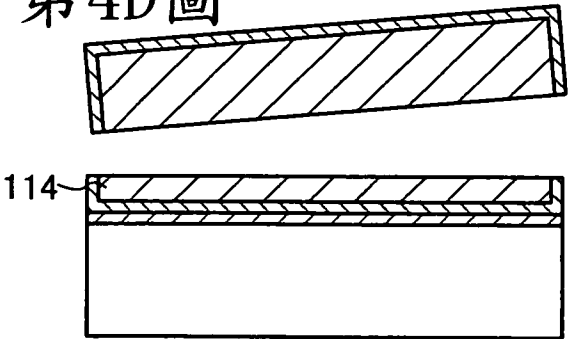
第4A-3圖

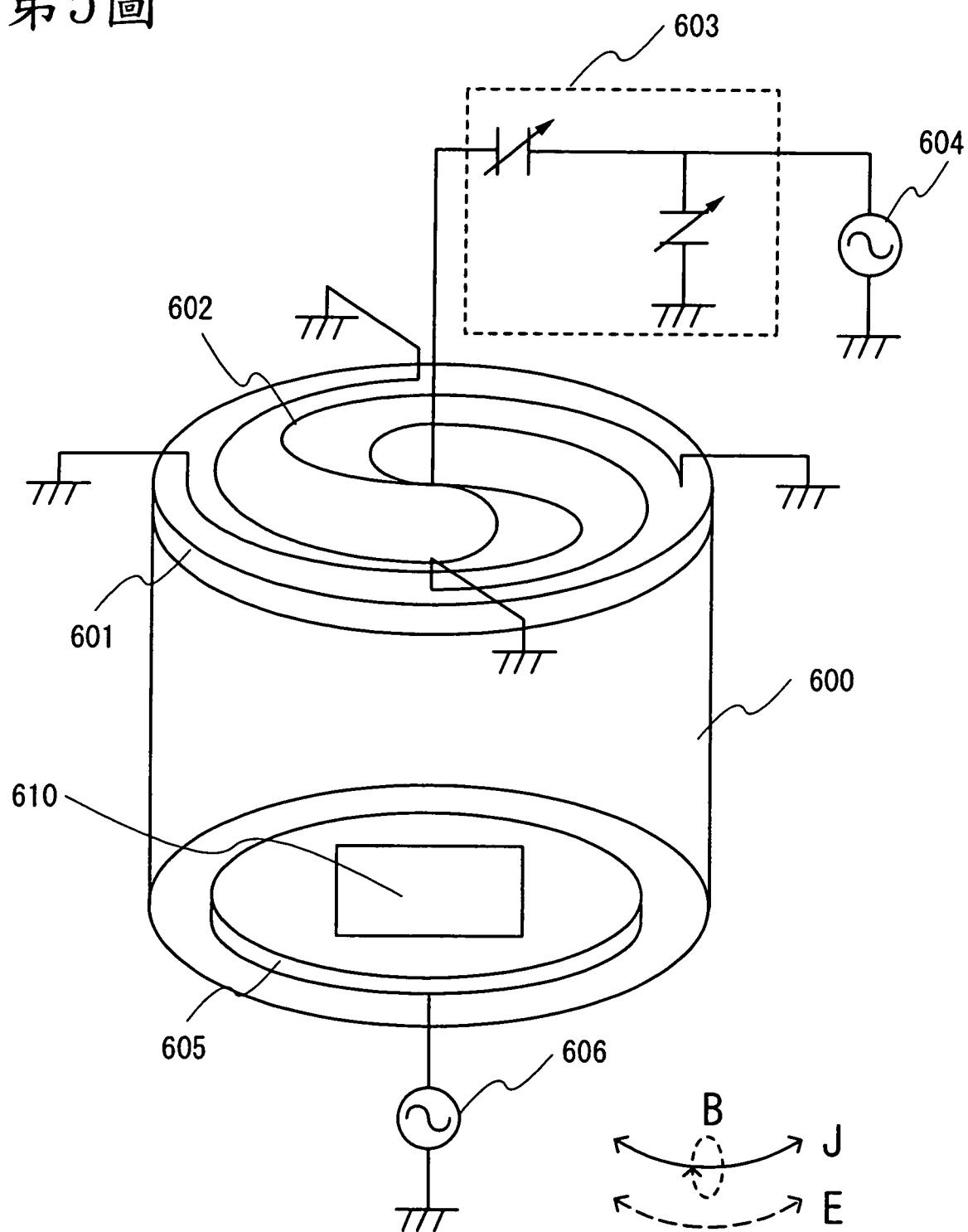


第4C圖

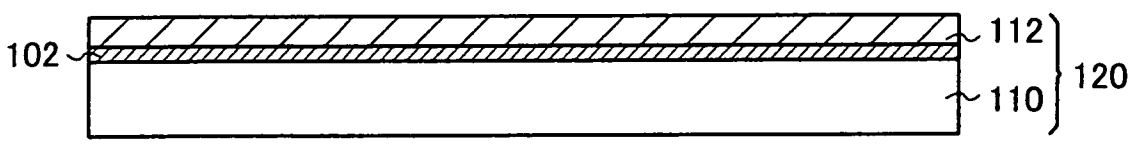


第4D圖

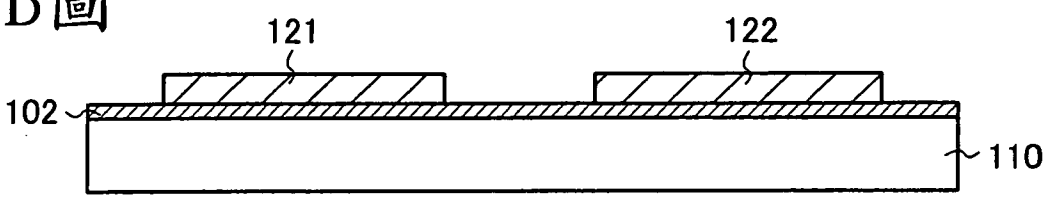




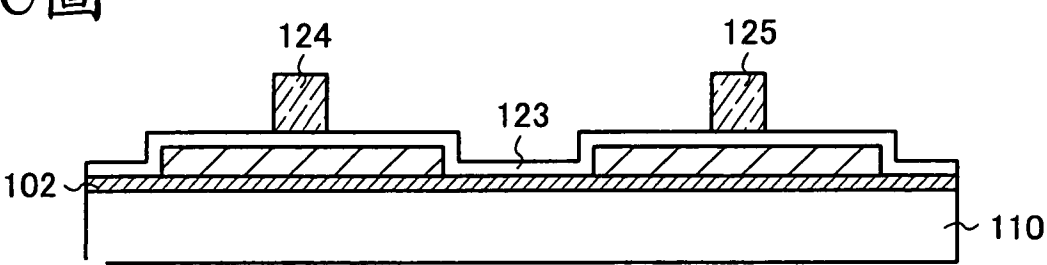
第6A圖



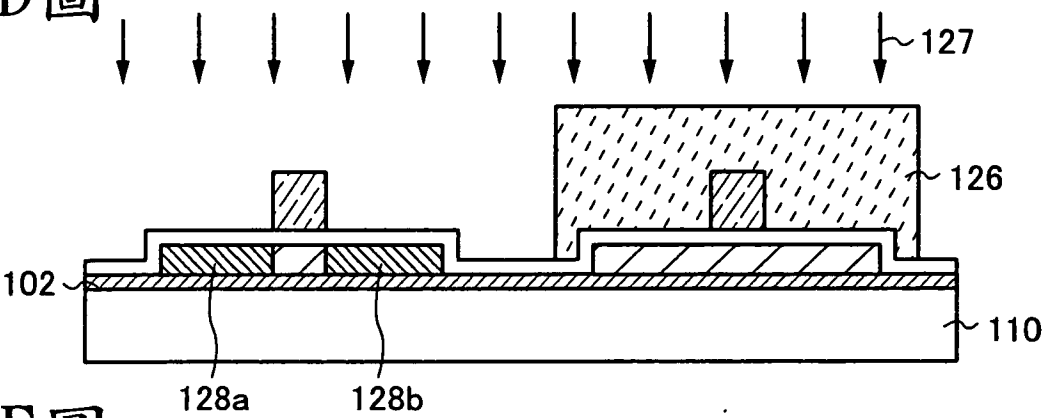
第6B圖



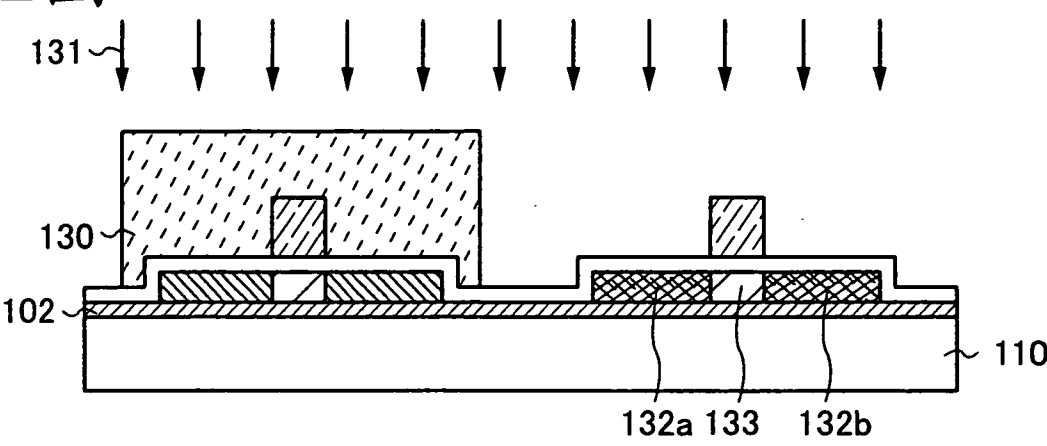
第6C圖



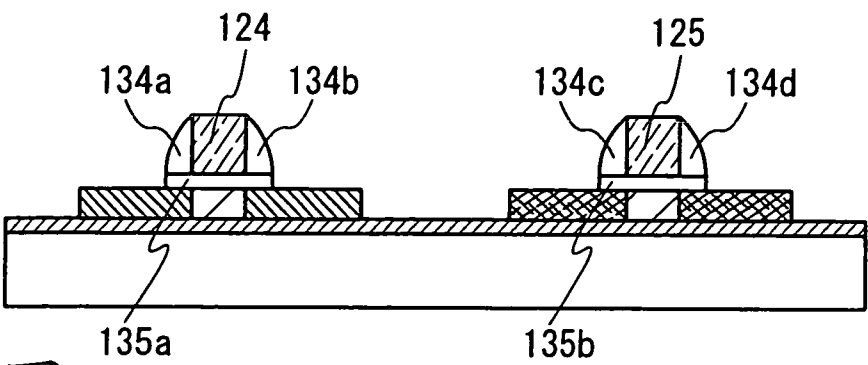
第6D圖



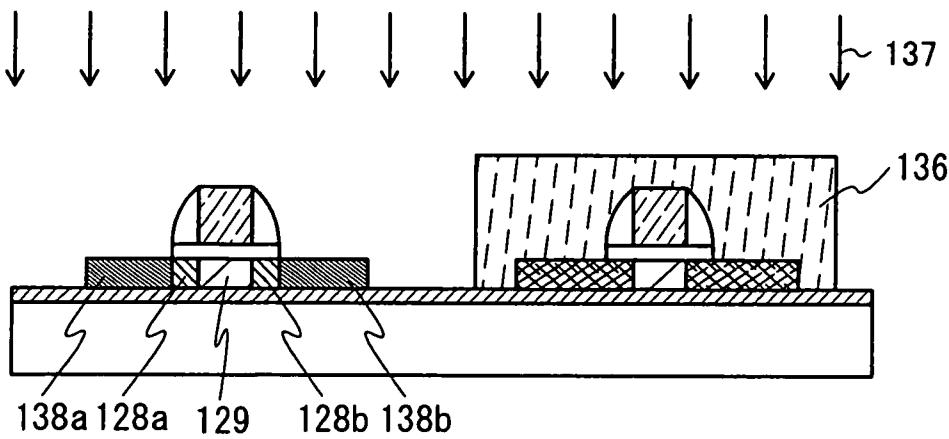
第6E圖



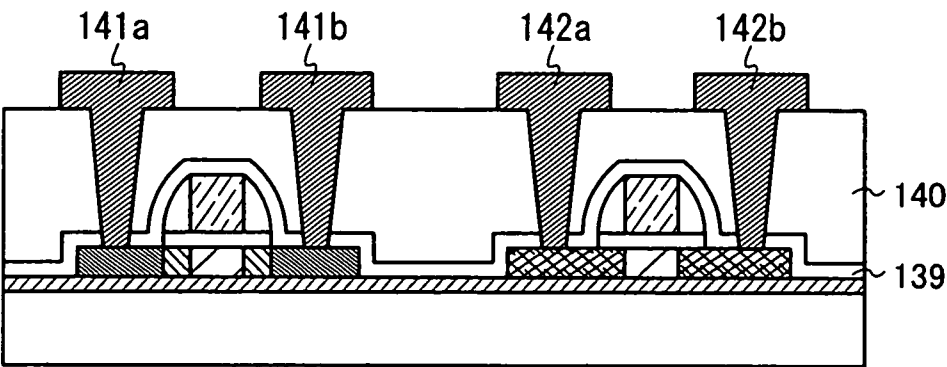
第7A圖



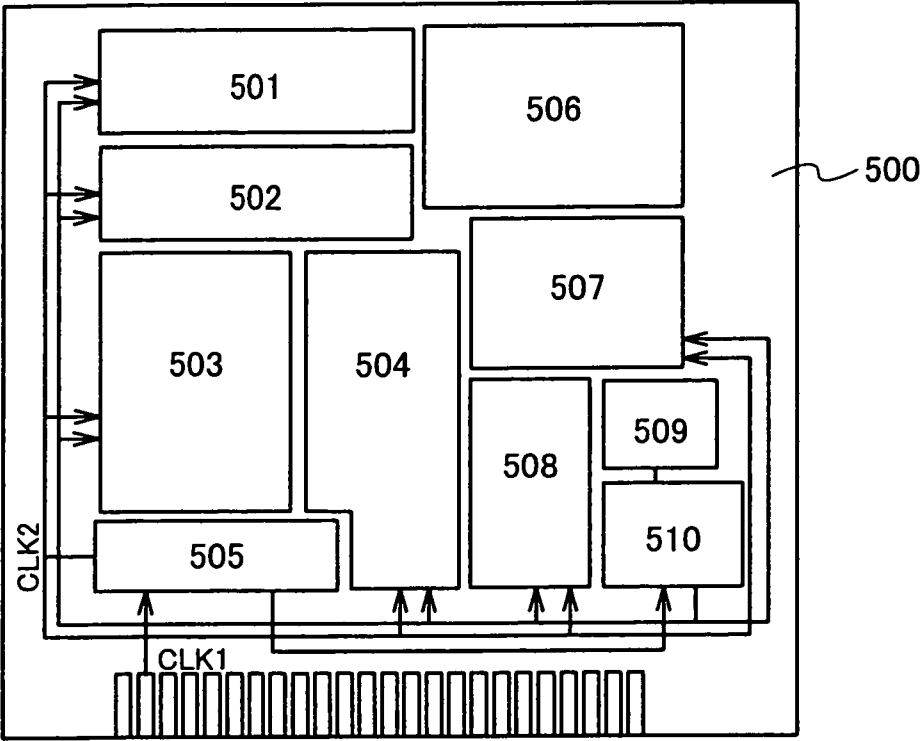
第7B圖



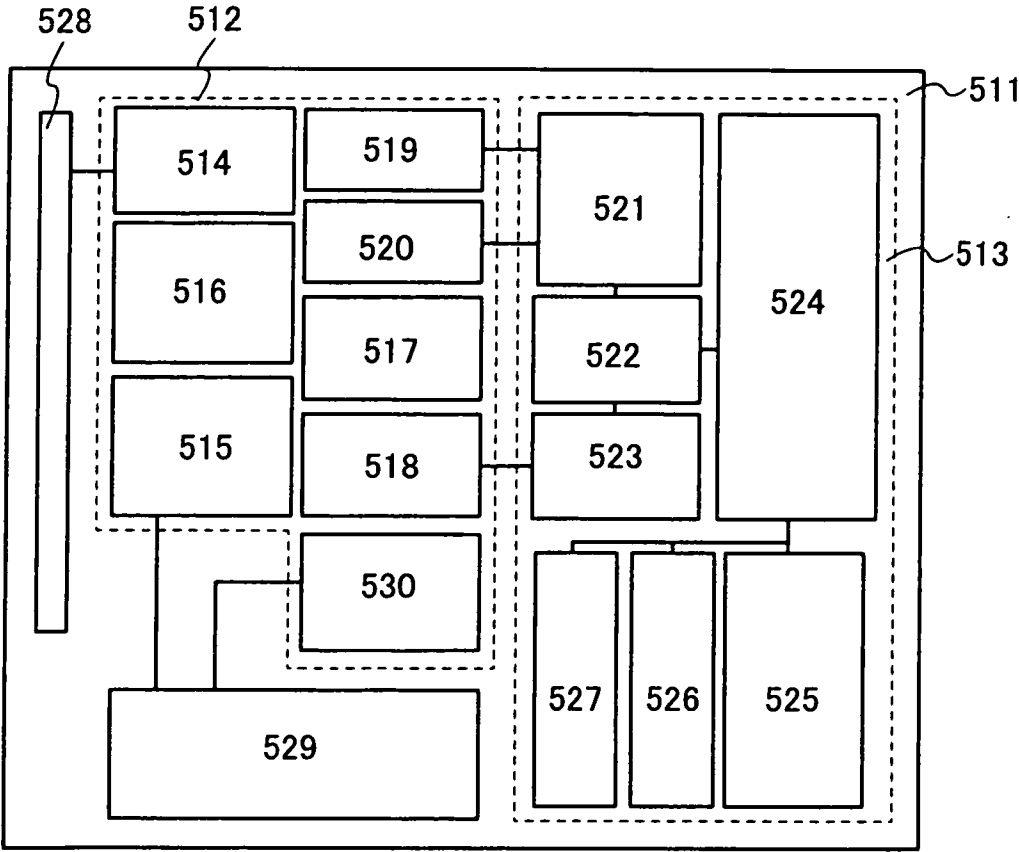
第7C圖



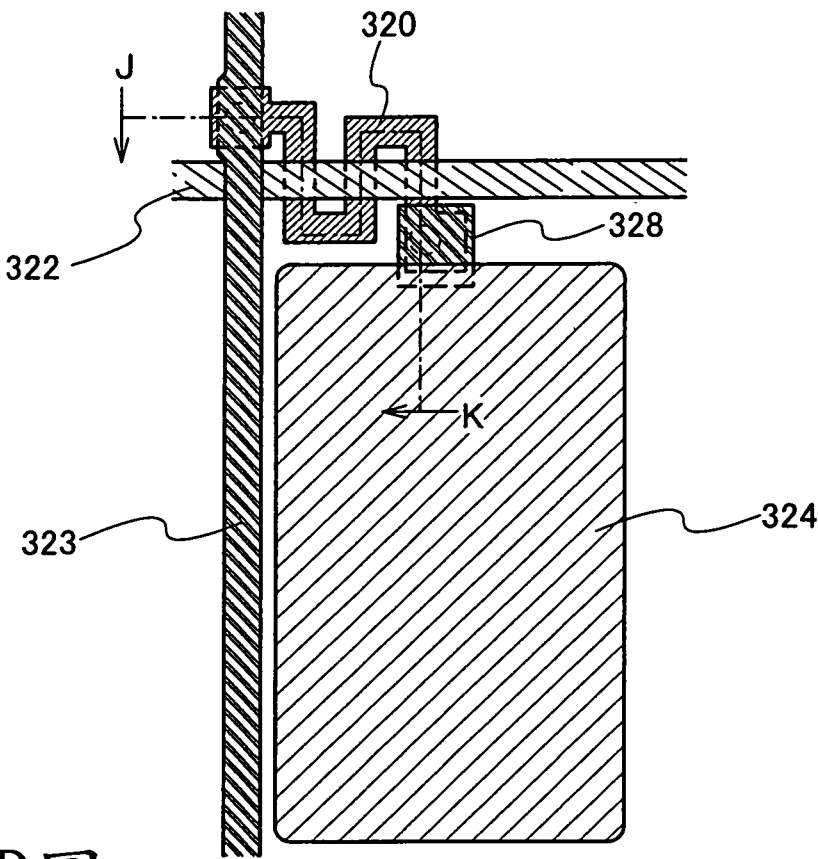
第8圖



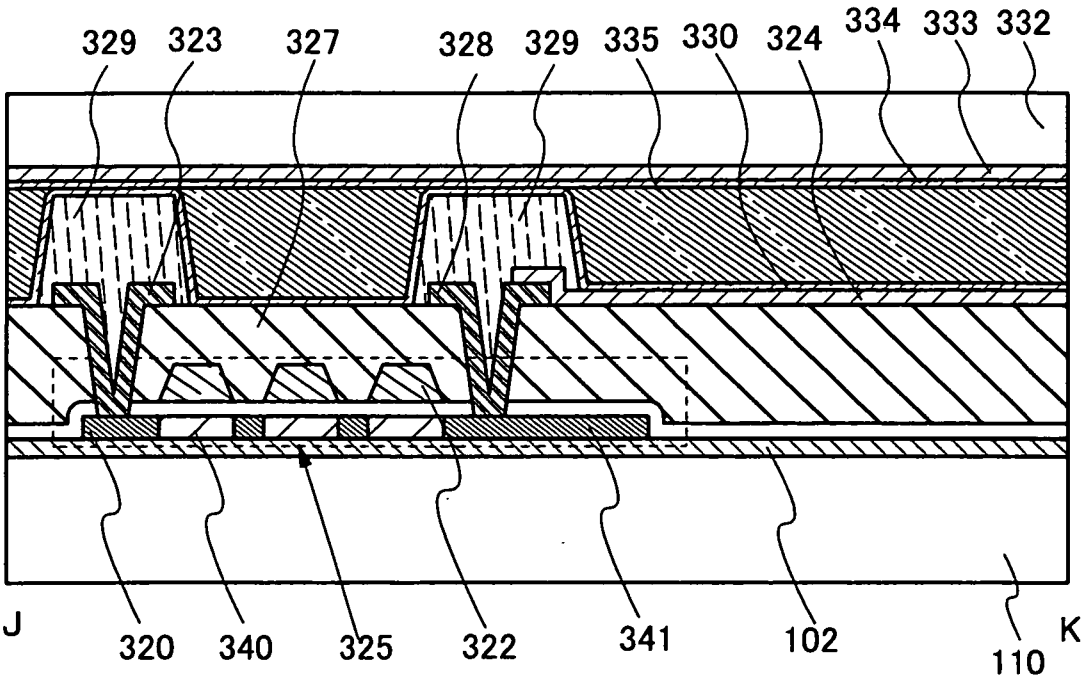
第9圖



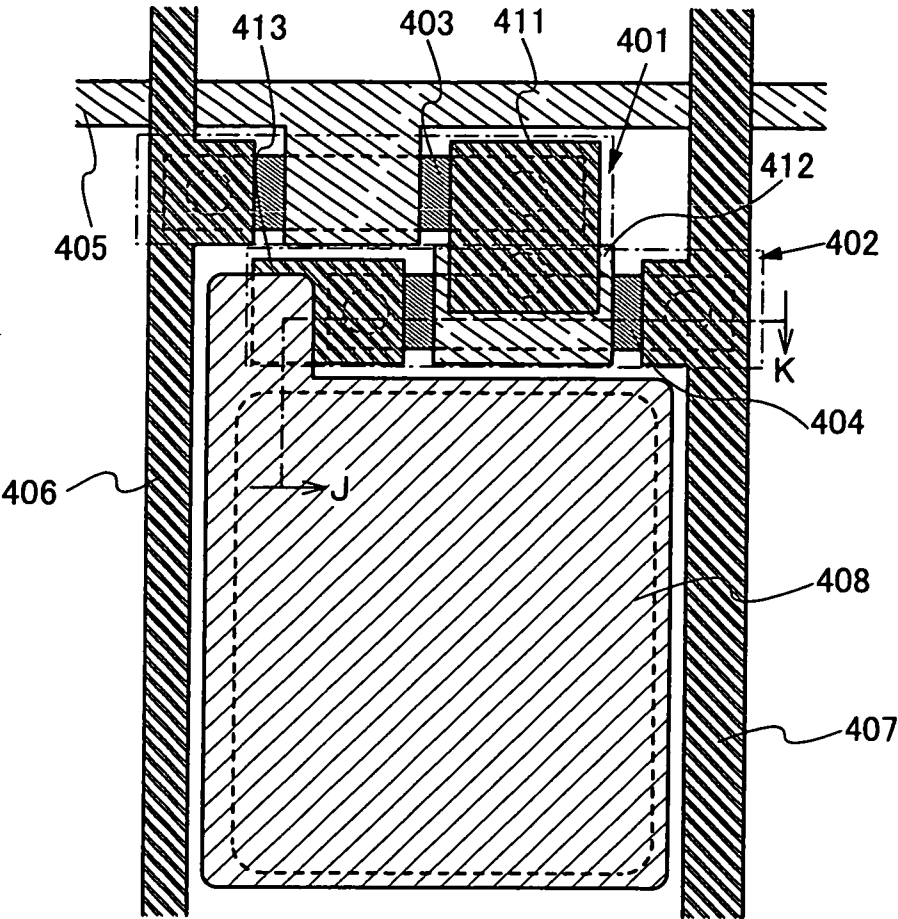
第10A圖



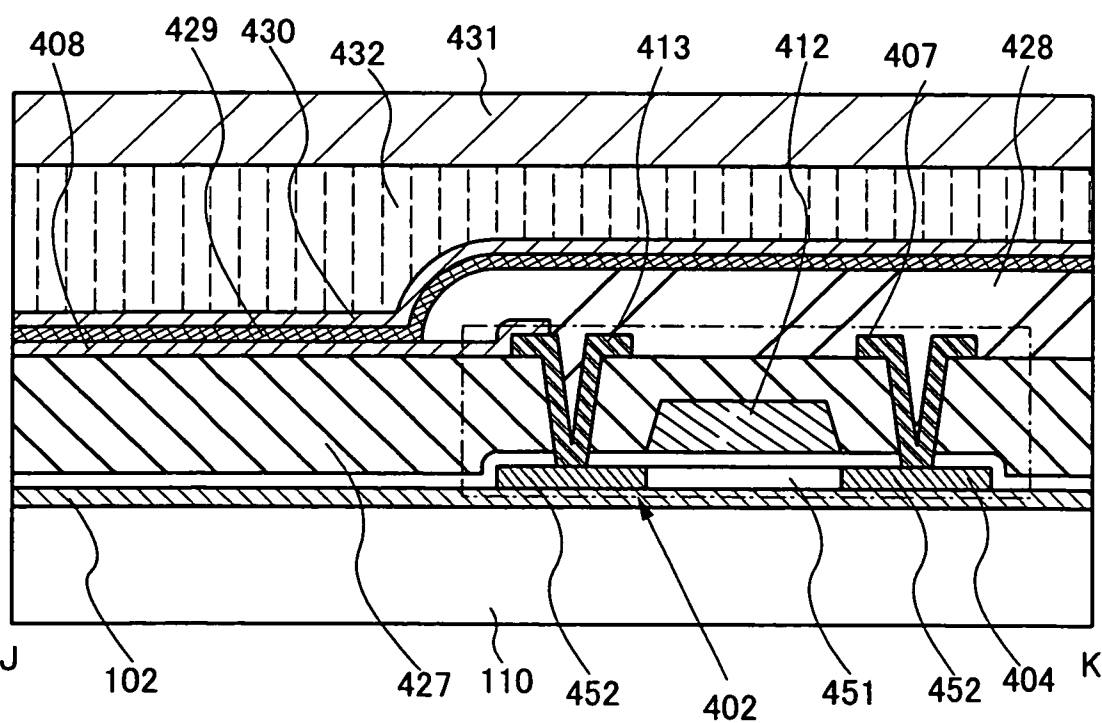
第10B圖



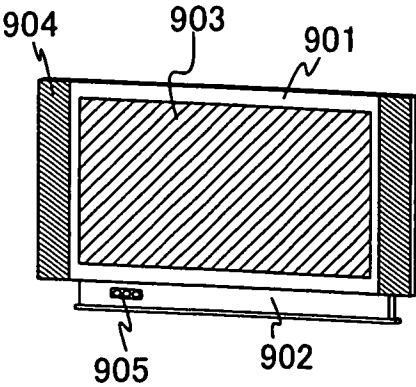
第11A圖



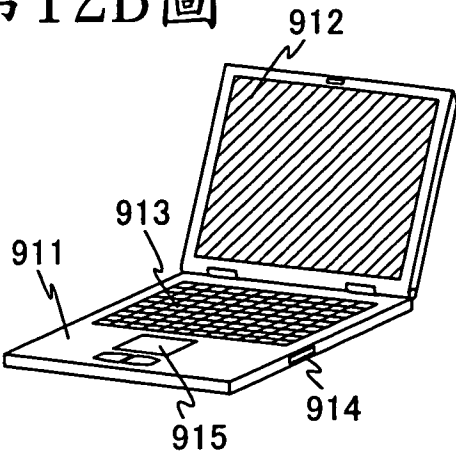
第11B圖



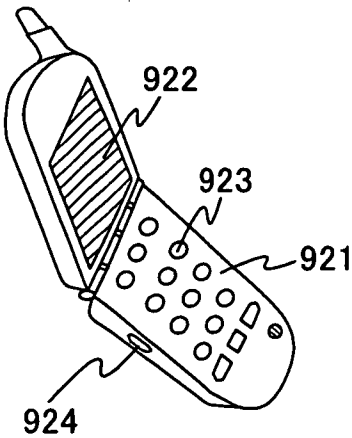
第12A圖



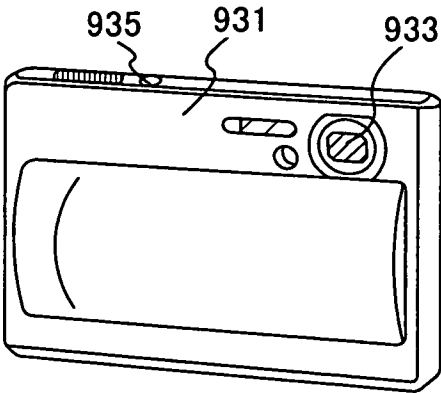
第12B圖



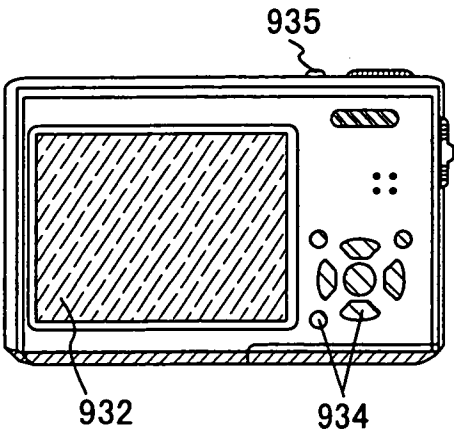
第12C圖



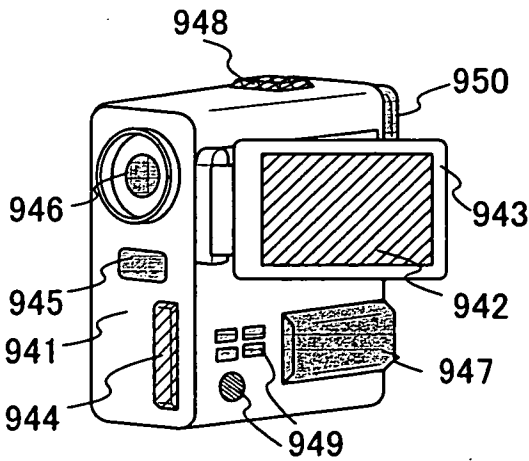
第12D圖



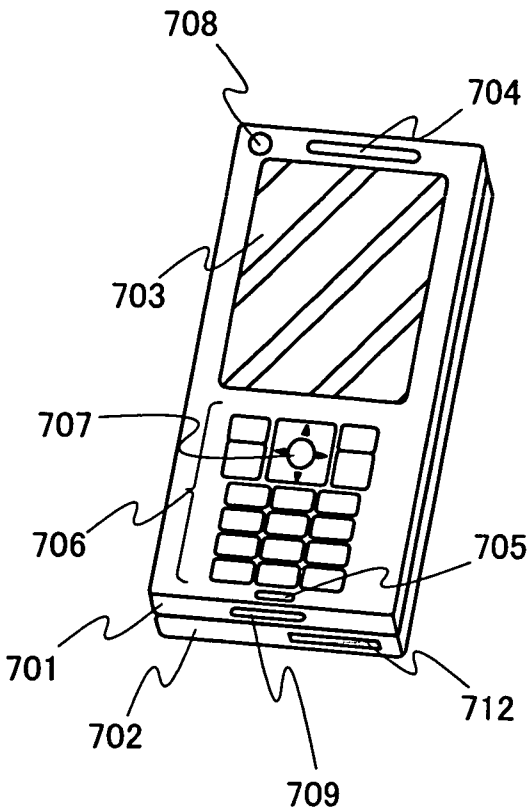
第12E圖



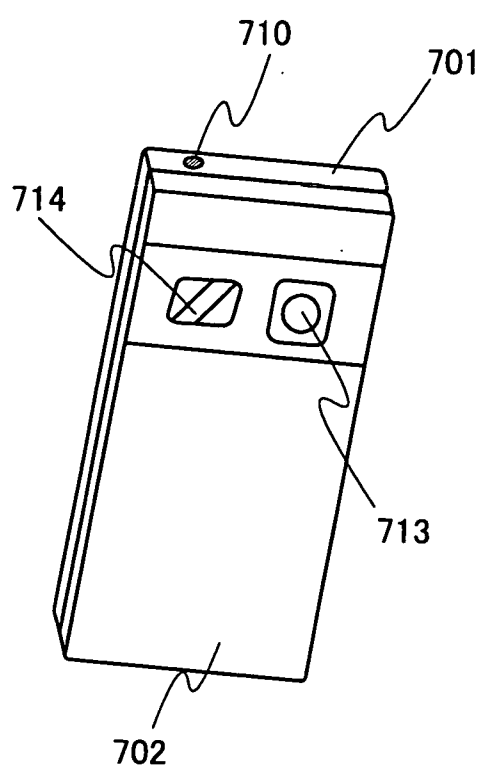
第12F圖



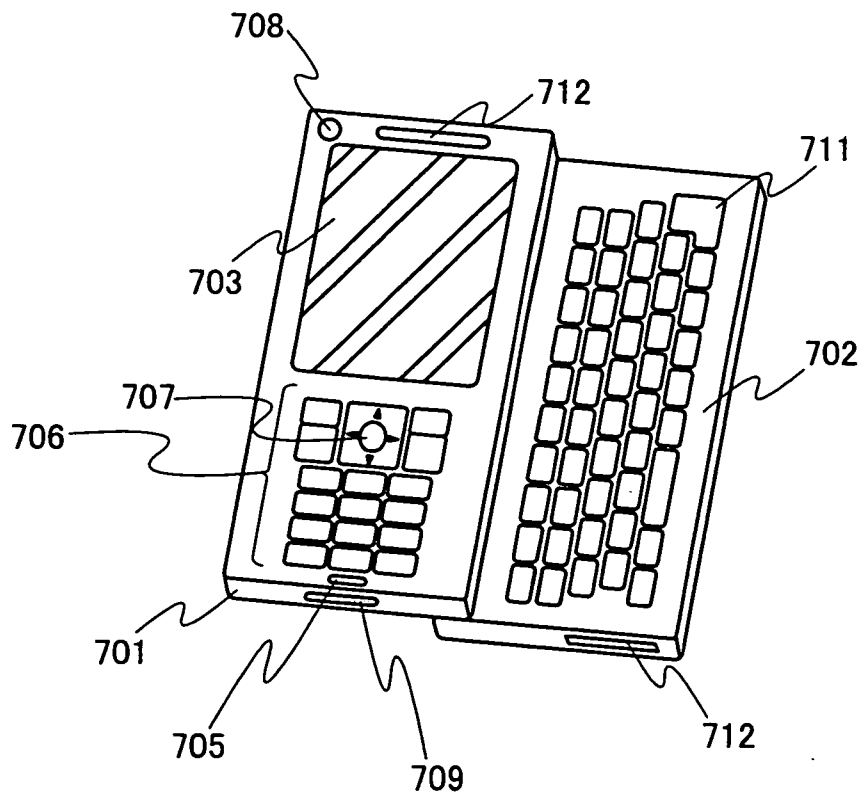
第13A圖



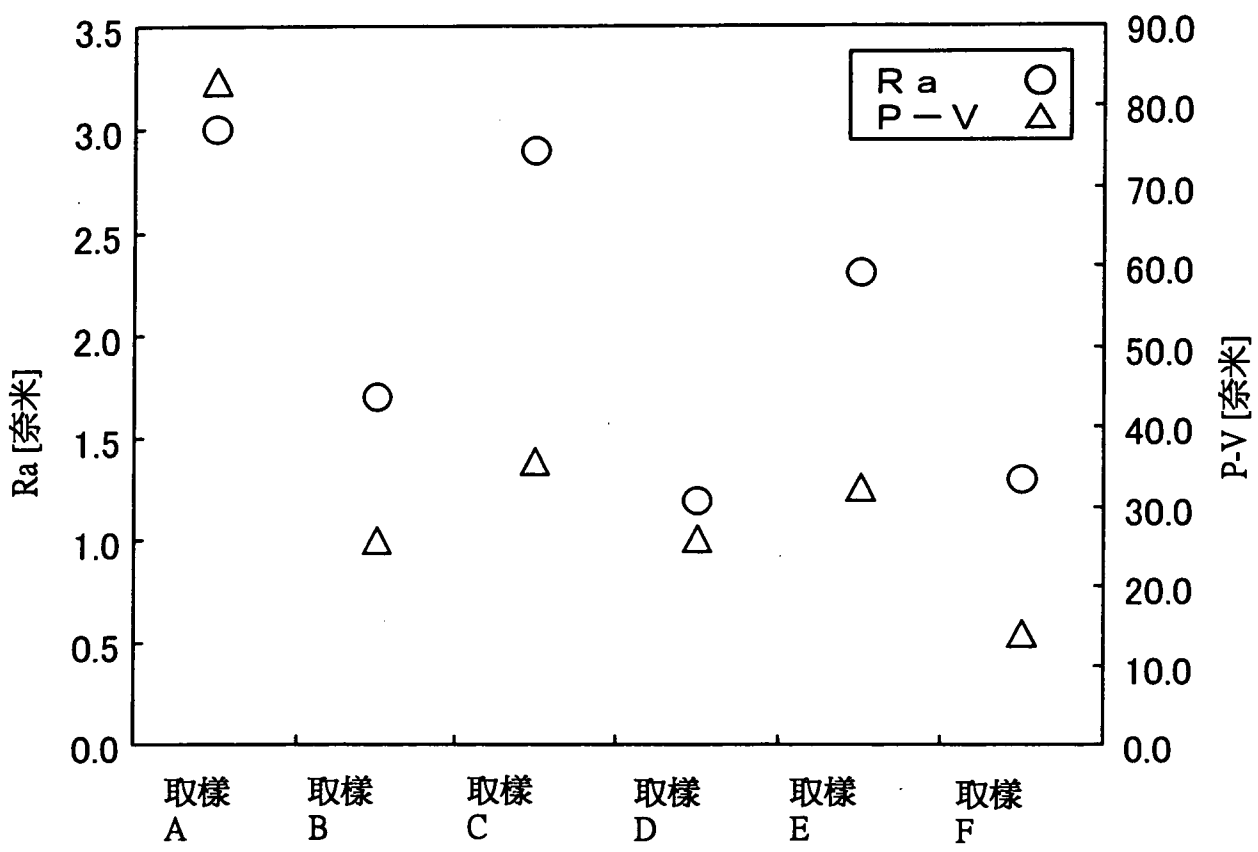
第13B圖



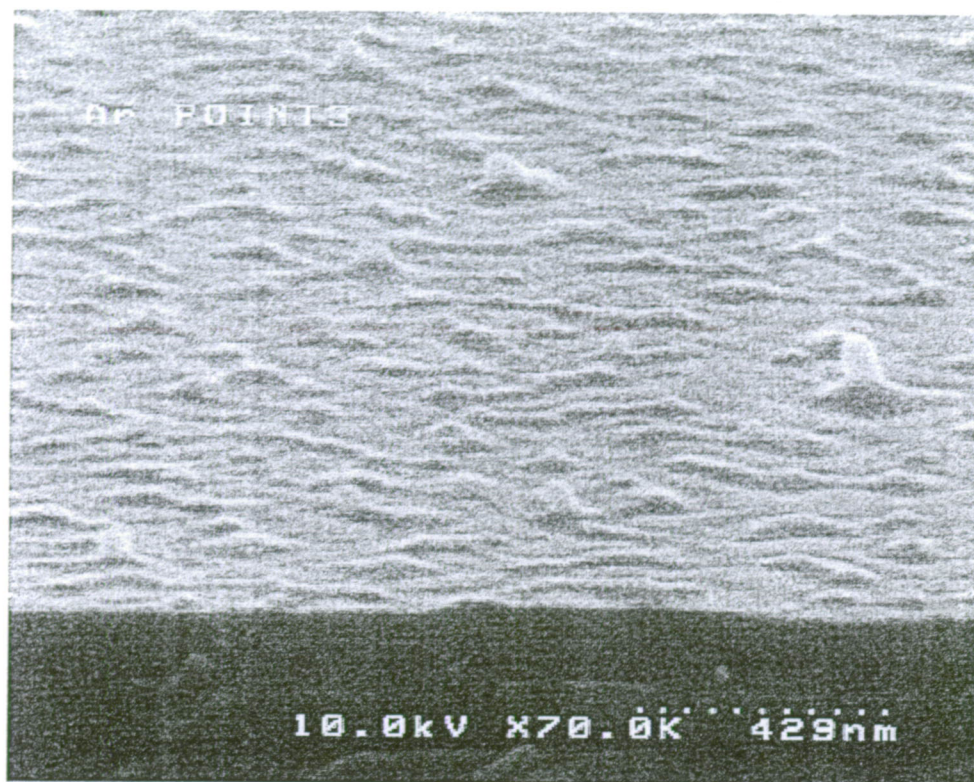
第13C圖



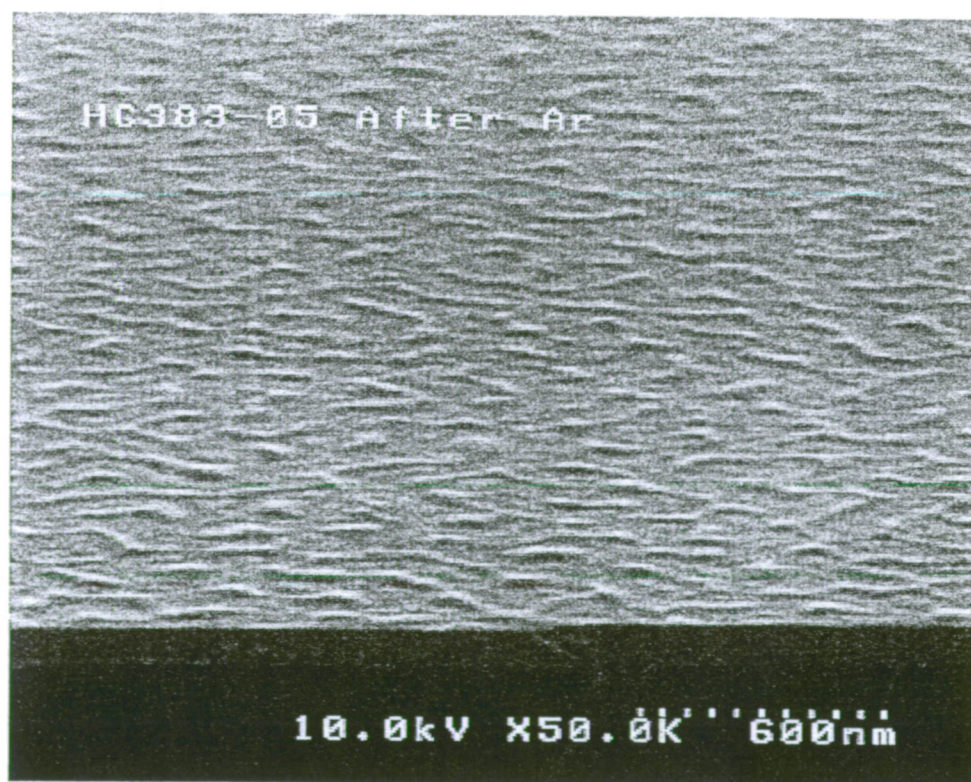
第14圖



第15A圖



第15B圖



第16圖

