



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년12월11일
(11) 등록번호 10-2190453
(24) 등록일자 2020년12월07일

(51) 국제특허분류(Int. Cl.)
G06F 1/32 (2019.01)
(21) 출원번호 10-2014-0017765
(22) 출원일자 2014년02월17일
심사청구일자 2019년01월17일
(65) 공개번호 10-2015-0096901
(43) 공개일자 2015년08월26일
(56) 선행기술조사문헌
JP2011008683 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
허정훈
경기도 수원시 권선구 동수원로145번길 74, 103동 801호 (권선동, 수원아이파크시티1단지)
이중필
경기도 수원시 영통구 영통로290번길 26, 806동 1703호 (영통동, 벽적골주공휴먼시아8 단지아파트)
(74) 대리인
박영우

전체 청구항 수 : 총 10 항

심사관 : 김경환

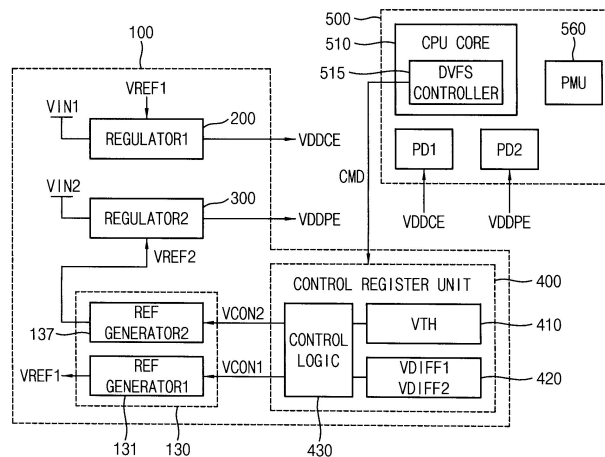
(54) 발명의 명칭 전력 관리 장치 및 이를 포함하는 시스템 은 칩

(57) 요약

전력 관리 장치는 제1 레귤레이터, 제2 레귤레이터 및 제어 레지스터부를 포함한다. 상기 제1 레귤레이터는 응용 프로세서의 제1 파워 도메인에 제1 구동 전압을 제공한다. 상기 제2 레귤레이터는 상기 응용 프로세서의 제2 파워 도메인에 상기 제1 구동 전압과 상관관계를 가지며 상기 제1 구동 전압보다 낮은 레벨의 제2 구동 전압을 제공한다. 상기 제어 레지스터부는 제1 구동 모드에서는 상기 제1 구동 전압의 레벨을 유지하고 제2 구동 모드에서는 상기 제1 구동 전압이 상기 제2 구동 전압과 연동되어 일정한 차이를 가지도록 상기 제1 레귤레이터와 상기 제2 레귤레이터에 각각 제1 기준 전압과 제2 기준 전압을 제공하는 기준 전압 생성부를 제어한다.

대표도 - 도2

10



(56) 선행기술조사문헌

KR100539496 B1*

KR101003892 B1*

KR1020130079076 A*

KR1020130090632 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

응용 프로세서의 제1 파워 도메인에 제1 구동 전압을 제공하는 제1 레귤레이터;

상기 응용 프로세서의, 상기 제1 파워 도메인과는 다른 제2 파워 도메인에 상기 제1 구동 전압과 상관관계를 가지며 상기 제1 구동 전압보다 낮은 레벨의 제2 구동 전압을 제공하는 제2 레귤레이터;

제1 기준 전압을 상기 제1 레귤레이터에 제공하고, 상기 제1 기준 전압과는 다른 제2 기준 전압을 상기 제2 레귤레이터에 제공하는 기준 전압 생성부; 및

상기 응용 프로세서로부터의 커맨드에 응답하여 상기 제2 구동 전압이 기준 레벨보다 낮은 제1 구동 모드에서는 상기 제1 구동 전압의 레벨을 유지하고 상기 제2 구동 전압이 상기 기준 레벨 이상인 제2 구동 모드에서는 상기 제1 구동 전압이 상기 제2 구동 전압과 연동되어 일정한 차이를 가지도록 상기 기준 전압 생성부를 제어하기 위한 제1 제어 전압과 제2 제어 전압을 생성하는 제어 레지스터부를 포함하는 전력 관리 장치.

청구항 2

제1항에 있어서, 상기 제어 레지스터부는

상기 기준 레벨을 저장하는 제1 레지스터;

상기 제1 구동 전압과 상기 제2 구동 전압 사이의 적어도 하나 이상의 전압 차이를 저장하는 제2 레지스터; 및

상기 커맨드에 응답하여 구동 모드에 따라 상기 제1 레지스터 및 상기 제2 레지스터를 참조하여 상기 제1 레귤레이터 및 상기 제2 레귤레이터를 각각 제어하기 위한 상기 제1 제어 전압과 상기 제2 제어 전압을 생성하는 제어 로직; 및

상기 제1 제어 전압에 응답하여 상기 제1 기준 전압을 생성하고 상기 제2 제어 전압에 응답하여 상기 제2 기준 전압을 생성하는 상기 기준 전압 생성부를 포함하는 것을 특징으로 하는 전력 관리 장치.

청구항 3

제2항에 있어서, 상기 기준 전압 생성부는

상기 제1 구동 모드에서는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압의 레벨을 유지하고 상기 제2 구동 모드에서는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압의 레벨을 증가시키는 제1 기준 전압 생성기; 및

상기 제2 구동 모드에서 상기 제2 제어 전압에 응답하여 상기 제2 기준 전압의 레벨을 증가시키는 제2 기준 전압 생성기를 포함하는 것을 특징으로 하는 전력 관리 장치.

청구항 4

제2항에 있어서,

상기 제어 로직은 상기 커맨드에 응답하여 상기 제1 구동 모드에서는 상기 제1 제어 전압의 레벨을 유지하고 상기 제2 구동 모드에서는 상기 제1 제어 전압의 레벨을 증가시키고,

상기 제1 레귤레이터는 LDO(low drop-out) 레귤레이터이고, 상기 제2 레귤레이터는 벅(buck) 컨버터인 것을 특징으로 하는 전력 관리 장치.

청구항 5

복수의 파워 도메인들 중 상관 관계를 가지는 제1 및 제2 파워 도메인들에 제공되는 제1 구동 전압 및 제2 구동 전압의 구동 모드를 결정하는 커맨드를 생성하는 응용 프로세서; 및

상기 커맨드에 응답하여 제1 구동 모드에서는 상기 제1 구동 전압의 레벨을 유지하고 제2 구동 모드에서는 상기 제1 구동 전압이 상기 제2 구동 전압과 연동되어 일정한 차이를 가지도록 상기 제1 구동 전압 및 상기 제2 구동 전압의 레벨을 조절하는 전력 관리 장치를 포함하고, 상기 전력 관리 장치는

상기 제1 구동 전압을 생성하는 제1 레귤레이터;

상기 제2 구동 전압을 생성하는 제2 레귤레이터;

제1 기준 전압을 상기 제1 레귤레이터에 제공하고, 상기 제1 기준 전압과는 다른 제2 기준 전압을 상기 제2 레귤레이터에 제공하는 기준 전압 생성부; 및

상기 커맨드에 응답하여 상기 기준 전압 생성부를 제어하기 위한 제1 제어 전압 및 제2 제어 전압을 생성하는 제어 레지스터를 포함하는 시스템 온 칩.

청구항 6

제5항에 있어서,

상기 기준 전압 생성부는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압을 생성하고, 상기 제2 제어 전압에 응답하여 상기 제2 기준 전압을 생성하고,

상기 기준 전압 생성부는

상기 제1 구동 모드에서는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압의 레벨을 유지하고 상기 제2 구동 모드에서는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압의 레벨을 증가시키는 제1 기준 전압 생성기; 및

상기 제2 구동 모드에서 상기 제2 제어 전압에 응답하여 상기 제2 기준 전압의 레벨을 증가시키는 제2 기준 전압 생성기를 포함하는 것을 특징으로 하는 시스템 온 칩.

청구항 7

제5항에 있어서,

상기 제1 파워 도메인은 상기 응용 프로세서에 포함되는 SRAM의 적어도 하나의 메모리 셀에 해당하고, 상기 제2 파워 도메인은 상기 적어도 하나의 메모리 셀을 액세스하기 위한 상기 SRAM의 주변 회로에 해당하는 것을 특징으로 하는 시스템 온 칩.

청구항 8

제5항에 있어서,

상기 응용 프로세서는

상기 구동 모드를 지시하는 상기 커맨드를 생성하는 동적 전압 주파수 스케일링(DVFS) 컨트롤러를 구현하는 CPU(central processing unit) 코어를 포함하고,

상기 응용 프로세서는 I2C 인터페이스를 통하여 상기 커맨드를 상기 전력 관리 장치에 전송하고,

상기 DVFS 컨트롤러는 상기 제2 구동 전압의 레벨과 기준 레벨의 비교에 기초하여 상기 구동 모드를 결정하는 상기 커맨드를 생성하는 것을 특징으로 하는 시스템 온 칩.

청구항 9

제8항에 있어서,

상기 제2 구동 전압의 레벨이 기준 레벨보다 작아져야 하는 경우, 상기 DVFS 컨트롤러는 상기 제1 구동 모드를 지시하는 커맨드를 생성하고,

상기 제1 구동 모드를 지시하는 커맨드에 응답하여 상기 제1 레귤레이터는 제1 입력 신호와 상기 제1 기준 전압에 기초하여 상기 제1 구동 전압의 레벨을 유지하고,

상기 제1 기준 전압 생성기는 상기 제1 구동 모드에서 상기 제1 구동 전압이 상기 기준 레벨과 일정한 차이를

가지도록 상기 제1 기준 전압을 생성하는 것을 특징으로 하는 시스템 온 칩.

청구항 10

제8항에 있어서,

상기 제2 구동 전압의 레벨이 상기 기준 레벨이 되어야 하는 경우, 상기 DVFS 컨트롤러는 상기 제2 구동 모드를 지시하는 커맨드를 생성하고,

상기 제2 구동 모드를 지시하는 커맨드에 응답하여 상기 제1 레귤레이터는 제1 입력 신호와 상기 제1 기준 전압에 기초하여 상기 제1 구동 전압의 레벨을 증가시키고, 상기 제2 레귤레이터는 제2 입력 신호와 상기 제2 구동 전압에 기초하여 상기 제2 구동 전압의 레벨을 증가시키고,

상기 제1 기준 전압 생성기는 상기 제2 구동 모드에서 상기 제1 구동 전압의 레벨이 상기 제2 구동 전압과 연동되어 증가하도록 상기 제1 기준 전압을 생성하는 것을 특징으로 하는 시스템 온 칩.

발명의 설명

기술 분야

[0001] 본 발명은 전력 관리 분야에 관한 것으로, 보다 상세하게는 전력 관리 장치 및 이를 포함하는 시스템 온 칩에 관한 것이다.

배경 기술

[0002] 마이크로프로세서(Microprocessor)는 미리 확립된 순서에 의해 체계적으로 연산을 수행하여, 컴퓨터의 각 장치에 제어 신호를 제공하는 1개의 작은 실리콘 칩에 집적시킨 집적회로로 이루어진 처리 장치를 뜻한다.

[0003] 시스템-온 칩(system-on chip(SoC))은 컴퓨터 시스템 또는 다른 전자 시스템을 구현하기 위해 CPU(central processing unit), 메모리, 인터페이스(interface), 디지털 신호 처리 회로, 및 아날로그 신호 처리 회로 등 다양한 기능 블록들을 하나의 반도체 집적 회로에 집적하는 기술 또는 상기 기술에 따라 집적된 하나의 집적 회로(integrated circuit(IC))를 의미한다.

[0004] SoC는 프로세서, 멀티미디어(multimedia), 그래픽(graphic), 인터페이스, 및 보안 등 다양한 기능들을 포함하는 더욱 복잡한 시스템으로 발전하고 있다. 배터리를 사용하는 휴대용 장치(portable device)에 다양한 기능이 컨버전스되면서, 휴대용 장치의 성능뿐만 아니라, 휴대용 장치의 전력 소모량을 최소화하는 방안에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0005] 이에 따라, 본 발명의 일 목적은 안정적인 동작을 지원하고 전력 소모를 감소시킬 수 있는 전력 관리 장치를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 전력 관리 장치를 포함하는 시스템 온 칩을 제공하는 것이다.

과제의 해결 수단

[0007] 상기 일 목적을 달성하기 위한 본 발명의 일 실시예에 따른 전력 관리 장치는 제1 레귤레이터, 제2 레귤레이터 및 제어 레지스터부를 포함한다. 상기 제1 레귤레이터는 응용 프로세서의 제1 파워 도메인에 제1 구동 전압을 제공한다. 상기 제2 레귤레이터는 상기 응용 프로세서의 제2 파워 도메인에 상기 제1 구동 전압과 상관관계를 가지며 상기 제1 구동 전압보다 낮은 레벨의 제2 구동 전압을 제공한다. 상기 제어 레지스터부는 상기 응용 프로세서로부터의 커맨드에 응답하여 상기 제2 구동 전압이 기준 레벨보다 낮은 제1 구동 모드에서는 상기 제1 구동 전압의 레벨을 유지하고 상기 제2 구동 전압이 상기 기준 레벨 이상인 제2 구동 모드에서는 상기 제1 구동 전압이 상기 제2 구동 전압과 연동되어 일정한 차이를 가지도록 상기 제1 레귤레이터와 상기 제2 레귤레이터에 각각 제1 기준 전압과 제2 기준 전압을 제공하는 기준 전압 생성부를 제어한다.

[0008] 예시적인 실시예에 있어서, 상기 제어 레지스터부는 상기 기준 레벨을 저장하는 제1 레지스터; 상기 제1 구동

전압과 상기 제2 구동 전압 사이의 적어도 하나 이상의 전압 차이를 저장하는 제2 레지스터; 및 상기 커맨드에 응답하여 구동 모드에 따라 상기 제1 레지스터 및 상기 제2 레지스터를 참조하여 상기 제1 레귤레이터 및 상기 제2 레귤레이터를 각각 제어하기 위한 제1 제어 전압과 제2 제어 전압을 생성하는 제어 로직을 포함할 수 있다.

- [0009] 상기 전력 관리 장치는 상기 제1 제어 전압에 응답하여 상기 제1 레귤레이터에 제공되는 상기 제1 기준 전압을 생성하고 상기 제2 제어 전압에 응답하여 상기 제2 레귤레이터에 제공되는 상기 제2 기준 전압을 생성하는 상기 기준 전압 생성부를 더 포함할 수 있다.
- [0010] 상기 기준 전압 생성부는 상기 제1 구동 모드에서는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압의 레벨을 유지하고 상기 제2 구동 모드에서는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압의 레벨을 증가시키는 제1 기준 전압 생성기; 및 상기 제2 구동 모드에서 상기 제2 제어 전압에 응답하여 상기 제2 기준 전압의 레벨을 증가시키는 제2 기준 전압 생성기를 포함할 수 있다.
- [0011] 상기 제어 로직은 상기 커맨드에 응답하여 상기 제1 구동 모드에서는 상기 제1 제어 전압의 레벨을 유지하고 상기 제2 구동 모드에서는 상기 제1 제어 전압의 레벨을 증가시킬 수 있다.
- [0012] 예시적인 실시예에 있어서, 상기 제1 레귤레이터는 LDO(low drop-out) 레귤레이터이고, 상기 제2 레귤레이터는 벅(buck) 컨버터일 수 있다.
- [0013] 상기 본 발명의 일 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 시스템 온 칩은 응용 프로세서 및 전력 관리 장치를 포함한다. 상기 응용 프로세서는 복수의 파워 도메인들 중 상관관계를 가지는 제1 및 제2 파워 도메인에 제공되는 제1 및 제2 구동 전압들의 구동 모드를 결정하는 커맨드를 생성한다. 상기 전력 관리 장치는 상기 커맨드에 응답하여 제1 구동 모드에서는 상기 제1 구동 전압의 레벨을 유지하고 제2 구동 모드에서는 상기 제1 구동 전압이 상기 제2 구동 전압과 연동되어 일정한 차이를 가지도록 상기 제1 및 상기 제2 구동 전압의 레벨을 조절한다. 상기 전력 관리 장치는 상기 제1 구동 전압을 생성하는 제1 레귤레이터; 상기 제2 구동 전압을 생성하는 제2 레귤레이터; 및 상기 커맨드에 응답하여 상기 제1 및 제2 레귤레이터에 각각 제공되는 제1 및 제2 기준 전압들을 생성하는 기준 전압 생성부를 제어하기 위한 제1 및 제2 제어 전압들을 생성하는 제어 레지스터를 포함한다.
- [0014] 예시적인 실시예에 있어서, 상기 전력 관리 장치는 상기 제1 제어 전압에 응답하여 상기 제1 레귤레이터에 제공되는 상기 제1 기준 전압과 상기 제2 제어 전압에 응답하여 상기 제2 레귤레이터에 제공되는 상기 제2 기준 전압을 생성하는 상기 기준 전압 생성부를 더 포함하고, 상기 기준 전압 생성부는 상기 제1 구동 모드에서는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압의 레벨을 유지하고 상기 제2 구동 모드에서는 상기 제1 제어 전압에 응답하여 상기 제1 기준 전압의 레벨을 증가시키는 제1 기준 전압 생성기; 및 상기 제2 구동 모드에서 상기 제2 제어 전압에 응답하여 상기 제2 기준 전압의 레벨을 증가시키는 제2 기준 전압 생성기를 포함할 수 있다.
- [0015] 상기 응용 프로세서는 상기 구동 모드를 지시하는 상기 커맨드를 생성하는 동적 전압 주파수 스케일링(DVFS) 컨트롤러를 구현하는 CPU(central processing unit) 코어를 포함하고, 상기 응용 프로세서는 I2C 인터페이스를 통하여 상기 커맨드를 상기 전력 관리 장치에 전송할 수 있다.
- [0016] 상기 DVFS 컨트롤러는 상기 제2 구동 전압의 레벨과 기준 레벨의 비교에 기초하여 상기 구동 모드를 결정하는 상기 커맨드를 생성할 수 있다.
- [0017] 상기 제1 파워 도메인은 상기 응용 프로세서에 포함되는 SRAM의 적어도 하나의 메모리 셀에 해당하고, 상기 제2 파워 도메인은 상기 적어도 하나의 메모리 셀을 액세스하기 위한 상기 SRAM의 주변 회로에 해당할 수 있다.
- [0018] 상기 제2 구동 전압의 레벨이 상기 기준 레벨보다 작아져야 하는 경우, 상기 DVFS 컨트롤러는 상기 제1 구동 모드를 지시하는 커맨드를 생성하고, 상기 제1 구동 모드를 지시하는 커맨드에 응답하여 상기 제1 레귤레이터는 제1 입력 신호와 상기 제1 기준 전압에 기초하여 상기 제1 구동 전압의 레벨을 유지할 수 있다.
- [0019] 상기 제1 기준 전압 생성기는 상기 제1 구동 모드에서 상기 제1 구동 전압이 상기 기준 레벨과 일정한 차이를 가지도록 상기 제1 기준 전압을 생성할 수 있다.
- [0020] 상기 제2 구동 전압의 레벨이 상기 기준 레벨 이상이 되어야 하는 경우, 상기 DVFS 컨트롤러는 상기 제2 구동 모드를 지시하는 커맨드를 생성하고, 상기 제2 구동 모드를 지시하는 커맨드에 응답하여 상기 제1 레귤레이터는 제1 입력 신호와 상기 제1 기준 전압에 기초하여 상기 제1 구동 전압의 레벨을 증가시키고, 상기 제2 레귤레이터

터는 제2 입력 신호와 상기 제2 구동 전압에 기초하여 상기 제2 구동 전압의 레벨을 증가시킬 수 있다.

[0021] 상기 제1 기준 전압 생성기는 상기 제2 구동 모드에서 상기 제1 구동 전압의 레벨이 상기 제2 구동 전압과 연동되어 증가하도록 상기 제1 기준 전압을 생성할 수 있다.

발명의 효과

[0022] 본 발명에 실시예들에 따르면, 상관관계를 가지는 제1 및 제2 파워 도메인에 제공되는 제1 및 제2 구동 전압들의 레벨을 변경할 필요가 있을 때, 제2 구동 전압의 레벨을 변경하고 제1 구동 전압은 제2 구동 전압과 일정한 레벨 차이를 유지하면서 자동으로 변경 또는 유지되도록 하여 시스템-온 칩의 전력 소모를 감소시킬 수 있고, 시스템-온 칩의 안정적인 동작을 확보할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시예에 따른 시스템-온 칩(System-on chip)을 나타내는 블록도이다.
- 도 2는 도 1의 시스템 온 칩의 구성을 보다 상세히 나타낸다.
- 도 3은 본 발명의 일 실시예에 따른 도 2의 제1 기준 전압 생성기의 구성을 나타내는 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 도 2의 응용 프로세서를 보다 상세히 나타내는 블록도이다.
- 도 5은 본 발명의 일 실시예에 따른 DVFS 컨트롤러 및 다른 구성 요소들 간의 관계를 나타내는 블록도이다.
- 도 6은 본 발명의 일 실시예에 따른 응용 프로세서에 포함되는 하나의 IP와 성능 측정부를 나타낸다.
- 도 7은 도 7의 SRAM의 동작에 따라 셀 어레이와 주변 회로에 제공되는 제1 및 제2 구동 전압들의 변화를 나타낸다.
- 도 8은 본 발명의 일 실시예에 따른 도 7의 셀 어레이와 주변 회로의 구조를 간략히 나타내는 회로도이다.
- 도 9는 도 8의 SRAM에서 센싱 동작을 간략히 보여주는 타이밍도이다.
- 도 10은 본 발명의 일 실시예에 따른 도 1의 제1 레귤레이터의 구성을 나타내는 회로도이다.
- 도 11은 본 발명의 일 실시예에 따른 제2 레귤레이터의 구성을 나타내는 회로도이다.
- 도 12는 본 발명의 일 실시예에 따른 시스템-온 칩의 제어 방법을 나타낸다.
- 도 13은 본 발명의 일 실시예에 따른 모바일 디바이스를 나타내는 블록도이다.
- 도 14는 도 13의 모바일 디바이스가 스마트폰으로 구현되는 일 예를 나타내는 도면이다.
- 도 15는 도 1에 도시된 응용 프로세서와 전력 관리 장치를 포함하는 전자 장치를 나타내는 블록도이다.
- 도 16은 본 발명의 일 실시예에 따른 휴대용 단말기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0025] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.

[0026] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에

직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

- [0028] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0030] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 시스템-온 칩(System-on chip)을 나타내는 블록도이다.
- [0033] 도 1을 참조하면, 시스템-온 칩(10)은 전력 관리 장치(100) 및 응용 프로세서(500)를 포함할 수 있다. 전력 관리 장치(100)는 전력 관리 집적 회로(power management integrated circuit; PMIC)로 호칭될 수도 있다.
- [0034] 전력 관리 장치(100)는 응용 프로세서(500)에 제1 구동 전압(VDDCE)과 제2 구동 전압(VDDPE)을 제공할 수 있다. 여기서 제1 구동 전압(VDDCE)의 레벨은 제2 구동 전압(VDDPE)의 레벨보다 높고, 제1 구동 전압(VDDCE)과 제2 구동 전압(VDDPE)은 상관관계(correlation)를 가질 수 있다. 예를 들어, 제1 구동 전압(VDDCE)은 응용 프로세서(AP)에 포함되는 SRAM의 셀 어레이에 제공될 수 있고, 제2 구동 전압(VDDPE)은 SRAM의 셀 어레이를 액세스하기 위한 주변 회로에 제공될 수 있다. 응용 프로세서(500)에 포함되는 IP에서 구현될 수 있는 동적 전압 주파수 스케일링(Dynamic voltage frequency, 이하 DVFS) 컨트롤러(515)는 제1 구동 전압(VDDCE)과 제2 구동 전압(VDDPE) 중 적어도 하나의 레벨에 기초하여 전력 관리 장치(100)의 구동 모드를 지정하는 커맨드(CMD)를 전력 관리 장치(100)에 제공할 수 있다. 응용 프로세서(500)는 I2C(inter integrated circuit) 인터페이스를 통하여 구동 모드를 지정하는 커맨드(CMD)를 전력 관리 장치(100)에 제공할 수 있다. 전력 관리 장치(100)는 커맨드(CMD)에 응답하여 구동 모드에 따라 제1 구동 전압(VDDCE) 및 제2 구동 전압(VDDPE)의 레벨을 변화시켜 응용 프로세서(500)에 제공할 수 있다.
- [0035] 도 2는 도 1의 시스템 온 칩의 구성을 보다 상세히 나타낸다.
- [0036] 도 2를 참조하면, 시스템 온 칩(10)은 전력 관리 장치(100) 및 응용 프로세서(500)를 포함한다.
- [0037] 전력 관리 장치(100)는 제1 레귤레이터(200), 제2 레귤레이터(300), 기준 전압 생성부(130) 및 제어 레지스터부(400)를 포함할 수 있다. 기준 전압 생성부(130)는 제1 기준 전압 생성기(131) 및 제2 기준 전압 생성기(133)를 포함하여 구성될 수 있다. 제어 레지스터부(400)는 제1 레지스터(410), 제2 레지스터(430) 및 제어 로직(430)을 포함할 수 있다.
- [0038] 응용 프로세서(500)는 CPU(central processing unit) 코어(510), 전력 관리부(560), 제1 구동 전압(VDDCE)을 수신하여 동작하는 제1 파워 도메인(PD1) 및 제2 구동 전압(VDDPE)을 수신하여 동작하는 제2 파워 도메인(PD2)을 포함할 수 있다. 전력 관리부(560)는 제1 및 제2 파워 도메인들(PD1, PD2) 각각에 제1 구동 전압(VDDCE)과 제2 구동 전압(VDDPE)의 공급/차단을 제어할 수 있다. DVFS 컨트롤러(515)는 제1 및 제2 파워 도메인들(PD1, PD2)의 동작에 따른 DVFS 정책에 기초하여 제1 레귤레이터(200)와 제2 레귤레이터(300)의 구동 모드를 지정하는 커맨드(CMD)를 전력 관리 장치(100)에 제공할 수 있다. 즉, 응용 프로세서(500)가 제2 파워 도메인(PD2)에 제공

되는 제2 구동 전압(VDDPE)의 레벨을 변경하고자 할 때, 응용 프로세서 DVFS 컨트롤러(515)는 I2C 인터페이스를 통하여 이를 나타내는 커맨드(CMD)를 전력 관리 장치(100)에 전송할 수 있다. 여기서, DVFS 컨트롤러(515)는 응용 프로세서(500)에 구비된 메모리 또는 응용 프로세서(500)에 연결되는 메모리에 저장되는 프로그램 코드 또는 소프트웨어로서 응용 프로세서(500)가 파워-온 되면, CPU 코어(510)에서 실행되어 응용 프로세서(500)의 DVFS 동작을 수행한다. 즉 CPU 코어(510)는 DVFS 컨트롤러(515)를 응용 프로세서(500) 상에서 구현할 수 있다.

[0039] 여기서 제1 및 제2 파워 도메인들(PD1, PD2)은 상관 관계를 가지는 제1 및 제2 구동 전압들(VDDCE, VDDPE)을 수신하는 파워 도메인들로서, 제1 및 제2 파워 도메인들(PD1, PD2)은 응용 프로세서(500)에 포함되는 복수의 IP들 각각의 파워 도메인들이거나 CPU 코어(510) 내부의 파워 도메인들일 수 있다. 여기서, IP라 시스템-온-칩(10)에 집적될 수 있는 회로(circuit), 로직(logic), 또는 이들의 조합을 의미한다.

[0040] 제1 레지스터(410)는 제2 구동 전압(VDDPE)과 관련된 기준 레벨(VTH)이 저장할 수 있다. 제2 레지스터(420)는 DVFS 컨트롤러(515)의 DVFS 정책에 따른 제1 구동 전압(VDDCE)과 제2 구동 전압(VDDPE)의 차이들(VDIFF1, VDIFF2)을 저장할 수 있다. 기준 레벨(VTH), 제1 구동 전압(VDDCE)과 제2 구동 전압(VDDPE)의 차이들(VDIFF1, VDIFF2)은 응용 프로세서(500)에 의하여 제1 및 제2 레지스터들(410, 420)에 미리 프로그램될 수 있다. 제어 로직(430)은 커맨드(CMD)를 디코딩하여 커맨드(CMD)에 포함되는 구동 모드에 따라 제1 및 제2 레지스터들(410, 420)에 저장된 내용을 참조하여 제1 및 제2 제어 전압들(VCON1, VCON2)의 레벨을 조절하고, 제1 및 제2 제어 전압들(VCON1, VCON2)을 각각 제1 및 제2 기준 전압 생성기들(131, 137)에 제공한다.

[0041] 제1 기준 전압 생성기(131)는 제1 제어 전압(VCON1)에 기초하여 구동 모드 및 DVFS 정책에 따라 제1 기준 전압(VREF1)의 레벨을 조절하여 제1 레귤레이터(200)에 제공한다. 제1 기준 전압 생성기(137)는 제2 제어 전압(VCON2)에 기초하여 구동 모드 및 DVFS 정책에 따라 제2 기준 전압(VREF1)의 레벨을 조절하여 제2 레귤레이터(200)에 제공한다.

[0042] 예를 들어, DVFS 정책에 따라 응용 프로세서(500)가 제2 구동 전압(VDDPE)의 레벨을 기준 레벨(VTH)이하로 낮추고자 하는 경우, DVFS 컨트롤러(505)는 제1 구동 모드를 지시하는 커맨드(CMD)를 제어 로직(430)에 전송한다. 제어 로직(430)은 제1 구동 모드를 지시하는 커맨드(CMD)에 응답하여 제1 레지스터(410)에 저장된 기준 레벨(VTH)을 참조하고, 제1 제어 전압(VCON1)의 레벨을 조절하여 제1 기준 전압 생성기(131)에 제공한다. 제1 기준 전압 생성기(131)는 제1 제어 전압(VCON1)에 응답하여 제1 기준 전압(VREF1)의 레벨을 조절하여 제1 레귤레이터(200)가 기준 레벨(VTH)과 일정한 차이를 가지는 제1 구동 전압(VDDCE)을 생성하도록 한다. 제1 구동 모드에서 제1 구동 전압(VDDCE)의 레벨이 일정하게 유지되므로 제1 레귤레이터(200)는 제1 구동 전압(VDDCE)을 제1 구동 전압(VDDCE)의 레벨 이하의 일정한 전압을 필요로 하는 다른 파워 도메인들에 제공할 수 있다. 따라서 전력 관리 장치(100)에서 레귤레이터의 수를 감소시킬 수 있다.

[0043] 예를 들어, DVFS 정책에 따라 응용 프로세서(500)가 제2 구동 전압(VDDPE)의 레벨을 기준 레벨(VTH) 보다 높게 설정하고자 하는 경우, DVFS 컨트롤러(505)는 제2 구동 모드를 지시하는 커맨드(CMD)를 제어 로직(430)에 전송한다. 제어 로직(430)은 제2 구동 모드와 관련된 DVFS 정책을 지시하는 커맨드(CMD)에 응답하여 제2 레지스터(420)에 저장된 차이들(VDIFF1, VDIFF2) 중 하나를 참조하고, 제1 제어 전압(VCON1)의 레벨을 조절하여 제1 기준 전압 생성기(131)에 제공하고, 제2 제어 전압(VON2)의 레벨을 조절하여 제2 기준 전압 생성기(137)에 제공한다. 제1 기준 전압 생성기(131)는 제1 제어 전압(VCON1)에 응답하여 제1 기준 전압(VREF1)의 레벨을 조절하여 제1 레귤레이터(200)가 관련된 DVS 정책에 따르는 제1 구동 전압(VDDCE)을 생성하도록 한다. 제2 기준 전압 생성기(137)는 제2 제어 전압(VCON2)에 응답하여 제2 기준 전압(VREF2)의 레벨을 조절하여 제2 레귤레이터(300)가 관련된 DVFS 정책에 따르는 제2 구동 전압(VDDPE)을 생성하도록 한다. 상기 관련된 DVFS 정책에 따라 제1 구동 전압(VDDCE)은 제2 구동 전압(VDDPE)의 변화에 연동되어 변화할 수 있다.

[0044] 도 3은 본 발명의 일 실시예에 따른 도 2의 제1 기준 전압 생성기의 구성을 나타내는 회로도이다.

[0045] 도 3을 참조하면, 제1 기준 전압 생성기(131)는 선형 레귤레이터(linear regulator)일 수 있고, 연산 증폭기(132), 피모스 트랜지스터(133) 및 저항들(R11, R12)로 구성되는 피드백부(134)를 포함할 수 있다. 피모스 트랜지스터(133)는 전원 전압(VDD)에 연결되는 소스, 제1 노드(N11)에서 제1 저항(R11)에 연결되는 드레인 및 연산 증폭기(132)의 출력이 인가되는 게이트를 구비한다. 피드백부(134)의 저항들(R11, R12)은 노드(N12)에서 서로 연결되고, 저항(R11)은 노드(N11)에 연결되고 저항(R12)는 접지 전압에 연결될 수 있다. 피모스 트랜지스터(133)의 드레인인 노드(N11)에서 제1 기준 전압(VREF1)이 제공될 수 있고, 제1 기준 전압(VREF1)이 저항들(R11, R12)의 비에 의하여 분할된 피드백 전압(VFB1)이 연산 증폭기(132)의 양의 입력 단자에 제공되고, 제1 제어 전압(VCON1)이 연산 증폭기(132)의 음의 입력 단자에 제공될 수 있다. 연산 증폭기(132)의 출력은 피모스 트랜지

스터(133)의 게이트에 연결된다. 따라서 제1 기준 전압 생성기(131)는 전원 전압(VDD)을 기초로 제1 제어 전압(VCON1)의 레벨을 따라가는 제1 기준 전압(VREF1)을 생성할 수 있다. 그러므로 제어 로직(430)은 커맨드(CMD)에 응답하여 구동 모드 및 DVS 정책에 따르는 레벨을 가지는 제1 제어 전압(VCON1)을 생성할 수 있고, 제1 기준 전압 생성기(131)는 제1 제어 전압(VCON1)의 레벨을 따라가는 제1 기준 전압(VREF1)을 생성할 수 있다.

- [0046] 도 3에서는 제1 기준 전압 생성기(131)의 구성에 대하여 설명하였지만, 제2 기준 전압 생성기(137)도 제1 기준 전압 생성기(131)의 구성과 실질적으로 동일할 수 있다. 다만 제2 기준 전압 생성기(137)에서는 연산 증폭기의 음의 입력 단자에 제2 제어 전압(VCON2)이 인가되고, 제2 제어 전압(VCON2)의 레벨은 제1 제어 전압(VCON1)의 레벨보다 낮을 수 있다.
- [0047] 도 4는 본 발명의 일 실시예에 따른 도 2의 응용 프로세서를 보다 상세히 나타내는 블록도이다.
- [0048] 도 5는 본 발명의 일 실시예에 따른 DVFS 컨트롤러 및 다른 구성 요소들 간의 관계를 나타내는 블록도이다.
- [0049] 도 4를 참조하면, 응용 프로세서(500)는 메모리 장치(565), 디스플레이 장치(595) 및 전력 관리 장치(100)에 연결될 수 있다. 응용 프로세서(500), 메모리 장치(565), 디스플레이 장치(595) 및 전력 관리 장치(100)는 전자 시스템을 구성할 수 있는데, 이러한 전자 시스템은 이동 전화기, 스마트폰, 태블릿 컴퓨터(tablet computer), PDA(personal digital assistant), EDA(enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라(digital video camera), PMP(portable multimedia player), PDN(personal navigation device 또는 portable navigation device), 손으로 들고 다닐 수 있는 게임 콘솔(handheld game console), 또는 e-북(e-book)과 같이 손으로 들고 다닐 수 있는 장치(handheld device)로 구현될 수 있다.
- [0050] 응용 프로세서(500)는 CPU 코어(520), 전력 관리부(520), 클럭 관리부(530, CMU; clock management unit), 디스플레이 컨트롤러(590), RAM(540), 타이머(550), 메모리 컨트롤러(560), ROM(570) 및 가속기(580)를 포함할 수 있다.
- [0051] CPU 코어(510)는 메모리 장치(565)에 저장된 프로그램들 및/또는 데이터를 처리 또는 실행할 수 있다. 예컨대, CPU 코어(510)는 클럭 신호 발생기(미도시)로부터 출력된 클럭 신호에 응답하여 상기 프로그램들 및/또는 상기 데이터를 처리 또는 실행할 수 있다.
- [0052] CPU 코어(510)는 멀티-코어 프로세서(multi-core processor)로 구현될 수 있다. 상기 멀티-코어 프로세서는 두 개 또는 그 이상의 독립적인 실질적인 프로세서들('코어들(cores)')이라고 불림)을 갖는 하나의 컴퓨팅 컴포넌트(computing component)이고, 상기 프로세서들 각각은 프로그램 명령들(program instructions)을 읽고 실행할 수 있다. 상기 멀티-코어 프로세서는 다수의 가속기를 동시에 구동할 수 있으므로, 상기 멀티-코어 프로세서를 포함하는 데이터 처리 시스템은 멀티-가속(multi-acceleration)을 수행할 수 있다.
- [0053] ROM(570), RAM(540), 및 메모리 장치(565)에 저장된 프로그램들 및/또는 데이터는 필요에 따라 CPU 코어(510)의 메모리에 로드(load)될 수 있다. ROM(570)은 영구적인 프로그램들 및/또는 데이터를 저장할 수 있다. ROM(570)은 EPROM(erasable programmable read-only memory) 또는 EEPROM(electrically erasable programmable read-only memory)으로 구현될 수 있다.
- [0054] RAM(540)은 프로그램들, 데이터, 또는 명령들(instructions)을 일시적으로 저장할 수 있다. 예컨대, 메모리(540 또는 565)에 저장된 프로그램들 및/또는 데이터는 CPU 코어(510)의 제어 또는 ROM(570)에 저장된 부팅 코드(booting code)에 따라 RAM(540)에 일시적으로 저장될 수 있다. RAM(540)은 DRAM(dynamic RAM) 또는 SRAM(static RAM)으로 구현될 수 있다.
- [0055] 가속기(580)는 멀티미디어 또는 멀티미디어 데이터, 예컨대 텍스트(text), 오디오(audio), 정지 영상들(still images), 애니메이션(animation), 비디오(video), 2차원 데이터, 또는 3차원 데이터의 처리 성능을 향상시키기 위한 하드웨어 장치 또는 코-프로세서(co-processor)를 의미할 수 있다.
- [0056] 클럭 관리부(530)는 동작 클럭 신호를 생성한다. 클럭 관리부(145)는 위상 동기 루프 회로(PLL : Phase Locked Loop), 지연 동기 루프(DLL : Delayed Locked Loop), 수정자(crystal)등의 클럭 생성 장치로 이루어질 수 있다. 동작 클럭 신호는 CPU 코어(510)로 공급될 수 있다. 물론 동작 클럭 신호는 다른 구성요소(예컨대, 메모리 컨트롤러(560))로 공급될 수도 있다. 클럭 관리부(530)는 DVFS 컨트롤러(515)의 제어에 따라 동작 클럭 신호의 주파수를 변경할 수 있다. 예컨대, DVFS 컨트롤러(515)는 측정된 메모리 사용량에 따라 미리 설정된 복수 정책들 중 하나를 선택할 수 있다. DVFS 컨트롤러(515)는 선택된 정책에 따라 클럭 관리부(530)를 제어할 수 있고, 이에 따라, 클럭 관리부(530)는 DVFS 컨트롤러(515)의 제어를 받아, 선택된 정책을 수행하기 위하여 동작

클럭 신호의 주파수를 변경할 수 있다.

- [0057] 전력 관리부(520)는 응용 프로세서(500)의 복수의 파워 도메인들에 제공되는 전력의 공급/차단을 제어할 수 있다.
- [0058] CPU 코어(510)에서 구현되는 DVFS 컨트롤러(515)는 제1 및 제2 구동 전압들(VDDCE, VDDPE)을 제공받는 파워 도메인들의 동작 상태에 따라 DVFS 정책을 결정하고 이를 나타내는 커맨드(CMD)를 전력 관리 장치(100)에 제공한다. 전력 관리 장치(100)는 커맨드(CMD)가 지시하는 구동 모드에 따라 상관 관계를 가지는 제1 및 제2 구동 전압들(VDDCE, VDDPE)의 레벨을 변경할 수 있다.
- [0059] 메모리 컨트롤러(560)는 메모리 장치(565)와 인터페이스하기 위한 블록이다. 메모리 컨트롤러(560)는 메모리 장치(565)의 동작을 전반적으로 제어하며, 또한 호스트와 메모리 장치(565)간의 제반 데이터 교환을 제어한다. 예컨대, 메모리 컨트롤러(560)는 호스트의 요청에 따라 메모리 장치(565)를 제어하여 메모리 장치(565)에 데이터를 쓰거나 메모리 장치(565)로부터 데이터를 독출한다. 여기서, 호스트는 CPU 코어(510), 가속기(580), 디스플레이 컨트롤러(590)와 같은 마스터 장치일 수 있다.
- [0060] 메모리 장치(565)는 데이터를 저장하기 위한 저장 장소로서, OS(Operating System), 각종 프로그램들, 및 각종 데이터를 저장할 수 있다. 메모리 장치(565)는 DRAM 일수 있으나, 이에 한정되는 것은 아니다. 예컨대, 메모리 장치(565)는 비휘발성 메모리 장치(플래시 메모리, PRAM, MRAM, ReRAM, 또는 FeRAM 장치)일 수도 있다. 본 발명의 다른 실시예에서는 메모리 장치(565)는 응용 프로세서(500) 내부에 구비되는 내장 메모리일 수 있다.
- [0061] 각 구성 요소(510, 520, 540-590)는 시스템 버스(501)를 통하여 서로 통신할 수 있다.
- [0062] 디스플레이 디바이스(595)는 CPU 코어(510)에 로드된 소프트웨어 가속기 또는 하드웨어 가속기(580)에 의하여 가속된 또는 처리된 멀티미디어를 디스플레이할 수 있다. 디스플레이 디바이스(595)는 LED, OLED 디바이스, 혹은 다른 종류의 디바이스일 수 있다. 디스플레이 컨트롤러(590)는 디스플레이 디바이스(595)의 동작을 제어한다.
- [0063] 메모리 컨트롤러(560)는 내부에 성능 측정부를 포함할 수 있다. 상기 성능 측정부는 메모리 장치(565)로의 액세스량을 측정할 수 있다. 상기 측정된 액세스량에 기초하여 DVFS 컨트롤러(515)는 복수의 정책들 중 하나를 선택할 수 있다. 또한 가속기(580)와 디스플레이 컨트롤러(590)도 각각 내부에 성능 측정부를 포함하고 DVFS 컨트롤러(515)는 복수의 성능 측정부의 측정 결과를 기초로 하여 DVFS 정책을 결정할 수 있다.
- [0064] 도 5 및 도 6을 참조하면, DVFS 컨트롤러(515)는 소프트웨어(S/W) 또는 펌웨어(firmware)로 구현될 수 있다. DVFS 컨트롤러(515)는 프로그램으로 구현되어 메모리(540, 570 또는 565)에 탑재되고, 응용 프로세서(500)가 파워-온되면 CPU 코어(510)에 의하여 실행될 수 있다.
- [0065] DVFS 컨트롤러(515)는 메모리(540, 570, 565), 타이머(565), 전력 관리부(520), 클럭 관리부(530), 및 전력 관리 장치(100)를 제어할 수 있다. 메모리(540, 570, 565), 타이머(565), 전력 관리부(520), 클럭 관리부(530), 및 전력 관리 장치(100)는 각각 하드웨어(H/W)로 구현될 수 있다. DVFS 컨트롤러(515)와 메모리(540, 570, 565), 타이머(565), 전력 관리부(520), 클럭 관리부(530), 및 전력 관리 장치(100) 사이에는 운영체제(OS:operating system) 및 미들웨어(middleware)가 개입될 수 있다.
- [0066] 도 6은 본 발명의 일 실시예에 따른 응용 프로세서에 포함되는 하나의 IP를 나타낸다.
- [0067] 도 6에서는 응용 프로세서(500)에 포함되는 IP(600)는 CPU 코어(510)에 포함될 수 있는 SRAM을 예로 들어 설명한다. SRAM(600)은 CPU 코어(510)에 포함될 수 있다. 또한, SRAM(600)은 시스템 온 칩(10)에서 캐시 메모리(Cache Memory), 레지스터, 또는 버퍼 메모리로서 사용될 수 있다. 특히, 속도가 중요시되는 시스템일수록 에스램(600)의 사용 비중은 상대적으로 높아질 것이다. 최근에는 모바일 장치에 적용되는 시스템 온 칩(10)에서는 소모 전력을 줄이기 위해서 점차 동작 전압을 낮추는 추세이다. 시스템 온 칩(10)에 내장되는 에스램(600)의 구동 전압도 낮아지고 있다. 하지만, 공정 미세화에 따라 낮아지는 전압은 에스램(600)의 센싱 마진을 감소시키게 된다. 에스램(600)의 메모리 셀에 제공되는 제1 구동 전압(VDDCE)의 레벨은 충분한 센싱 마진을 위해 유지하고, 제어 로직들에 제공되는 제2 구동 전압(VDDPE)을 낮추는 전원 공급 방식이 사용된다. 에스램(600)에 제공되는 전원 전압을 분리하여 개별적으로 제공받는 이러한 방식을 듀얼 파워 레일(Dual Power Rail) 방식이라 한다.
- [0068] 도 6을 참조하면, SRAM(600)은 데이터를 저장하는 셀 어레이(630)와 셀 어레이(630)를 액세스하기 위한 주변 회로(610)를 포함할 수 있다. 셀 어레이(630)는 전력 관리 장치(100)로부터 제1 구동 전압(VDDCE)을 제공받아 동작하고, 주변 회로(610)는 전력 관리 장치(100)로부터 제2 구동 전압(VDDPE)을 제공받아 동작한다. 전력 관리부

(560)는 주변 회로(610)에 공급되는 제2 구동 전압(VDDPE)을 모니터링한다. DVFS 컨트롤러(515)는 DVFS 정책에 따라 SRAM(600)의 동작 전압을 결정하고, 결정된 전압을 나타내는 구동 모드를 지시하는 커맨드(CMD)를 전력 관리 장치(100)에 제공할 수 있다. 전력 관리 장치(100)는 커맨드(CMD)에 응답하여 결정된 구동 모드에 따라 제1 및 제2 구동 전압들(VDDCE, VDDPE)의 레벨을 변경시킬 수 있다.

[0069] 도 6에서는 SRAM(600)이 CPU 코어(510)에 내부에 포함된다고 설명하였지만, SRAM은 응용 프로세서(500)의 다른 IP들에도 포함될 수 있고, DVFS 컨트롤러(515)는 다른 IP에 포함되는 SRAM의 DVFS를 제어할 수 있다.

[0070] 도 7은 도 6의 SRAM의 동작에 따라 셀 어레이와 주변 회로에 제공되는 제1 및 제2 구동 전압들의 변화를 나타낸다.

[0071] 도 6 및 도 7을 참조하면, T1 이전에 주변 회로(610)에 제공되는 제2 구동 전압(VDDPE)이 레벨(V10)에서 레벨(V11)로 변화하더라도 제2 구동 전압(VDDPE)의 레벨이 기준 레벨(VTH)보다 작기 때문에, 제1 구동 전압(VDDCE)은 기준 레벨(VTH)보다 차이(ΔV)만큼 높은 레벨(V21)을 유지한다. T1 시점에 DVFS 컨트롤러(515)가 주변 회로(610)에 제공되는 제2 구동 전압(VDDPE)이 기준 레벨(VTH)이상이 되도록 DVFS 정책을 결정하고 결정된 정책을 반영하는 커맨드(CMD)를 전력 관리 장치(100)에 전송한다. 전력 관리 장치(100)의 제어 로직(430)은 DVFS 정책에 따라 제1 및 제2 구동 전압들(VDDCE, VDDPE)이 구간(T1-T2) 사이에서는 차이(VDIFF1)를 유지하도록 제1 및 제2 제어 전압들(VCON1, VCON2)을 생성한다. 제1 및 제2 기준 전압 생성기들(131, 137)은 각각 제1 및 제2 제어 전압들(VCON1, VCON2)에 응답하여 제1 및 제2 기준 전압들(VREF1, VREF2)을 생성하고, 제1 및 제2 레귤레이터들(200, 300)은 각각 제1 및 제2 기준 전압들(VREF1, VREF2)에 응답하여 제1 및 제2 구동 전압들(VDDCE, VDDPE)을 생성하는데 제1 및 제2 구동 전압들(VDDCE, VDDPE)은 차이(VDIFF1)를 유지한다.

[0072] T2 시점에, DVFS 컨트롤러(515)가 DVFS 정책을 변경하고, 변경된 정책을 반영하는 커맨드(CMD)를 전력 관리 장치(100)에 전송한다. 전력 관리 장치(100)의 제어 로직(430)은 변경된 DVFS 정책에 따라 제1 및 제2 구동 전압들(VDDCE, VDDPE)이 T2 이후에는 차이(VDIFF2)를 유지하도록 제1 및 제2 제어 전압들(VCON1, VCON2)을 생성한다. 제1 및 제2 기준 전압 생성기들(131, 137)은 각각 제1 및 제2 제어 전압들(VCON1, VCON2)에 응답하여 제1 및 제2 기준 전압들(VREF1, VREF2)을 생성하고, 제1 및 제2 레귤레이터들(200, 300)은 각각 제1 및 제2 기준 전압들(VREF1, VREF2)에 응답하여 제1 및 제2 구동 전압들(VDDCE, VDDPE)을 생성하는데 제1 및 제2 구동 전압들(VDDCE, VDDPE)은 차이(VDIFF2)를 유지한다.

[0073] 도 8은 본 발명의 일 실시예에 따른 도 7의 셀 어레이와 주변 회로의 구조를 간략히 나타내는 회로도이다.

[0074] 도 8을 참조하면, SRAM(600)은 센스 앰프(620)와 메모리 셀(640)을 포함할 수 있다. 센스앰프(620)는 주변 회로(610)의 예시에 해당하며, 메모리 셀(640)은 셀 어레이(630)의 일부분에 해당한다.

[0075] 메모리 셀(640)은 4개의 트랜지스터로 구성된 1-포트 SRAM 셀을 예로 들어 설명할 것이다. 메모리 셀(640)은 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)로 이루어지는 제1 인버터를 포함한다. 메모리 셀(640)은 PMOS 트랜지스터(P2)와 NMOS 트랜지스터(N2)로 구성되는 제2 인버터를 포함한다. 제1 인버터의 출력단은 제2 인버터의 입력단에 연결되고, 제2 인버터의 출력단은 제1 인버터의 입력단에 연결된다. 그리고 메모리 셀(640)은 패스 트랜지스터들(PT1, PT2)에 의해서 비트 라인과 워드라인에 연결된다. 패스 트랜지스터들(PT1, PT2)의 게이트는 워드라인(WL)에 연결된다. 워드 라인(WL)에 선택 전압이 인가되면, 패스 트랜지스터들(PT1, PT2)이 턴온되고, 제1 인버터와 제2 인버터로 구성되는 메모리 셀(640)은 비트라인 쌍(BL, BLB)에 연결된다.

[0076] 메모리 셀(640)은 전력 관리 장치(100)로부터 제공된 제1 구동 전압(VDDCE)을 셀 전원으로 사용한다. 즉, PMOS 트랜지스터들(P1, P2) 각각의 공통 소스단에 제1 구동 전압(VDDCE)이 제공된다. 따라서 메모리 셀(640)은 제1 구동 모드에서는 주변 회로(620)에 제공되는 제2 구동 전압(VDDCE)의 레벨에 관계 없이 기준 레벨(VTH)과 일정한 레벨 차이를 갖는 제1 구동 전압(VDDPE)을 공급받고, 제2 구동 모드에서는 주변 회로(620)에 제공되는 제2 구동 전압(VDDCE)과 연동되어 변동되는 제1 구동 전압(VDDCE)을 공급받는다. 따라서 메모리 셀(640)은 구동 모드에 관계없이 충분한 센싱 마진을 확보하여 안정적으로 동작할 수 있다.

[0077] 센스 앰프(620)는 비트 라인 쌍(BL, BLB)의 전압 변화를 감지하여 메모리 셀(640)에 저장된 데이터를 센싱한다. 센스앰프(620)는 PMOS 트랜지스터들(P3, P4)과 NMOS 트랜지스터들(N3, N4)을 포함한다. 그리고 PMOS 트랜지스터(P3)의 드레인 또는 NMOS 트랜지스터(N3)의 드레인에는 센스 앰프(620)의 출력단을 구성하는 인버터(INV)가 연결된다. PMOS 트랜지스터들(P3, P4)의 공통 게이트는 PMOS 트랜지스터(P3)의 드레인 또는 NMOS 트랜지스터(N3)의 드레인에 연결된다. 그리고 NMOS 트랜지스터들(N3, N4)의 공통 소스는 센스 앰프(620)를 활성화하기 위한 선택 트랜지스터(N5)에 의해서 선택적으로 접지된다. 센스 앰프 인에이블 신호(SA_En)가 활성화되면, NMOS 트랜지

스터들(N3, N4)의 공통소스가 접지된다. 그러면, 센스 앰프(620)의 동작이 가능하다.

- [0078] 여기서, 센스 앰프(620)는 제2 구동 전압(VDDPE)을 전원으로 사용한다. 즉, PMOS 트랜지스터들(P3, P4)의 공통 소스에 제2 구동 전압(VDDPE)이 인가된다. 따라서, 본 발명의 에스램(600) 구조를 통해서 제2 구동 전압(VDDPE)이 상대적으로 높아져서 발생하는 센싱 마진의 감소를 차단할 수 있고, 센스 앰프(620)에 제공되는 제2 구동 전압(VDDPE)의 레벨을 제1 구동 모드에서 제1 구동 전압(VDDCE)의 레벨과 관계없이 낮출 수 있어 전력 소모를 감소시킬 수 있다.
- [0079] 도 9는 도 8의 SRAM에서 센싱 동작을 간략히 보여주는 타이밍도이다.
- [0080] 도 9를 참조하면, 센싱 동작시 제1 구동 전압(VDDPE)은 항상 기준 레벨과 일정한 차이를 갖는 레벨을 유지함으로써 비트라인 쌍(BL/BLB)은 항상 적정 수준이상의 전위차를 제공할 수 있다.
- [0081] t0 시점에서, 읽기동작을 위해서 워드라인(WL)이 하이 레벨(H)로 천이한다. 그러면, 패스 트랜지스터들(PT1, PT2)이 턴온된다. 패스 트랜지스터들(PT1, PT2)에 의해서 메모리 셀에 저장된 데이터는 비트라인 쌍(BL, BLB)으로 전달된다. 비트 라인 쌍(BL, BLB)은 이미 프리차지 및 등화된 상태라 가정한다. 이때, 비트 라인(BL)으로 전달되는 논리값은 논리 'High'이고 비트 라인(BLB)으로 전달되는 데이터가 논리 'Low'인 경우를 가정하기로 한다. 그러면, 비트라인(BL)의 전압 변화는 거의 발생하지 않는다. 곡선(C0)은 이러한 비트라인(BL)의 전압 변화를 보여준다.
- [0082] 하지만, 비트 라인(BLB)의 전압은 감소한다. 비트라인(BLB)에 프리차지된 전하가 메모리 셀의 풀다운 경로를 통해서 방전되기 때문이다. 이러한 전하의 방전에 의해서 비트 라인(BLB)의 전압은 감소하는 방향으로 변화한다. 이러한 비트 라인(BLB)의 전압 감소를 보여주는 파형이 곡선(C2)에 나타나 있다.
- [0083] t1 시점에서, 센스 앰프 인에이블 신호(SA_En)가 하이 레벨(H)로 활성화된다. 그러면, 선택 트랜지스터(N5)가 턴온되고, 센스앰프(620)의 접지 경로가 활성화됨에 따라 센싱 동작이 시작된다. 센스 앰프(620)의 센싱 동작은 비트라인 쌍(BL, BLB)의 전위차의 검출에 의거하여 수행된다. 만일, 비트 라인 쌍(BL, BLB)의 전위차가 충분치 않은 경우에는 센싱 속도가 현저하게 줄어든 것이다. 비트 라인 쌍(BL, BLB)의 전위차가 충분치 않은 경우, 센스 앰프(620)의 쌍안정 상태로 천이가 더디게 진행된다. 반면, 비트 라인 쌍(BL, BLB)의 전위차가 충분한 경우에는 센스 앰프(620)의 센싱 동작이 신속히 이루어질 수 있다. 따라서, 센스 앰프(620)의 센싱 실행 구간이 감소하게 되고, 동작 속도도 높아질 수 있다.
- [0084] t2 시점에서, 워드 라인의 전압이 로우 레벨(Low)로 천이하게 될 것이다. 그러면, 패스 트랜지스터들(PT1, PT2)이 턴오프되고, 비트 라인 쌍(BL, BLB)의 전압은 하이레벨로 프리차지될 것이다.
- [0085] t3 시점에서 센스 앰프 인에이블 신호(SA_En)의 로우 레벨(Low)로의천이에 따라 센스 앰프(144a)는 비활성화된다.
- [0086] 상술한 타이밍도에서 워드라인(WL)이 활성화된 상태에서 비트 라인 쌍(BL, BLB)의 전압 변화를 살펴보기로 하자. 논리 로우 레벨(Low)에 대응하는 비트라인(BLB)의 전압 변화는 빠를수록 높은 센싱 마진을 제공할 수 있다. 만일, 비트 라인(BLB)의 전압 변화가 점선으로 도시된 곡선(C1)의 형태인 경우, 워드라인(WL)의 활성화된 t2 시점에서 비트 라인 쌍(BL, BLB)의 최대 전위차는 $\Delta V1$ 으로 나타날 수 있다. 곡선(C1)은 제1 구동 전압(VDDCE)이 제2 구동 전압(VDDPE)보다 낮은 경우를 모델링한 것이다. 곡선(C1)의 경우, 센스 앰프(620)는 충분한 센싱 마진을 확보하지 못해 오류 데이터를 출력할 수도 있다. 반면, 제1 구동 전압(VDDCE)이 제2 구동 전압(VDDPE)과 충분한 차이를 유지하는 경우의 비트 라인(BLB)의 전압 변화를 보여주는 곡선(C2)을 참조하면, 워드 라인(WL)의 활성화된 t2 시점에서 비트 라인 쌍(BL, BLB)의 최대전위차는 $\Delta V2$ 로 나타날 수 있다.
- [0087] 도 10은 본 발명의 일 실시예에 따른 도 1의 제1 레귤레이터의 구성을 나타내는 회로도이다.
- [0088] 도 10을 참조하면, 제1 레귤레이터(200)는 Low drop-out(LDO) 레귤레이터일 수 있고, 피모스 트랜지스터(210), 피드백부(220) 및 연산 증폭기(230)를 포함할 수 있다.
- [0089] 피모스 트랜지스터(210)는 제1 입력 전압(VIN1)이 인가되는 소스, 연산 증폭기(230)의 출력이 인가되는 게이트 및 노드(N21)에서 피드백부(220)에 연결되는 드레인을 구비한다. 노드(N21)에서 제1 구동 전압(VDDCE)이 제공된다. 피드백부(220)는 노드(N21)와 접지 전압 사이에 직렬로 연결되는 저항들(R21, R22)을 포함한다. 저항들(R21, R22)은 노드(N22)에서 서로 연결되고, 노드(N22)에서 제1 구동 전압(VDDCE)을 저항들(R21, R22)의 비로 분할한 피드백 전압(VFB2)이 연산 증폭기(230)의 양의 입력 단자에 제공된다. 연산 증폭기(230)는 음의 입력 단자에 제1 기준 전압(VREF1)을 인가받는다. 따라서 연산 증폭기(230)는 제1 기준 전압(VREF1)과 피드백 전압

(VFB2)의 차이를 증폭하여 피모스 트랜지스터(210)의 게이트에 제공한다. 따라서 노드(N21)에서 제공되는 제1 구동 전압(VDDCE)은 제1 기준 전압(VREF1)의 레벨을 따라간다. 따라서, 제1 기준 전압 생성기(131)는 제1 제어 전압(VCON1)에 의하여 제1 기준 전압(VREF1)의 레벨을 조절하고, 제1 기준 전압(VREF1)에 의하여 제1 구동 전압(VDDCE)의 레벨을 조절할 수 있다.

- [0090] 도 11은 본 발명의 일 실시예에 따른 제2 레귤레이터의 구성을 나타내는 회로도이다.
- [0091] 도 11을 참조하면, 제2 레귤레이터(300)는 벡(buck) 컨버터(converter)일 수 있고, 제2 레귤레이터(300)는 톱니파 발생기(311), 펄스폭 변조(PWM) 비교기(312), 구동 제어부(313), 구동 소자부(320), 로우 패스 필터(330), 감지기(335), 피드백부(340), 및 제1 및 제2 에러 증폭기들(351, 353)를 포함하여 구성될 수 있다. 여기서 구동 소자부(320)는 제2 입력 전압과 노드(N21)에 연결되는 피모스 트랜지스터(321) 및 노드(N21)와 접지 전압 사이에 연결되는 엔모스 트랜지스터(323)를 포함하여 구성될 수 있다.
- [0092] 피모스 트랜지스터(321)는 제2 입력 전압(VIN2)이 인가되는 소스, 제1 구동 제어 신호(GP1)를 인가받는 게이트 및 노드(N21)에 연결되는 드레인을 구비한다. 엔모스 트랜지스터(322)는 노드(N21)에 연결되는 드레인, 제2 구동 제어 신호(GP2)를 인가받는 게이트 및 접지 전압에 연결되는 소스를 구비한다.
- [0093] 로우 패스 필터(330)는 노드(N21)와 노드(N32) 사이에 연결되고, 노드(N31)와 노드(N32) 사이에 연결되는 인덕터(331) 및 노드(N32)와 접지 전압 사이에 연결되는 커패시터(332)를 구비한다. 감지기(335)는 인덕터(331)에 흐르는 전류(IT)를 감지하고, 감지된 전류(IT)를 전압(VT)으로 변환하여 제2 에러 증폭기(353)에 제공한다.
- [0094] 피드백부(340)는 제2 구동 전압(VDDPE)이 제공되는 노드(N32)와 접지 전압 사이에 서로 직렬로 연결되는 저항들(R31, R32)을 포함한다. 저항들(R31, R32)이 서로 연결되는 노드(N33)에서 제2 구동 전압(VDDPE)이 분할되어 피드백 전압(VFB3)으로 제공된다.
- [0095] 제1 에러 증폭기(351)는 제2 기준 전압 생성기(137)에서 제공되는 제2 기준 전압(VREF2)과 피드백 전압(VFB3)의 차이를 증폭하여 제1 에러 전압(VER1)으로서 출력한다. 제2 에러 증폭기(353)는 제1 에러 전압(VER1)과 전압(VT)의 차이를 증폭하여 제2 에러 전압(VER2)으로서 출력한다.
- [0096] 펄스폭 변조 비교기(311)는 제2 에러 전압(VER2)과 톱니파 발생기(311)에서 제공되는 톱니파를 비교하여 그 차이에 따른 펄스폭을 가지는 펄스 신호(SPW)를 출력한다. 구동 제어부(313)는 펄스 신호(SPW)에 응답하여 피모스 트랜지스터(321)와 엔모스 트랜지스터(323)를 턴-온/오프시키는 제1 및 제2 구동 제어 신호들(GP1, GP2)을 생성하여 피모스 트랜지스터(321)와 엔모스 트랜지스터(323)의 게이트에 각각 인가한다. 여기서, 제1 및 제2 구동 제어 신호들(GP1, GP2)은 피모스 트랜지스터(321)와 엔모스 트랜지스터(323)를 상보적으로 턴-온/오프시킬 수 있다.
- [0097] 로우 패스 필터(330)는 노드(N31)의 전압을 로우-패스 필터링하여 출력 전압(VOUT)으로 제공한다. 따라서 로우 패스 필터(530)는 제2 입력 전압(VIN2)에 나타날 수 있는 고주파 하모닉 성분들을 필터링하여 제2 구동 전압(VDDPE)으로 제공할 수 있다.
- [0098] 따라서 노드(N32)에서 제공되는 제2 구동 전압(VDDPE)은 제2 기준 전압(VREF2)의 레벨을 따라간다. 따라서, 제2 기준 전압 생성기(137)는 제2 제어 전압(VCON2)에 의하여 제2 기준 전압(VREF2)의 레벨을 조절하고, 제2 기준 전압(VREF2)에 의하여 제2 구동 전압(VDDPE)의 레벨을 조절할 수 있다.
- [0099] 도 12는 본 발명의 일 실시예에 따른 시스템-온 칩의 제어 방법을 나타낸다.
- [0100] 도 1, 도 2, 도 4 및 도 12를 참조하면, 응용 프로세서(500)가 파워-온 되면 DVFS 컨트롤러(515)는 제1 및 제2 파워 도메인들(PD1, PD2)의 동작에 따라 DVFS 정책을 결정하고(S110) 이를 나타내는 커맨드(CMD)를 전력 관리 장치(100)에 제공한다(S120). 전력 관리 장치(100)는 결정된 DVFS 정책에 따라 제1 및 제2 기준 전압들(VREF1, VREF2)의 레벨을 조절하고(S130), 이에 따라 제1 및 제2 구동 전압들(VDDCE, VDDPE)의 레벨을 조절할 수 있다.
- [0101] 예를 들어, DVFS 정책에 따라 응용 프로세서(500)가 제2 구동 전압(VDDPE)의 레벨을 기준 레벨(VTH)이하로 낮추고자 하는 경우, DVFS 컨트롤러(515)는 제1 구동 모드를 지시하는 커맨드(CMD)를 제어 로직(430)에 제공한다. 제어 로직(430)은 제1 구동 모드를 지시하는 커맨드(CMD)에 응답하여 제1 레지스터(410)에 저장된 기준 레벨(VTH)을 참조하고, 제1 제어 전압(VCON1)의 레벨을 조절하여 제1 기준 전압 생성기(131)에 제공한다. 제1 기준 전압 생성기(131)는 제1 제어 전압(VCON1)에 응답하여 제1 기준 전압(VREF1)의 레벨을 조절하여 제1 레귤레이터(200)가 기준 레벨(VTH)과 일정한 차이를 가지는 제1 구동 전압(VDDCE)을 생성하도록 한다.

- [0102] 예를 들어, DVFS 정책에 따라 응용 프로세서(500)가 제2 구동 전압(VDDPE)의 레벨을 기준 레벨(VTH) 보다 높게 설정하고자 하는 경우, DVFS 컨트롤러(515)는 제2 구동 모드와 관련된 DVFS 정책을 지시하는 커맨드(CMD)를 제어 로직(430)에 제공한다. 제어 로직(430)은 제2 구동 모드와 관련된 DVS 정책을 지시하는 커맨드(CMD)에 응답하여 제2 레지스터(420)에 저장된 차이들(VDIFF1, VDIFF2) 중 하나를 참조하고, 제1 제어 전압(VCON1)의 레벨을 조절하여 제1 기준 전압 생성기(131)에 제공하고, 제2 제어 전압(VON2)의 레벨을 조절하여 제2 기준 전압 생성기(137)에 제공한다. 제1 기준 전압 생성기(131)는 제1 제어 전압(VCON1)에 응답하여 제1 기준 전압(VREF1)의 레벨을 조절하여 제1 레귤레이터(200)가 관련된 DVS 정책에 따르는 제1 구동 전압(VDDCE)을 생성하도록 한다. 제2 기준 전압 생성기(137)는 제2 제어 전압(VCON2)에 응답하여 제2 기준 전압(VREF2)의 레벨을 조절하여 제2 레귤레이터(300)가 관련된 DVS 정책에 따르는 제2 구동 전압(VDDPE)을 생성하도록 한다. 상기 관련된 DVS 정책에 따라 제1 구동 전압(VDDCE)은 제2 구동 전압(VDDPE)의 변화에 연동되어 변화할 수 있다.
- [0103] 도 13은 본 발명의 일 실시예에 따른 모바일 디바이스를 나타내는 블록도이고, 도 14는 도 13의 모바일 디바이스가 스마트폰으로 구현되는 일 예를 나타내는 도면이다.
- [0104] 도 13 및 도 14를 참조하면, 모바일 디바이스(700)는 응용 프로세서(710), 메모리 장치(720), 스토리지 장치(730), 복수의 기능 모듈들(740, 750, 760, 770) 및 응용 프로세서(710), 메모리 장치(720), 스토리지 장치(730) 및 기능 모듈들(740, 750, 760, 770)에 각각 동작 전압을 제공하는 전력 관리 장치(780)를 포함할 수 있다. 한편, 도 14에 도시된 바와 같이, 모바일 디바이스(700)는 스마트폰으로 구현될 수 있다.
- [0105] 응용 프로세서(710)는 모바일 디바이스(700)의 전반적인 동작을 제어할 수 있다. 즉, 응용 프로세서(710)는 메모리 장치(720), 스토리지 장치(730) 및 복수의 기능 모듈들(740, 750, 760, 770)을 제어할 수 있다. 한편, 응용 프로세서(710)는 CPU 코어(711)를 포함할 수 있다. CPU 코어(711)에서 구현되는 DVFS 컨트롤러(713)는 응용 프로세서(710)가 결정하는 DVFS 정책에 따라 전력 관리 장치(780)의 구동 모드를 지정하는 커맨드(CMD)를 전력 관리 장치(780)에 전송할 수 있다. 응용 프로세서(710)는 도 2 및 도 5의 응용 프로세서(500)일 수 있다.
- [0106] 응용 프로세서(710)는 상술한 바와 같이, IP의 동작에 따라 결정되는 DVFS 정책에 따라 전력 관리 장치(780)로부터 제공되며 상관 관계를 가지는 제1 및 제2 구동 전압들(VDDCE, VDDPE)의 구동 모드를 지시하는 커맨드(CMD)를 전력 관리 장치(780)에 제공할 수 있다. 전력 관리 장치(780)는 커맨드(CMD)에 응답하여 제1 구동 모드에서는 제1 구동 전압(VDDCE)의 레벨을 일정하게 유지하고, 제2 구동 모드에서는 제1 구동 전압(VDDCE)이 제2 구동 전압(VDDPE)의 변화에 연동되어 변동되도록 할 수 있다.
- [0107] 메모리 장치(720) 및 스토리지 장치(730)는 모바일 디바이스(700)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(720)는 DRAM(dynamic random access memory) 장치, SRAM(static random access memory) 장치, 모바일 DRAM 장치 등과 같은 휘발성 메모리 장치에 상응할 수 있고, 스토리지 장치(730)는 EPROM(erasable programmable read-only memory) 장치, EEPROM(electrically erasable programmable read-only memory) 장치, 플래시 메모리(flash memory) 장치, PRAM(phase change random access memory) 장치, RRAM(resistance random access memory) 장치, NFGM(nano floating gate memory) 장치, PoRAM(polymer random access memory) 장치, MRAM(magnetic random access memory) 장치, FRAM(ferroelectric random access memory) 장치 등과 같은 비휘발성 메모리 장치에 상응할 수 있다. 실시예에 따라, 스토리지 장치(530)는 솔리드 스테이트 드라이브(solid state drive; SSD), 하드 디스크 드라이브(hard disk drive; HDD), 씨디롬(CD-ROM) 등을 더 포함할 수도 있다.
- [0108] 복수의 기능 모듈들(740, 750, 760, 770)은 모바일 디바이스(700)의 다양한 기능들을 각각 수행할 수 있다. 예를 들어, 모바일 디바이스(700)는 통신 기능을 수행하기 위한 통신 모듈(740)(예를 들어, CDMA(code division multiple access) 모듈, LTE(long term evolution) 모듈, RF(radio frequency) 모듈, UWB(ultra wideband) 모듈, WLAN(wireless local area network) 모듈, WIMAX(worldwide interoperability for microwave access) 모듈 등), 카메라 기능을 수행하기 위한 카메라 모듈(750), 표시 기능을 수행하기 위한 표시 모듈(760), 터치 입력 기능을 수행하기 위한 터치 패널 모듈(770) 등을 포함할 수 있다. 실시예에 따라, 모바일 디바이스(700)는 GPS(global positioning system) 모듈, 마이크 모듈, 스피커 모듈, 자이로스코프(gyroscope) 모듈 등을 더 포함할 수 있다. 다만, 모바일 디바이스(700)에 구비되는 기능 모듈들(740, 750, 760, 770)의 종류는 그에 한정되지 않음은 자명하다.
- [0109] 도 15는 도 1에 도시된 응용 프로세서와 전력 관리 장치를 포함하는 전자 장치를 나타내는 블록도이다.
- [0110] 도 1 및 도 15를 참조하면, 전자 장치(800)는 PC(personal computer), 랩탑 컴퓨터(laptop computer), 이동 전

화기(mobile phone), 스마트 폰(smart phone), 태블릿 PC(tablet PC), PDA(personal digital assistant), 또는 PMP(portable multimedia player)로 구현될 수 있다.

- [0111] 전자 장치(800)는 응용 프로세서(500)와 복수의 인터페이스들(interfaces; 811~823)로 구성되는 시스템-온 칩(801) 및 전력 관리 장치(100)를 포함한다. 응용 프로세서(500)의 CPU 코어는 전자 장치(800)의 전반적인 동작을 제어한다.
- [0112] 응용 프로세서(500)는 복수의 인터페이스들(811~823) 각각을 통하여 다수의 주변 장치들 각각과 통신할 수 있다. 예컨대, 복수의 인터페이스들(811~823) 각각은 각 전력 영역에 구현된 다수의 IP들 중에서 상응하는 IP로부터 출력된 적어도 하나의 제어 신호를 상기 다수의 주변 장치들 각각으로 전송할 수 있다.
- [0113] 예컨대, 응용 프로세서(500)는 각 디스플레이 인터페이스(811과 812)를 통하여 각 평판 디스플레이 장치(flat panel display)의 전력 상태와 동작 상태를 제어할 수 있다. 평판 디스플레이 장치는 LCD(liquid crystal device) 디스플레이, LED(light emitting diode) 디스플레이, OLED(Organic Light Emitting Diode) 디스플레이, 또는 AMOLED(Active Matrix Organic Light-Emitting Diode) 디스플레이를 포함한다.
- [0114] 응용 프로세서(500)는 캠코더 인터페이스(813)를 통하여 캠코더의 전력 상태와 동작 상태를 제어할 수 있고, TV 인터페이스(814)를 통하여 TV 모듈의 전력 상태와 동작 상태를 제어할 수 있고, 이미지 센서 인터페이스(815)를 통하여 카메라 모듈 또는 이미지 센서 모듈의 전력 상태와 동작 상태를 제어할 수 있다.
- [0115] 응용 프로세서(500)는 GPS 인터페이스(816)를 통하여 GPS 모듈의 전력 상태와 동작 상태를 제어할 수 있고, UWB 인터페이스(817)를 통하여 UWB(ultra wideband) 모듈의 전력 상태와 동작 상태를 제어할 수 있고, USB 드라이브 인터페이스(818)를 통하여 USB 드라이브의 전력 상태와 동작 상태를 제어할 수 있다.
- [0116] 응용 프로세서(500)는 DRAM 인터페이스(dynamic random access memory interface; 819)를 통하여 DRAM의 전력 상태와 동작 상태를 제어할 수 있고, 불휘발성 메모리 인터페이스(820), 예컨대 플래시 메모리 인터페이스를 통하여 불휘발성 메모리, 예컨대 플래시 메모리의 전력 상태와 동작 상태를 제어할 수 있고, 오디오 인터페이스(821)를 통하여 오디오 모듈의 전력 상태와 동작 상태를 제어할 수 있고, MFC 인터페이스(822)를 통하여 MFC의 전력 상태를 제어할 수 있고, MP3 플레이어 인터페이스(823)를 통하여 MP3플레이어의 전력 상태를 제어할 수 있다. 여기서 모듈(module) 또는 인터페이스는 하드웨어 또는 소프트웨어로 구현될 수 있다.
- [0117] 응용 프로세서(500)는 상술한 바와 같이, DVFS 컨트롤러(515)를 포함하며 DVFS 컨트롤러(515)가 결정한 DVFS 정책에 따라 전력 관리 장치(100)로부터 제공되며 상관 관계를 가지는 제1 및 제2 구동 전압들(VDDCE, VDDPE)의 구동 모드를 지시하는 커맨드(CMD)를 전력 관리 장치(100)에 제공할 수 있다. 전력 관리 장치(100)는 커맨드(CMD)에 응답하여 제1 구동 모드에서는 제1 구동 전압(VDDCE)의 레벨을 일정하게 유지하고, 제2 구동 모드에서는 제1 구동 전압(VDDCE)이 제2 구동 전압(VDDPE)의 변화에 연동되어 변동되도록 할 수 있다.
- [0118] 도 16은 본 발명의 일 실시예에 따른 휴대용 단말기를 나타내는 블록도이다.
- [0119] 도 16을 참조하면, 본 발명의 실시 예에 따른 휴대용 단말기(1000)는 이미지 처리부(1100), 무선 송수신부(1200), 오디오 처리부(1300), 이미지 파일 생성부(1400), 메모리 장치(1500), 유저 인터페이스(1600), 응용 프로세서(1700) 및 전력 관리 장치(1800)를 포함한다.
- [0120] 이미지 처리부(1100)는 렌즈(1110), 이미지 센서(1120), 이미지 프로세서(1130), 그리고 디스플레이부(1140)를 포함한다. 무선 송수신부(1200)는 안테나(1210), 트랜시버(1220), 모뎀(1230)을 포함한다. 오디오 처리부(1300)는 오디오 프로세서(1310), 마이크(1320), 그리고 스피커(1330)를 포함한다.
- [0121] 휴대용 단말기(1000)에는 다양한 종류의 반도체 장치들이 포함될 수 있다. 특히, 응용 프로세서(1700)의 저전력, 고성능이 요구된다. 이러한 요구에 따라 응용 프로세서(1700)는 미세화 공정에 따라 멀티 코어 형태로 제공되기도 한다. 응용 프로세서(1700)는 본 발명의 실시예에 따른 SRAM(1750)을 포함하고, SRAM(1750)은 상관 관계가 있는 제1 및 제2 구동 전압을 제공받는 제1 및 제2 파워 도메인을 포함할 수 있다. 전력 관리 장치(1800)는 응용 프로세서(1700)에서 제공되는 커맨드(CMD)에 기초한 구동 모드에 따른 레벨을 가지는 제1 및 제2 구동 전압들을 SRAM(1750)에 제공할 수 있다.
- [0122] 상술한 바와 같이, 본 발명의 실시예들에 따르면 상관관계를 가지는 제1 및 제2 파워 도메인에 제공되는 제1 및 제2 구동 전압들의 레벨을 변경할 필요가 있을 때, 제2 구동 전압의 레벨을 변경하고 제1 구동 전압은 제2 구동 전압과 일정한 레벨 차이를 유지하면서 자동으로 변경 또는 유지되도록 하여 시스템-온 칩의 전력 소모를 감소

시킬 수 있고, 시스템-온 칩의 안정적인 동작을 확보할 수 있다.

산업상 이용가능성

[0123] 본 발명은 이동 전화기, 스마트폰, 태블릿 컴퓨터(tablet computer), PDA(personal digital assistant), EDA(enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라(digital video camera), PMP(portable multimedia player)와 같은 다양한 형태의 시스템-온 칩에 적용될 수 있다.

[0124] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다. 술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

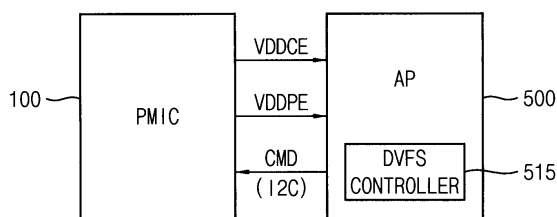
부호의 설명

- | | | |
|--------|-------------------|-------------------|
| [0125] | 10: 시스템-온 칩 | 100: 전력 관리 장치 |
| | 130: 기준 전압 생성부 | 131: 제1 기준 전압 생성기 |
| | 137: 제2 기준 전압 생성기 | 200: 제1 레귤레이터 |
| | 300: 제2 레귤레이터 | 400: 제어 레지스터부 |
| | 410, 420: 레지스터 | 430: 제어 로직 |
| | 500: 응용 프로세서 | 510: CPU 코어 |
| | 515: DVFS 컨트롤러 | 560: 전력 관리부 |
| | PD1: 제1 파워 도메인 | PD2: 제2 파워 도메인 |

도면

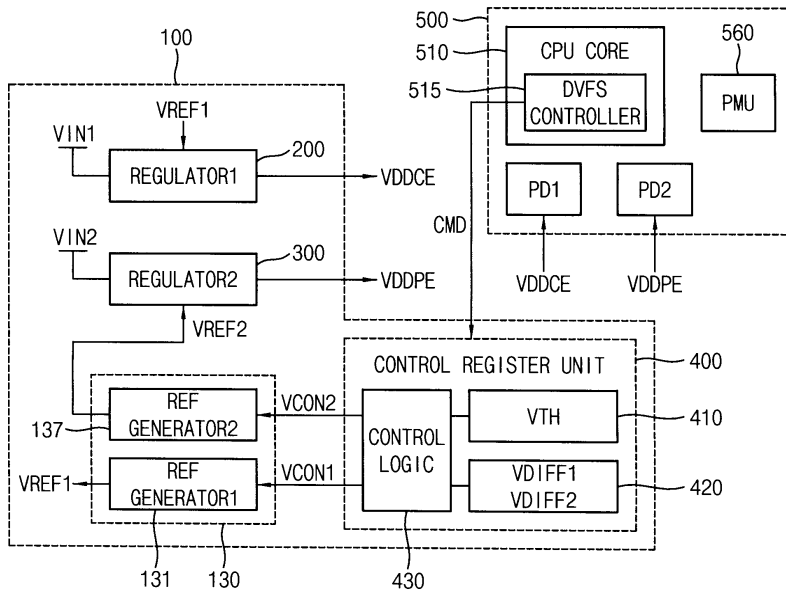
도면1

10



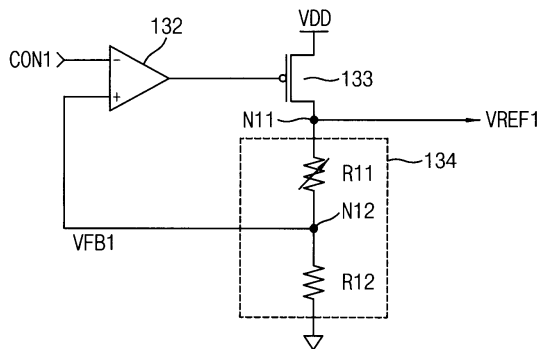
도면2

10

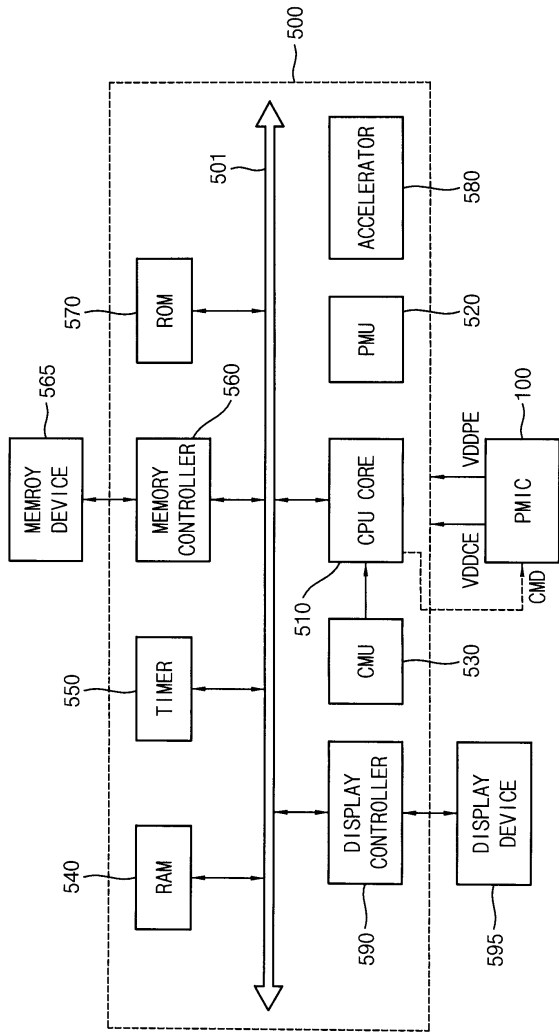


도면3

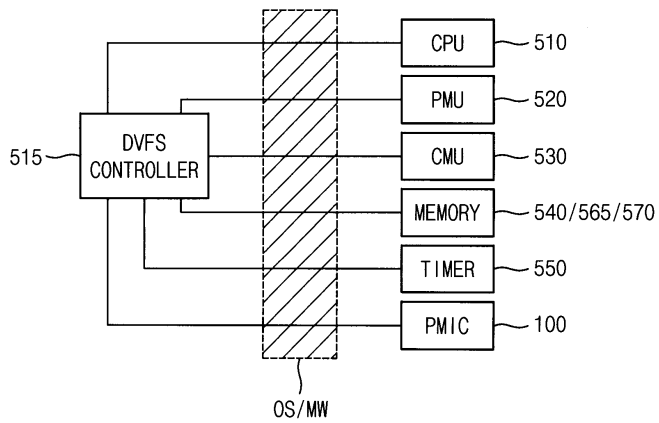
131



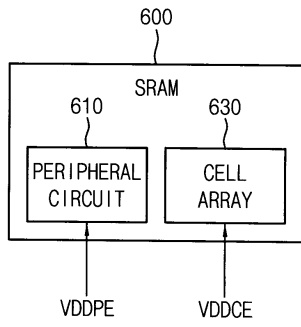
도면4



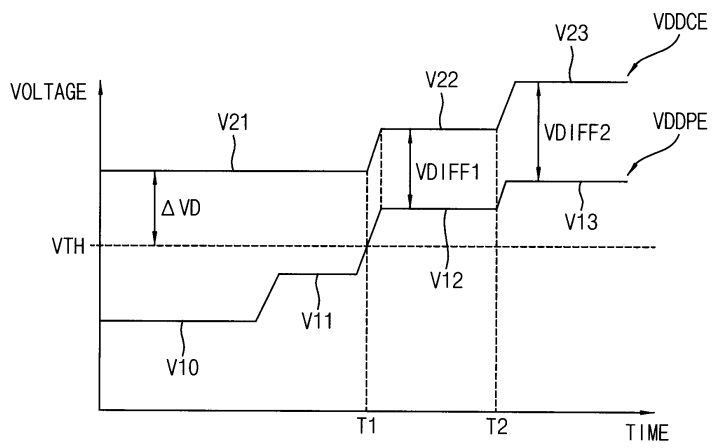
도면5



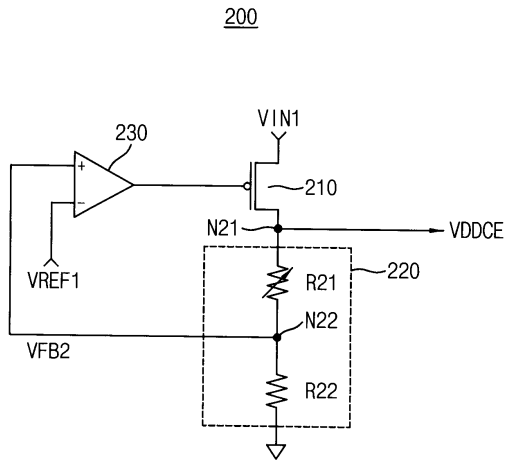
도면6



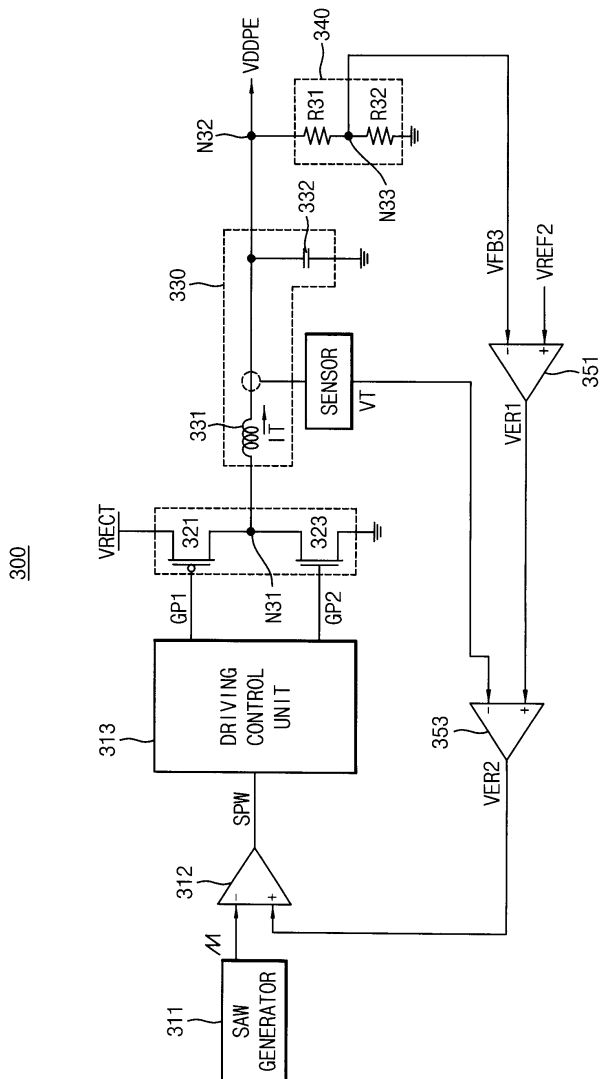
도면7



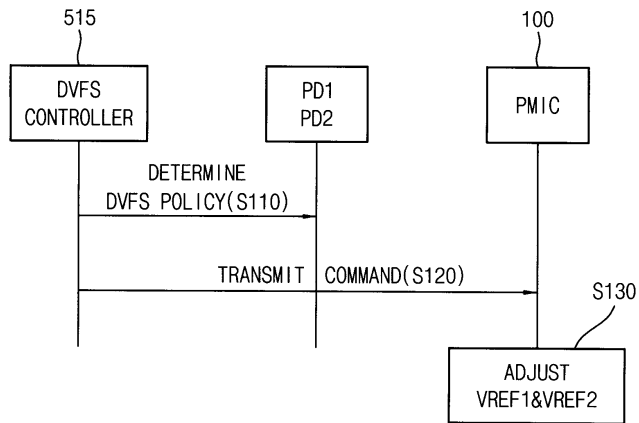
도면10



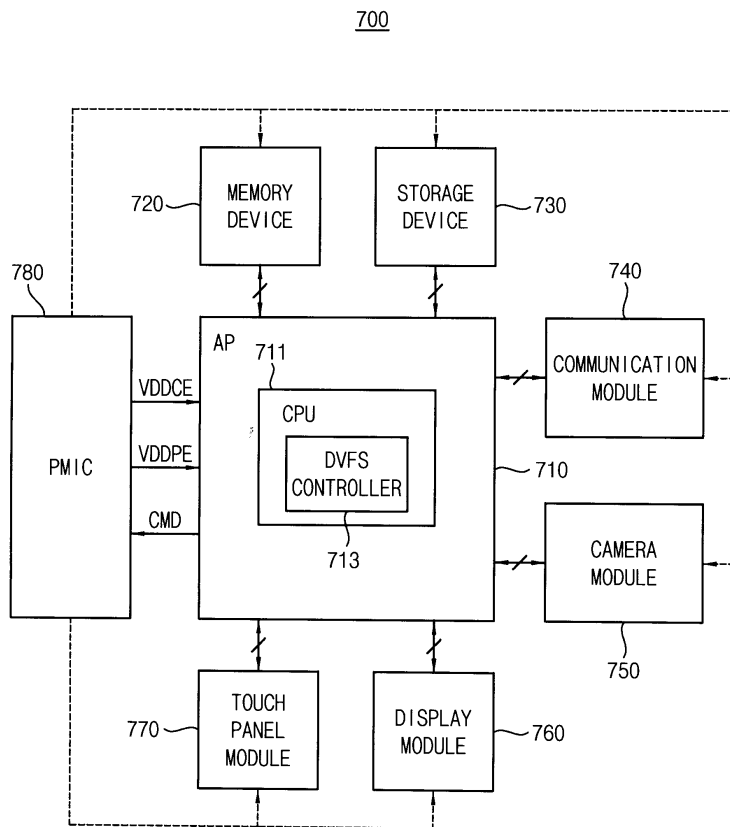
도면11



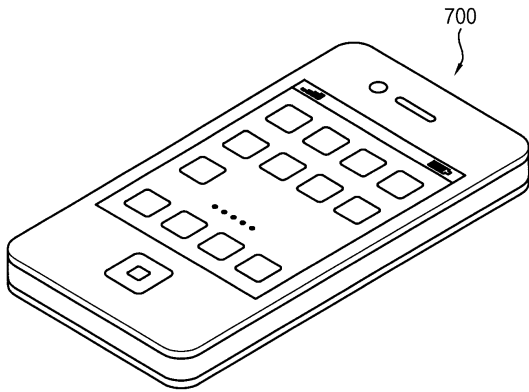
도면12



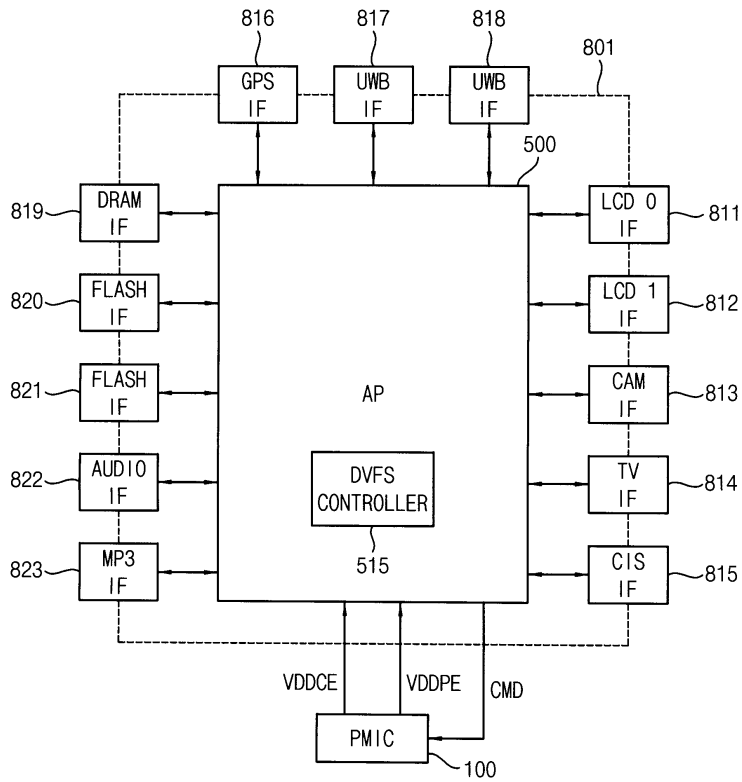
도면13



도면14



도면15



도면16

