



(19)  
**Bundesrepublik Deutschland**  
**Deutsches Patent- und Markenamt**

(10) **DE 102 16 607 B4 2010.01.21**

(12)

## Patentschrift

(21) Aktenzeichen: **102 16 607.2**  
 (22) Anmeldetag: **15.04.2002**  
 (43) Offenlegungstag: **22.05.2003**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **21.01.2010**

(51) Int Cl.<sup>8</sup>: **G11C 8/08 (2006.01)**  
**G11C 29/00 (2006.01)**

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2001-0068131 02.11.2001 KR**

(73) Patentinhaber:  
**Hynix Semiconductor Inc., Icheon, Kyonggi, KR**

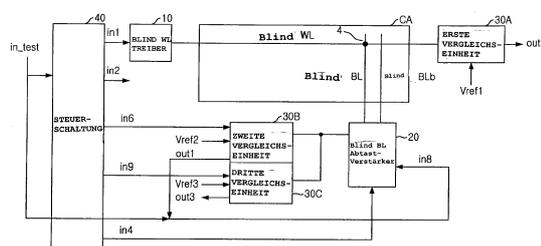
(74) Vertreter:  
**PAe Reinhard, Skuhra, Weise & Partner GbR,**  
**80801 München**

(72) Erfinder:  
**Park, Jong-Hun, Ichon, Kyonggi, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
 gezogene Druckschriften:  
**DE 37 05 875 C2**  
**EP 06 00 142 B1**

(54) Bezeichnung: **Halbleiterspeichervorrichtung**

(57) Hauptanspruch: Halbleiterspeichervorrichtung mit:  
 einer Vielzahl von Blindwortleitungen und einer Vielzahl  
 von normalen Wortleitungen;  
 einer Vielzahl von Blindwortleitungstreibern zum Treiben  
 der Vielzahl von Blindwortleitungen;  
 einer Vielzahl von Steuerschaltungen zum Steuern der  
 Vielzahl von Blindwortleitungstreibern;  
 einer Vielzahl von Vergleichseinrichtungen zum Vergleich  
 des Spannungspegels einer gewählten Blindwortleitung  
 und des Pegels einer vorbestimmten Referenzspannung  
 und zum Ausgeben von Signalen, welche auf dem Vergleich  
 der Spannungspegel basieren; und  
 einer Vielzahl von Ausgabeeinrichtungen zum Ausgeben  
 des Signals, welches von der Vielzahl der Vergleichsein-  
 richtungen ausgegeben wird.



**Beschreibung**

## Gebiet der Erfindung

**[0001]** Die vorliegende Erfindung betrifft eine Halbleiterspeichervorrichtung, und insbesondere eine Halbleiterspeichervorrichtung mit einer Überwachungseinrichtung, welche in der Lage ist, die Leitungsverzögerung oder einen Modellparameter einer Wortleitung oder einer Bitleitung zu messen.

## Beschreibung des Standes der Technik

**[0002]** Die DE 37 05 875 C2 beschreibt eine Halbleiterspeicherschaltung mit einer Mehrzahl von Bitleitungspaaren, einer Mehrzahl von Speicherzellen entlang jeder Bitleitung, je einer Dummyzelle an jeder Bitleitung, zwei Dummywortleitungen zum Ausführen von Dummyzellen, je einem Leseverstärker zwischen den beiden Leitungen eines Bitleitungspaares und je einer Abgleicheinrichtung an jedem Bitleitungspaar zum Abgleich der Spannungen auf den beiden Leitungen des Paares vor dem Lesen. Eine Abgleichsteuereinrichtung ist vorgesehen mit einer ersten Steuerschaltung die nur an die Enden der beiden Dummywortleitungen angeschlossen ist und ein Detektorsignal ausgibt, nachdem das Ausfallsignal auf einer der beiden Dummywortleitungen sie erreicht hat, mit einer zweiten Steuerschaltung, der das Detektorsignal zugeführt wird und die nach dem Empfang des selben ein Steuersignal an die Leseverstärker ausgibt, um den Lesebetrieb desselben zu beenden, und mit einer dritten Steuerschaltung, der das genannte Steuersignal ebenfalls zugeführt wird und die nach dem Empfang desselben die Abgleichrichtungen so ansteuert, dass diese den Bitleitungsabgleich vornehmen.

**[0003]** Die EP 0 600 142 B1 offenbart eine Generatorarchitektur für ein Einzelport-RAM zum Erzeugen unterschiedlicher RAM-Strukturen in einer CAD-Umgebung. Sie enthält eine statische RAM-Matrix und eine selbst-getaktete Architektur sowie eine Steuerschaltung, eine Dummyreihe und eine Dummyspalte mit jeweils einer äquivalenten Last, einer Wortleitung und einer Bitspalte der Matrix. Die Dummyspalte wird schneller entladen als die entsprechende Bitspalte zum Optimieren des Zeitablaufs und zum Reduzieren des Leistungsverbrauchs.

**[0004]** Mit steigender Integrationsdichte von Halbleiterspeichervorrichtungen weisen die RC-Verzögerung und ein Modellparameter einer Wortleitung oder einer Bit-Leitung einen bedeutenden Einfluß auf die Charakteristik einer Halbleiterspeichervorrichtung auf. Die RC-Verzögerung und der Modellparameter sind wichtige Faktoren zum genauen Setzen der Zeitvorgabe bei einem internen Vorgang und zum Bestimmen, ob die Produkte auf dem Markt wettbewerbsfähig sind. Es gibt jedoch einige Verfahren, wel-

che in der Lage sind, verlässlich die RC-Verzögerung und den Modellparameter zu messen. Ein Verfahren, welches gegenwärtig eingesetzt wird, um die Leitungsverzögerung zu messen, ist keine direkte Messung, sondern eine indirekte Messung, so daß eine genaue Messung nicht durchgeführt werden kann.

**[0005]** [Fig. 1](#) ist ein schematisches Schaltungsdiagramm, welches einen Teil eines Zellenblocks in einem DRAM gemäß dem Stand der Technik darstellt.

**[0006]** Mit Bezug auf [Fig. 1](#) wird ein Wortleitungstreiber WD in Abhängigkeit von einem Hauptwortleitungsaktivierungsbarsignal mw/z, welches von einem Spaltendecoder (nicht dargestellt) ausgegeben wird, getrieben, und ein Wortleitungstreiber signal Px wird an eine Wortleitung WLn angelegt, welche mit einer Speicherzelle 2 durch den Wortleitungstreiber WD verbunden ist. Im allgemeinen sind eine Blindwortleitung und eine Blindspeicherzelle, welche dieselbe Breite und Fläche wie die normale Wortleitung und die normale Speicherzelle aufweisen, am Rand der normalen Wortleitung WLn zur Stabilität eines Prozesses angeordnet.

**[0007]** Das Hauptwortleitungssignal wird durch eine Spaltenadresse gewählt und ein normales Wortleitungstreiber signal Px wird aus Px0 bis Px3 durch das Adreßsignal gewählt und dann wird ein Spannungspegel der normalen Wortleitung WLn in einen Treiber spannungspegel Vpp umgewandelt, welcher höher als ein Versorgungsspannungspegel ist. Eine Wortleitung WLn wird zu dem Treiber spannungspegel Vpp in Abhängigkeit von dem Hauptwortleitungssignal getrieben. Zu diesem Zeitpunkt wird die Blindwortleitung nicht eingesetzt, so daß der Spannungspegel der Blindwortleitung auf einen Massespannungspegel gelegt ist. Ein Blind-Bitleitungsspannungspegel wird ebenfalls auf einen Vblp-Pegel gesetzt, welches ein Bitleitungsvorladespannungspegel ist.

**[0008]** In der obigen Anordnung wird nach der Herstellung realer Produkte eine Charakteristik der Produkte dadurch bestimmt, wie schnell der Spannungspegel der Wortleitung WLn oder der Bitleitung BL auf einen gewünschten Spannungspegel ansteigt. Es ist sehr wichtig zu bestimmen, ob die Aktivierungszeit eines Bitleitungsabtastrverstärkers, eines tRCD min und eines Modellparameters mit denen einer tatsächlichen Vorrichtung zusammenpaßt. Ein genaues Meßverfahren ist gemäß dem Stand der Technik jedoch nicht realisiert. Ein herkömmliches Meßverfahren besteht darin, eine Datenleitung zu messen, welche gemessen werden kann, weil die Datenleitung eine Metallleitung ist und die gewünschten Daten indirekt abgeschätzt werden, so daß genaue Daten nicht erzielt werden können.

## Zusammenfassung der Erfindung

**[0009]** Es ist deshalb eine Aufgabe der vorliegenden Erfindung, eine Halbleiterspeichervorrichtung bereitzustellen, welche eine Überwachungsschaltung aufweist, die in der Lage ist, die Leitungsverzögerung oder einen Modellparameter einer Wortleitung oder einer Bitleitung zu messen.

**[0010]** Entsprechend eines Aspekts der vorliegenden Erfindung ist eine Halbleiterspeichervorrichtung bereitgestellt mit: einer Vielzahl von Blindwortleitungen und einer Vielzahl von normalen Wortleitungen; einer Vielzahl von Blindwortleitungstreibern zum Treiben der Vielzahl von Blindwortleitungen; einer Vielzahl von Steuerschaltungen zum Steuern der Vielzahl von Blindwortleitungstreibern; einer Vielzahl von Vergleichseinrichtungen zum Vergleichen eines Spannungspegels der Blindwortleitung und eines vorbestimmten Referenzspannungspegels; und eine Vielzahl von Ausgabeeinrichtungen zum Ausgeben von Signalen, welche von der Vielzahl der Vergleichseinrichtungen ausgegeben werden.

**[0011]** Entsprechend eines weiteren Aspekts der vorliegenden Erfindung ist eine Halbleiterspeichervorrichtung bereitgestellt mit: einer Vielzahl von Blind-Bitleitungen und einer Vielzahl von normalen Bitleitungen; einer Vielzahl von Blind-Bitleitungstreibern zum Treiben der Vielzahl von Blind-Bitleitungen; einer Vielzahl von Steuerschaltungen zum Steuern der Vielzahl von Blind-Bitleitungstreibern; einer Vielzahl von Vergleichseinrichtungen zum Vergleichen eines Spannungspegels der Blind-Bitleitung und eines vorbestimmten Referenzspannungspegels; und eine Vielzahl von Ausgabeeinrichtungen zum Ausgeben von Signalen, welche von der Vielzahl von Vergleichseinrichtungen ausgegeben werden.

**[0012]** Entsprechend einem weiteren Aspekt der vorliegenden Erfindung ist eine Halbleiterspeichervorrichtung bereitgestellt mit: einer Vielzahl von Blindwortleitungen und mit einer Vielzahl von normalen Wortleitungen; einer Vielzahl von Blindbitleitungen und einer Vielzahl von normalen Bitleitungen gebildet sind; einer Überwachungseinrichtung zum Messen der Spannung der Blindbitleitung und der Blindwortleitung; und einer Steuerschaltung zum Steuern der Überwachungseinrichtung.

## Kurzbeschreibung der Zeichnungen

**[0013]** Die oben genannten und andere Aufgaben und Merkmale der vorliegenden Erfindung werden aus der nachfolgenden Beschreibung bevorzugter Ausführungsformen in Verbindung mit den begleitenden Zeichnungen ersichtlich, in welchen:

**[0014]** [Fig. 1](#) ein schematisches Schaltungsdiagramm ist, welches eine Speicherzelle einer Halbleiterspeichervorrichtung gemäß dem Stand der Technik zeigt;

**[0015]** [Fig. 2](#) ein schematisches Schaltungsdiagramm ist, welches eine Halbleiterspeichervorrichtung zeigt, welche eine Überwachungsschaltung gemäß der vorliegenden Erfindung aufweist;

**[0016]** [Fig. 3](#) ein detailliertes Schaltungsdiagramm zeigt, welche die Überwachungsschaltung der Halbleiterspeichervorrichtung nach [Fig. 2](#) gemäß der vorliegenden Erfindung zeigt;

**[0017]** [Fig. 4](#) ein Schaltungsdiagramm ist, welches eine Blindspeicherzelle der Halbleiterspeichervorrichtung nach [Fig. 2](#) gemäß der vorliegenden Erfindung zeigt;

**[0018]** [Fig. 5](#) ein Schaltungsdiagramm ist, welches einen Blind-Bitleitungsabtastrverstärker der Halbleiterspeichervorrichtung nach [Fig. 2](#) gemäß der vorliegenden Erfindung zeigt;

**[0019]** [Fig. 6](#) ein Schaltungsdiagramm ist, welches eine Steuerschaltung der Halbleiterspeichervorrichtung nach [Fig. 2](#) gemäß der vorliegenden Erfindung zeigt; und

**[0020]** [Fig. 7](#) ein über der Zeit aufgetragenes Diagramm von Signalen der Halbleiterspeichervorrichtung nach [Fig. 2](#) gemäß der vorliegenden Erfindung ist.

## Detaillierte Beschreibung bevorzugter Ausführungsformen

**[0021]** Im nachfolgenden wird eine Halbleiterspeichervorrichtung, welche eine Überwachungsschaltung aufweist, die in der Lage ist, die Leitungsverzögerung und einen Modellparameter einer Wortleitung oder einer Bitleitung gemäß der vorliegenden Erfindung zu messen, detailliert mit Bezug auf die begleitenden Zeichnungen beschrieben.

**[0022]** [Fig. 2](#) ist ein schematisches Blockdiagramm, welches eine Halbleiterspeichervorrichtung zeigt, die eine Überwachungsschaltung gemäß der vorliegenden Erfindung aufweist.

**[0023]** Mit Bezug auf [Fig. 2](#) weist die Halbleiterspeichervorrichtung eine Wortleitungsüberwachungsschaltung und eine Bitleitungsüberwachungsschaltung auf. Die Halbleiterspeichervorrichtung kann auch nur die Wortleitungsüberwachungsschaltung oder die Bitleitungsüberwachungsschaltung entsprechend einem Chip-Design oder ähnlichem aufweisen. Die Halbleiterspeichervorrichtung, welche zwei Überwachungsschaltungen aufweist, wird im weiteren beschrieben.

**[0024]** Die Halbleiterspeichervorrichtung weist eine Zellenanordnung CA mit einer Vielzahl von Dummy- bzw. Blindspeicherzellen (nicht dargestellt), eine Vielzahl von normalen Wortleitungen, eine Vielzahl von Dummy- bzw. Blindwortleitungen BL, BLb, welche mit den Blindspeicherzellen verbunden sind, eine Vielzahl von normalen Bitleitungen, eine Vielzahl von Dummy- bzw. Blind-Bitleitungen, welche mit den Blindspeicherzellen verbunden sind, einen Dummy- bzw. Blindwortleitungstreiber **10**, einen Dummy- bzw. Blind-Bitleitungsabstastverstärker **20**, eine erste Vergleichseinheit **30A**, eine zweite Vergleichseinheit **30B**, eine dritte Vergleichseinheit **30C** und eine Steuerschaltung **40** auf.

**[0025]** Der Blind-Bitleitungsabstastverstärker **20** verstärkt Daten auf der Blind-Bitleitung, und die erste Vergleichseinheit **30A** vergleicht die Spannung auf der Blind-Bitleitung mit einer ersten Referenzspannung Vref1. Die zweite Vergleichseinheit **30B** vergleicht die Spannung auf der Blind-Bitleitung mit einer zweiten Referenzspannung Vref2, und die dritte Vergleichseinheit **30C** vergleicht die Spannung auf der Blind-Bitleitung mit einer dritten Referenzspannung Vref3. Die Steuerschaltung **40** erzeugt zum Steuern eine Vielzahl von Steuersignalen, welche die Spannung auf der Blind-Bitleitung mißt.

**[0026]** Die Überwachungsschaltung gemäß der vorliegenden Erfindung weist einen Blindwortleitungstreiber **10**, den Blind-Bitleitungsabstastverstärker **20**, die erste, zweite und dritte Vergleichseinheit **30A**, **30B** und **30C** und die Steuerschaltung **40** gezeigt in [Fig. 2](#) auf. Die Steuerschaltung **40** erzeugt eine Vielzahl von Steuersignalen in1, in2, in4, in6, in8 und in9 zum Steuern des Blindwortleitungstreiber **10**, des Blind-Bitleitungsabstastverstärkers **20** und der ersten, zweiten und dritten Vergleichseinheit **30A**, **30B** und **30C**.

**[0027]** Die Ausgangssignale out1, out2 und out3 der zweiten, ersten und dritten Vergleichseinheit **30B**, **30A** und **30C**, welche gemessene Werte in der Überwachungsschaltung sind, werden jeweils in externe Schaltungen des Chips über Anschlüsse oder Kontaktstellen übermittelt.

**[0028]** [Fig. 3](#) ist ein detailliertes Schaltungsdiagramm, welches eine Überwachungsschaltung zum Messen der Wortleitungsverzögerung nach [Fig. 2](#) zeigt.

**[0029]** Mit Bezug auf [Fig. 3](#) weist die Überwachungsschaltung eine Zellenanordnung CA, einen Wortleitungstreiber WD, einen Blindwortleitungstreiber **10**, eine erste Vergleichseinheit **30A** und eine Treibereinheit **50** auf. Der Wortleitungstreiber WD treibt eine normale Wortleitung WLn in der Zellenanordnung CA, und der Blindwortleitungstreiber **10** treibt eine Blindwortleitung in der Zellenanordnung

CA in Abhängigkeit von einem Steuersignal in1 der in [Fig. 2](#) gezeigten Steuerschaltung **40**. Die erste Vergleichseinheit **30A** vergleicht den Spannungspegel der Blindwortleitung mit einem ersten Referenzspannungspegel Vref1 und die Treibereinheit **50** treibt die erste Vergleichseinheit **30A** in Abhängigkeit von dem Steuersignal in1.

**[0030]** Vorzugsweise sind die CMOS-Transistoren P2 und N3 in dem Blindwortleitungstreiber **10** in der gleichen Größe wie die CMOS-Transistoren P1 und N1 in dem normalen Wortleitungstreiber WD, um genaue Daten beim Messen der normalen Wortleitung zu erzielen.

**[0031]** Der an dem Blindwortleitungstreiber **10** anliegende Spannungspegel ist der Treiberspannungspegel Vpp, welcher der gleiche ist wie der Spannungspegel des normalen Wortleitungstreiber signals Px. Die erste Vergleichseinheit **30A** weist einen Differenzverstärker **30A-1** und einen Treiber **30A-2** auf. Der Differenzverstärker **30A-1** empfängt Eingaben des Blindwortleitungssignals und der ersten Referenzspannung Vref in Abhängigkeit von dem Steuersignal in1, und der Treiber **30A-2** verstärkt und gibt ein Ausgangssignal des Differenzverstärkers **30A-1** aus. Der Differenzverstärker **30A-1** ist ein herkömmlicher Differenzverstärker und der Treiber **30A-2** weist drei in Reihe geschaltete CMOS-Inverter auf.

**[0032]** [Fig. 4](#) ist ein detailliertes Schaltungsdiagramm, welches eine Blindzelle **4** zur Messung nach [Fig. 2](#) zeigt. Die Blindzelle **4** ist eine herkömmliche Blindzelle eines DRAMs und weist zusätzlich einen NMOS-Transistor N4, welcher in Abhängigkeit von einem Steuersignal in2 gesteuert wird, auf, welches ein Ausgangssignal der Steuerschaltung **40** ist, und wird in einem Meßmodus aktiviert. Eine Versorgungsspannung CVdd wird an die Blindzelle **4** über den NMOS-Transistor N4 angelegt. Wenn das Steuersignal in2 aktiviert ist, werden Daten mit einem logischen „high“-Pegel, welches der CVdd-Pegel ist, in die Blindzelle **4** geschrieben.

**[0033]** [Fig. 5](#) ist ein detailliertes Schaltungsdiagramm, welches den in [Fig. 2](#) gezeigten Blind-Bitleitungsabstastverstärker **20** zeigt. Der Blind-Bitleitungsabstastverstärker **20** wird in derselben Weise betrieben wie ein normaler Blind-Bitleitungsabstastverstärker und wird in Abhängigkeit von Steuersignalen, welche von der Steuerschaltung **40** ausgegeben werden, so gesteuert, daß eine genaue Messung der Verzögerung des Blind-Bitleitungsabstastverstärkers **20** in derselben Weise ausgeführt wird, wie das des normalen Blind-Bitleitungsabstastverstärkers. Der Blind-Bitleitungsabstastverstärker **20** weist eine Abstastverstärkereinheit **22**, eine Vorladeeinheit **24** und Isolationstransistoren **26A** und **26B** auf. Die Abstastverstärkereinheit **22** verstärkt Daten in einem Paar Bitleitungen BL und BLb und die Vorladeeinheit **24**

lädt das Paar Blind-Bitleitungen vor und gleicht diese ab. Die Isolationstransistoren **26A** und **26B** isolieren das Paar Blind-Bitleitungen BL und BLb, welche mit der Blindzelle **4** verbunden sind, von dem Paar Blind-Bitleitungen BL und BLb bei einem Abtastvorgang, welche mit dem Blindabtastverstärker **22** verbunden sind.

**[0034]** Mit Bezug auf [Fig. 5](#) wird der Blind-Bitleitungsabtastverstärker **22** in Abhängigkeit von dem Steuersignal in8 betrieben. Der Blind-Bitleitungsabtastverstärker **22** wird in derselben Weise wie ein üblicher Bitleitungsabtastverstärker bei seinen Abtast- und Vorladevorgängen betrieben.

**[0035]** [Fig. 6](#) ist ein detailliertes Schaltungsdiagramm, welches die Steuerschaltung **40** zeigt, d. h. eine Zeitvorgabe erzeugende Schaltung, wie sie in [Fig. 2](#) gezeigt ist. Ein Signal in\_test wird in einem speziellen Modus wie etwa einem speziellen Testmodus oder ähnlichem aktiviert und dann nach tRAS gesperrt.

**[0036]** Mit Bezug auf [Fig. 6](#) erzeugt die Steuerschaltung **40** Steuersignale in1, in2, in4, in6, in8 und in9 in einem Testmodus.

**[0037]** [Fig. 7](#) ist ein Zeitablaufdiagramm nach [Fig. 2](#).

**[0038]** Mit Bezug auf [Fig. 7](#), wenn das Steuersignal in1 in Abhängigkeit von dem in\_test-Signal erzeugt wird, welches in dem Testmodus aktiviert wird, wird der in [Fig. 3](#) dargestellte Blindwortleitungstreiber **10** so getrieben, daß die Blindwortleitung WL auf einen Pegel Vpp getrieben wird. Zu dieser Zeit vergleicht die erste Vergleichseinheit **30A** den Spannungspegel der Blindwortleitung WD mit einem ersten Referenzspannungspegel Vref1. Wenn der Spannungspegel der Blindwortleitung WL höher als der erste Referenzspannungspegel Vref1 wird, bewegt sich der Spannungspegel eines Ausgangsknotens **38** des Differenzverstärkers **30A-1** von einem logischen „high“-Pegel zu einem logischen „low“-Pegel. Bevor das Steuersignal in1 aktiviert wird, ist der erste Referenzspannungspegel Vref1 höher als der Spannungspegel der Blindwortleitung WD, so daß der Spannungspegel des Ausgangsknotens **38** auf einem logischen „high“-Pegel gehalten wird.

**[0039]** Der Betrieb des Differenzverstärkers **30A-1** wird im nachfolgenden detailliert beschrieben.

**[0040]** Wenn ein Ausgangsknoten n50 auf einen logischen „high“-Pegel durch eine Treibereinheit **50** des Differenzverstärkers **30A-1** gesetzt wird, beginnt ein Strom am Knoten **36** nach Masse zu fließen. Zwei PMOS-Transistoren T1 und T2, welche sich in dem Differenzverstärker **30A-1** befinden, haben dieselbe Größe und zwei NMOS-Transistoren T3 und T4, wel-

che sich ebenfalls in dem Differenzverstärker **30A-1** befinden, sind ebenfalls identisch, so daß die zwei PMOS-Transistoren T1 und T2 einen gleichförmigen Strom unabhängig von an den Knoten **32** und **38** angelegten Spannungen treiben.

**[0041]** Wenn der Blindwortleitungstreiber **10** in Abhängigkeit von dem Steuersignal in1 betrieben wird, ist ein durch den NMOS-Transistor T4 fließender Strom größer als der durch den NMOS-Transistor T3 bei der Inbetriebnahme, welches bedeutet, daß der Spannungspegel der Blindwortleitung kleiner als der erste Referenzspannungspegel Vref1 ist, weil der NMOS-Transistor T4 unter einer höheren Vorspannung als der NMOS-Transistor T3 steht. Der Knoten **38** erreicht einen logischen „low“-Pegel schneller als der Knoten **32**. Da der Spannungspegel des Knotens **32** „high“ ist, ist der Gate-Spannungspegel der PMOS-Transistoren T1 und T2 „high“, so daß der durch die PMOS-Transistoren T1 und T2 fließende Strom reduziert ist. Entsprechend wird der Spannungspegel des Knotens **38**, welcher der Ausgangsknoten des Differenzverstärkers **30A-1** ist, ein logischer „low“-Pegel.

**[0042]** Demzufolge, wenn der Spannungspegel der Blindwortleitung ansteigt und höher wird als der erste Referenzspannungspegel Vref1, weist der NMOS-Transistor T3 eine höhere Vorspannung als der NMOS-Transistor T4 auf, so daß sich der Spannungspegel an dem Knoten **32** zu einem logischen „low“-Pegel bewegt. Und zwar wird die Ansteuerbarkeit des PMOS-Transistors T2 größer als die des NMOS-Transistors T4, so daß der Spannungspegel des Ausgangsknotens **38** sich zu einem logischen „high“-Pegel bewegt.

**[0043]** Da das Ausgangssignal des Ausgangsknotens **38** in dem Differenzverstärker **30A-1** relativ schwach ist, muß das Ausgangssignal zur Messung durch eine Meßkontaktstelle out2 verstärkt werden. Der Treiber **30A-2** funktioniert auf das Ausgangssignal des Differenzverstärkers **30A-1** hin. Wenn die erste Vergleichseinheit **30A** nach [Fig. 3](#) in einem normalen Modus nacheinander betrieben wird, steigt außerdem der stand-by-Strom. Im Fall, daß die erste Vergleichseinheit **30A** im normalen Betrieb ausgeschaltet wird und eingeschaltet wird, obwohl die Blindwortleitung zum Verhindern des oben genannten Stromverbrauchs getrieben wird, wird die Vergleichseinheit **30A** in Abhängigkeit von dem Steuersignal in1 aktiviert. Der Treibertransistor T5 des Differenzverstärkers **30A** wird in Abhängigkeit von dem Steuersignal in1 aktiviert.

**[0044]** Die vorliegende Erfindung ist nicht allein begrenzt auf die Aufgabe des Messens, wenn ein Spannungspegel der Blindwortleitung einen vorbestimmten Spannungspegel erreicht. Und zwar ist es, wenn die erste Referenzspannung Vref1 variabel ist, mög-

lich zu bestimmen, wann der Spannungspegel der Blindwortleitung den ersten Referenzspannungspegel  $V_{ref1}$  erreicht. Entsprechend, wenn ein Benutzer einen gewünschten Referenzspannungspegel  $V_{ref}$ , wie z. B. ein 1 V, 3 V oder den Vext-Pegel, anlegt, wenn der Spannungspegel der Blindwortleitung höher als der Referenzspannungspegel  $V_{ref}$  ist, gibt die Vergleichseinheit **30A** ein Signal aus. Wenn ein analoger Vorgang der Wortleitung in einen digitalen Vorgang umgewandelt wird, und eine Verzögerungszeit des Steuersignals in1 bis zu der Meßkontaktstelle out2 gemessen wird, kann eine RC-Verzögerung der Blindwortleitung detektiert werden.

**[0045]** Bevor der Blindwortleitungstreiber getrieben wird, müssen Daten mit einem logischen „high“-Pegel in die Blindzelle zur Messung geschrieben werden, welches durch das Steuersignal in2 ausgeführt wird. Und zwar mit Bezug auf das Zeitverlaufdiagramm nach [Fig. 7](#), wenn das in\_test-Signal einen logischen „high“-Pegel aufweist, wird der Pegel des Steuersignals in2 bei einem logischen „high“-Pegel gehalten, so daß der NMOS-Transistor N4 nach [Fig. 4](#) eingeschaltet ist. Entsprechend werden die Daten mit einem CVdd-Pegel in die Blindzelle geschrieben. Wenn der Testvorgang in Abhängigkeit von dem in\_test-Signal startet, wird das Steuersignal in2 auf einen logischen „low“-Pegel vermindert, so daß der NMOS-Transistor N4 nach [Fig. 4](#) ausgeschaltet ist. Wenn die Blindwortleitung in Abhängigkeit des Steuersignals in1 aktiviert ist, wird ein Ladungsaufteilungsvorgang der Blind-Bitleitung nur die Kapazität einer Zelle wie eine normale Zelle, einsetzend ausgeführt.

**[0046]** Mit Bezug auf [Fig. 2](#) und [Fig. 5](#), wenn die Blindwortleitung aktiviert ist, wird der Spannungspegel der Blindwortleitung zu Vb1p (Bit-Leitungsvorladespannung) + dv (zusätzliche Spannung durch die Ladungsaufteilung) durch den Ladungsaufteilungsvorgang. Andererseits ist der Spannungspegel der Blind-Bitleitungsschiene fest bei einem Pegel Vb1p. Wenn ein angelegter zweiter Referenzspannungspegel  $V_{ref2}$  höher als der der Blind-Bitleitung ist, wird ein Ausgangssignal out1 erzeugt. Wenn das Ausgangssignal out1 der zweiten Vergleichseinrichtung **30B** einen logischen „low“-Pegel erreicht, wird der Blind-Bitleitungsabstärker **20** in Abhängigkeit von dem Signal out1 getrieben.

**[0047]** Mit Bezug auf [Fig. 5](#) und [Fig. 7](#) werden die Treibertransistoren **22A** und **22B** des Blind-Bitleitungsabstärkers **20** in Abhängigkeit von dem Steuersignal in8 getrieben und ein Abtastvorgang der Blind-Bitleitungen BL und BLb wird ausgeführt. Das Steuersignal in4 der Vorladeeinheit **24**, welche den Spannungspegel der Blind-Bitleitungen BL und BLb auf einem Vorladespannungspegel Vb1p hält, muß den logischen „low“-Pegel schneller erreichen als das Steuersignal.

**[0048]** Wenn der Abtastvorgang beginnt, steigt die Blind-Bitleitung BL auf einen logischen „high“-Pegel und die Blind-Bitleitungsschiene BLb sinkt auf einen logischen „low“-Pegel, so daß Daten eines logischen „high“-Pegels in die Blindzelle geschrieben werden können. Die dritte Vergleichseinheit **30C** vergleicht einen Spannungspegel einer Blind-Bitleitung BL mit einem dritten Referenzspannungspegel  $V_{ref3}$ , welcher von einer externen Schaltung angelegt wird, und wenn der Spannungspegel der Blind-Bitleitung BL höher als der dritte Referenzspannungspegel  $V_{ref3}$  ist, gibt die Vergleichseinheit **30C** ein Signal out3 aus.

**[0049]** Mit Bezug auf [Fig. 7](#) muß die Sperrzeit des Steuersignals in4, welches von der Steuerschaltung **40** ausgegeben wird, später als die des Steuersignals in1 auftreten. Wenn die Blind-Bitleitungen BL und BLb auf den Vorladespannungspegel Vb1p vorgeladen werden und die Blindwortleitung WL aktiviert wird, wird ein Strompfad zwischen Vb1p, welches durch das Steuersignal in4 verbunden ist, und CVdd erzeugt, welches durch das Steuersignal in2 verbunden ist. Wenn das Steuersignal in4 gesperrt ist, wird das Signal in\_test verzögert, so daß das oben genannte Problem gelöst ist.

**[0050]** Vorzugsweise sind die erste Vergleichseinheit **30A**, die zweite Vergleichseinheit **30B** und die dritte Vergleichseinheit **30C** mit demselben Aufbau zum Abtasten unter gleichen Umgebungsbedingungen gemäß der vorliegenden Erfindung gebildet. Die Isolationstransistoren **26A** und **26B** des Blind-Bitleitungsabstärkers **20** sind eingefügt, um die Umgebungsbedingungen identisch mit denen eines normalen Bitleitungsabstärkers zu machen. Entsprechend sind die Umgebungsbedingungen zwischen der normalen Bitleitung und der Blind-Bitleitung oder der normalen Wortleitung und der Blindwortleitung angeglichen, so daß genaue Meßdaten zu erwarten sind.

**[0051]** Wenn die Überwachungsschaltung gemäß der vorliegenden Erfindung eingesetzt wird, kann eine genaue Wortleitungs- oder Bitleitungs-RC-Verzögerung und ein Modellparameter gemessen werden, so daß eine Halbleiterspeichervorrichtung, welche eine genaue Zeitvorgabe seiner internen Vorgänge aufweist, hergestellt werden kann.

### Patentansprüche

1. Halbleiterspeichervorrichtung mit:  
 einer Vielzahl von Blindwortleitungen und einer Vielzahl von normalen Wortleitungen;  
 einer Vielzahl von Blindwortleitungstreibern zum Treiben der Vielzahl von Blindwortleitungen;  
 einer Vielzahl von Steuerschaltungen zum Steuern der Vielzahl von Blindwortleitungstreibern;  
 einer Vielzahl von Vergleichseinrichtungen zum Vergleichen des Spannungspegels einer gewählten

Blindwortleitung und des Pegels einer vorbestimmten Referenzspannung und zum Ausgeben von Signalen, welche auf dem Vergleich der Spannungspegel basieren; und  
einer Vielzahl von Ausgabeeinrichtungen zum Ausgeben des Signals, welches von der Vielzahl der Vergleichseinrichtungen ausgegeben wird.

2. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Steuerschaltung eine Schaltung zum Erzeugen eines Zeitvorgabesignals ist.

3. Halbleiterspeichervorrichtung nach Anspruch 1, wobei die Vergleichseinrichtung folgendes aufweist:

einen Differenzverstärker zum Vergleichen des Spannungspegels der gewählten Blindwortleitung und des vorbestimmten Referenzspannungspegels und zum Erzeugen eines auf dem Vergleich basierenden Ausgangssignals; und  
einen Treiber zum Verstärken des Ausgangssignals des Differenzverstärkers.

4. Halbleiterspeichervorrichtung nach Anspruch 1, zusätzlich mit einer Vielzahl normaler Wortleitungstreiber zum Treiben der Vielzahl der normalen Wortleitungen.

5. Halbleiterspeichervorrichtung nach Anspruch 4, wobei der Blindwortleitungstreiber und der Normalwortleitungstreiber Transistoren aufweisen, und wobei die in dem Blindwortleitungstreiber vorhandenen Transistoren dieselbe Größe aufweisen wie die Transistoren der Normalwortleitungstreiber.

6. Halbleiterspeichervorrichtung nach Anspruch 5, zusätzlich mit einer Vielzahl von spannungstransformierenden Einrichtungen zum willkürlichen Transformieren der vorbestimmten Referenzspannung.

7. Halbleiterspeichervorrichtung mit:  
einer Vielzahl von Blind-Bitleitungen und einer Vielzahl von normalen Bitleitungen;  
einer Vielzahl von Blind-Bitleitungstreibern zum Treiben der Vielzahl von Blind-Bitleitungen;  
einer Vielzahl von Steuerschaltungen zum Steuern der Vielzahl von Blind-Bitleitungstreibern;  
einer Vielzahl von Vergleichseinrichtungen zum Vergleichen der Spannungspegel einer gewählten Blind-Bitleitung und dem Pegel einer vorbestimmten Referenzspannung und zum Ausgeben von Signalen, welche auf dem Vergleich der Spannungspegel basieren; und  
einer Vielzahl von Ausgabeeinheiten zum Ausgeben der von der Vielzahl von Vergleichseinrichtungen ausgegebenen Signale.

8. Halbleiterspeichervorrichtung nach Anspruch 7, wobei die Steuerschaltung eine Schaltung zum Erzeugen eines Zeitvorgabesignals ist.

9. Halbleiterspeichervorrichtung nach Anspruch 7, wobei die Vergleichseinrichtung folgendes aufweist:

einen Differenzverstärker zum Vergleichen des Spannungspegels der gewählten Blind-Bitleitung und des vorbestimmten Referenzspannungspegels und zum Ausgeben eines auf dem Vergleich basierenden Signals; und  
einen Treiber zum Verstärken des Ausgangssignals des Differenzverstärkers.

10. Halbleiterspeichervorrichtung nach Anspruch 7, zusätzlich mit einer Vielzahl von Normal-Bitleitungsabtastrverstärkern zum Abtasten einer Vielzahl von Normal-Bitleitungen.

11. Halbleiterspeichervorrichtung nach Anspruch 10, wobei der Blind-Bitleitungsabtastrverstärker und der Normal-Bitleitungsabtastrverstärker jeweils Transistoren aufweist, und wobei die in dem Blind-Bitleitungsabtastrverstärker enthaltenen Transistoren dieselbe Größe aufweisen wie die Transistoren des Normal-Bitleitungsabtastrverstärkers.

12. Halbleiterspeichervorrichtung nach Anspruch 11, zusätzlich mit einer Vielzahl von spannungstransformierenden Einrichtungen, welche in der Lage sind, die vorbestimmte Referenzspannung willkürlich zu transformieren.

13. Halbleiterspeichervorrichtung mit:  
einer Vielzahl von Blindwortleitungen und einer Vielzahl von Normalwortleitungen;  
einer Vielzahl von Blind-Bitleitungen und einer Vielzahl von Normal-Bitleitungen gebildet sind;  
einer Überwachungseinrichtung zum Messen von Spannungen auf einer gewählten Blind-Bitleitung und einer gewählten Blindwortleitung; und  
einer Steuerschaltung zum Steuern der Überwachungseinrichtung.

14. Halbleiterspeichervorrichtung nach Anspruch 13, wobei die Steuerschaltung eine Schaltung zum Erzeugen eines Zeitvorgabesignals ist.

15. Halbleiterspeichervorrichtung nach Anspruch 13, wobei die Überwachungseinrichtung folgendes aufweist:

einen Blindwortleitungstreiber zum Treiben einer gewählten Blindwortleitung;  
eine erste Vergleichseinrichtung zum Vergleichen des Spannungspegels der gewählten Blindwortleitung mit einem vorbestimmten ersten Referenzspannungspegel und zum Ausgeben von auf dem Vergleich der Spannungspegel basierenden Signalen;  
eine erste Ausgabeeinrichtung zum Ausgeben von Signalen, welche von der ersten Vergleichseinrichtung ausgegeben werden;  
einen Blind-Bitleitungsabtastrverstärker zum Verstärken von Daten auf der gewählten Blind-Bitleitung;

eine zweite Vergleichseinrichtung zum Vergleichen des Spannungspegels der Blind-Bitleitung mit einem vorbestimmten zweiten Referenzspannungspegel; und  
eine zweite Ausgabeeinrichtung zum Ausgeben von Signalen, welche von der zweiten Vergleichseinrichtung ausgegeben werden.

16. Halbleiterspeichervorrichtung nach Anspruch 15, wobei die erste und zweite Vergleichseinrichtung folgendes aufweisen:

einen Differenzverstärker zum Vergleichen des Spannungspegels der gewählten Blindwortleitung mit einem vorbestimmten Referenzspannungspegel; und einen Treiber zum Verstärken des Ausgangssignals des Differenzverstärkers.

17. Halbleiterspeichervorrichtung nach Anspruch 13, zusätzlich mit einer Vielzahl von Normalwortleitungstreibern zum Treiben der normalen Wortleitungen.

18. Halbleiterspeichervorrichtung nach Anspruch 17, wobei der Blindwortleitungstreiber und der Normalwortleitungstreiber Transistoren aufweisen, und wobei die in dem Blindwortleitungstreiber enthaltenen Transistoren dieselbe Größe aufweisen wie die Transistoren der Normalwortleitungstreiber.

19. Halbleiterspeichervorrichtung nach Anspruch 13, zusätzlich mit einem Normal-Bitleitungsabtastverstärker zum Abtasten der Normal-Bitleitung.

20. Halbleiterspeichervorrichtung nach Anspruch 19, wobei der Blind-Bitleitungsabtastverstärker und der Normal-Bitleitungsabtastverstärker jeweils Transistoren aufweisen, und wobei die in dem Blind-Bitleitungsabtastverstärker enthaltenen Transistoren dieselbe Größe aufweisen wie die Transistoren des Normal-Bitleitungsabtastverstärkers.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

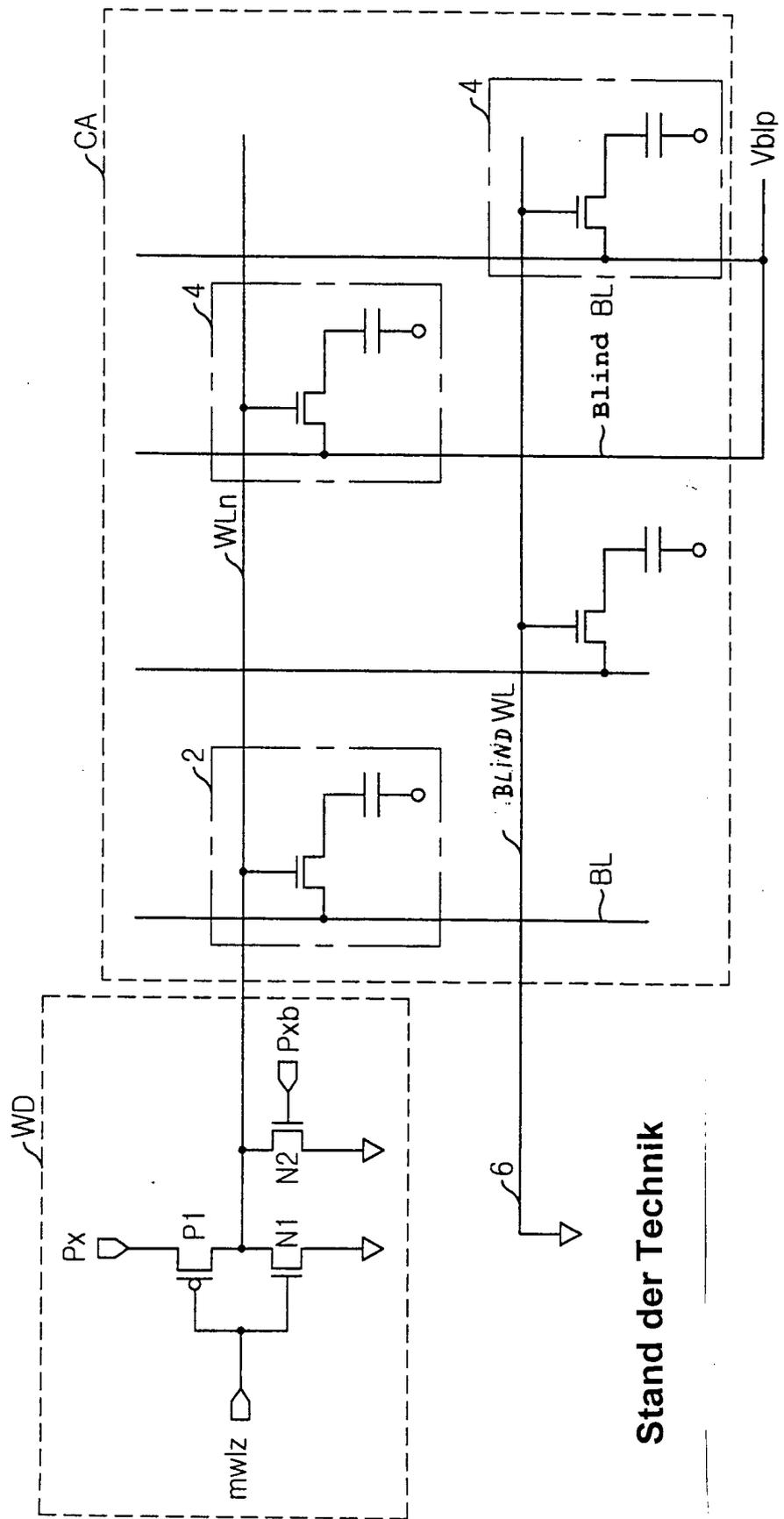


FIG. 2

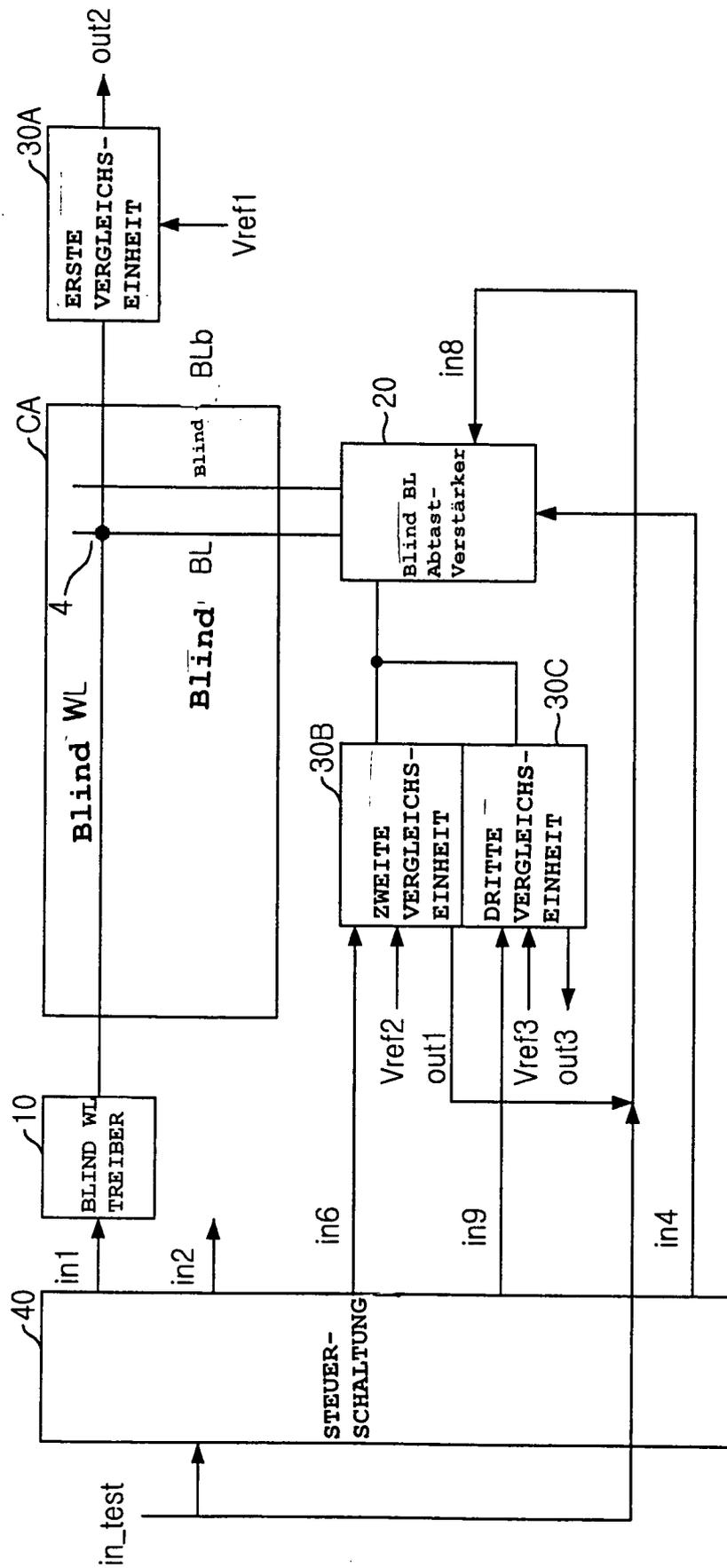




FIG. 4

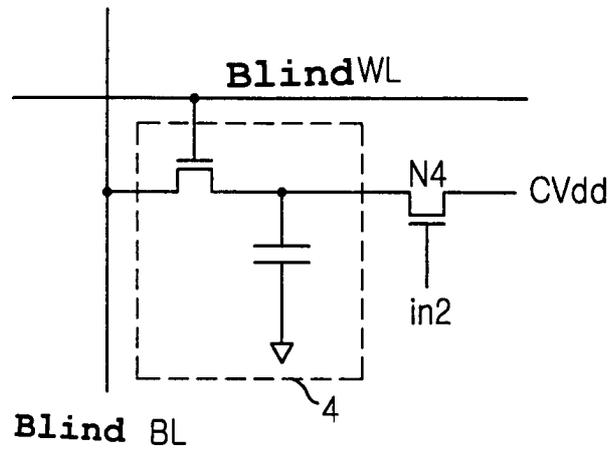


FIG. 5

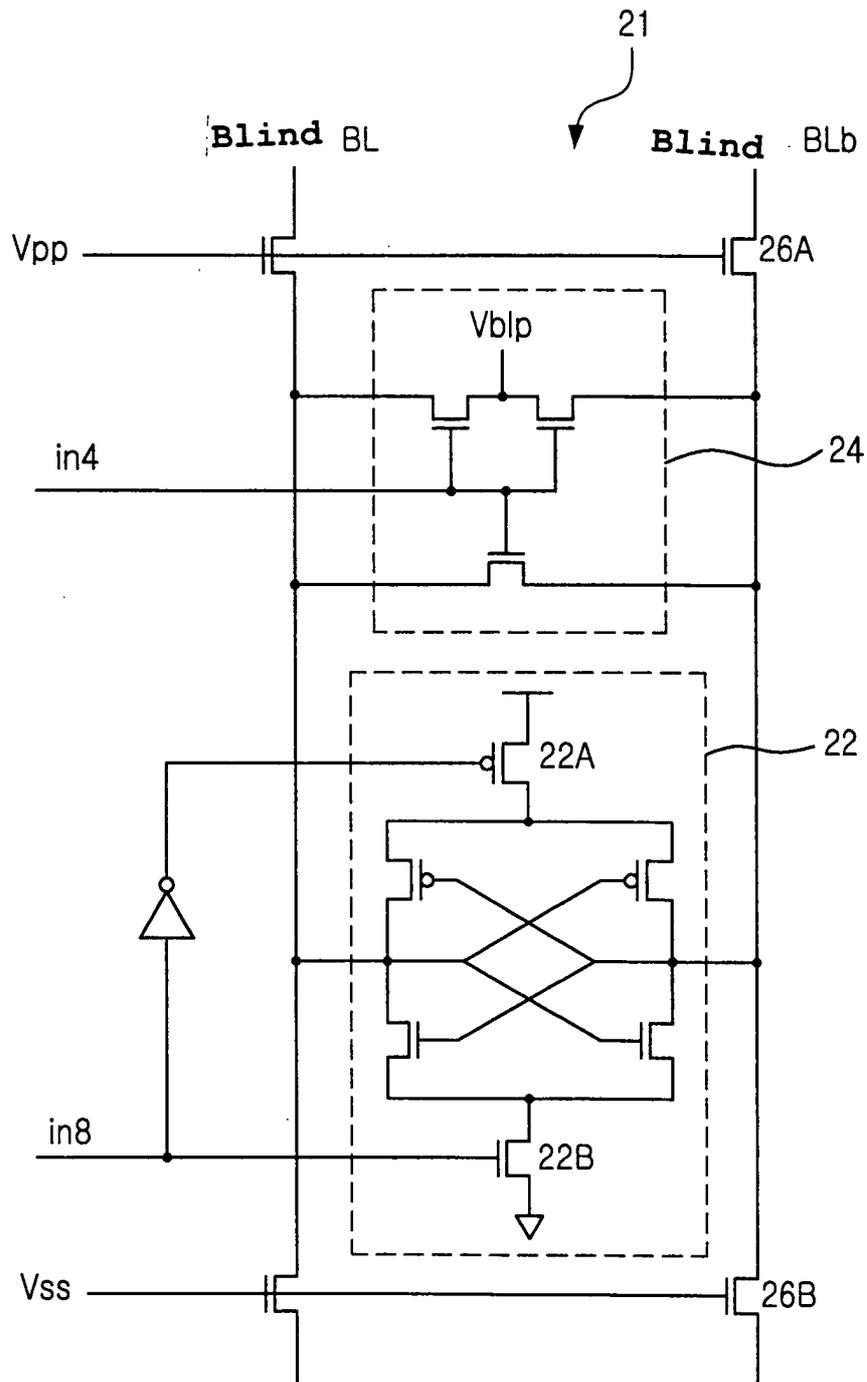


FIG. 6

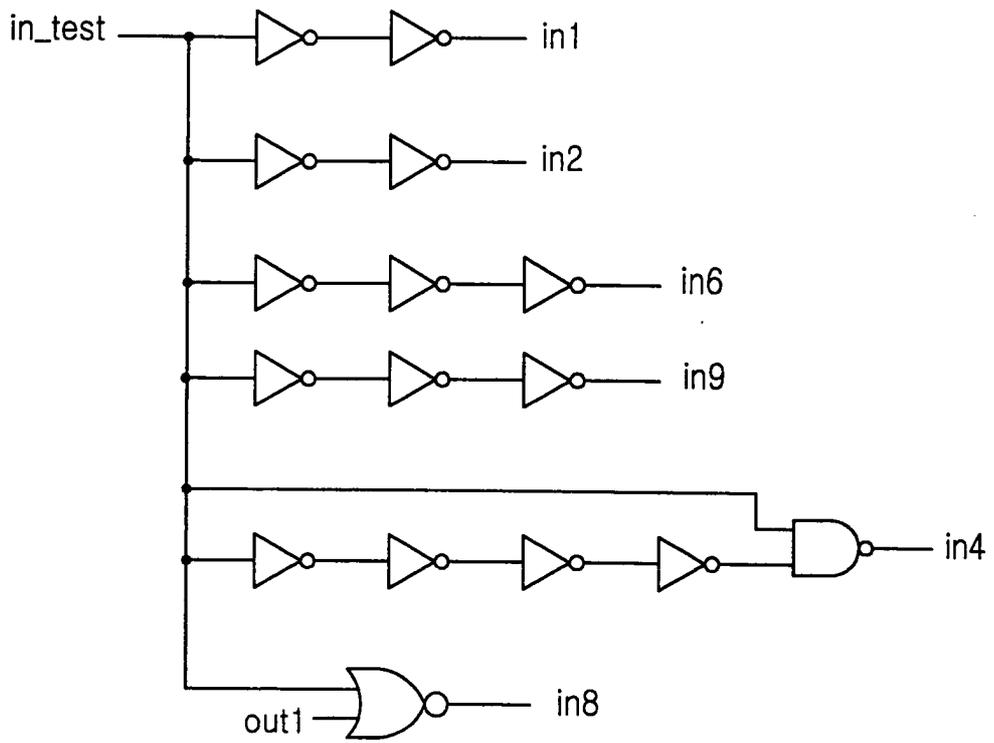


FIG. 7

