



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월30일  
(11) 등록번호 10-1944128  
(24) 등록일자 2019년01월24일

(51) 국제특허분류(Int. Cl.)  
B81C 1/00 (2006.01) B81B 7/00 (2017.01)  
G01N 33/00 (2006.01)  
(21) 출원번호 10-2013-7022245  
(22) 출원일자(국제) 2012년01월26일  
심사청구일자 2017년01월25일  
(85) 번역문제출일자 2013년08월22일  
(65) 공개번호 10-2014-0006908  
(43) 공개일자 2014년01월16일  
(86) 국제출원번호 PCT/CH2012/000020  
(87) 국제공개번호 WO 2012/100361  
국제공개일자 2012년08월02일  
(30) 우선권주장  
11000640.0 2011년01월27일  
유럽특허청(EPO)(EP)  
(56) 선행기술조사문헌  
EP01628132 A1\*  
JP06053298 A\*  
W02008023824 A1\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
센서리온 에이지  
스위스, 8712 스타파, 라우비스류티스트라쎄 50  
(72) 발명자  
그라프, 마르쿠스  
스위스 씨에이치-8005 취리히 헤인리히스트라쎄 114  
스트레이프, 마티아스  
스위스 씨에이치-8006 취리히 쇠흐제르스트라쎄 18  
(74) 대리인  
(뒷면에 계속)  
양영준, 정은진, 백만기

전체 청구항 수 : 총 9 항

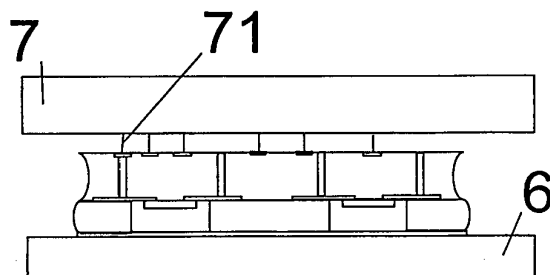
심사관 : 장창환

(54) 발명의 명칭 센서 칩을 테스트하기 위한 장치를 포함하는 센서 칩을 제조하는 방법

(57) 요약

센서 칩을 제조하는 방법에서, 전면(11)에 감지 요소(2)가 배치된 기관(1)의 전면(11)에 스페이서(3)가 또한 배치된다. 기관(1)의 전면(11)과 후면(12) 사이에서 기관(1)을 관통하는 비아들(15)을 형성하기 위해 홀들(14)이 에칭된다. 에칭 후에, 홀들(14)은 비아들(15)을 완성하기 위해 전도성 물질로 채워진다. 스페이서(3)는 이러한 제조 프로세스를 통해 감지 요소(2) 및 감지 칩에 보호를 제공한다.

대표도 - 도2h



(72) 발명자

**훈지커, 베르너**

스위스 씨에이치-8712 스테파 임 이바흐 9

**쉬안즈, 크리스토프**

스위스 씨에이치-8712 스테파 베르그스트라세 79

---

## 명세서

### 청구범위

#### 청구항 1

센서 칩을 제조하는 방법으로서,

전면(11) 및 후면(12)을 갖는 기판(1)을 제공하는 단계;

상기 전면(11)에 감지 요소(2)를 배치하고, 상기 전면(11)에 회로(13)를 집적하는 단계 - 상기 회로(13)는 평가 또는 증폭 회로임 -;

상기 전면(11)에 스페이서(3)를 배치하여, 상기 회로(13)의 적어도 일부를 커버하는 단계;

상기 스페이서(3)에 의해 커버된 상기 회로(13)의 상기 적어도 일부를 향해 상기 기판(1) 내에 홀들(14)을 에칭하는 단계; 및

상기 전면(11)과 상기 후면(12) 사이에 상기 기판(1)을 관통하여 연장되는비아들(15)을 형성하기 위해 전도성 물질로 상기 홀들(14)을 채우는 단계

를 포함하며,

상기 센서 칩은, 상기 센서 칩을 테스트하는 목적을 위해 상기 후면(12)에 배치된 콘택 패드들(16)을 전극들(71)에 전기적으로 접촉시키기 위해 척(chuck)(6)과 마주하는 스페이서(3)에 의해 상기 척(6) 상에 배치되고,

상기 기판(1)은 다수의 센서 칩을 형성하기 위해 웨이퍼(4) 형태로 제공되고,

상기 다수의 센서 칩을 위한 감지 요소들(2) 및 전도체들(13)이 상기 웨이퍼(4)의 전면(11)에 배치되고,

다수의 센서 칩을 위한 다수의 스페이서(3)가 상기 웨이퍼(4)의 전면(11)에 배치되고,

상기 스페이서들(3)이 상기 웨이퍼(4)에 배치되기 전에 또는 후에, 상기 다수의 센서 칩을 위해 상기 웨이퍼(4)를 통해 홀들(14)을 에칭하고 상기 홀들(14)을 채워비아들(15)을 형성하는 단계가 실시되고,

상기 기판(1)을 제공하는 단계, 상기 감지 요소들(2) 및 상기 전도체들(13)을 배치하는 단계, 상기 다수의 스페이서(3)를 배치하는 단계, 상기 홀들(14)을 에칭하는 단계 및 상기 홀들(14)을 채워 상기비아들(15)을 형성하는 단계는 상기 웨이퍼(4)를 다수의 센서 칩들로 분리하기 전에 구현되는, 센서 칩 제조 방법.

#### 청구항 2

제1항에 있어서,

상기 센서 칩은 상기 척(6) 상에 배치되는 동안에 테스트가 행해지는, 센서 칩 제조 방법.

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 웨이퍼(4)는, 상기 센서 칩을 테스트하기 위해 상기 척(6)과 마주보는 스페이서(3)에 의해 상기 척(6) 상에 장착되는, 센서 칩 제조 방법.

#### 청구항 5

제1항에 있어서,

상기 웨이퍼(4)의 후면(12)의 상단에 전극들(71)을 포함하는 프로브 헤드(7)가 배치되고, 상기 전극들(71)은 상기 콘택 패드들(16)과 접촉하는, 센서 칩 제조 방법.

#### 청구항 6

제1항에 있어서,

상기 감지 요소들(2)이 상기 스페이서(3)에 의해 보호되는 동안 테스트 루틴(test routine)들이 실행됨으로써 상기 감지 요소들(2)이 상기 척(6)과 직접 접촉하는 것을 방지하는, 센서 칩 제조 방법.

#### 청구항 7

제1항에 있어서,

테스트 중에 상기 웨이퍼(4)는 상기 전극들(71)을 통해 측정될 수 있는 센서 응답들을 일으키는 매체에 노출되는, 센서 칩 제조 방법.

#### 청구항 8

제7항에 있어서,

상기 센서 칩들은 습도 센서로서 구현되고, 상기 웨이퍼(4) 상의 상기 감지 요소들(2)에 습기가 공급되는, 센서 칩 제조 방법.

#### 청구항 9

제7항에 있어서,

상기 매체는 상기 척(6)과 마주하는 상기 감지 요소들(2)에 액세스하기 위해 상기 척(6)에 있는 개구들을 통해 가이드되는, 센서 칩 제조 방법.

#### 청구항 10

제9항에 있어서,

상기 개구들은 상기 척(6)의 상단 표면(65) 내에 리세스들(62)을 포함하며, 상기 척(6)의 상단 표면(65) 내의 리세스들(62)의 적어도 일부는 평행하게 배치되고, 상기 웨이퍼(4) 상의 2개의 센서 칩 열 사이의 거리에 대응하는 간격으로 평행하게 배치되는, 센서 칩 제조 방법.

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

**발명의 설명**

**기술 분야**

[0001] 본 출원은 2011년 1월 27일에 출원된 유럽 특허출원 제11000640.0호에 대한 우선권을 주장하며, 그 내용은 전체적으로 참조로서 원용된다.

[0002] 본 발명은 센서 칩을 제조하는 방법 및 테스트 장치에 관한 것이다.

**배경 기술**

[0003] 본 출원과 관련하여, 센서들이 반도체 기관들에 집적되는 경향이 있다. 이러한 종류의 제조는 센서들의 사이즈가 이산 타입의 센서에 비해 상당히 감소시킬 수 있다는 이점이 있으며, 이러한 센서들은 동일한 반도체 기관에 집적된 전자 회로에 인접하여 배치될 수 있는데, 그 회로는 증폭, 평가 등과 같이 센서에 의해 전달되는 신호에 작용하는 기능들을 포함할 수 있다.

[0004] 센서를 포함하는 집적 칩은 다음에서 센서 칩이라고 지칭된다. 이러한 센서 칩에서, 센서 및 가능한 전자 회로는 기관의 전면에 배치된다. 회로는 CMOS 프로세싱에 의해 형성될 수 있으며, 센서의 감지 요소의 전면 상의 구축 및/또는 배치는 CMOS 프로세싱과 호환될 수 있는 방식으로 구현될 수 있다. 이러한 센서 칩이 프로세싱 시스템에 집적될 필요가 있는 경우, 센서 칩은 통상적으로 예를 들어, 인쇄 회로 보드와 같은 상이한 회로 보드에 놓은 회로에 연결될 것이다. 센서 칩을 이러한 회로 보드에 실장하기 위한 바람직한 방식은 감지 요소 및 회로를 포함하는 전면이 회로 보드를 마주하고 그에 전기적으로 접속되도록 센서 칩이 플립되는 플립 칩 실장법(flip chip mounting)이라고 지칭되는 기법이다. 전기 연결은 센서 칩의 전면에 배치된 컨택 패드와 회로 보드 상에 배치된 컨택 패드와 이들 간의 솔더 물질(solder material) 사이에 이루어진다.

[0005] 그러나, 현재 감지 요소가 다양한 이유로 바람직하지 않을 수 있는 회로 보드와 마주하고 있는데, 이 경우 센서는 센서의 환경에서 측정치의 양을 검출할 것이고, 이러한 측정치는 회로 보드와 마주하는 배치로 인해 감지 요소에 대한 충분한 액세스를 갖지 못할 수 있다. 측정 대상 매체에 충분한 액세스가 부여되는 경우에도, 이러한 매체가 회로 보드와 접촉하고 있지 않다고 이해될 수 있다. 이 경우, 예를 들어, 측정 대상 매체는 기체이며, 이러한 기체는 회로 보드에 있는 회로에 손상을 줄 수 있다.

[0006] 전술한 문제점을 해결하기 위해, 스루-실리콘 비아법(through-silicon vias)이라고 지칭되는 기법이 적용될 수

있다. 이러한 비아들은 반도체 기판에서 배치되며, 기판의 전면과 후면 사이의 수직적 전기 연결을 나타낸다. 스루-실리콘 비아들을 갖는 센서 칩은 회로 보드와 마주하는 후면 및 회로 보드으로부터 멀리 떨어져서 마주하는 감지 요소를 포함하는 전면을 갖는 회로 보드에 실장될 수 있다. 센서 칩의 후면에 배치된 콘택 패드는 회로 보드에 대한 전기적 접촉을 허용한다.

[0007] 그러나, 이러한 센서 칩의 취급은 칩의 양면, 즉 전면과 후면이 감지 요소 및 콘택 패드와 같은 노출된 요소들을 포함한다는 점에서 어려운 것처럼 보인다.

## 발명의 내용

### 해결하려는 과제

[0008] 따라서, 본 발명에 의한 해결하려는 문제점은 센서 칩을 제조하는 방법, 및 프로세싱 중의 취급을 개선하는 테스트 장치들을 제공하는 것이다.

### 과제의 해결 수단

[0009] 이러한 문제점은 독립항인 제1항의 특징에 따른 센서 칩을 제조하는 방법 및 독립항인 제13항 및 제14항의 특징에 따른 테스트 장치에 의해 해결된다.

[0010] 센서 칩은 전면 및 후면을 갖는 기판을 포함한다. 감지 요소 및 전도체가 전면에 배치되고, 콘택 패드들이 후면에 배치된다. 전면과 후면 사이의 기판을 관통하여 연장된 비아들이 전도체들을 콘택 패드에 전기적으로 접속하기 위해 제공된다. 스페이서가 전면에 배치된다.

[0011] 센서 칩을 프로세싱할 때, 기판에는 전면 및 후면이 제공되며, 감지 요소는 스페이서처럼 전면에 배치된다. 기판에 홀들이 에칭되며, 홀들은 전면과 후면 사이의 기판을 관통하여 연장된 비아들을 구축하기 위해 전도성 물질로 채워진다.

[0012] 스페이서는 제조 시에 감지 요소를 보호하기 위해 배치된다. 전면을 갖는 센서 칩을 일부 지지체에 증착하는 것이 바람직한 제조 프로세스의 다양한 단계들이 존재한다. 이는 기판의 후면으로부터 제조 단계를 적용할 필요성 또는 기판의 후면에 배치된 콘택 패드들을 전기적으로 접속시킬 필요성으로 인한 것일 수 있다. 이러한 시나리오에서, 센서 칩은 스페이서를 이용하여 지지체 상에 플립되어 증착될 수 있는데, 이로써 스페이서는 지지체를 마주하면서 그 위에 위치한다. 그 결과, 감지 요소는 보호되며, 감지 요소가 손상 또는 파괴될 수 있는 콘택동안 어느 지지체와도 접촉을 필요로 하지 않는다. 스페이서는 기판의 전면에 배치되어 있는 보호 요소 역할을 하며, 감지 요소를 보호할 뿐 아니라 기판의 전면에 배치된 집적 회로와 같은 다른 구조체들도 보호할 수 있다.

[0013] 본 발명의 유리한 실시예들은 후술되는 설명뿐 아니라 종속항에 나열되어 있다.

[0014] 설명된 모든 실시예들은 유사하게 테스트 장치, 그것의 용도, 및 센서 칩을 제조하는 방법에 관한 것이다. 비록 상세히 설명되지 않을 수 있지만 실시예들의 상이한 조합으로부터 시너지 효과가 일어날 수 있다.

[0015] 또한, 방법에 관한 본 발명의 모든 실시예들이 설명된 단계들의 순서 또는 명백히 다른 언급이 없으면 임의의 다른 순서로 수행될 수 있다는 점이 이해되어야 한다. 본 발명의 개시 및 범위는 청구항에 나열된 순서와 상관없이 임의의 다른 단계들을 포함할 것이다.

### 도면의 간단한 설명

[0016] 본 발명의 전술한 실시예들 및 추가 실시예들, 및 특징 및 이점들은 도면들이 예시하는 도와 결합하여 이하 설명될 실시예들의 예시로부터 도출될 수도 있다.

도 1a 내지 도 1g 각각은 본 발명의 일 실시예에 따른 제조 중의 센서 칩의 상이한 개략적인 상태를 나타내는 종단면도인데, 도 1g에서는 본 발명의 일 실시예에 따른 최종 센서 칩을 나타낸다.

도 2a 내지 도 2l 각각은 본 발명의 일 실시예에 따른 웨이퍼 스케일에서의 센서 칩 프로세싱의 상이한 개략적 상태들을 나타내는 종단면도인데, 도 2l에서는 본 발명의 일 실시예에 따른 회로 보드에 배치된 최종 센서 칩을 나타낸다.

도 3은 본 발명의 일 실시예에 따라 웨이퍼 상에 배치된 센서 칩들을 테스트하기 위한 테스트 구성의 개략적 설

정을 나타낸다.

도 4는 본 발명의 일 실시예에 따른 도 3의 테스트 장치의 상세 도면을 횡단면으로 나타낸다.

도 5는 본 발명의 일 실시예에 따른, 척(chuck)의 상단 표면에 배치된 웨이퍼를 갖는 테스트 장치의 척의 횡단면도이다.

도 6은 본 발명의 일 실시예에 따른 테스트 장치의 샘플 척(6)의 상면도를 예시한다.

도 7은 본 발명의 일 실시예에 따른, 척의 상단 표면에 배치된 웨이퍼를 갖는 테스트 장치의 척의 횡단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0017] 도 1a 내지 도 1g는 본 발명의 일 실시예에 따른 제조 중의 센서 칩의 상이한 상태를 각각 종단면으로서 개략적으로 예시한다. 도 1g에는 최종 센서 칩이 도시되어 있다.
- [0018] 도 1a에 따르면, 전면(11)과 전면(11)에 반대에 있는 후면(12)을 포함하는 개략적인 기판(1)이 제공된다. 기판(1)의 높이/깊이/수직 연장(extension)/두께는 d1으로 표시된다. 본 예시에서, 기판(1)의 두께 d1은 웨이퍼의 통상 표준 두께인 500  $\mu\text{m}$ 와 800  $\mu\text{m}$  사이에 있다. 기판(1)의 수직 연장 d1에 수직하게, 기판(1)의 비가시 표면이 투영면으로 연장되는데, 이 표면은 칩셋 표면이라고도 알려져 있으며, 기판(1)의 길이 x1 및 비가시 폭 y1에 의해 정의된다.
- [0019] 기판(1)은 바람직하게는 반도체 기판이며, 바람직하게는 실리콘 기판이다. 그러나, 기판(1)은 세라믹, 유리, 중합체, 또는 그 밖의 다른 유전체 기판으로서 구현될 수도 있다.
- [0020] 도 1b에 따르면, 전도체(13)가 기판(1)의 제1 측(11)에 적용되는데, 예를 들어, 필요한 경우 금속 경로를 증착함으로써 적용된다. 일반적으로, 반도체 기판(1)은 센서 칩의 기능성의 범위 및 응용의 대상이 되는 평가 또는 증폭 회로와 같은 전도체 및 그 밖의 다른 회로를 형성하기 위해 CMOS 프로세스와 같은 공지의 프로세스들에 의해 구조화 및 프로세싱된다. 전도체(13)를 제외하고 도 1b에 도시된 다른 수동 또는 능동 회로가 존재하지 않는 경우라도, 필요한 경우 이러한 회로가 기판(1)의 전면(11)에 집적될 수 있는 것으로 이해된다. 이러한 상황에서, 하나의 요소를 기판(1)의 전면(11)에 배치하고자 하는 경우, 이러한 배치는 기판(1)의 표면에 대한 이러한 요소의 증착을 포괄하고, 또한, 요소가 기판(1) 자체를 필수적으로 터치하지 않도록 기판의 표면에 증착된 다른 층들에 대한 이러한 요소의 증착을 포괄하고, 또한, 예를 들어 전술한 반도체 프로세싱을 통해 표면에 가까운 기판에서 내부에 집적되어 이로써 다른 층들 아래 내장되는 요소/구조들을 포괄할 것이다. 이러한 요소들은 기판(1)의 후면 또는 측면들에 배치되지 않는다는 점에서 여전히 전면(11)에 배치된다.
- [0021] 도 1c에서, 측정을 지지하는 감지 요소(2)가 기판(1) 상에서 그것의 전면(11)에 증착된다. 적용된 제조 프로세스 및 감지 요소(2)를 형성하는 물질에 따라, 감지 요소(2)는 기판(1)에 증착되거나 내장될 수 있다. 모든 변형예에서, 감지 요소(2)는 회로와 동일한 기저 프로세싱 단계들을 통해 바람직하게는 형성될 수 있다.
- [0022] 도 1d에서, 스페이서(3)가 기판(1)의 전면(11)에 배치된다. 기판(1)에 스페이서(3)를 배치하는 것은 일반적으로 다음 중 하나를 포함할 수 있는데, 이들로 제한되는 것은 아니다. 스페이서(3)는 기판(1)과 이격되어 형성된 요소일 수 있으며, 기판(1)에 접촉되거나, 결합되거나 다르게 기계적으로 연결될 수 있다. 스페이서(3)는 기판(1)에 증착된 층 형태로 기판(1)에 직접 형성될 수 있다. 스페이서(3)는 기판(1)에 몰딩 또는 캐스팅함으로써 형성될 수 있다.
- [0023] 스페이서(3)를 기판(1)에 고정하기 위한 상호 연결 층으로서, 솔더(solder), 유리 프릿(glassfrit), 또는 중합체 층 중 하나가 적용될 수 있다. 도 1d에 도시된 바와 같이, 스페이서(3)는 감지 요소(2)를 둘러싼 형상을 보일 수 있다. 감지 요소(2)는 바람직하게 감지 요소(2)에 대한 액세스를 허용하기 위해 스페이서(3)에 의해 커버되지 않는다. 스페이서(3)는 높이 h1를 갖는데, 바람직하게 100  $\mu\text{m}$  초과이며, 바람직하게 150  $\mu\text{m}$ 와 250  $\mu\text{m}$  사이에 있다.
- [0024] 스페이서(3)는 레지스트, 특히 건식 레지스트(dry resist), 예를 들어 SU-8로서 구현된다. 대안으로서, 이는, 감지 요소(2) 위의 캐스트에 개구(31)를 형성하는데 인서트(insert)가 사용되는 몰딩 프로세스에서 캐스트에 의해 형성될 수 있다. 센서 칩은 인서트를 포함하는 몰드(mould)에 위치하는데, 이러한 몰드는 캐스트 물질로 채워지고, 캐스트 물질은 스페이서(3)를 형성하기 위해 경화된다.
- [0025] 스페이서(3)는 다른 기판, 예를 들어 실리콘-온-인슐레이터, 또는 다른 반도체층 구성 형태로 제공될 수도



있다. 스페이서(3)는 반도체, 실리콘, 실리콘 및 실리콘 산화물 코팅, 실리콘 및 솔더 가능 코팅, 세라믹, 세라믹 및 실리콘 산화물 코팅, 세라믹 및 솔더 가능 코팅, 유리, 유리 및 실리콘 산화물 코팅, 유리 및 솔더 가능 코팅, 금속, 금속 및 솔더 가능 코팅, 유전 물질, 및 중합체 중 하나로 형성될 수 있다. 스페이서(3)는 회로의 적어도 일부, 및 특히 기판(1)에 집적된 금속 구조들을 커버하거나 보호할 수 있으나, 스페이서(3)가 감지 요소(2)를 커버하지 않는 것이 바람직하다.

[0026] 스페이서(3)가 건식 레지스트와 같은 포토-구조 가능 물질로 형성되고, 건식 레지스트가 기판(1)의 전면(11) 전체에 적용된 후 원하는 경우 임의의 구조체를 패턴화하기 위해 가시광에 노출되는 경우, 이러한 스페이서(3)는 결국 기판(1) 상에 또는 안에 배치된 전자 회로를 커버하는 가시광 투과 구조체가 될 수 있다. 그러나, 광에 대한 노출의 경우, 이러한 전자 회로는 그 특성 및/또는 기능에 영향을 받을 수 있다. 스페이서(3)가 가시광에 투명한 물질로 형성되는 경우, 적어도 전자 회로가 기판(1) 상에서 또는 안에서 밑에 존재하는 영역에서 스페이서(3)의 상단에 다른 불투명 물질층을 도포하는 것이 바람직하다. 일 실시예에서 가시광 및/또는 자외선광에 투명하지 않을 이러한 불투명 물질은 임의의 광 유도 변형으로부터 센서 칩에 있는 전자 회로를 보호할 수 있다.

[0027] 이러한 불투명 물질은 특히 이송 몰딩(transfer-moulding)을 통해 스페이서(3)에 도포되거나 그 상단에 도포된 몰드 화합물일 수 있다. 인캡슐레이션(encapsulation)이라고도 지칭되는 이러한 몰드 화합물은 바람직하게 예폭시 물질을 포함한다. 당연히, 이러한 인캡슐레이션은 감지 요소(2)를 커버하는 것을 의미하지 않는다. 이러한 목적으로, 센서 칩은 스페이서(3)에 기초하여 감지 요소(2)를 향한 인캡슐레이션에 액세스 개구를 형성하는 몰드의 내향 돌출부(inward facing protrusion)와 함께 몰드에 배치될 수 있다. 몰드는 인캡슐레이션 물질로 채워지며, 인캡슐레이션 물질은 인캡슐레이션을 형성하기 위해 경화된다. 센서 칩이 리드 프레임(lead frame)과 같이 회로 보드에 배치된 후 몰드 화합물은 스페이서(3)에 도포될 수 있다.

[0028] 다른 실시예에서, 가시광에 투명하지 않은 래커(lacquer)에 의해 감광 스페이서(3)가 커버될 수 있다. 이러한 래커는, 예를 들어 예폭시 수지를 포함할 수 있다. 다른 실시예에서, 래커는 폴리우레탄을 포함할 수 있다. 양 실시예에서, 바람직하게 예를 들어,  $Fe_3O_4$ 와 같은 광 차단 피그먼트(light blocking pigment)가 추가될 수 있다. 이러한 래커는 스페이서에 도포되거나 그 상단에 도포될 수 있다.

[0029] 다른 접근법에서, 추가 층 또는 인캡슐레이션을 스페이서(3)에 도포하지 않고 싶은 경우, 스페이서(3)는 예를 들어, x-레이, 원자외선(deep UV) 또는 적외선과 같은 가시 스펙트럼 이외의 방사에 대한 노출에 의해 구조화될 수 있는 물질로 형성될 수 있다. 특히 x-레이를 감지하는 물질에 대한 일례는 PMMA이고, 원자외선을 감지하는 물질의 일례는 SU8인데, 이들 각각은 원하지 않는 광을 차단하기 위한 카본 블랙과 같은 필러(filler) 및 옵션으로서, 예를 들어 기판에 존재하는 물질들, 예를 들어 Si,  $SiO_2$ , SiN 금속과 경화 레지스트의 열팽창 계수를 매칭하는 것과 같이 몰드 화합물 유사 특성들을 획득하기 위한 실리카 입자와 같은 필러를 갖는다. 그러므로, 이러한 x-레이 감지 레지스트는 기판(1)의 상면(11) 전체에 적용될 수 있고, 그 후 x-레이에 대한 노출에 의해 구조화될 수 있다. 이러한 방식으로 스페이서(3)를 형성한 후에는, 적어도 현상 및 경화 후 x-레이에 투명하지 않지만, 가시광 및 자외선 광에는 투명하지 않은 스페이서 물질의 특성으로 인해 래커 또는 인캡슐레이션 형태의 가시광에 대한 노출로부터의 임의의 추가 보호는 필요 없다. 그러므로, 센서 장치는 전자 회로에서 손상을 일으키는 가시광 없이 이와 같이 사용될 수 있다.

[0030] 스펙트럼 범위들은 교과서 지식에 따라 정의될 수 있다. 구체적으로, 적외선 범위에서의 방사는 780nm 내지 1mm의 파장을 포함할 수 있고, 가시광선 범위에서의 방사는 380nm 내지 780nm의 파장을 포함할 수 있고, 자외선 범위에서의 방사는 1nm 내지 380nm의 파장을 포함할 수 있고, 원자외선 범위에서의 방사는 1nm 내지 300nm의 파장을 포함할 수 있고, x-레이 방사는 1nm 미만의 파장을 포함할 수 있다.

[0031] 종래의 CMOS 프로세싱에서, 집적 구조의 형성은 산화물, 실리콘 산화물, 또는 질화물 층과 같은 유전체 층을 기판(1)에 도포하여, 기판(1)의 전면(11)에 커넥터 또는 패드와 같은 임의의 금속 구조체를 커버함으로써 완성될 수 있다. 기판(1)의 전면(11)에 도포된 스페이서(3)의 관점에서, 유전체 층은 센서 칩의 제조 중에 생략될 수도 있다.

[0032] 본 실시예에서, 바람직하게 기판을 관통하는 비아들은 후속 단계에서 프로세싱된다. 이러한 비아들은 기판으로 홀들을 우선 에칭하고 이들 홀을 전기 전도성 물질로 채움으로써 제조된다. 이들 홀에 대해 높은 종횡비(aspect ratio)가 성취될 필요가 있기 때문에, 종래의 에칭 기법들이 적용될 수 없다. 예를 들어, 심도 반응성 이온 에칭법(deep reactive-ion etching(DRIE))을 포함하는 이방성 에칭법과 같은 특수 에칭 기법들이 이러한



높은 중형비를 갖는 홀들을 에칭하기 위해 적용될 수 있다. 한편, 이러한 특수 에칭 기법들에서, 에칭된 홀의 지름은 기판의 두께와 동등할 수 있는 깊이에 강하게 의존할 수 있다. 대략적으로, 유발된 지름은 홀의 깊이의 절반일 수 있다. 집적 회로들을 위한 기판이 형성되어 있는 실리콘 웨이퍼들의 두께는 통상적으로 수백 마이크로미터( $\mu\text{m}$ ), 예를 들어  $780\mu\text{m}$ 이다. 이 정도 두께를 갖는 경우, 스루-실리콘 비아를 형성하기 위한 기판 전체를 관통하여 에칭된 홀의 지름은 약  $390\mu\text{m}$ 이다. 한편, 본 출원에 관해, 감지 요소들은 칩에 포함된 추가 회로가 존재하는 경우에도 전체 칩 표면이 대략 수  $\text{mm}^2$ 를 초과하지 않도록 반도체 칩의 작은 영역만을 커버할 수 있다. 명백히, 한 쌍의 실리콘-스루 비아가 이러한 칩의 표면의 대부분을 요구할 것이다. 그 결과, 비아가 칩에 있는 가장 큰 구조체를 나타내기 때문에, 칩 표면은 확장될 필요가 있을 것이다. 그러나, 감지 요소 및 회로의 스케일 축소의 성취를 비아들이 다 써버리는 것은 바람직하지 않다. 그 결과, 기판(1)에 홀들을 에칭하기 전에, 표준 두께를 갖는 기판/웨이퍼에 에칭된 홀들의 지름보다 작은 지름을 갖는 홀들을 획득하기 위해 기판(1)의 두께( $d_1$ )를 감소시키는 것이 바람직할 수 있다.

[0033] 도 1e에 의해 표현되는 단계에서, 기판(1)은 예를 들어, 그라인딩(grinding)에 의해,  $300\mu\text{m}$  미만, 바람직하게  $100\mu\text{m}$  미만, 매우 바람직하게  $50\mu\text{m}$  미만의 감소된 두께  $d_2$ 로 박판된다. 이는 비아를 구현하기 위해 작은 사이즈/지름의 홀들을 에칭하는 것을 허용하도록 기판(1)으로부터의 물질이 기판(1)의 두께  $d_1$ 을 감소된 두께  $d_2$ 로 감소시키기 위해 제거된다는 것을 의미하며, 여기서 홀들의 지름은 기판(1)의 두께에 의존한다. 예를 들어, 두께가  $150\mu\text{m}$ 인 기판(1)을 관통하여 도달하는 홀들을 형성하기 위해 이방성 에칭 기법을 사용함으로써, 이러한 홀들의 지름은 대략  $75\mu\text{m}$ 일 수 있다. 기판(1)이 적어도  $50\mu\text{m}$ 로 얇아질 수 있는 경우, 이방성 에칭 기법들이 대신 적용될 수도 있다. 그 결과, 기판(1)이 칩 표면에 대한 전체 공간을 요구하지 않고 감소된 두께  $d_2$ 로 얇아진 후 비아들(15)을 위한 다수의 홀들(14)이 기판(1)에 에칭될 수 있다. 여러 센서 응용의 경우, 적어도 4개의 스루-실리콘 비아들이 형성되는데, 2개는 전력을 위한 것이고, 나머지 2개는 통신을 위한 것이다.

[0034] 스페이서(3)의 기능성이 현재 2부분으로 구성될 수 있다. 첫번째, 기판(1)을 얇게 만들기 위해, 본 발명의 센서 칩은 플립되어 지지체 위에 위치할 필요가 있을 수 있다. 이러한 위치에서, 지지체를 마주하는 스페이서(3)를 이용하면, 감지 요소(2)는 감지 요소(2)가 지지체와 접촉하고 있지 않다는 점에서 스페이서(3)에 의해 보호된다. 두번째, 박판화 단계의 결과로서 기판(1)이 더 이상 강성 요소를 형성하지 않고, 얇은 플렉서블 요소를 나타내는 레벨까지 기판(1)의 두께를 감소시킬 수 있기 때문에, 스페이서(3)는 추가적으로 본 발명의 센서 칩에 대한 스티프너(stiffener) 역할을 할 수 있다. 스루 비아의 지름을 줄이기 위한 노력의 부산물로서 획득되는 유연성(flexibility)을 보상하기 위해, 스페이서(3)는 센서 칩으로 하여금 더 강성의 구조체를 다시 형성하게 하여 센서 칩의 기계적 안정성 및 그 취급성을 개선한다.

[0035] 기판(1)에 홀들(14)을 에칭한 후의 센서 칩의 상태가 도 1f에 도시되어 있다. 바람직하게, 홀들(14)이 후면(12)부터 기판(1)에 에칭된다. 최종 단계에서, 홀들(14)은 Cu, 폴리Si, Si, 또는 다양한 비아(15)를 구현하기 위한 다른 물질과 같은 전도성 물질로 채워진다. 이러한 상황에서, 비아(15)는 기판(1)을 관통하는 전도성 요소로서 이해된다. 기판(1)의 후면(12)에 제공되는 전도체들(17)은 기판(1)의 후면(12)의 임의의 위치에 제공되는 컨택 패드들(16)에 비아들(15)을 연결할 수 있다. 이러한 관점에서, 기판(1)의 후면(12)은 도 1g에 도시된 바와 같이 서로 충분한 거리만큼 떨어진 컨택 패드들(16)에 최종적으로 솔더 볼들(18)을 배치하는 것을 가능하게 하는 재분배 층으로서 이해될 수 있다. 이러한 재분배 층의 전도체들(17)은 프로세스 초기에, 예를 들어 도 1b에 예시된 단계 후에 기판(1)에 형성될 수 있다. 다른 실시예에서, 공간 측면에서 실현 가능한 경우, 기판(1)의 후면(12)에 있는 비아들(15)의 일부 또는 모든 말단이 컨택 패드(16)를 형성하거나, 특히 컨택 패드(16)로서 형성될 수 있다. 홀들(14)을 에칭 및 채우는 동안, 센서 칩은 플립되어 스페이서(3)에 위치할 수 있으며, 이로써 제조 시에 감지 요소(2) 및 다른 집적된 구조들을 보호한다. 그 결과, 스루-실리콘 비아들(15)을 형성하는 동안 임의의 다른 캐리어가 필요 없다.

[0036] 본 발명의 제조 프로세스에 관한 실시예의 경우, 스페이서(3)에 사용된 물질은 높은 온도 안정성을 보이고, 스루-실리콘 비아들(15)을 형성하는 동안 사용된 처리를 감지할 수 없을 수 있다는 점이 이점인데, 그 이유는 스루-실리콘 비아들(15)을 형성하는 동안 스페이서(3)가 고온 및 이러한 처리들에 노출될 수 있기 때문이다.

[0037] 유리한 실시예에서, 스페이서(3)는 개구(31)를 커버하기 위한 감지 요소(2)로부터 멀리 떨어져서 배치되어 있는 멤브레인(membrane)을 포함할 수 있다. 이러한 멤브레인(51)의 일례가 도 2e에 도시되어 있다. 이러한 멤브레인(51)은 중합체 막으로서, 스페이서(3)에 결합되고, 제조 시에 임시 보호막으로서 제공될 수 있으며, 대안으로서 감지 요소(2)에 대한 충분한 액세스를 허용하면 영구적인 커버로서 제공될 수 있다.

[0038] 도 1g에 따른 센서 칩은 이전 제조 단계로부터 기인한 센서 칩을 나타낸다. 이러한 센서 칩은 회로 보드과 마

주하는 후면(11)을 갖는 회로 보드에 실장될 수 있다. 이러한 실장을 위해, 센서 칩의 컨택 패드(16)와 회로 보드의 컨택 패드 사이의 전기적 연결을 설립하기 위해, 일 실시예에서 인쇄 회로 보드일 수 있는 회로 보드에 대해 솔더 범프(solder bump)(18)를 이용하여 센서 칩이 눌러질 수 있다. 솔더 범프(18)는 경화되거나, 신뢰 가능한 전기 연결이 설립되도록 다르게 처리될 수 있다. 또한, 센서 칩은 센서 칩의 후면(12)에 접착체에 의해 또는 그 밖의 다른 수단에 의해 회로 보드에 기계적으로 고정될 수 있다.

[0039] 결과적으로, 센서 칩의 전면(11), 특히 감지 요소(2)는 주변 환경을 마주한다. 이러한 구성에서, 회로 보드는 예를 들어, 스페이서(3)에 대해 봉인될 수 있는 추가 하우징을 이용하여 측정 환경으로부터 쉴드될 수 있다. 스페이서는 센서 칩의 동작 중에도 감지 요소(2)에 대한 보호를 계속 제공한다. 동시에, 감지 요소(2)는 측정 환경에 충분히 노출된다. 센서 칩이 회로 보드에 플립-칩 실장되는 경우와 같이 감지 요소(2)에 대한 액세스를 방지하기 위한 요소들이 존재하지 않는다. 감지 요소로부터의 임의의 센서 신호 또는 이러한 센서 신호로부터 도출된 신호들이 커넥터(13) 및 비아들(15)을 통해 회로 보드에 있는 회로에 송신될 수 있다.

[0040] 이와 같이, 비아들(15)은 기판(1)의 전면(11)과 후면(12) 사이의 전기적 연결을 나타내며, 특히 기판(1)의 전면(11)에 있는 커넥터들(13)을 후면에 있는 컨택 패드들(16)과 연결하는 것을 도울 수 있다. 센서 요소(2)는 직접 커넥터(13)에 연결되거나 다른 회로를 통해 연결될 수 있다. 기판(1)이 실리콘 기판으로서 구현되는 경우, 비아들(15)은 스루-실리콘 비아라고 명명될 수 있다.

[0041] 본 발명의 제조 단계들의 순서는 상이한 측면의 관점에서 유리하다. 도 1a 내지 도 1c에 따른 제1 단계들에서, 표준 반도체 칩 제조 프로세스가 적용될 수 있다. 전술한 바와 같이, 스페이서(3)는 비아들(15)의 제조 시에 프로텍터(protector)로서 적용될 수 있다. 그러나, 스페이서(3)는 이미 기판(1)의 가능한 박판화 중의 프로세스에서 더 빨리 보호 기능을 수행할 수 있다. 이러한 상황에서, 기판(1)을 감소된 두께 d2로 박판하기 전에 스페이서(3)가 기판(1)에 이미 부착되어 있는 것이 유리하다.

[0042] 여전히, 임의의 제조 단계들이 청구항에 나열된 것과 상이한 순서를 취할 수 있다. 예를 들어, 감지 요소(2)를 배치하기 위한 기술이 이미 배치된 스페이서(3)에 의해 금지되지 않으면, 스페이서(3)가 기판(1)에 배치된 후 감지 요소(2)가 기판(1)에 배치될 수도 있다. 취급이 허용되면, 스페이서(3)는 도 2에 관해 더 상세히 설명되는 바와 같이 센서 칩을 테스트하는 것과 같은 프로세싱 단계만을 위해 기판(1)에 배치될 수 있다. 취급이 허용되는 경우, 비아들(15)이 우선 형성되고, 회로/전도체(13) 및 감지 요소(2)가 이후 단계에서 형성될 수도 있다.

[0043] 센서 칩을 제조하는 다른 실시예에서, 회로 및 감지 요소(2)는 도 1a 내지 도 1c에 따라 초기에 기판(1)에 집적된다. 다음 단계에서, 예를 들어 스페이서(3)가 이미 적용되지 않은 채로, 도 1e를 따라 후면(12)을 박판함으로써 기판(1)의 두께 d1은 감소된다. 다음 단계에서, 스루-실리콘 비아들(15)은 스페이서(3)가 기판(1)에 적용되지 않은 채로, 도 1f 및 도 1g를 따라 형성된다. 기판(1)에 스루-실리콘 비아들(15)을 형성한 후, 스페이서(3)가 도 1d를 따라 배치되고, 도 1g에 따른 센서 칩이 생성되도록 솔더 범프들(18)이 컨택 패드들(16)에 부착된다. 스페이서(3)에 사용되는 물질이 낮은 온도 안정성 및/또는 스루-실리콘 비아들(15)을 형성하는 동안 사용되는 처리들에 대한 민감성만을 보일 수 있으면 이러한 프로세싱은 유리하다. 그러나, 스루-실리콘 비아들(15)의 프로세싱 중에 박판된 기판(1)을 지지하고 그것을 손상 받는 것으로부터 보호하기 위해 캐리어가 적용될 수 있는 것이 바람직할 수 있다.

[0044] 도 2a 내지 도 2l은 본 발명의 일 실시예에 따라 웨이퍼 스케일로 프로세싱되는 센서 칩의 상이한 상태를 각각 종단면으로 개략적 예시한다. 도 2l에는 회로 보드에 배치된 최종 센서 칩이 본 발명의 일 실시예에 따라 예시된다.

[0045] 도 2a에서, 개별 센서 칩이 형성될 수 있는 단일 기판 대신, 웨이퍼(4) 전체가 제공되는데, 여기서 웨이퍼(4)는 다수의 센서 칩들이 형성될 기판을 구성한다. 본 발명의 예시에서, 센서 칩들은 제조 프로세스의 마지막에 서로 개별 요소로 분리되는데, 이에 대해서는 후에 설명될 것이다. 전체 프로세싱 동안에, 웨이퍼(4)는 모든 센서 칩들이 형성될 공통 기판을 형성한다. 생략된 박판 단계 이외에, 웨이퍼(4)가 이미 요구 두께로 마련되거나, 웨이퍼(4)가 원래의 두께로 사용될 수 있기 때문에, 초기 제조 단계들은 도 1에 예시된 바와 동일하다.

[0046] 웨이퍼(4)에는 전면(11), 후면(12), 및 높이/깊이/수직 연장/두께 d1이 제공된다. 웨이퍼(4)의 길이 및 폭은 당연히 도 1a를 따라 사용되는 바와 같은 개별 기판(1)의 길이 x1 및 폭 y1을 초과한다. 전도체(13) 및 가능한 다른 전자 컴포넌트들을 포함하는 회로는 다수의 센서 칩들이 형성되도록 CMOS 프로세싱을 통해 웨이퍼(4)에

집적된다(도 2b 참조). 도 2c에 예시된 단계에서, 감지 요소(2)의 어레이는 웨이퍼(4)에 형성된다. 다시, 이러한 감지 요소(2)는 회로가 형성된 동일한 프로세싱 단계에 의해 형성될 수 있고, 예를 들어, 이러한 감지 요소들(2)은 센서 칩이 환경의 상대 습도를 측정하기 위한 습도 센서를 나타내도록 본 발명의 예시에서 습기를 수용하는 중합체 층을 포함할 수 있다.

[0047] 대안으로서, 감지 요소들(2)은 웨이퍼 전체를 커버하는 필름 형태로 웨이퍼(4)에 증착되어 도 2c에 도시된 개별 감지 요소들(2)을 최종적으로 형성하기 위해 구조화될 수 있다.

[0048] 도 1d에 도시된 단계에 대응하여, 스페이서들이 후속적으로 기판(1)에 적용된다. 스페이서(3)를 웨이퍼(4)에 적용/배치하는 것은 플레이트(5) 형태로 다수의 스페이서들(3)을 제공하는 것을 포함할 수 있다. 도 2d에 도시된 바와 같이, 이러한 플레이트(5)는 예를 들어 건식 레지스트 또는 다른 적절한 물질의 플레이트(5)일 수 있는데, 여기서 감지 요소들(2)에 액세스하기 위한 개구들(31)이 이미 미리 제조되어 있거나, 웨이퍼(4)의 전면(11)에 플레이트(2)를 적용한 후에 이러한 개구들(31)이 제조된다. 이러한 상황에서, 플레이트(5) 전체는 웨이퍼(4)의 길이 및 폭과 동등한 길이 및 폭을 갖는 것이 유익할 수 있다. 플레이트(5)는 구체적으로 실리콘, 실리콘 및 실리콘 산화물 코팅, 실리콘 및 솔더 가능 코팅, 세라믹, 세라믹 및 실리콘 산화물 코팅, 세라믹 및 솔더 가능 코팅, 유리, 유리 및 실리콘 산화물 코팅, 유리 및 솔더 가능 코팅, 금속, 금속 및 솔더 가능 코팅, 및 중합체 중 하나로 형성될 수 있다. 대안으로서, 스페이서(3)를 웨이퍼(4)에 적용/배치하는 것은 웨이퍼(4)에 증착된 층 형태로 다수의 스페이서(3)를 형성하는 것을 포함할 수 있다. 대안으로서, 스페이서(3)를 웨이퍼(4)에 적용/배치하는 것은 웨이퍼(4)에 물질을 몰딩 또는 캐스팅함으로써 다수의 스페이서(3)를 형성하는 것을 포함할 수 있다. 이를 위해, 웨이퍼(4)는 감지 요소(2)에 대한 액세스 개구를 형성하기 위한 인서트들을 포함하는 몰드에 위치한다. 몰드는 캐스트 물질로 채워지며, 캐스트 물질은 캐스트를 형성하기 위해 경화된다.

[0049] 다시, 다른 실시예에서, 스페이서(3)가 건식 레지스트와 같은 광 구조화 가능 물질로 형성되는 경우, 그 밖의 다른 불투명한 물질층을 스페이서(3)의 상단에 적용하는 것이 바람직하다. 가시광에 투명하지 않은 이러한 불투명 물질은 임의의 광 유도 변환으로부터 웨이퍼(4)의 전자 회로들을 보호할 수 있다. 이러한 층을 도포하는 것은 웨이퍼를 개별 센서 칩들로 절단하기 전에 수행되는 것이 바람직할 수 있다.

[0050] 이러한 불투명 물질은 특히 이송-몰딩을 통해 스페이서(3)에 도포되거나 그 상단에 도포되는 몰드 화합물일 수 있다. 인캡슐레이션이라고 지칭되는 이러한 몰드 화합물은 바람직하게 예폭시 물질을 포함한다. 웨이퍼(4)는 스페이서(3)에 기초하여 센싱 요소(2)를 향해 인캡슐레이션에 액세스 개구들을 형성하는 몰드의 내향 돌출부와 함께 몰드에 배치될 수 있다. 몰드는 인캡슐레이션 물질로 채워지며, 인캡슐레이션 물질은 인캡슐레이션을 형성하도록 경화된다. 이러한 캡슐화는 반드시 칩 전체를 캡슐화할 필요는 없지만, 스페이서(3)에 배치된 몰드 화합물 층만을 나타낼 수 있다.

[0051] 다른 실시예에서, 감광 스페이서들(3)은 가시 광에 투명하지 않은 래커에 의해 커버될 수 있다. 이러한 래커는 예를 들어, 예폭시 수지를 포함할 수 있다. 다른 실시예에서, 래커는 폴리우레탄을 포함할 수 있다. 양 실시예에서, 예를 들어 Fe3O4와 같은 광 차단 피그먼트가 추가될 수 있는 것이 더 바람직할 수 있다. 이러한 래커는 웨이퍼(4)를 개별 센서 칩들로 절단하기 전에 스페이서(3) 전체 또는 그 상단에 적용될 수 있다. 래커의 증착은 스페이서(3)가 형성된 직후에 수행될 수 있다. 또는, 래커는 스페이서(3)가 형성된 후의 임의의 시점에 스페이서(3)에 적용될 수 있으며, 이들 사이에 임의의 다른 제조 단계들을 허용한다. 래커는 웨이퍼(4)로부터 센서 칩들을 분리시킨 후에도 적용될 수 있다.

[0052] 다른 접근법에서, 스페이서들(3)은 예를 들어, x-레이, 원자외선, 또는 적외선과 같은 가시 스펙트럼 이외의 방사에 대한 노출에 의해 구조화될 수 있는 물질로 형성될 수 있다. 특히 x-레이를 감지하는 물질에 대한 일례는 PMMA이고, 원자외선을 감지하는 물질의 일례는 SU8인데, 이들 각각은 원하지 않는 광을 차단하기 위한 카본 블랙과 같은 필터 및 옵션으로서, 예를 들어 기판에 존재하는 물질들, 예를 들어 Si, SiO<sub>2</sub>, SiN 금속과 경화 레지스트의 열팽창 계수를 매칭하는 것과 같이 몰드 화합물 유사 특성들을 획득하기 위한 실리카 입자와 같은 필터를 갖는다. 그러므로, 이러한 x-레이 감지 레지스트는 웨이퍼(4)의 상면(11) 전체에 적용될 수 있고, 그 후 x-레이에 대한 노출에 의해 구조화될 수 있다.

[0053] 도 2e에 따르면, 멤브레인 층(membrane layer)(51)은 예를 들어, 본딩(bonding)에 의해 스페이서 플레이트(5)/스페이서들(3)에 증착되어 최종 스페이서(3)의 부분을 형성한다. 중합체 층으로서 구현될 수 있는 멤브레인 층(51)은 개구들(31)을 커버하고, 감지 요소들(2)을 보호하고, 감지 요소들(2)로부터 멀리 배치되고, 측정 대상 매체에 충분한 액세스를 제공한다. 도 2f에 의해 표현된 단계에서, 웨이퍼(4)의 후면(12)으로부터, 이롭게도 심도 반응성 이온 에칭법에 의해 모든 센서 칩들에 관해 홀들(14)이 에칭된다. 이러한 이유 때문에, 웨이퍼 배



치는 멤브레인 층(51)을 이용하여 플립되어 지지체(미도시)에 위치한다. 도 2g에 대응하는 단계에서, 각각의 센서 칩의 전도체들(13)을 다시 후면(12)에 있는 컨택 패드들(16)에 연결하도록 웨이퍼(4)의 감소된 두께 d2 전체를 관통하는 비아들(15)을 형성하기 위해 모든 홀들(14)이 전도성 물질로 채워지며, 여기서 컨택 패드들(16)은 도 2g에 도시된 관련 비아(15)로부터 오프셋되어 배치되거나 웨이퍼(4)의 후면(12)에 있는 관련 비아들(15)과 일렬로 배치되거나, 임의의 컨택 패드 배치의 혼합 형태로 배치될 수 있다.

[0054] 센서 칩을 프로세싱하는 후속 단계에서, 웨이퍼 배치는 플립된 상태인 채로 남아있고, 센서 칩들을 테스트하기 위한 목적으로 척(6)과 마주하는 멤브레인 층(51)을 갖는 척(6) 위에 위치한다(도 2h 참조). 양 시나리오에서, 쉽게 액세스 가능한 컨택 패드(16)에 대한 전기 연결이 설립된다. 전극들(71)을 포함하는 프로브 헤드(7)는 웨이퍼(4)의 후면(12)의 상단에 배치되고, 전극들(71)은 컨택 패드들(16)과 접촉된다. 테스트 루틴들이 실행될 수 있으며, 여기서 감지 요소들(2)은 스페이서들에 의해 보호되는데, 이는 감지 요소들(2)이 척(6)과 직접 접촉하는 것을 회피한다.

[0055] 바람직하게는, 테스트 중에, 웨이퍼 구성은 전극들(71)을 통해 측정될 수 있는 센서 응답들을 일으키는 매체에 노출될 수 있다. 예를 들어, 센서 칩들이 습도 센서들로서 구현되는 경우, 습기가 웨이퍼(4)에 있는 감지 요소(2)에 공급될 수 있다. 도 2h에 따른 구성에서, 이러한 매체는 바람직하게는 척(6)과 마주하는 감지 요소들(2)에 액세스하기 위해 척(6)에 있는 개구들(도 2h에는 명확하게 도시되지 않음)을 통해 가이드된다.

[0056] 도 2i에 따르면, 웨이퍼(4)는 센서 칩들을 서로 분리하기 위해 예를 들어 점선을 따라 절단될 수 있다. 최종 개별 센서 칩들은 포일(foil)(8)에 배치될 수 있으며, 가능한 경우 이송만을 위해 접촉될 수 있다. 개별 센서 칩들을 분리하기 전에, 회로 보드와 같은 이들의 목적지에 대한 개별 센서 칩들의 실장을 준비하기 위해 웨이퍼(4)의 후면(12)에 있는 컨택 패드들(16)의 일부 또는 전부에 솔더 범프들이 적용될 수 있다.

[0057] 다수의 센서 칩들을 갖는 이러한 포일(8)은 도 2i에 개략적으로 예시된 바와 같이 자동 어셈블리(9)에 공급될 수 있다. 픽커(picker)(91)가 스페이서(3)에서 개별 센서 칩을 들어올려서 본 발명의 예시에서 회로 보드(10)인 최종 목적지에 이러한 센서 칩들을 위치시킨다. 어셈블리/패키징 프로세스 중에, 전체 센서 칩뿐 아니라 감지 요소(2)는 픽커(91)를 위한 바람직한 컨택 표면 역할을 하는 스페이서(3)를 이용하여 보호된다.

[0058] 따라서, 센서 칩은 회로 보드(10)에 있는 후면을 이용하여 실장되며, 센서 요소(2) 및 스페이서(3)를 포함하는 전면은 회로 보드(10)으로부터 멀리 떨어지도록 지시된다.

[0059] 도 1에 따라 개별 센서 칩과 연결하여 설명된 제조 단계들의 순서에 관한 측면은 도 2에 따른 웨이퍼 레벨 제조에 관해서도 유지된다. 이전에 도입된 임의의 변형예들이 웨이퍼 레벨 제조에 관해서도 도입될 수 있다. 그 밖의 다른 변형예에서, 웨이퍼 레벨의 제조 단계 각각 후에, 웨이퍼(4) 및 임의의 다른 오버랩핑 구조체를 절단함으로써 개별 센서 칩 레벨에서 후속 제조로 전환될 수 있다.

[0060] 바람직한 실시예에서, 센서 칩은 습도 센서, 유체 흐름 센서, 기체 흐름 센서, 압력 센서, 적외선 센서, 및 화학 센서 중 하나로서 사용된다. 대응하는 감지 요소들이 애플리케이션 각각에 제공된다.

[0061] 도 3은 도 2h에 도시된 바와 같은 웨이퍼에 배치된 센서 칩들을 테스트하기 위한 테스트 구성의 개략적인 셋업을 도시하고 있는데, 여기서 테스트는 특히 교정 센서(calibrating sensor)들을 포함한다. 이 구성은 제어 유닛(20)을 포함한다. 제어 유닛(20)은 프로브 헤드(70)를 통해 웨이퍼에 각각의 개별 센서 칩을 접촉시키는데 적합한 테스트 장치(60)의 x-액추에이터, y-액추에이터, 및 z-액추에이터의 동작을 제어한다. 제어 유닛(20)은 예를 들어, 각각의 센서 칩에 집적된 메모리 장치에 교정 데이터를 저장함으로써 프로브 헤드(70)에 의해 접촉된 센서 칩들을 동작시키고 동일하게 교정하기 위한 회로 및 소프트웨어를 더 포함한다. 제어 유닛(20)은 예를 들어, 센서 칩들이 기체를 감지하는 경우 센서 칩들을 테스트하기 위한 가스를 생성하는 유체 생성기(40)의 동작을 제어할 수 있다.

[0062] 도 4는 도 3의 테스트 장치(60)의 더 상세한 도면을 측면면으로 예시한다. 테스트 장치는 x-y-위치 확인 장치(120)를 수반하는 고정 프레임 또는 스탠드(100)를 포함한다. x-y-위치 확인 장치(120)는 웨이퍼(4)에 대한 지지체 역할을 하는 실질적 실린더형 척(6)을 수반하며, 수평 방향 x 및 y를 따라 동일한 위치에 정확하게 위치할 수 있다. 방향 x는 도 4에서 화살표로 예시되며, 방향 y는 투영면에 수직하다. 웨이퍼(4)는 동작을 기본적으로 준비하지만 교정, 절단, 및 적용 가능한 경우 패키징될 필요가 있는 2차원 매트릭스의 센서들/센서 칩들을 포함한다. 웨이퍼(4)는 척(6)의 플랫폼 상단 표면에 얹혀 있다. 프로브 헤드(70) 및 척(6)을 수반하기 위한 리드(110)는 2개의 부분을 약간 분리시키기 위해 z축을 따라 서로 이동 가능하며, x-y-위치 확인 장치(120)는 척(6)을 이동시킬 수 있다. z-위치 확인 장치(22)는 프레임 또는 스탠드(100)에 고정되어 배치될 수 있다. 프로

브 헤드(70)는 하단면에 실장된 프로브 전극들(25)을 갖는 리드(110)에 실장된 캐리어 플레이트를 포함한다. 프로브 전극들(25)은 이들의 팁(tip)들이 웨이퍼(4)의 후면에 있는 하나 이상의 센서 칩의 컨택 패드들을 접촉할 수 있도록 배치된다. 일부 예시에서 커버라고도 지칭되는 리드(110)는 척(6)의 온도로 리드(110)의 온도를 맞추기 위해 가열 및/또는 냉각될 수 있는데, 이는 측정을 개선한다.

[0063] 도 3 및 도 4의 테스트 장치를 이용하여 센서 칩들을 교정하기 위해, 교정 대상인 복수의 센서 칩들을 포함하는 웨이퍼(4)는 척(6)과 마주하는 스페이서들에 의해 척(6)에 수동 또는 자동으로 배치된다. 가스 생성기(40)는 센서 칩들의 특성에 따라 공지의 조성, 습도 레벨 등을 갖는 기체/매체를 생성하기 위해 가동된다. 그 후, 가스 생성기(40)의 펌프(미도시)가 튜브(30)를 통해 기체를 공급할 수 있으며, 이로부터 가스는 주입구(inlet)(31)를 통해 측벽들 중 하나에 있는 척(31)에 진입한다. 척(6) 내에서, 기체가 덕트(duct)들(61)에 의해 공급되는데, 단지 한 쌍의 덕트만이 개략적으로 예시된다. 덕트(61)는 척(6)에 있는 개구들을 나타낼 수 있으며, 매체가 감지 요소들을 충족시킬 수 있도록 도 4에 도시된 척(6)의 상단 표면에서 종료될 수 있다. 그러므로, 덕트들(61)을 통해 공급된 기체는 전면(11)에서 웨이퍼(4)를 만나서, 그 결과 척(6)과 마주하는 웨이퍼(4)에 있는 감지 요소들(2)을 만날 것이다.

[0064] 웨이퍼(4)가 교정용 가스에 노출되는 동안, 웨이퍼(4)의 센서 칩들은 척(6)을 좌우로 이동시키고 프로브 헤드(70)의 전극(25)을 통해 센서 칩 각각을 접촉시킴으로써 교정될 수 있다. 바람직하게, 다수의 센서 칩들이 수평으로 전극들(25)에 의해 접촉될 수 있으며, 이로써 수평으로 테스트될 수 있다. 교정은 교정 측정 및 대상 센서 칩에 대한 교정 데이터의 후속 저장을 포함할 수 있다. 바람직하게, 교정 데이터는 이러한 칩의 교정 직후에 센서 칩에 저장된다. 교정 중에, 각각의 센서의 일반적인 기능성 또한 테스트될 수 있으며, 비-기능성 센서들은 웨이퍼(4)를 개별 센서 칩들로 절단한 후 폐기될 수 있다.

[0065] 웨이퍼(4)에 있는 센서들의 교정이 완료되면, 웨이퍼(4)는 테스트 장치(60)로부터 수동 또는 자동으로 제거될 수 있다. 이후, 개별 센서 칩들을 분리하기 위해 절단될 수 있다.

[0066] 도 5는 본 발명의 일 실시예에서 사용되는 바와 같이 척(6)의 상단 표면(65)에 배치된 웨이퍼(4)를 갖는 테스트 장치의 척(6)의 횡단면을 도시한다. 척(6)은 척(6)의 상단 표면(65)에 있는 리세스(recess)(62) 형태의 개구들을 포함한다. 이들 리세스(62)는 척(6)의 상단 표면(65)을 관통하여 연장될 수 있으며, 바람직하게 척(6)의 일 측면으로부터 척(6)의 반대면으로 연장될 수 있는데, 리세스들(62)은 평행하게 배치된다. 리세스들(62)의 단면부는 도시된 것으로부터 달라질 수 있다. 이들 리세스(62)는 채널들이 테스트 중에 형성되도록 웨이퍼(4)에 의해 상단부터 폐쇄되는데, 여기서 채널들은 테스트 루틴, 특히 교정 루틴 중에 액체 또는 기체와 같은 유체로 채워질 것이다. 웨이퍼(4)가 아직 절단되지 않고, 웨이퍼(4)에 집적된 다수의 센서 칩을 포함한다. 바람직하게, 웨이퍼(4)의 상단면(11)은 척(6)의 상단 표면(65)을 마주보는데, 이로써 웨이퍼(4)에 있는 모든 센서 요소들이 리세스(62) 위에 배치되고, 이로써 리세스(62)에 있는 임의의 유체에 노출되게 된다. 바람직하게, 리세스들(62) 사이의 거리 d는 웨이퍼(4)에 있는 인접 감지 요소들 사이의 거리에 대응한다. 그러므로, 웨이퍼(4)는 척(6)에 있는 스페이서들에 의존하도록 척(6)에 배치되는데, 여기서 감지 요소들에 대한 액세스 개구는 리세스들(62) 위에 배치된다.

[0067] 대상 센서 칩들을 테스트하는 매체는 척(6)의 측면들로부터 리세스들(62)로 직접 공급되거나, 도 4에 도시된 바와 같이 척(6)을 관통하여 덕트를 거쳐 공급되는데, 여기서 가스 생성기(40) 및 파이프(30)의 조합과 같이 척(6) 외부에 있는 공급으로서 이해되는 매체 공급은 측벽들 중 하나에 배치된 척(6)의 주입구(31)에 연결된다. 다른 실시예에서, 척(6)에 있는 개구들은 척(6)의 상단 표면(65)에 있는 수평 리세스들을 포함하지 않고, 척(6) 내의 수직 덕트들을 포함할 수 있는데, 각각의 감지 요소는 덕트로부터 유체를 공급받는다.

[0068] 도 6은 서로 평행하게, 특히 웨이퍼(4)에 있는 2줄의 센서 칩들 사이의 거리에 대응하는 거리에서 평행하게 배치된 몇몇 리세스들(621)을 포함하는 샘플 척(6)의 상면도를 예시하며, 여기서 나머지 리세스들(622)은 리세스 그리드를 형성하기 위해 몇몇 리세스들(621)과 수직하게 배치된다. 본 발명의 실시예는 감지 요소들에 대한 매체의 더 균일한 공급을 제공할 수 있다. 또한, 리세스(621, 622)로 공급될 매체는 도면에 화살표로 지시된 바와 같은 리세스들의 일부 또는 전부에 수평하게 연결되어 있는 선택된 매체 공급기들을 통해 공급될 수 있다. 상이한 실시예에서, 각각의 리세스는 도 6의 투영면으로 연장되는 적어도 하나의 할당된 덕트(61)에 연결될 수 있다. 척(6)의 상단에 배치된 웨이퍼(4)는 점선의 직사각형으로 예시되며, 웨이퍼(4)의 개별 센서 칩은 더 작은 직사각형들(41)로 예시된다.

[0069] 도 5 및 도 6에 도시된 리세스 및 덕트를 포함하는 개구들의 개수는 단지 예시적인 목적을 위한 것으로서 실제 개구의 개수는 상당히 벗어날 수 있다는 점에 주의한다. 또한, 리세스 및/또는 덕트의 기하학적 레이아웃은 달

라질 수 있다. 공통 열 이외에 다수의 감지 요소들을 공급하는 하나의 리세스(62)가 존재할 수도 있다.

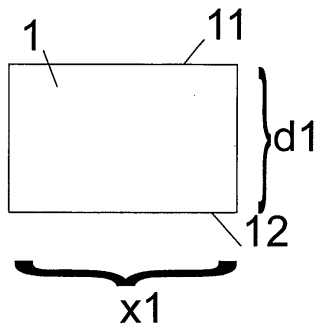
[0070] 도 7은 본 발명의 다른 실시예에서 사용되는 바와 같이 척(6)의 상단 표면(65)에 배치된 웨이퍼(4)를 갖는 테스트 장치의 척(6)의 횡단면을 도시한다. 여기서, 척(6)은 척(6)의 상단 표면(65)에 리세스(62) 형태의 개구들을 포함하지 않는다. 대신, 개구들은 다공성 물질(porous material)에 의해 제공되는 바와 같이 마이크로 스케일의 구조체 형태로 제공된다. 이러한 상황에서의 마이크로 스케일은 구조체들의 지름을 1000  $\mu\text{m}$ 까지 허용할 수 있다. 그러므로, 척(6)의 상단층이 다공성 물질층(66)으로 구현될 수 있으며, 이러한 층은 그 구조가 스폰지와 유사할 수 있다. 그럼에도, 척(6)의 주입구(31)는 기체가 다공성 물질층(66)에 직접 확산될 수 있도록 척(6)의 측벽들 중 하나에 배치되거나, 척(6)의 임의의 위치에 공급되고 척(6) 내의 덕트(61)를 통해 다공성 물질층(66)에 공급될 수 있다. 이러한 다공성 물질층(66)은 척(6)에 있는 별도의 층으로서 증착되거나, 척(6)에 집적되어 척(6)과 함께 물질의 일부를 형성할 수 있다. 이 실시예에서, 바람직하게 척(6)의 상단 표면(65)은 구멍들을 생성하기 위해 화학 처리될 수 있다.

[0071] 본 발명의 바람직한 실시예들이 도시되고 설명되어 있지만, 본 발명을 이들로 제한되지 않으며, 다음의 청구항의 범위 내에서 다양하게 구현 및 실시될 수 있다는 점이 명확히 이해되어야 한다.

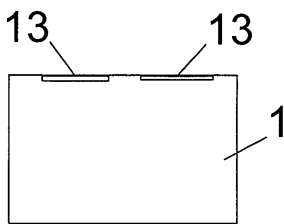
[0072] 예를 들어, 본 발명의 방법 및 테스트 장치는 단지 습도 또는 화학 센서들의 테스트에만 적용되는 것이 아니라, 스루 실리콘 비아들을 포함하는 압력 센서들을 테스트하기 위해 적용될 수도 있다.

## 도면

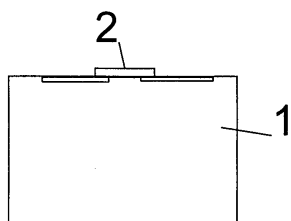
### 도면1a



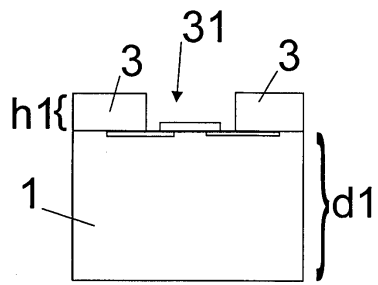
### 도면1b



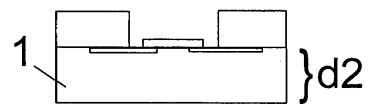
### 도면1c



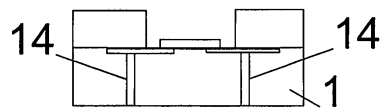
도면1d



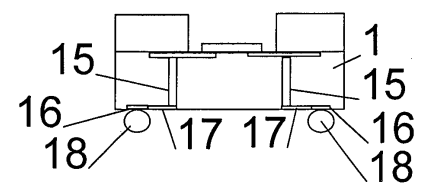
도면1e



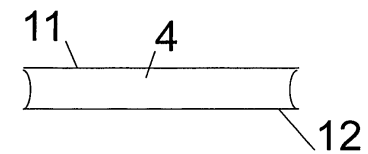
도면1f



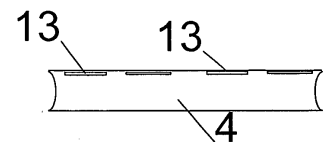
도면1g



도면2a

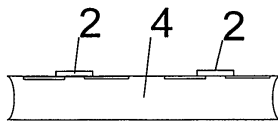


도면2b

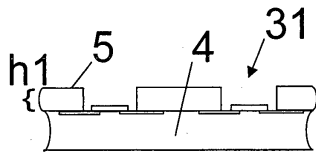




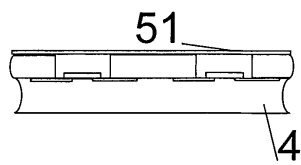
도면2c



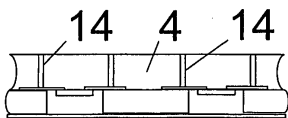
도면2d



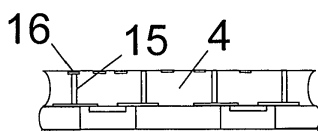
도면2e



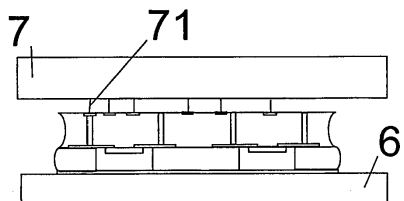
도면2f



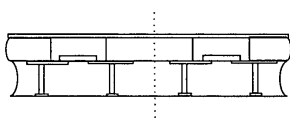
도면2g



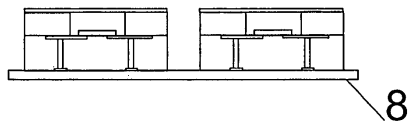
도면2h



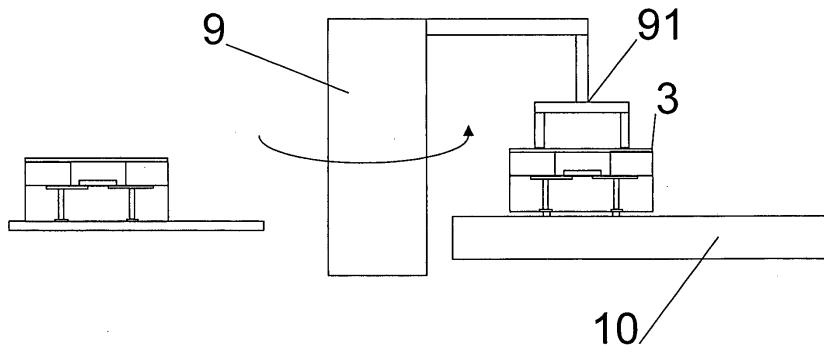
도면2i



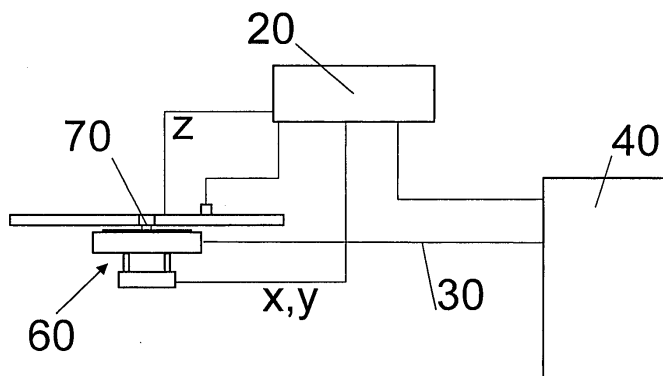
도면2k



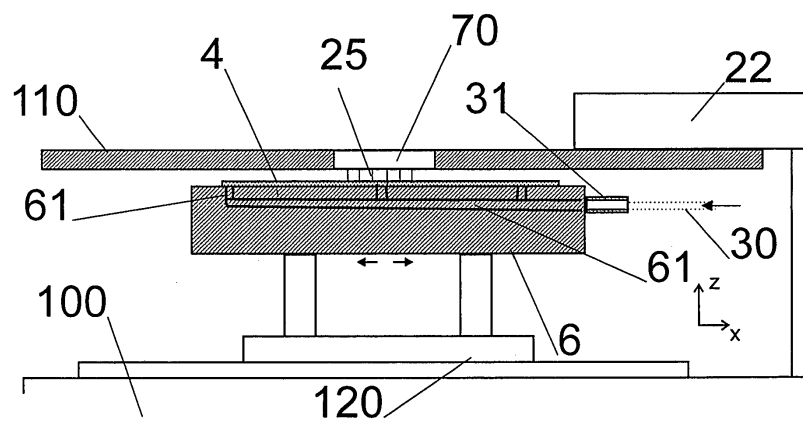
도면2l



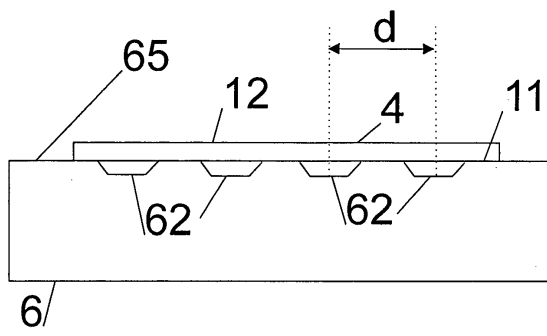
도면3



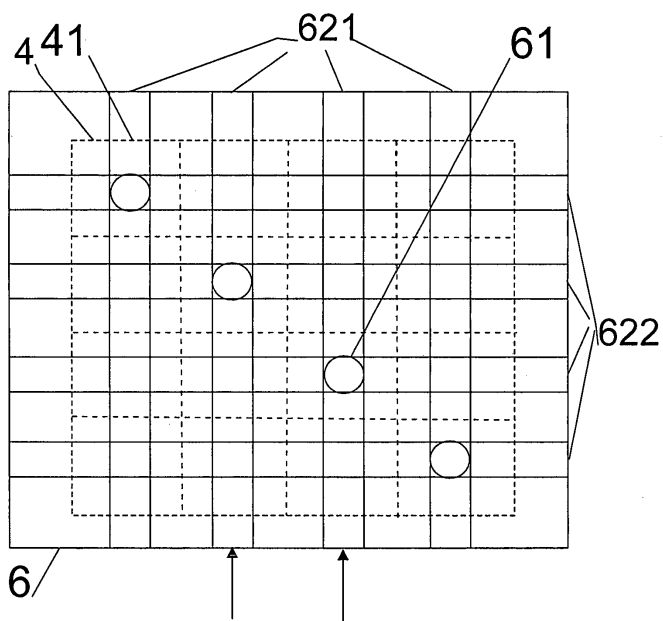
도면4



도면5



도면6



도면7

